

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5017708号
(P5017708)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int.Cl.		F I		
G 1 1 C 11/4093 (2006.01)		G 1 1 C 11/34	3 5 4 Q	
G 1 1 C 11/4076 (2006.01)		G 1 1 C 11/34	3 5 4 C	
G 1 1 C 11/407 (2006.01)		G 1 1 C 11/34	3 6 2 T	

請求項の数 6 (全 15 頁)

(21) 出願番号	特願2005-339494 (P2005-339494)	(73) 特許権者	510127664
(22) 出願日	平成17年11月24日(2005.11.24)		ラウンド ロック リサーチ、エルエルシ
(62) 分割の表示	特願2001-520416 (P2001-520416) の分割		アメリカ合衆国、ニューヨーク州 105
原出願日	平成12年8月31日(2000.8.31)		49、マウント キスコ、ディア クリー
(65) 公開番号	特開2006-172695 (P2006-172695A)		ク レーン 26
(43) 公開日	平成18年6月29日(2006.6.29)	(74) 代理人	100106851
審査請求日	平成19年6月25日(2007.6.25)		弁理士 野村 泰久
(31) 優先権主張番号	09/389,531	(74) 代理人	100074099
(32) 優先日	平成11年9月2日(1999.9.2)		弁理士 大菅 義之
(33) 優先権主張国	米国 (US)	(72) 発明者	リ, ウェン
			アメリカ合衆国、アイダホ州 8370
			6, ボイズ, イー. グロスター ス
			トリート 2427

最終頁に続く

(54) 【発明の名称】 ダブルデータレートダイナミックランダムアクセスメモリからのデータ取り出し方法、及びデータストロープ信号提供方法

(57) 【特許請求の範囲】

【請求項1】

ダブルデータレートダイナミックランダムアクセスメモリからデータを取り出す方法であって、該方法は、

遅延ロックループを用いて外部クロック信号から、整数のクロックサイクルのレイテンシが選択されたときには、外部クロック信号の立ち下がりエッジに先行する立ち上がりエッジを有する第1内部クロック信号(DLLF0)を取り出し、外部クロック信号の立ち上がりエッジに先行する立ち上がりエッジを有する第2内部クロック信号(DLLR0)を取り出し、非整数のクロックサイクルのレイテンシが選択されたときには、外部クロック信号の立ち上がりエッジに先行する立ち上がりエッジを有する第1内部クロック信号(DLLF0)を取り出し、外部クロック信号の立ち下がりエッジに先行する立ち上がりエッジを有する第2内部クロック信号(DLLR0)を取り出す過程と、

第1内部クロック信号の立ち下がりエッジの後であって第2内部クロック信号の立ち上がりエッジの前に、データイネーブル信号を提供する過程であって、第1内部クロック信号と第2内部クロック信号とがインタリーブされる、データイネーブル信号を提供する過程と、

データイネーブル信号に応じて、第1組合せ論理回路を介して第1データアレイからの第1データを接続する過程と、

第1内部クロック信号により第1マルチプレクサを介して第1データを取り出す過程と

データイネーブル信号に応じて、第2組合せ論理回路を介して第2データアレイからの第2データを接続する過程と、

第2内部クロック信号により第2マルチプレクサを介して第2データを取り出す過程と、

第1及び第2マルチプレクサからデータバッファへ第1及び第2データを接続する過程と、

データストローブバッファへデータストローブ信号を提供する過程であって、該データストローブ信号は、第1及び第2データに、並びに外部クロック信号に周波数が同期化されている、データストローブ信号を提供する過程と、

からなることを特徴とするデータ取り出し方法。

10

【請求項2】

請求項1に記載の方法において、前記第1及び第2データをデータバッファへ接続する過程は、所定の遅延量を提供するための論理素子を介して第1及び第2データを接続する過程を含むことを特徴とする方法。

【請求項3】

請求項2に記載の方法において、前記データストローブ信号を提供する過程は、

第1内部クロック信号の立ち下がりエッジの後であって第2内部クロック信号の立ち上がりエッジの前に、データストローブイネーブル信号を提供する過程と、

データストローブバッファへ接続する、第1位相関係を有するデータストローブ信号を提供するために、第1内部クロック信号により第3のマルチプレクサを介してデータストローブ信号を取り出す過程と、

20

データストローブバッファへ接続する、第2位相関係を有するデータストローブ信号を提供するために、第2クロック信号により第4のマルチプレクサを介してデータストローブ信号を取り出す過程と、

データストローブバッファへ、第1及び第2データと周波数が同期化され且つ外部クロック信号と所定の位相又は遅延の関係を有するデータストローブ信号を提供するために、第3及び第4のマルチプレクサからのデータストローブ信号を用いて、第1及び第2位相関係を有するデータストローブ信号をデータストローブバッファへ接続する過程と、

を含むことを特徴とする方法。

【請求項4】

30

請求項3に記載の方法であって、更に、

データイネーブル信号をワンショット回路の第1入力に接続する過程と、

データストローブイネーブル信号をワンショット回路の第2入力に接続する過程と、

データストローブイネーブル信号とデータイネーブル信号が異なるロジック状態のときに、ワンショット回路により1クロックサイクルのパルス幅を有するパルスを生成する過程と、

所定の遅延量を提供するために、論理素子を介してパルスを接続する過程と、

データストローブ信号のためのプリアンプルを提供するために、論理素子からデータストローブバッファへパルスを接続する過程と、

を含むことを特徴とする方法。

40

【請求項5】

データストローブ信号を提供する方法であって、該方法は、

遅延ロックスループを用いて外部クロック信号から、整数のクロックサイクルのレイテンシが選択されたときには、外部クロック信号の立ち下がりエッジに先行する立ち上がりエッジを有する第1内部クロック信号(DLLF0)を得、外部クロック信号の立ち上がりエッジに先行する立ち上がりエッジを有する第2内部クロック信号(DLLR0)を得、非整数のクロックサイクルのレイテンシが選択されたときには、外部クロック信号の立ち上がりエッジに先行する立ち上がりエッジを有する第1内部クロック信号(DLLF0)を得、外部クロック信号の立ち下がりエッジに先行する立ち上がりエッジを有する第2内部クロック信号(DLLR0)を得る過程と、

50

第1内部クロック信号の立ち下がりエッジの後であって第2内部クロック信号の立ち上がりエッジの前に、データストロブイネーブル信号を提供する過程であって、第1内部クロック信号と第2内部クロック信号とがインタリーブされているデータストロブイネーブル信号を提供する過程と、

データストロブバッファへ接続する、第1位相関係を有するデータストロブ信号を提供するために、第1内部クロック信号により第3マルチプレクサを介してデータストロブ信号を取り出す過程と、

データストロブバッファへ接続する、第2位相関係を有するデータストロブ信号を提供するために、第2内部クロック信号により第4マルチプレクサを介してデータストロブ信号を取り出す過程と、

データストロブバッファへデータストロブ信号を提供するために、第3及び第4のマルチプレクサからのデータストロブ信号を用いて、第1及び第2位相関係を有するデータストロブ信号をデータストロブバッファへ接続する過程であって、データストロブ信号は、第1及び第2データと、並びに外部クロック信号と周波数が同期化されている、第1及び第2位相関係を有するデータストロブ信号を接続する過程と、

を含むことを特徴とする方法。

【請求項6】

請求項5に記載の方法であって、更に、

データイネーブル信号をワンショット回路の第1入力に接続する過程と、

データストロブイネーブル信号をワンショット回路の第2入力に接続する過程と、

データストロブイネーブル信号とデータイネーブル信号が異なるロジック状態のときに、ワンショット回路により1クロックサイクルのパルス幅を有するパルスを生成する過程と、

所定の遅延量を提供するために、論理素子を介してパルスを接続する過程と、

データストロブ信号のためのプリアンプルを提供するために、論理素子からデータストロブバッファへパルスを接続する過程と、

を含むことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダブルデータレートダイナミックランダムアクセスメモリ用出力回路、ダブルデータレートダイナミックランダムアクセスメモリ、ダブルデータレートダイナミックランダムアクセスメモリからのデータ取り出し方法、及びデータストロブ信号提供方法に関するものである。

【背景技術】

【0002】

ダイナミックランダムアクセスメモリ(DRAM)集積回路(ICs)からのデータの読み書きが頻繁に要求される。各々のメモリIC内に蓄積されるデータ量の増大に従い、及びメモリICとデータを交換する装置に対するクロック周波数の増大に従い、次第により大きいバンド幅により、メモリICからデータを読むことを可能とするための要求が増大している。この要求は、簡単には実現できない。

【0003】

前世代のDRAMデバイスには、ファーストページモードDRAM及び拡張データ出力(EDO)DRAMがあった。これらのDRAMは、入力データを捕らえ、カラムアドレスストロブ*(CAS*)信号の立ち下がりエッジで出力データをドライブする。ここで、「*」は相補の関係を表わす。

【0004】

同期DRAM(SDRAM)において、読み書き動作のためのデータトリガ位置は、クロック信号の立ち上がりエッジである。これらの従来のDRAMは、シングルデータレート(SDR)DRAMデバイスと呼ばれている。SDR DRAMを用いたメモリシステ

10

20

30

40

50

ムのピークバンド幅（メガバイト／秒）は、以下の式で求められる。

$$(\text{メモリシステムバス幅}) \times (\text{クロック周波数}) \quad (\text{式 1})$$

SDR DRAMシステムから大きいピークバンド幅を得るためには、クロックをできるだけ速くし、システムバス幅をできるだけ広く拡張する必要がある。

【0005】

しかしながら、クロックドライバは、メモリシステム内で全てのDRAMを並列にドライブしなければならない、これは容量性負荷をドライブする必要がある、同期化の要求が含まれる。従って、より高いクロック速度を達成することは、実際には難しい。更に、バス幅の増大は、DRAMシステムを保持する回路基板上に、より大きい領域を必要とする。その結果、SDR DRAMシステムのピークバンド幅を増大させることは簡単ではない。

10

【0006】

ダブルデータレート（DDR）DRAMシステムは、より高いデータレートでより大きいシステムバンド幅を得るための、より魅力的な手法である。DDR DRAMシステムにおいては、クロック信号又はデータストロブの、立ち上がり及び立ち下りの両方のエッジが、読み書き動作のためのトリガ位置となる。従って、DDR DRAMシステムでは、同じクロック周波数を用いた同様のSDR DRAMシステムの二倍のピークデータレートを得られるが、タイミング精度の向上が要求される。

【0007】

DDR DRAMメモリシステムでは、ディファレンシャルクロック（CLK及びCLK*）構成が、増大したタイミング精度要求を解決するために用いられる。しかしながら、DDR DRAMの外部回路におけるクロック信号に内部クロック信号を同期させる要求が未だある。更に、データが転送されるときにこれらのクロック信号の遷移は、SDR DRAMのCAS*信号での遷移よりも実質的により頻繁に起こるので、タイミング許容度はより厳しくなる。その結果、内部クロック信号CLK及びCLK*を生成するための、及びこれらのクロック信号と出力データとを外部クロック信号XCLKに同期させるための、新たな方法の開発が望まれている。

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

一態様において、本発明は、ダブルデータレートダイナミックランダムアクセスメモリのための出力回路を含む。出力回路には、外部クロック信号を受け入れるように構成される入力を有する遅延ロックループが含まれる。遅延ロックループは、インタリーブされ且つ外部クロック信号と同期する第1及び第2内部クロック信号を提供する。出力回路には、遅延ロックループと接続されるデータストロブ回路も含まれる。データストロブ回路は、プリアンプル部を含むデータストロブ信号を提供する。データストロブ回路は、データストロブ信号とプリアンプル部を第1及び第2内部クロック信号に同期させる。他の態様では、本発明は、このような出力回路を有するダブルデータレートダイナミックランダムアクセスメモリ（DDR DRAM）を含む。

30

【0009】

更に別の態様では、本発明は、ダブルデータレートダイナミックランダムアクセスメモリからのデータ取り出し方法を含む。本方法には、第1内部クロック信号の立ち下りエッジの後で且つ第2内部クロック信号の立ち上がりエッジの前に、データイネーブル信号を提供する過程が含まれる。第1及び第2内部クロック信号は、インタリーブされる。また、本方法には、データイネーブル信号に応じて、第1組合せ論理回路を介して第1データアレイから第1データを接続する過程と、第1内部クロック信号により第1マルチプレクサを介して第1データを取り出す過程と、データイネーブル信号に応じて第2組合せ論理回路を介して第2データアレイから第2データを接続する過程と、第2クロック信号により第2マルチプレクサを介して第2データを取り出す過程と、第1及び第2マルチプレクサからの第1及び第2データをデータバッファに接続する過程と、データストロブバ

40

50

ッファヘデータストローブ信号を提供する過程とが含まれる。データストローブ信号は、第1及び第2データに、及び外部クロック信号に同期化される。

【0010】

別の態様では、本発明は、データストローブ信号を提供する方法を含む。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態を図示例と共に説明する。本発明は、データ入力及び出力のための外部クロック信号に同期する、DDR DRAMへの相補内部クロック信号を生成する方法及び装置を包含するものである。より具体的な実施例においては、本発明は、DDR DRAM内部の内部遅延ロックループ(DLL)から得られるクロック信号と、外部クロック信号との間の遅延を等しくするための方法及び装置を包含するものである。

10

【0012】

以下に詳説する実施例から明らかとなるように、本発明の一態様には、データ出力バースト長を、例えば、2バイトバーストから4又は8バイトバーストへ変更する過程が含まれる。本発明の他の態様では、異なるデータレイテンシに適應することを含む。ここで、データレイテンシは、コマンドがDRAMからの特定のデータを要求したときから、DRAMから読み出されたデータが出力に現れるときまでの間の、クロックサイクルで計測された遅延、又はクロックサイクルの比で計測された遅延を意味すると定義される。このデータバースト長及びデータレイテンシの変更は、特定の所定の遅延、具体的には所定のバースト長の出力信号を提供するために、マルチプレクサ及びクロックシステムをセットするコントロール信号を用いて行われる。

20

【0013】

図1は、本発明の一実施例による、DDR DRAM10の簡略化したブロック図である。DDR DRAM10には、ロウとカラムに編成されるメモリセルのレイ12A、12Bと、ロウアドレス回路14と、カラムアドレス回路16と、センス増幅器18と、出力回路19と、I/Oバス20とが含まれる。I/Oバス20は、メモリアレイ12A、12Bを、DDR DRAM10のピン(図示せず)、従ってコンピュータ、マイクロプロセッサ、又は他のデータ処理装置等のプロセッサ22に接続する。一実施例において、I/Oバス20は2バイト幅であり、200MHzまでのクロック速度において動作し、800メガバイト/秒のデータI/Oバンド幅を提供する。

30

【0014】

プロセッサ22は、ロウアドレスをロウアドレスデコーダ14及びカラムアドレスデコーダ16に提供すること、及び図2から7を参照して以下でより詳細に説明する特定のデータ交換フォーマットのためにDDR DRAM10を構成するためのコマンドを提供することで、レイ12A、12Bとデータを交換する。プロセッサ22が、レイ12A、12Bからデータを検索しているときは、コマンド、アドレス及び外部クロック信号XCLKが、I/Oバス20を介してプロセッサ22からDDR DRAM10へ接続される。それに応じて、センス増幅器18は、レイ12A、12Bからデータを読み出し、データを出力回路19へ接続する。出力回路19は、クロック及びタイミング信号を生成し、これらの信号を、I/Oバス20を介して、センス増幅器18からのデータをプロセッサ22へ同期して接続するために用いる。

40

【0015】

図2は、本発明の一実施例による、図1のDDR DRAM10の出力回路19の簡略化したブロック図である。出力回路19には、クロックバッファ回路24と、コマンドデコーダ26と、バーストカウンタ28と、QED0発生回路30と、遅延ロックループ32とが含まれる。外部クロック信号XCLKは、クロックバッファ回路24への入力に接続される。内部クロック信号CLKは、クロックバッファ回路24により外部クロック信号XCLKから得られる。内部クロック信号CLKは、コマンドデコーダ26、バーストカウンタ28、QED0発生回路30及び遅延ロックループ32に接続される。

【0016】

50

遅延ロックループ32は、出力CLK_DQ, DLLR0及びDLLF0を有する。遅延ロックループの動作は、共に出願中である本発明の譲受人に譲渡された米国特許出願番号第09/303,076号で説明され、その開示内容は、ここに援用されるものとする。

【0017】

遅延ロックループは、1999年5月発行のIEEE JSSC, Vol.34, No.5の632頁-644頁にある、ビー・ダブリュ・ガーレップらによる「高速CMOSインタフェース回路用ポータブルデジタルDLL」でも説明され、その開示内容は、ここに援用されるものとする。DDR DRAM10で使用するために特別に設計された遅延ロックループは、1999年4月発行のIEEE JSSC, Vol.34, No.4の565頁-568頁にある、エフ・リンらによる「ダブルデータレートDRAM用レジスタ制御対称DLL」で説明され、その開示内容は、ここに援用されるものとする。

10

【0018】

信号DLLR0, DLLF0及びCLK_DQは、外部クロック信号XCLKの異なる位置からの位相オフセットを有するように全て同期化される。その結果、信号DLLR0, DLLF0及びCLK_DQは、全て外部クロック信号XCLKと同じ周波数を有し、それらの信号のそれぞれが、その特定の信号に特有である所定の範囲内に収まるような、外部クロック信号XCLKに対する位相又は遅延の関係を有する。

【0019】

信号DLLR0及びDLLF0はインタリーブされる。即ち、DLLF0がロジック「0」のときのみDLLR0はロジック「1」となり、DLLR0がロジック「0」のときのみDLLF0がロジック「1」となる。ロジック「1」からロジック「0」への遷移によって、必要なことではないが、二つの信号が一時的に符号が一致することがあり、その結果、クロックサイクルの一部分の間に同時に両方の信号がロジック「0」となることがある。信号DLLR0の立ち上がりエッジは、所定分だけ外部クロック信号XCLKの立ち上がりエッジよりも先行する、即ち先に進む。

20

【0020】

コマンドデコーダ26は、図1のプロセッサ22のような、外部回路からDDR DRAM10へのコマンドを受けるための入力XCMDを有し、バーストカウンタ28及びQED0発生回路30への読み出しコマンドを提供するための出力READを有する。コマンドデコーダ26は、レイテンシバス34を介してレイテンシコマンドも提供する。タイミング回路36は、タイミングバス38に一群のタイミング信号を提供する。タイミング回路36の入力には、遅延ロックループ32からの出力CLK_DQが接続される。タイミング回路36には、遅延素子40及びインバータ42が含まれる。遅延素子40は、遅延ロックループ32からの出力CLK_DQが接続される入力をも有し、インバータ42へ接続される出力を有する。

30

【0021】

タイミング回路36には、データ入力Dと、データ出力Qと、ラッチ入力LAT及びLAT*とをそれぞれ有する5つの透過性ラッチ50, 52, 54, 56, 58が含まれる。各入力LATには遅延素子40からの出力が接続され、また入力LAT*にはインバータ42の出力が接続される。ラッチ50のデータ入力Dには、QED0発生器30からの出力QED0が接続され、ラッチ50のデータ出力Qは、ラッチ52のデータ入力Dに接続される。ラッチ52, 54, 56, 58は、それぞれのデータ入力Dに一つ前のラッチのデータ出力Qが接続される状態でカスケード接続される。その結果、一組のタイミング信号Q0, Q1, 1h, Q2, 2h, Q3が、タイミングバス38に提供される。タイミング信号Q0-Q3は、タイミング信号QED0を提供するQED0発生器30に応じて、一つ前のタイミング信号からそれぞれ1/2クロックサイクル分遅延している。一組のタイミング信号Q0-Q3の各々は、一つ前のタイミング信号がロジック「1」になった1/2クロックサイクル後にロジック「1」になり、一つ前のタイミング信号がロジック

40

50

「0」に戻った1/2クロックサイクル後にロジック「0」に戻る。

【0022】

その結果、信号QED0が所定の長さを有するロジック「1」のパルスを提供するとき、それぞれのタイミング信号Q0 - Q3も、所定の長さを有するロジック「1」のパルスであるが、一つ前のタイミング信号に対して1/2クロックサイクルだけ遅延しているパルスを提供する。一組のタイミング信号Q0 - Q3は、図3から図7を参照して以下により詳細に説明されるように、出力タイミング信号を生成するために、レイテンシコマンドと共に使用される。

【0023】

タイミング発生器60は、レイテンシバス34とタイミングバス38に接続され、出力QED, QES, QSOを有する。データ出力ドライバDQ DRIVER62は、出力QEDに接続される入力を有し、出力データストロブドライバDQS DRIVER64は、出力QES, QSOに接続される入力を有する。出力QEDは、図1のDDR DRAM10からデータDQを出力することを可能とし、データストロブ出力QESは、DDR DRAM10から出力されるデータストロブ信号DQSを出力することを可能とする。

【0024】

図3は、本発明の一実施例による、図2のタイミング発生器60の一実施例の簡略化された回路図である。タイミング発生器60には、レイテンシ選択回路69が含まれる。レイテンシ選択回路69には、マルチプレクサMUX70, 72, 74, 76が含まれ、それぞれデータ入力A, B、選択入力S及びデータ出力A0, B0を有する。

【0025】

マルチプレクサMUX70, 72, 74, 76のデータ出力A0は全て互いに接続され、データイネーブル信号LQEDを提供する。マルチプレクサMUX70, 72, 74, 76のデータ出力B0は全て互いに接続され、データストロブイネーブル信号LQESを提供する。マルチプレクサMUX70, 72, 74, 76の選択入力Sの各々は、レイテンシバス34からのそれぞれのレイテンシ選択信号LATE1h, LATE2, LATE2h, LATE3に接続され、レイテンシ選択信号の内の一つだけが、ある時点では有効である。その結果、マルチプレクサMUX70, 72, 74, 76の内の一つだけが、ある時点では活性化され、これは、図1のDDR DRAMからデータが出力される前に、データ読み出しコマンドの後のクロックサイクルの数を決定する。

【0026】

一実施例において、マルチプレクサMUX70, 72, 74, 76のデータ入力A, Bには、図3に示したような図2のタイミング回路36からのタイミング信号が図3に示すように接続される。他のレイテンシの場合には、他の接続方法も利用可能である。

【0027】

タイミング発生器60には、コントロール信号発生器78も含まれる。コントロール信号発生器78には、ワンショット回路80と、インバータ82, 84が含まれる。ワンショット回路80は、マルチプレクサMUX70, 72, 74, 76からの信号LQES、LQEDへ接続される入力と、インバータ82の入力に接続される出力とを有する。インバータ82は、インバータ84の入力に接続される出力を有する。インバータ84からの出力は、出力信号QSOを提供する。出力信号QSOは、図5から図7を参照して以下により詳細に説明されるように、データ出力ストロブ信号DQSのプリアンブル部を生成するために用いられる。

【0028】

タイミング発生器60には、NORゲート90及びインバータ92も含まれる。NORゲート90は、信号LQEDに接続される一つの入力と、信号TEST MODEに接続されるもう一つの入力を有する。信号TEST MODEは、NORゲート90を通常はインバータとして動作させるように、通常ロジック「0」である。NORゲート90の出力は、インバータ92への入力に接続される。インバータ92の出力は、データ信号出力

10

20

30

40

50

をイネーブルにする信号 Q E D を提供する。

【 0 0 2 9 】

タイミング発生器 6 0 には、N O R ゲート 9 6 及びインバータ 9 8 も含まれる。N O R ゲート 9 6 は、信号 L Q E D に接続される一つの入力と、信号 L Q E S に接続されるもう一つの入力を有する。N O R ゲート 9 6 の出力は、インバータ 9 8 への入力に接続される。インバータ 9 8 の出力は、データストロブ信号出力をイネーブルにする信号 Q E S を提供する。

【 0 0 3 0 】

マルチプレクサ M U X 7 0 - 7 6 と出力信号 Q S 0 , Q E D , Q E S との間に接続される素子 (例えば、ゲート、インバータ等) の数は、種々の出力信号のパスに沿う遅延量を実質的に同一に維持させるために、整合されていなければならない。広い温度にわたって同一の遅延態様を有する類似の素子を用いるパスを形成することにより、遅延は、図 1 の D D R D R A M の動作温度が変化しても、整合されたままに維持される。

【 0 0 3 1 】

図 4 は、本発明の一実施例による、図 2 のデータ出力ドライバ 6 2 及びデータストロブ出力ドライバ 6 4 の一実施例の簡略化された回路図である。データ出力ドライバ 6 2 には、N A N D ゲート 1 1 0 及びインバータ 1 1 2 が含まれる。N A N D ゲート 1 1 0 は、図 3 のタイミング発生器 6 0 からの信号 Q E S に接続される一つの入力と、信号 T E S T * に接続されるもう一つの入力を有する。インバータ 1 1 2 の入力には、N A N D ゲート 1 1 0 の出力が接続される。N A N D ゲート 1 1 0 の出力は、タイミング信号 I Q E D * を提供し、インバータ 1 1 2 の出力は、相補タイミング信号 I Q E D を提供する。

【 0 0 3 2 】

データ出力ドライバ 6 2 には、N A N D ゲート 1 1 4 及び N O R ゲート 1 1 6 も含まれる。N A N D ゲート 1 1 4 は、信号 I Q E D に接続される一つの入力と、図 1 のアレイ 1 2 A からのデータに接続されるもう一つの入力を有する。N O R ゲート 1 1 6 は、アレイ 1 2 A からのデータに接続される一つの入力と、信号 I Q E D * に接続されるもう一つの入力を有する。

【 0 0 3 3 】

データ出力ドライバ 6 2 には、N A N D ゲート 1 1 8 及び N O R ゲート 1 2 0 も含まれる。N A N D ゲート 1 1 8 は、信号 I Q E D に接続される一つの入力と、図 1 のアレイ 1 2 B からのデータに接続されるもう一つの入力を有する。N O R ゲート 1 2 0 は、アレイ 1 2 B からのデータに接続される一つの入力と、信号 I Q E D * に接続されるもう一つの入力を有する。

【 0 0 3 4 】

データ出力ドライバ 6 2 には、マルチプレクサ 1 2 2 , 1 2 4 の第 1 群及びマルチプレクサ 1 2 6 , 1 2 8 の第 2 群も含まれる。マルチプレクサ 1 2 2 , 1 2 4 の第 1 群は、図 2 の遅延ロックスループ 3 2 からの信号 D L L R 0 及び D L L R 0 * により信号が取り出され、マルチプレクサ 1 2 6 , 1 2 8 の第 2 群は、遅延ロックスループ 3 2 からの信号 D L L F 0 及び D L L F 0 * により信号が取り出される。整数のクロック周期であるレイテンシのために、信号 D L L R 0 及び D L L R 0 * の立ち上がりエッジは、外部クロック信号 X C L K の立ち上がりエッジよりも先行するようにタイミングが合わせられ、また信号 D L L F 0 及び D L L F 0 * の立ち上がりエッジは、信号 X C L K の立ち下がりエッジよりも先行するようにタイミングが合わせられる。整数ではないクロック周期であるレイテンシのために、信号 D L L R 0 及び D L L R 0 * の立ち上がりエッジは、外部クロック信号 X C L K の立ち下がりエッジよりも先行するようにタイミングが合わせられ、また信号 D L L F 0 及び D L L F 0 * の立ち上がりエッジは、信号 X C L K の立ち上がりエッジよりも先行するようにタイミングが合わせられる。

【 0 0 3 5 】

N A N D ゲート 1 1 4 の出力はマルチプレクサ 1 2 2 のデータ入力に接続され、また N O R ゲート 1 1 6 の出力はマルチプレクサ 1 2 4 のデータ入力に接続される。同様に、N

10

20

30

40

50

ANDゲート118の出力はマルチプレクサ126のデータ入力に接続され、またNORゲート120の出力はマルチプレクサ128のデータ入力に接続される。

【0036】

データ出力ドライバ62には、インバータ130, 132と、入力133, 135を有するDQバッファ134と、インバータ136, 138も含まれる。マルチプレクサ124, 128の出力は互いに接続され、そしてインバータ130の入力に接続される。インバータ130の出力はインバータ132の入力に接続される。インバータ132の出力は、DQバッファ134の第1入力133に接続される。同様に、マルチプレクサ122, 126の出力はインバータ136の入力に接続される。インバータ136の出力はインバータ138の入力に接続される。インバータ138の出力は、DQバッファ134の入力135に接続される。

10

【0037】

データストロブ出力ドライバ64は、データ出力ドライバ62に類似している。データストロブ出力ドライバ64には、NANDゲート150と、インバータ152と、NANDゲート154と、NORゲート156と、NANDゲート158と、NORゲート160と、マルチプレクサ162, 164, 166, 168と、インバータ170, 172と、入力173, 175を有するDQSバッファ174と、インバータ176, 178とが含まれる。

【0038】

NANDゲート150及びインバータ152は、信号QES及びTEST*からタイミング信号IQES及びIQES*を生成する。NANDゲート154及びNORゲート156の各々は、それぞれIQES及びIQES*に接続された一つの入力と、信号QS0に接続されたもう一つの入力を有する。NANDゲート158及びNORゲート160の各々は、それぞれIQES及びIQES*に接続された一つの入力と、ロジック「1」に接続されたもう一つの入力を有する。ゲート154, 156の出力は、それぞれマルチプレクサ162, 164のデータ入力に接続され、ゲート158, 160の出力は、それぞれマルチプレクサ166, 168のデータ入力に接続される。

20

【0039】

図2の遅延ロックスループ32からのクロック信号DLLR0, DLLF0に応じて、マルチプレクサ164, 168からの出力信号は、インバータ170, 172を介してDQSバッファ174の第1入力173に接続される。同様に、マルチプレクサ162, 166からの出力信号は、インバータ176, 178を介して、DQSバッファ174の相補入力175に接続される。

30

【0040】

図5は、本発明の一実施例による、レイテンシが3、バースト長が4のデータ出力動作を示す簡略化されたタイミング図である。図5及び図6には、8つの信号が示されており、XCLK, DLLR0, DLLF0, QED(図5)又はLQED(図6), QES, QS0, DQS, DQとラベルが付されている(上から下の順番)。図2の外部クロック信号XCLKは、一番上の線で示されている。

【0041】

外部クロック信号XCLKの下に示される遅延ロックスループ出力信号DLLR0の立ち上がりエッジは、約8ナノ秒だけ外部クロック信号XCLKの立ち上がりエッジの先を進む。同様に、遅延ロックスループ出力信号DLLF0の立ち上がりエッジは、外部クロックXCLKの立ち下がりエッジの先を進む。これは、外部クロック信号XCLKに対してデータ出力の非同期化無しで、図4のマルチプレクサ122-128が、DQバッファ134へ、従って、図1のI/Oバス20へデータを送ることを許容する。

40

【0042】

図5のレイテンシが3、バースト長が4のデータ出力動作のために、信号LQED, LQESをそれぞれ作り出すためにタイミング信号Q3, Q2を送ることを図3のマルチプレクサ76にのみ許容する。これにより、LATE3信号が、図2のコマンドデコーダ2

50

6により有効化される（即ち、ロジック「1」に設定される）。マルチプレクサ122, 124, 126, 128のクロック信号DLLR0, DLLF0にアレイ12A, 12Bからのデータを同期化させるために、信号LQEDは、DLLF0の立ち下がりエッジでロジック「1」に変化することが必要であり、且つDLLR0の次の立ち上がりエッジの前にロジック「1」に完全に变化している必要もある。

【0043】

図3のワンショット回路80は、信号LQES, LQEDから信号QS0を生成する。そして、この信号QS0は、高インピーダンス安定状態を有する、DQSドライバ64の出力から信号DQSのロジック「0」のプリアンブル部を生成するために、DQSドライバ64（図3, 図4）のゲート154, 156（図4）により使用される。その結果、図4のDQSドライバ64の出力である信号DQSは、信号QS0がロジック「1」となった直後に、安定状態の約1.4ボルトの信号レベルからロジック「0」へと変化する。

10

【0044】

1クロックサイクルの後、外部クロック信号XCLKの4番目のサイクルの立ち上がりエッジに同期して、図4のDQバッファ134の出力からのデータ信号DQ及びデータストローブバッファ174の出力からのデータストローブ信号DQSが、DDR DRAM10（図1）から出力され始める。アレイ12A, 12B（図1）の各々から2バイトのバーストがDQバッファ134（図4）の出力から取り出されたとき、DQ及びDQS信号の両方は、外部クロック信号XCLKの7番目のサイクルの立ち上がりエッジに同期して、高インピーダンスな安定状態に戻る。

20

【0045】

図6は、本発明の一実施例による、レイテンシが2と1/2、バースト長が8のデータ出力動作を示す簡略化されたタイミング図である。LATE2h信号が図2のコマンドデコーダ26によって活性化されると、図3のマルチプレクサ74のみが、信号LQED, LQESをそれぞれ作り出すために、タイミング信号2h, 1hを送ることを許容する。図3のワンショット回路80は、信号LQES, LQEDから信号QS0を生成し、この信号QS0は、DQS信号のプリアンブル部が外部クロック信号XCLKの第2サイクルの立ち下がりエッジで始まる点が異なるが、図5で説明されるように、DWSプリアンブル部を生成するために用いられる。

30

【0046】

1クロックサイクルの後、外部クロック信号XCLKの3番目の立ち下がりエッジに同期して（即ち、2と1/2クロックサイクル後）、データDQは、DDR DRAM10（図1）の外に図4のDQバッファ134の出力から取り出される。各アレイ12A, 12B（図1）から4バイト計8バイトのバーストが、外部クロック信号XCLKの7番目のサイクルの立ち上がりエッジで、DQバッファ134（図4）から取り出されると、DQ及びDQS信号の両方は、外部クロック信号XCLKの7番目のサイクルの立ち下がりエッジに同期して、高インピーダンスな安定状態に戻る。

【0047】

図7は、本発明の一実施例による、レイテンシが2、バースト長が8のデータ出力動作を示す簡略化されたタイミング図である。8つの信号が図7に示されており、XCLK, DLLR0, DLLF0, QES, QED, QS0, DQS, DQとラベルが付されている（上から下の順番）。

40

【0048】

LATE2信号が図2のコマンドデコーダ26によって活性化されると、マルチプレクサ72のみが、信号LQED, LQESをそれぞれ作り出すために、タイミング信号Q2, Q1を通過させることを許容する。信号QS0は、図5を参照して上で説明したように、DQSプリアンブル部を生成するために作られ使用される。この時、プリアンブル部が外部クロック信号XCLKの第2サイクルの立ち上がりエッジで始まる点が前の場合とは異なる。

【0049】

50

1クロックサイクルの後に、外部クロック信号XCLKの3番目のサイクルの立ち上がりエッジに同期して、データDQが、DDR DRAM10(図1)の外部に、図4のDQバッファ134の出力から取り出される。アレイ12A, 12B(図1)の各々からの4バイトのバーストが、外部クロック信号XCLKの6番目の立ち下がりエッジにおいて、DQバッファ134(図4)から取り出されたとき、DQ及びDQS信号の両方は、外部クロック信号XCLKの7番目のサイクルの立ち上がりエッジに同期して、高インピーダンスな安定状態に復帰する。

【0050】

図5から図7の例は、1クロックサイクルの長さを有するプリアンプルを用いている。1/2クロックサイクルの長さを有するプリアンプル部が必要なときは、図3のマルチプレクサ76への入力Q2は信号2hに、マルチプレクサ74への入力1hは信号Q2に、マルチプレクサ72への入力Q1は信号1hに、マルチプレクサ70への入力QED0はQ1にそれぞれ変更されれば良い。他のプリアンプル長は、マルチプレクサ70, 72, 74, 76のためのタイミング信号の適当な選択により選定されれば良い。図5から図7のデータ出力動作の全てに共通する重要な点は、マルチプレクサ122-128, 162-168(図4)を介してデータを取り出すための信号DLLR0, DLLF0が、従来のクロック信号源からではなく、図2の遅延ロックループから取り出されていることである。これは、遅延ロックループ32からの信号DLLR0, DLLF0が、外部クロック信号XCLKに対して所定の位相関係を有するので有利である。その結果、信号DLLR0, DLLF0により取り出された信号は、ダブルデータレート動作に対して、即ち、より高いクロック周波数の使用例に対して要求される、より厳格なタイミング時間の間で効果的なものと言える。

【0051】

遅延ロックループ32からタイミング信号Q1, 1h, Q2, 2h, Q3を引き出すことは、これらのタイミング信号が、DDR DRAM動作に要求される、より短いタイミング時間の間で有効的なものとなることを許容する。タイミング信号の伝播遅延量をバランスさせること、制御信号QES, QED, QS0の発生及び伝播をバランスさせること、信号DQ, DQSの発生をバランスさせることは全て、信号DQとDQSの同期化を容易とし、且つ確固として同期化温度追従性を提供する。

【0052】

図3のタイミング発生器69及びコントロール信号発生器78は、これらの利益を得るため、並びに図2及び図4のデータ出力ドライバ62及びデータストロープ出力ドライバ64への入力信号を提供するための、簡単ではあるが確固とした方法を提供する。一実施例において、各々の信号パスのゲートの数を同じにすること、及びある一定の遅延量を適当に選択することを確実にし、且つ図2の遅延ロックループ32からのタイミング信号DLLR0, DLLF0を用いることで、外部クロック信号XCLKに対して、より厳格なタイミング規制と、増大したデータ出力レートが達成できる。

【図面の簡単な説明】

【0053】

【図1】図1は、本発明の一実施例による、DDR DRAMの簡略化したブロック図を示す。

【図2】図2は、本発明の一実施例による、図1のDDR DRAMの出力回路の簡略化したブロック図を示す。

【図3】図3は、本発明の一実施例による、図2のタイミング発生器の一実施例の簡略化したブロック図を示す。

【図4】図4は、本発明の一実施例による、図2の出力ドライバの一実施例の簡略化したブロック図を示す。

【図5】図5は、本発明の一実施例による、レイテンシが3、バースト長が4のデータ出力動作を示す簡略化されたタイミング図を示す。

【図6】図6は、本発明の一実施例による、レイテンシが2と1/2、バースト長が8の

10

20

30

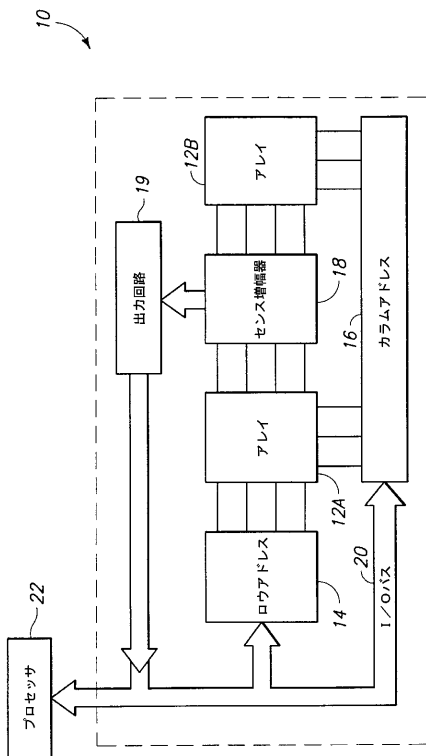
40

50

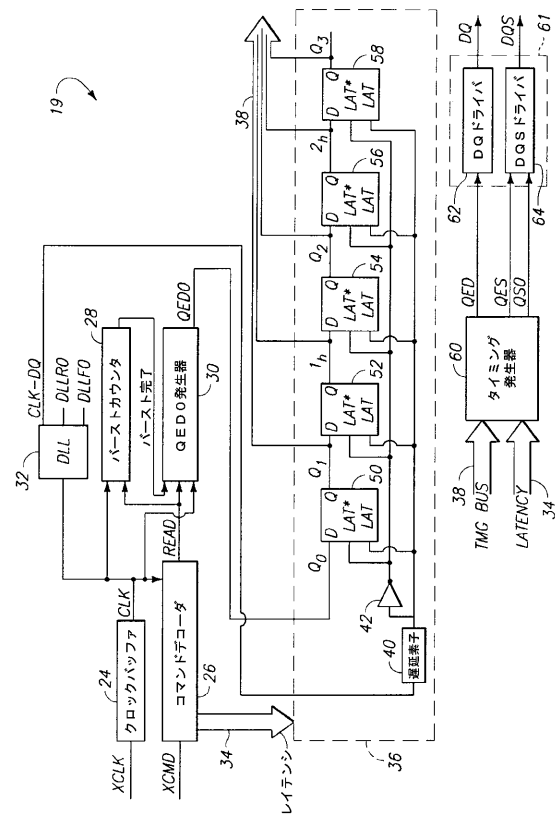
データ出力動作を示す簡略化されたタイミング図を示す。

【図 7】図 7 は、本発明の一実施例による、レイテンシが 2、バースト長が 8 のデータ出力動作を示す簡略化されたタイミング図を示す。

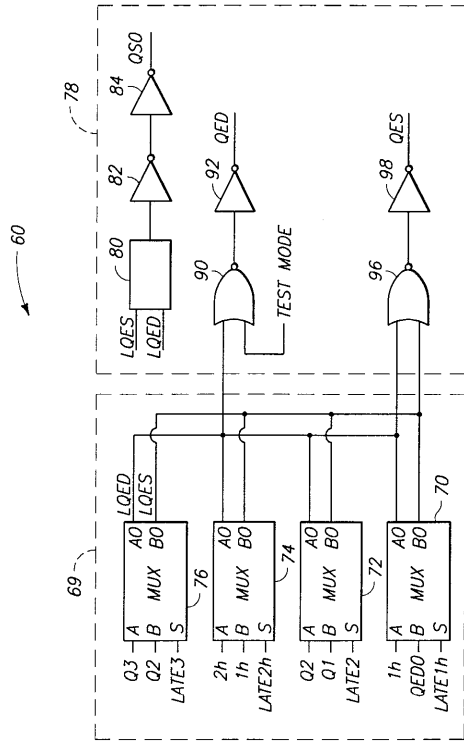
【図 1】



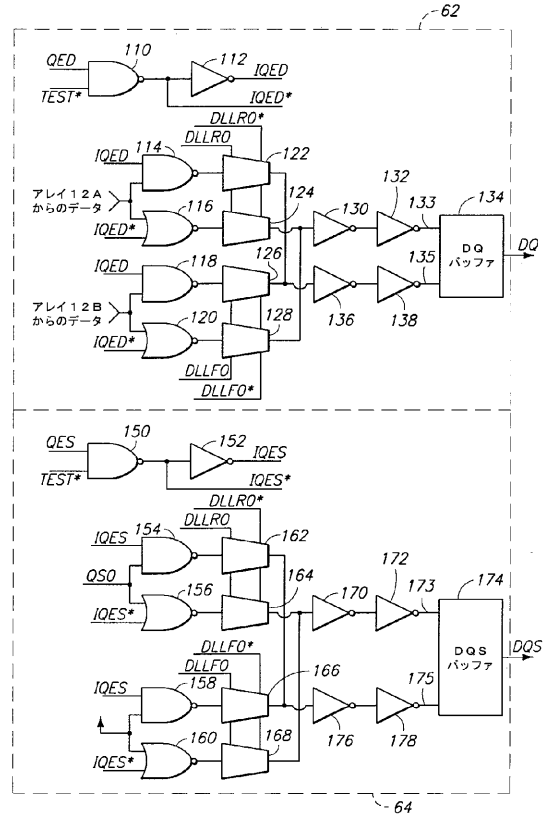
【図 2】



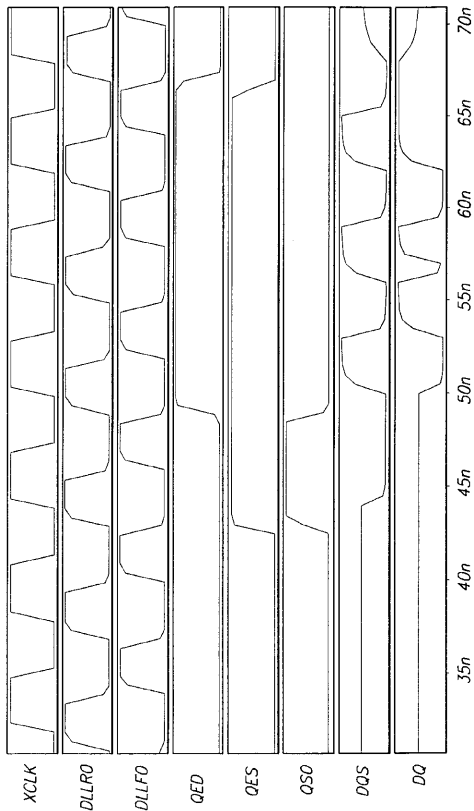
【図3】



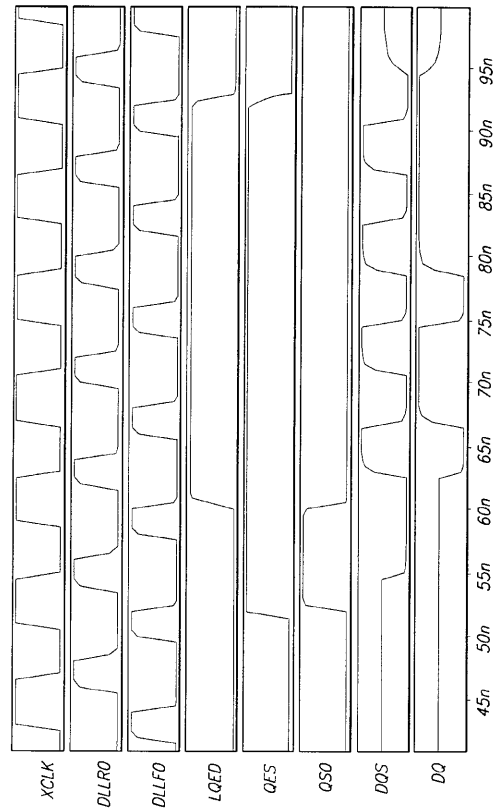
【図4】



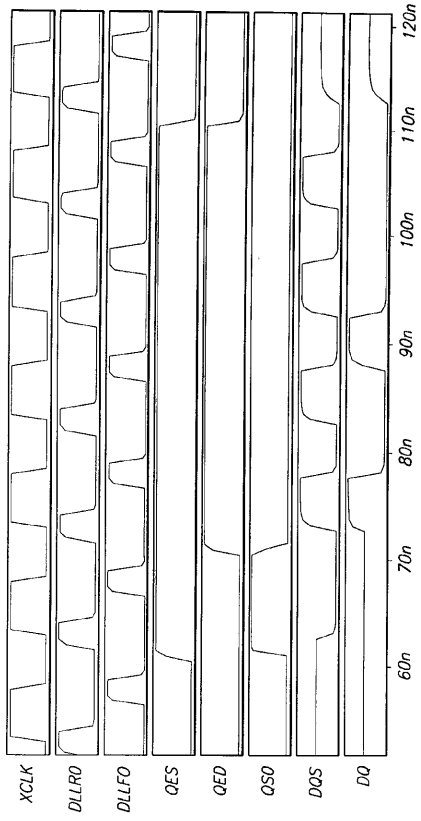
【図5】



【図6】



【 図 7 】



フロントページの続き

審査官 堀田 和義

(56)参考文献 特開平 1 1 - 2 1 3 6 6 6 (J P , A)
特開平 1 1 - 2 1 3 6 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 4 0 9 3
G 1 1 C 1 1 / 4 0 7 6