



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201631663 A

(43) 公開日：中華民國 105 (2016) 年 09 月 01 日

(21) 申請案號：104136110 (22) 申請日：中華民國 104 (2015) 年 11 月 03 日

(51) Int. Cl. : *H01L21/32 (2006.01)* *H01L21/308 (2006.01)*
H01L21/033 (2006.01) *H01L21/311 (2006.01)*
H01L21/8247(2006.01)

(30) 優先權：2014/11/14 美國 14/541,542

(71) 申請人：蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)
美國

(72) 發明人：李 威廉 T LEE, WILLIAM T. (US)

(74) 代理人：許峻榮

申請實體審查：無 申請專利範圍項數：21 項 圖式數：10 共 46 頁

(54) 名稱

用於垂直 NAND 孔洞蝕刻之經電鍍的金屬硬式遮罩

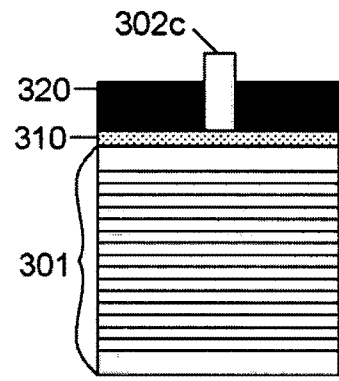
PLATED METAL HARD MASK FOR VERTICAL NAND HOLE ETCH

(57) 摘要

此處實施例相關於形成高縱橫比之下凹特徵部的方法、設備、及系統。經常地，如此特徵部係在製造垂直 NAND (VNAND, vertical NAND) 記憶體裝置的過程中形成。所揭露的各種實施例相關於涉及以下者的處理流程：在覆蓋下方材料堆疊的金屬晶種層上沉積及塑形犧牲柱；在犧牲柱周圍有電鍍或無電鍍金屬硬式遮罩材料；移除犧牲柱；及蝕刻下方的材料堆疊以形成高縱橫比的下凹特徵部。

The embodiments herein relate to methods, apparatus, and systems for forming recessed features at high aspect ratios. Often, such features are formed in the context of fabricating a vertical NAND (VNAND) memory device. Various disclosed embodiments relate to process flows that involve depositing and shaping sacrificial posts on a metal seed layer that covers an underlying stack of materials, electroplating or electroless plating metal hard mask material around the sacrificial posts, removing the sacrificial posts, and etching the underlying stack of materials to form a high aspect ratio recessed feature.

指定代表圖：



符號簡單說明：

301 . . . 堆疊

302c . . . 柱

310 . . . 晶種層

320 . . . 遮罩層

圖 3D



201631663

【發明摘要】

申請日: 104.11.3

IPC分類:

H01L21/32(2006.01)
H01L21/308(2006.01)
H01L21/033(2006.01)
H01L21/311(2006.01)
H01L21/8247(2006.01)

【中文發明名稱】

用於垂直NAND孔洞蝕刻之經電鍍的金屬硬式遮罩

【英文發明名稱】

PLATED METAL HARD MASK FOR VERTICAL NAND HOLE ETCH

【中文】

此處實施例相關於形成高縱橫比之下凹特徵部的方法、設備、及系統。經常地，如此特徵部係在製造垂直NAND (VNAND, vertical NAND) 記憶體裝置的過程中形成。所揭露的各種實施例相關於涉及以下者的處理流程：在覆蓋下方材料堆疊的金屬晶種層上沉積及塑形犧牲柱；在犧牲柱周圍有電鍍或無電鍍金屬硬式遮罩材料；移除犧牲柱；及蝕刻下方的材料堆疊以形成高縱橫比的下凹特徵部。

【英文】

The embodiments herein relate to methods, apparatus, and systems for forming recessed features at high aspect ratios. Often, such features are formed in the context of fabricating a vertical NAND (VNAND) memory device. Various disclosed embodiments relate to process flows that involve depositing and shaping sacrificial posts on a metal seed layer that covers an underlying stack of materials, electroplating or electroless plating metal hard mask material around the sacrificial posts, removing the sacrificial posts, and etching the underlying stack of materials to form a high aspect ratio recessed feature.

【指定代表圖】：圖 3D

【代表圖之符號簡單說明】

301 堆疊

302c 柱
310 晶種層
320 遮罩層

【發明說明書】

【中文發明名稱】

用於垂直NAND孔洞蝕刻之經電鍍的金屬硬式遮罩

【英文發明名稱】

PLATED METAL HARD MASK FOR VERTICAL NAND HOLE ETCH

【技術領域】

【0001】

本發明相關於在基板上形成下凹特徵部的方法、設備、及系統。

【先前技術】

【0002】 在製造日益密集之裝置的持續壓力下,半導體裝置產業係正轉向使用3D記憶體結構。舉例而言,NAND 快閃記憶體已從平面配置移至垂直配置(VNAND, vertical NAND)。此垂直配置容許記憶體裝置以顯著較大的位元密度形成。VNAND裝置的形成中所涉及的操作涉及將孔洞蝕刻至交替材料層的堆疊中。當交替材料層的堆疊逐漸包含大量疊層,該蝕刻操作便變得日益困難。

【發明內容】

【0003】 此處某些實施例相關於在基板上形成下凹特徵部的方法。基板經常包含交替材料的堆疊,並且所蝕刻之特徵部具有相對高的縱橫比。各種實施例在蝕刻期間利用金屬遮罩材料來保護堆疊。此金屬遮罩材料可在犧牲柱的周圍形成,該犧牲柱係在金屬遮罩的形成之後而移除。

【0004】 此處實施例的一實施態樣中,提供在基板上形成下凹特徵部的方法,該方法包含:(a)在基板上形成犧牲柱,該基板包含下方材料之上的傳導性晶種層,其中犧牲柱係形成於下凹特徵部待形成在下方材料中之區域的正上方;(b)透過有電電鍍、無電電鍍、或化學氣相沉積而在犧牲柱周圍的

傳導性晶種層上沉積金屬硬式遮罩材料，以形成金屬硬式遮罩層；(c) 移除犧牲柱，以在金屬硬式遮罩層中形成開口；以及(d) 蝕刻下方的材料，從而在金屬硬式遮罩層中開口的正下方形成下凹特徵部。

【0005】 在某些實施例中，下方材料包含矽氧化物及矽氮化物的交替層。在其他實施例中，下方材料包含矽氧化物及多晶矽的交替層。

【0006】 方法在(c) 之後、且在(d) 之前更可包含在金屬硬式遮罩層上透過無電電鍍、或化學氣相沉積沉積額外的金屬遮罩材料，從而窄化金屬硬式遮罩層中的開口。該額外的金屬遮罩材料可包含選自以下者組成之群組的材料：Co、Ni、Ru、Sn、In、Pd、Ge、及其組合。

【0007】 如提及，下凹特徵部可具有相對高的縱橫比。在一些實施例中，下凹特徵部具有至少約40的縱橫比。在某些情形中，下凹特徵部具有至少約60的縱橫比。在一些情形中，特徵部的深度可為至少約 $2.5\ \mu\text{m}$ 。

【0008】 各種材料可用於金屬硬式遮罩材料。例如，金屬硬式遮罩材料可包含選自由以下者組成之群組的材料：Co、Ni、Ru、Sn、In、Pd、Ge、及其組合。類似地，傳導性晶種層可包含選自由以下者組成之群組的材料：Co、Ru、Ti、Cr、Cu、及其組合。

【0009】 犧牲柱亦可為若干不同材料的任何者。例如，在一些情形中，犧牲柱包含選自由以下者組成之群組的材料：碳、矽、矽氧化物、矽氮化物、矽碳化物、及其組合。在各種實施例中，犧牲柱的材料可為非晶的。犧牲柱可具有約5-200nm之間的寬度。犧牲柱的縱橫比可為至少約2:1。在某些實施例中，形成犧牲柱包含：沉積犧牲柱材料；沉積一或更多中間層；沉積一層光阻；使光阻圖案化；蝕刻該一或更多中間層；以及蝕刻犧牲柱材料來形成犧牲柱。犧牲柱可透過包含如CVD製程、PVD製程、ALD製程、或旋塗製程的各種技術而沉積。

【0010】如提及，金屬硬式遮罩層可透過各種技術而沉積。在一些實施例中，金屬硬式遮罩層係透過有電電鍍而沉積。在其他實施例中，金屬硬式遮罩層係透過無電電鍍而沉積。在又其他實施例中，金屬硬式遮罩層係透過CVD技術而沉積。金屬硬式遮罩層可具有約25nm與約2.5 μ m之間的厚度。在各種實施例中，方法在(d)之後、及在(d)之前更可包含移除金屬硬式遮罩層之開口中的傳導性晶種層。該等及其他特徵將於以下參考相關圖式加以描述。

【圖式簡單說明】

【0011】圖1A-1F描述使用習知硬式遮罩（例如，包含非晶碳的遮罩）經受處理以形成蝕刻凹口時的部分製造半導體體裝置。

【0012】圖2A-2E描述使用金屬硬式遮罩經受處理以嘗試形成蝕刻凹口時的部分製造半導體體裝置。

【0013】圖3A-3F描述使用金屬硬式遮罩經受處理以形成蝕刻凹口時的部分製造半導體體裝置，該金屬硬式遮罩係被電鍍於已圖案化犧牲柱的周圍。

【0014】圖4A-4F描述在類似於圖3A-3F中顯示之製程的製程中使用金屬硬式遮罩經受處理以形成蝕刻凹口時的部分製造半導體體裝置，伴隨著涉及無電電鍍的額外步驟，以進一步塑形金屬硬式遮罩。

【0015】圖5示意性說明可用於實施相關於圖3A-3F所描述之製程的一些半導體設備。

【0016】圖6說明可用於實施相關於圖4A-4F所描述之製程的一些半導體設備。

【0017】圖7係描述相關於圖1A-1F所描述之製程的流程圖。

【0018】圖8係描述相關於圖2A-2E所描述之製程的流程圖。

【0019】圖9係描述相關於圖3A-3F所描述之製程的流程圖。

【0020】圖10係描述相關於圖4A-4F所描述之製程的流程圖。

【實施方式】

【0021】 本申請案中，用語「半導體晶圓」、「晶圓」、「基板」、「晶圓基板」、以及「部分製造的積體電路」係可互換地使用。此領域通常技術者將理解，用語「部分製造的積體電路」可指處於矽晶圓上積體電路製造之許多階段的任何者期間的矽晶圓。半導體裝置產業中所使用之晶圓或基板典型地具有200mm、或300mm、或450mm的直徑。以下實施方式假設本發明係於晶圓上實施。然而，本發明並非如此限制。工件可具有各種形狀、尺寸、以及材料。除半導體晶圓外，可利用所揭露實施例的其他工件包含各種物件，例如，印刷電路板、磁性記錄媒體、磁性記錄感測器、鏡、光學元件、微機械元件、及其類似物。

【0022】 在以下描述內容中，提出許多具體細節，以提供對所呈現之實施例的透徹理解。所揭露實施例可在沒有該等具體細節的一些或全部者條件下實行。在其它情形中，已為人所熟知的製程並未作詳細描述，以免不必要地模糊所揭露實施例。儘管所揭露實施例將結合具體實施例而加以描述，但將理解其並非意圖限制所揭露實施例。

I. 脈絡及處理流程

【0023】 VNAND裝置的製造中所涉及的一操作涉及將下凹特徵部蝕刻至交替的材料層中。目前的產品包含記憶體裝置，其包含以單一垂直列而設置的32個單獨裝置，每一者儲存一或更多位元。該等裝置係使用蝕刻通過以下者的製程而製造：設置於堆疊中之32對矽氧化物/矽氮化物層、或矽氧化物/多晶矽層。在一些情形中，堆疊可包含針對各種功能/目的而設置的某些額外的複數層。在典型的情形中，32對該等層的堆疊係約2 μ m厚，這意味著蝕刻製程必須蝕刻約2 μ m深的特徵部。如此特徵部之典型臨界直徑（寬度）的範例係約50nm，導致約40:1（較簡單地表述為40）的縱橫比。

第 4 頁，共 32 頁(發明說明書)

【0024】藉由增加堆疊中交替複數層的對數，可製造具有甚至更大位元密度的裝置。舉例而言，期望某些記憶體裝置可利用約46-64之間的層對數而加以製造，或者甚至在各種實施例中約72-92之間的層對數。在該等進一步的裝置中，預估臨界尺寸將有可能保持大約相同、或變得更小，涉及到具有至少可約為80（或至少約100）之縱橫比的特徵部。然而，如此處進一步討論，習知的蝕刻製程及硬式遮罩材料不能夠形成如此高縱橫比的特徵部。儘管許多的所揭露實施例關於VNAND記憶體裝置，但所揭露的蝕刻及沉積製程可在如邏輯裝置的其他應用中加以應用。

【0025】圖1A-1F說明經受各種處理操作以形成如此特徵部時的部分製造半導體裝置。圖7顯示描述圖1A-1F中各種製程操作的流程圖。圖2A-2E說明根據替代方法經受各種處理操作以形成如此特徵部時的部分製造半導體裝置。圖8顯示描述圖2A-2E中各種處理操作的流程圖。圖1A-1F（及相關的圖7）及圖2A-E（及相關的圖8）中顯示的製程流程各出現某些困難，該困難係藉由圖3A-3F（及相關的圖9）及4A-4F（及相關的圖10）中顯示的方法而克服。

【0026】開始於圖1A、及圖7之操作701，在沉積設備中設置基板。基板包含材料之交替層的堆疊101。在某些情形中，複數層在氧化物材料（例如，矽氧化物）及氮化物材料（例如，矽氮化物）之間交替。在其他情形中，複數層在氧化物材料（例如，矽氧化物）及多晶體矽（亦即，多晶矽）之間交替。堆疊101的最上層在一些情形中可為矽氮化物。此範例中覆蓋於堆疊101上的係非晶碳硬式遮罩102。接下來，在操作703，一系列的圖案轉移層103、抗反射層104、及光阻層105後續係沉積於非晶碳硬式遮罩102上。在操作705，如圖1B中顯示，使光阻層105圖案化，以定義特徵部106待被蝕刻至堆疊101中的位置。設置圖案轉移層103，以幫助將圖案自光阻層105轉移至非晶碳硬式遮罩102、且然後轉移至堆疊101。在操作707進行一系列的蝕刻操作，以將圖案垂直地向

下轉移通過複數層。如圖1C及1D中顯示，可在該等蝕刻操作期間移除光阻層105、抗反射層104、及圖案轉移層103。最終，如圖1E中顯示，將圖案轉移至非晶的硬式遮罩102。自此，如圖1F中顯示，進行額外的蝕刻操作709，以將圖案蝕刻至堆疊101中。通常，特徵部106係孔洞/圓柱。

【0027】 儘管圖1A-1F中顯示的處理流程可足以形成有限深度的特徵部，但在形成更大深度的特徵部時，則面臨顯著的困難。舉例而言，在某些情形中，儘管該處理流程可足以形成具有24或36對疊層的堆疊中所典型使用的1.5-2 μm 深的孔洞，但對於在具有更大數量之成對疊層的堆疊（例如，將用於最先進VNAND裝置中的堆疊）中形成所使用之3-4 μm 深的孔洞而言，此處理流程係遠較無可能性。如此裝置可具有更大的疊層對數，例如至少約40對、至少約50對、至少約60對、至少約70對、至少約90對等。如此裝置中特徵部的縱橫比可為至少約40、至少約50、至少約60、至少約80、或至少約100。特徵部的縱橫比係特徵部之深度對特徵部之臨界尺寸（經常是特徵部的直徑、或寬度）的比較。舉例而言，具有2 μm 深度、及約50nm寬度的孔洞具有約40:1的縱橫比，較簡單地表示為40。

【0028】 圖1A-1F中之處理流程受限於形成相對淺的特徵部的一原因係非晶碳硬式遮罩102並非足夠耐蝕刻以抵抗形成更大深度之特徵部106所需要的處理量。換句話說，非晶的硬式遮罩102與下方的待蝕刻堆疊101之間的選擇性係過低的，且非晶碳硬式遮罩102可能在特徵部106被蝕刻至其最終深度之前而被蝕掉。在VNAND應用中，下方堆疊材料與PECVD沉積的非晶硬式遮罩之間的例示性蝕刻率選擇性可落於約2:1-3:1（堆疊的蝕刻率:硬式遮罩的蝕刻率）之間。在一些情形中，相關的問題是非晶碳硬式遮罩102可能變成多面的（亦即，圖案的頂角附近受到過度蝕刻），使得轉移至堆疊中的圖案係不精確的。

在目前處理條件下，受蝕刻至約 $2\ \mu\text{m}$ 深的36對堆疊需要約 $1\text{-}1.5\ \mu\text{m}$ 厚的非晶碳硬式遮罩。

【0029】為了使用目前材料而蝕刻更深的孔洞（例如，在堆疊包含額外複數層對的情況中），碳硬式遮罩102的厚度將需要增加。然而，為形成 $3\text{-}4\ \mu\text{m}$ 深的特徵部而將需要增加的碳硬式遮罩102之厚度量係不可行的。蝕刻深度與達成該蝕刻深度所需要之非晶碳硬式遮罩的最小厚度之間的關係非線性的。因為離子蝕刻的方向性本質、及正受蝕刻之特徵部的幾何形狀，堆疊材料在淺的深度處（其中，較大部分的離子能夠撞擊在基板上特徵部的底部之處）係受到相對快速地蝕刻，且在較深的深度處（其中，較小部分的離子能夠撞擊在基板上特徵部的底部之處，因為較大部分地離子反倒是撞擊特徵部的側壁）係受到相對慢速地蝕刻。因為非晶碳硬式遮罩102係以相對恆定的速度受到蝕刻，降低特徵部中蝕刻率的結果是，在特徵部中每蝕刻一距離，被蝕掉之碳硬式遮罩的量便隨著增加的蝕刻深度而增加。換句話說，對比於特徵部自 $1\ \mu\text{m}$ 蝕刻至 $2\ \mu\text{m}$ 時，當特徵部自 $3\ \mu\text{m}$ 蝕刻至 $4\ \mu\text{m}$ 時，明顯更多的碳硬式遮罩被蝕掉。該非線性關係意味著將需要非常厚的非晶碳硬式遮罩，以在蝕刻期間足以保護基板，並維持期望的圖案。

【0030】在許多情形中，如此厚的碳硬式遮罩係不可行的。厚的碳硬式遮罩係不期望的，其一個原因是目前使 $1\text{-}1.5\ \mu\text{m}$ 厚的非晶碳硬式遮罩層圖案化所需要之處理序列已相當複雜且昂貴。單一層的光阻不足以在蝕刻深的特徵部時保護堆疊，這是因為光阻將遠在特徵部被蝕刻至全深度之前便發生腐蝕。為解決此問題，現代的製造技術在光微影與硬式遮罩中圖案定義之間設置複數的圖案轉移階段。將非晶碳硬式遮罩延伸至更大的厚度將進一步使該製程複雜化，因為需要額外的材料、及較厚的圖案轉移層，其花費更長的時間來進行沉積及蝕刻。進一步講，許多硬式遮罩膜係透過CVD或PVD製程而沉積，並且

具有可導致基板翹曲/迴繞的固有應力。取決於該應力是否係壓縮的或拉伸的，翹曲可導致基板變成拱頂形或碟形。此基板翹曲問題對較厚的遮罩層而言更有問題，且在進一步的處理步驟中可能阻礙基板在基板支撐件上進行適當地定位。基板翹曲在光微影操作的過程中係尤其有問題的，該光微影操作經常涉及必須被施加至極平坦之基板的極精密光學元件。如此，需要一種使用硬式遮罩材料形成深下凹特徵部的方法，該硬式遮罩材料可抵抗對形成如此特徵部而言所必需的處理條件。

【0031】 解決該等問題的方法係利用如金屬的較高選擇性硬式遮罩材料代替如非晶碳的習知硬式遮罩材料。使用金屬硬式遮罩的例示性處理流程係顯示於圖2A-2E中，且係參照圖8中之流程圖而進一步加以描述。在此實施例中，使用金屬硬式遮罩202代替圖1A-1F中所使用的非晶碳硬式遮罩102。金屬硬式遮罩在利用相關之蝕刻化學成份的蝕刻期間展現出較大的選擇性，使其成為非晶碳或其他硬式遮罩之可能的替代者。當確實受到圖案化時，金屬硬式遮罩可抵抗用來蝕刻深特徵部（即，高縱橫比特徵部）的處理條件。圖2A-2D中所顯示之製程步驟係在其他方面等同於圖1A-1D中所顯示的製程步驟（進一步講，圖8之製程步驟801-807係在其他方面等同於圖7之操作701-707），並且為簡潔起見，該說明內容將不再重複。

【0032】 然而當金屬硬式遮罩202在圖2E及操作步驟807中受到蝕刻時，出現某些差異。尤其，蝕刻通過金屬硬式遮罩202可能係困難的，且需要此蝕刻來將期望的圖案賦予至下方堆疊101上。此蝕刻操作係困難的，一個原因是使用習知的鹵化物基蝕刻化學成份進行蝕刻時，用於硬式遮罩202之金屬的許多者不具有揮發性副產物。如此，副產物可能被阻塞於已蝕刻特徵部中，例如沿著特徵部的側壁，且可能導致蝕刻製程在圖案被適當地轉移至金屬硬式遮罩202之前實際上停止。某些金屬對其他金屬而言可更有問題。例如，在蝕刻

鎢時，鎢金屬可能與某些蝕刻化學成份/副產物進行反應，以形成非揮發性材料（例如，包含Si、O、N、F、及W的組合及子組合），該非揮發性材料可能塗佈於蝕刻前端特徵部的內部，並且可能導致蝕刻製程減速或停止。

【0033】 解決該蝕刻挑戰的可能方法將是發展新的蝕刻製程。然而，此方法將涉及對目前長久以來的蝕刻製程進行改造，且將是昂貴且困難的。發展出利用目前蝕刻化學成份/製程（例如，氟碳基製程）的製程將是樂見的。

【0034】 PVD沉積金屬硬式遮罩已使用於某些應用中。該等PVD沉積方法的限制是某些金屬係不易濺射的。舉例而言，某些金屬可能不具有適當的濺射靶材，使得PVD沉積變得困難或不可能。PVD沉積金屬硬式遮罩的另一問題是PVD沉積膜經常具有固有的內應力，且因此可導致以上提及的基板翹曲問題。再者，PVD沉積金屬硬式遮罩可能沉積具有相對大的金屬晶粒。如此微粒界面可導致蝕刻在金屬中的特徵部具有不期望的鋸齒狀邊緣，而不是期望的平滑圖案。

【0035】 返回至圖2A-2E及圖8的實施例，因為在操作步驟807中並未成功地對金屬硬式遮罩202進行蝕刻，所以下方堆疊101並未受到蝕刻，且該製程失敗。因此，儘管金屬硬式遮罩在蝕刻深特徵部（例如在一些實施例中，3-4 μm 深，且縱橫比至少約40）期間就保護堆疊而言係有望成功的，但需要不同的/改善的處理流程。改善的處理流程應避開在金屬硬式遮罩層中蝕刻圖案的需要。

【0036】 圖3A-3F呈現在半導體基板中形成下凹特徵部的替代的、及改善的處理流程，其係使用被電鍍於預形成之犧牲柱周圍的金屬硬式遮罩（例如，使用有電電鍍、及/或無電電鍍）。處理流程係相關於圖9中所顯示的流程圖進一步加以描述。預形成的犧牲柱係定位於待形成下凹特徵部之處的正上方，使得在金屬硬式遮罩形成時，其具有期望的形狀，且無需使金屬硬式遮罩圖案化

的困難的離子蝕刻步驟。製程開始於操作901及圖3A，其中提供具有材料交替層的堆疊301，在堆疊301之上具有金屬晶種層310。如以上所討論，堆疊301可包含氧化物及氮化物的交替層、或氧化物及多晶矽的交替層。金屬晶種層310可透過任何可行的方法而沉積在堆疊301上。在某些實施例中，金屬晶種層310係透過物理氣相沉積（PVD）、化學氣相沉積（CVD）、或原子層沉積（ALD）而沉積。PVD及CVD由於所涉及的處理時間較快，所以相較於ALD可尤其有用，然而ALD製程亦可使用於其他實施例中。晶種層應由可輕易移除的材料製成，因為之後在待形成下凹特徵部306的範圍內，該層被移除。

【0037】 接下來，在操作902，沉積一層犧牲柱材料302，接著是操作903中一或更多圖案轉移層303、抗反射層304、及光阻層305的沉積。如圖3B中顯示，在操作905中受使光阻層圖案化。值得注意的是，光阻圖案係圖1B及2B中所使用之圖案的反轉。使光阻圖案化，使得留下的光阻係定位於待蝕刻特徵部之處的上方。移除無特徵部進行蝕刻之範圍中的光阻。犧牲柱材料302可為非晶材料。對比於結晶性材料，非晶材料被蝕刻/圖案化具有較好的平滑度，從而導致較精確的圖案轉移、及已蝕刻特徵部上之較平滑的邊緣。在某些情形中，犧牲柱材料302係非晶矽或非晶碳。犧牲柱材料302係水平地定位於後續將沉積金屬硬式遮罩層之位置的位置。犧牲柱材料302應被沉積為稍微地或適度地大於後沉積金屬遮罩之厚度的厚度。

【0038】 使光阻圖案化後，可在操作907中進行一系列的蝕刻製程，以將圖案自光阻層305轉移至該層犧牲柱材料302，從而形成圖3C中顯示的犧牲柱302c。在各種實施例中，犧牲柱的寬度可介於約20-100nm之間，例如約30-60nm之間、或約40-50nm之間，且犧牲柱的高度可介於約200-1000nm之間，例如約300-500nm之間。在該等或其他實施例中，犧牲柱302c可具有約2:1-50:1之間的縱橫比，例如約10:1-20:1之間。最佳的縱橫比將取決於受蝕刻的材料、金屬硬

式遮罩的材料、及受蝕刻之特徵部的深度。自上方審視時，犧牲柱302c可係圓形、方形、矩形等。

【0039】對許多應用而言，形成一序列的犧牲柱。犧牲柱可視應用需求而以方形圖案、三角形圖案、六角形圖案等進行佈置。對一些應用而言，相鄰柱之間中心至中心的間隔距離係約50-200nm之間。在某些情形中，犧牲柱中心至中心的間隔距離可為約80-120nm之間。

【0040】蝕刻操作907的一個結果是露出定位於犧牲柱材料302層下方的晶種層310。接下來，在操作908，如圖3D中顯示，例如使用有電電鍍或無電電鍍沉積金屬硬式遮罩層320。或者，金屬硬式遮罩層可透過選擇性CVD金屬製程而沉積。用來作為選擇性CVD沉積金屬的例示性材料為鈷，然而亦可使用其他金屬。金屬硬式遮罩層320係被沉積於犧牲柱302c周圍。犧牲柱302c應延伸超過金屬硬式遮罩層320的最上方高度，使得犧牲柱302c可被輕易地移除。接下來，在操作910，如圖3E中顯示，移除犧牲柱302c，並留下金屬硬式遮罩層320。犧牲柱302c係使用在犧牲柱材料302與金屬硬式遮罩層320的材料之間具有高度選擇性的製程而移除。類似地移除定位於犧牲柱302c下方的晶種層310。

【0041】就此而言，如圖3F及操作912中顯示，金屬硬式遮罩層320受到圖案化，且在對堆疊101進行蝕刻以形成特徵部306時，可切實地用作硬式遮罩。因為金屬硬式遮罩層320相較於非晶碳具有優異的蝕刻阻抗，所以此實施例可用來蝕刻比使用圖1A-1F中顯示之製程所能達成之孔洞實質上更深的孔洞（亦即，更高縱橫比的孔洞）。如此，透過額外的材料層，所揭露處理方法可用來蝕刻較深的孔洞，從而使VNAND裝置的製造具有實質上更大數量的交替層，並且因此具有更大的位元密度。

【0042】在某些實施例中，犧牲柱可為相對脆弱的。如此，可期望以稍微大於柱下方待受蝕刻之特徵部之直徑的直徑形成犧牲柱。此實施例係顯示於圖4A-4F中，且係相關於圖10中顯示之流程圖而進一步加以描述。圖4A中顯示的部分製造裝置對應於圖3B中顯示的裝置，但在待蝕刻特徵部之處具有較寬的光阻層305圖案。圖4B中顯示的部分製造裝置對應於圖3C中顯示的裝置，但具有較寬的犧牲柱302c。在此實施例中，犧牲柱302c可具有約2:1-20:1之間的縱橫比，例如約4:1-10:1之間。犧牲柱302c可具有約為最終特徵部406直徑的100-200%之間的直徑。例如約為最終特徵部406之直徑的110-150%之間。圖4C中顯示的部分製造裝置對應於圖3D中顯示的裝置，但仍具有較寬的犧牲柱302c。圖4D中顯示的部分製造裝置對應於圖3E顯示的裝置，但在已移除犧牲柱302c及晶種層310之處具有較寬的孔穴。關於流程圖，圖10之操作1001-1010類同於圖9之操作901-910，且將不再重複該描述內容。

【0043】就此而言，金屬硬式遮罩已被圖案化，但其並未準備好用作硬式遮罩層，應為結果的蝕刻特徵部將比期望寬（因為犧牲柱302c係設計成厚/寬於所蝕刻之特徵部406，以增加犧牲柱302c的機械完整性）。如此，在操作1014，如圖4E中顯示，將額外的一層金屬遮罩材料425電鍍至金屬硬式遮罩層320上。在各種實施例中，該額外層的金屬遮罩材料425係透過無電電鍍而沉積。無電電鍍在曝露的傳導表面上導致金屬沉積。有利地，因為晶種層310可在無電電鍍操作之前移除，所以額外的金屬遮罩材料425僅在曝露的金屬表面上沉積（例如，金屬硬式遮罩層320、及晶種層310的側壁（顯示為誇張地大）。對比之下，額外的金屬遮罩材料425並未電鍍於孔洞的底部，因為孔洞底部的曝露表面在移除晶種層之後不是傳導性的。在一些實施例中，額外遮罩材料425可被電鍍至約1-10nm之間的厚度，例如約2-4nm之間。

【0044】 儘管有電電鍍可用以沉積該額外的遮罩材料425，但其將需要晶種層（例如，晶種層310）來提供驅動有電電鍍反應的電流。如此，在額外的遮罩材料425進行有電電鍍時，將不得不保留連續的晶種層310。進一步講，有電電鍍沉積可從開口的底部往上進行，而並非如期望般地在側壁周圍。無電電鍍都避開該等問題。首先，因為無需外部電流，所以不需要晶種層傳送電流。其次，無電電鍍可以產生更確實覆蓋側壁之相對保形的填充件之方式執行。沉積額外遮罩材料之後，如圖4F中顯示，在操作1016中可將特徵部406蝕刻至材料的堆疊中。

【0045】 在某些實施例中，在額外的遮罩材料425的形成期間，某種程度的電鍍可發生（刻意地、或無意地透過有電電鍍或無電電鍍）於金屬硬式遮罩層320中孔洞的底部。為蝕刻下方的堆疊，應蝕刻通過該孔洞-底部

（hole-bottom）的電鍍。相較於蝕刻通過完整厚的金屬硬式遮罩層320，蝕刻通過該孔洞-底部的電鍍可相對較容易（至少是因為其可能薄得多）。

【0046】 沉積額外遮罩材料的另一選擇係選擇性金屬CVD製程。在該等製程中，化學氣相沉積係用以選擇性地在傳導性表面上（相對於非傳導性表面）沉積金屬。選擇性金屬CVD製程係在以下美國專利及專利申請案中進一步加以討論，該美國專利及專利申請案的每一者係整體併入於此，以供參考：2008年4月29日申請、且名為「Selective Cobalt Deposition on Copper Surfaces」的美國專利申請案第12/111,921號；美國專利第7,884,018號；及美國專利第8,278,216號。

【0047】 相較於涉及到透過蝕刻（例如，圖2A-2E）使金屬硬式遮罩圖案化的方法，圖3A-3F及4A-4F中顯示的方法可產生相對較平滑的特徵部。舉例而言，當蝕刻孔洞/圓柱時，所形成之孔洞相較於透過蝕刻使金屬硬式遮罩圖案化的孔洞而言，係較圓且較平滑的。在犧牲柱材料（例如，圖3A-3F中的

犧牲柱材料302)係非晶材料的情況下尤其如此。因為金屬遮罩材料可為結晶性的，所以直接蝕刻該材料可能在晶粒邊界產生粗糙度及非圓性。對比之下，使用非晶犧牲柱材料的情況中，圖案可被蝕刻至不具晶粒邊界的非晶材料中。這導致較平滑、較圓的圖案。然後可在已圖案化犧牲柱的周圍電鍍金屬硬式遮罩，且在金屬硬式遮罩接觸犧牲柱之處具有極為平滑/圓的側壁。該等平滑/圓的側壁在移除犧牲柱之後得以維持。

【0048】進一步講，所揭露方法可不需要任何困難的硬式遮罩開口蝕刻步驟（亦即，直接地將圖案蝕刻至金屬硬式遮罩中）。如相關於圖2E顯示及解釋，將圖案蝕刻至金屬硬式遮罩材料中係非常困難的，至少是因為使用習知的蝕刻化學成份，許多如此的金屬不具有揮發性副產物。圖3A-3F及4A-4F中顯示的方法避開了此困難的製程步驟，反倒是利用較容易的操作，例如，晶種層的沉積、犧牲柱材料的沉積及圖案化、及在已圖案化犧牲柱周圍有電鍍及/或無電鍍金屬硬式遮罩層。有電鍍及/或無電鍍可用以相對容易地、且低廉地電鍍具有低應力、甚至相當厚度的金屬膜。

【0049】進一步講，有電鍍及無電鍍可在室溫下沉積金屬硬式遮罩層，這導致低應力、乃至沒有應力的膜。在某些應用中（例如，圖2A-2E），金屬硬式遮罩係透過物理氣相沉積（PVD）方法而沉積。該等方法涉及較高的溫度，且導致具有較高應力的膜。如以上所討論，高應力膜可導致晶圓翹曲，該翹曲在進一步的製程中可能阻礙基板在基板支撐件上進行適當地定位，並且對需要極平坦基板來形成精確圖案的光微影操作而言亦可出現問題。所揭露的各種方法藉由透過有電鍍或無電鍍來沉積金屬硬式遮罩層而避開該等問題，該有電鍍或無電鍍可在低得多的溫度下完成。結果膜因此具有較少的應力，且在後續處理期間導致較少的問題。

【0050】有電電鍍及無電電鍍可擴大適用作金屬硬式遮罩之金屬的範圍。如提及，目前正使用PVD來沉積各種金屬層。然而，PVD對沉積某些金屬而言係不可行的。有電電鍍可用來形成該等金屬的一些者。不能輕易地透過PVD沉積，卻可相對輕易地透過有電電鍍及/或無電電鍍進行沉積之金屬的範例包含但不限於：如Co（其係磁性的）、In（其係軟的）、及Sn（其具有低熔點）的材料。

II. 設備

【0051】圖 5 顯示可用於執行相關於圖 3A-3F 所描述之製程的各種半導體處理設備。參考圖 3A，堆疊 301 及晶種層 310 各可於沉積設備 502 中形成。在一些實施例中，沉積設備係 PVD、CVD、及/或 ALD 設備。例示性設備包含 ALTUS[®] 產品家族、VECTOR[®] 產品家族、及 SPEED[®] 產品家族，其每一者係可自 Lam Research Corporation of Fremont, CA 獲得。接下來，沉積犧牲柱材料 302 層、（複數）圖案轉移層 303、抗反射層 304、及光阻層 305。此沉積亦可在沉積設備 502 中進行。用來執行每一沉積的設備可與用來執行其他沉積的設備相同、或不同（亦即，可使用若干獨立的沉積設備）。儘管單一的沉積反應器經常可沉積許多不同類型的膜，但某些設備可尤其有利於形成某些膜的類型。

【0052】然後將基板轉移（箭頭 5.1）至光微影設備 504，以使光阻層 305 圖案化。接下來，將基板轉移（箭頭 5.2）至蝕刻設備 506，並且抗反射層 304、（複數）圖案轉移層 303、及犧牲柱材料 302 層各受到蝕刻，以依序地將圖案自光阻層 305 轉移至犧牲柱材料 302 層，從而形成犧牲柱 302c（如圖 3C 中顯示）。取決於用來實施相關實施例的確切製程，每一層可在相同的蝕刻設備、或不同的蝕刻設備中進行蝕刻。例示性蝕刻設備包含 2300[®] FLEX[™] 產品家

族、2300[®] KIYO[®] 產品家族、及 2300[®] VERSYS[®] Metal 產品家族，其每一者係可自 Lam Research Corporation of Fremont, CA. 獲得。

【0053】就此而言，將基板轉移（箭頭 5.3）至電鍍設備 508。電鍍設備 508 可為有電電鍍設備及/或無電電鍍設備。例示性有電電鍍設備包含 SABRE[®] 及 SABRE[®] 3D 產品家族，其每一者係可自 Lam Research Corporation of Fremont, CA. 獲得。例示性無電電鍍設備包含 2300[®] ELD。如圖 3D 中顯示，金屬硬式遮罩層 320 係在電鍍設備 508 中進行沉積。接下來，使基板轉移（箭頭 5.4）返至蝕刻設備 506，且如圖 3E 中顯示般移除犧牲柱 302c 及晶種層 310（在柱 302c 下方）。該等蝕刻操作可在與用來蝕刻先前複數層之蝕刻設備相同的、或不同的蝕刻設備中進行。移除晶種層後，堆疊 301 在蝕刻設備 506 中受到蝕刻。此操作可進行於針對其他製程而使用的蝕刻設備、或不同的蝕刻設備。

【0054】圖 6 顯示可用於執行相關於圖 4A-4F 所描述之製程的各種半導體處理設備。此圖係類似於圖 5，卻稍微修正處理流程，以容許圖 4E 中顯示之額外的遮罩材料 425 的沉積。如圖 4D 中可見，處理流程直至移除犧牲柱 302c 及晶種層 310（在犧牲柱 302c 下方）後為止都係相同的。就此而言，由箭頭 5.1-5.4 所代表的轉移已進行，且基板係在蝕刻設備 506 中。為沉積額外的遮罩材料 425，使基板轉移（箭頭 5.5）至電鍍設備 508。此處，電鍍設備 508 係無電電鍍設備。用以電鍍額外之遮罩材料 425 的電鍍設備與用來電鍍金屬硬式遮罩層 320 的設備可相同。在其他實施例中，該兩設備可不同（例如，用來電鍍金屬硬式遮罩層 320 的設備可為有電電鍍設備，且用來電鍍額外之遮罩材料 425 的設備可為無電電鍍設備）。電鍍額外之遮罩材料 425 之後，可再使基板轉移（箭頭 5.6）至蝕刻設備 506，以蝕刻堆疊 301。

【0055】此處描述的方法可藉由任何適當的設備或設備組合（如相關於 5 及 6 中所描述般）而執行。適當的設備包含用以實現製程操作的硬體、以及

具有根據本發明控制製程操作之指令的系統控制器。舉例而言，在一些實施例中，硬體可包括包含於製程工具中的一或更多製程站。相對於不同處理設備之硬體的進一步細節係在此處併入以供參考的各種專利及專利申請案中提供。

【0056】 在一些實施例中，控制器可系統的一部分，該系統可為此處所描述之範例的一部分。如此系統包含半導體處理裝備，該半導體處理裝備包含(複數)處理工具、(複數)腔室、(複數)處理平臺、及/或特定的處理元件(晶圓基座、氣體流動系統等)。該等系統可與電子設備整合，以在半導體晶圓或基板的處理之前、期間、以及之後，控制系統的運作。該電子設備可稱為「控制器」，其可控制系統或複數系統的各種元件或子部件。取決於處理需求及/或系統類型，控制器可程式設計成控制此處所揭露製程的任何者，包含處理氣體的傳送、溫度設定(例如，加熱及/或冷卻)、壓力設定、真空設定、功率設定、射頻(RF, radio frequency)產生器設定、RF 匹配電路設定、頻率設定、流速設定、流體傳送設定、位置和操作設定、晶圓轉移(進出與特定系統相連接或相接合之工具及其他轉移工具、及/或裝載室)。

【0057】 廣泛地講，控制器可定義為具有用以接收指令、發佈指令、控制操作、啟動清洗操作、啟動終點量測以及類似者之各種積體電路、邏輯、記憶體、及/或軟體的電子設備。積體電路可包含：儲存程式指令之韌體形式的晶片、數位訊號處理器(DSPs, digital signal processors)、定義為特殊用途積體電路(ASICs, application specific integrated circuits)的晶片、及/或一或更多微處理器、或執行程式指令(例如，軟體)的微控制器。程式指令可為以各種單獨設定(或程式檔案)之形式而傳達至控制器或系統的指令，該單獨設定(或程式檔案)為實行特定的製程(在半導體晶圓上，或針對半導體晶圓)而定義操作參數。在一些實施例中，操作參數可以是由製程工程師為了在晶圓之一或更多以下者的製造期間實現一或更多處理步驟而定義之配方的一部分：疊

層、材料、金屬、氧化物、矽、二氧化矽、表面、電路、以及/或者晶圓的晶粒。

【0058】 在一些實施例中，控制器可為電腦的一部分，或耦接至電腦，該電腦係與系統整合、耦接至系統、以其他網路的方式接至系統、或其組合的方式而接至系統。舉例而言，控制器可在能容許遠端存取晶圓處理之「雲端」或廠房主機電腦系統的全部、或部分中。電腦可使系統能夠遠端存取，以監控製造操作的目前進度、檢查過去製造操作的歷史、自複數的製造操作而檢查其趨勢或效能度量，以改變目前處理的參數、設定目前處理之後的處理步驟、或開始新的處理。在一些範例中，遠端電腦（例如，伺服器）可通過網路而提供製程配方至系統，該網路可包含局域網路或網際網路。遠端電腦可包含使得可以進入參數及/或設定、或對參數及/或設定進行程式設計的使用者介面，然後該參數及/或設定自遠端電腦而傳達至系統。在一些範例中，控制器以資料的形式接收指令，該指令為待於一或更多操作期間進行執行之處理步驟的每一者而指定參數。應該理解，參數可特定地針對待執行之製程的類型、以及控制器與之接合或加以控制之工具之類型。因此如上所述，控制器可為分散式的，例如藉由包含以網路的方式接在一起、且朝向共同之目的（例如，此處所描述之處理、及控制）而運作的一或更多的分離的控制器。用於如此目的之分散式控制器的範例將是腔室上與位於遠端的一或更多積體電路（例如，在作業平臺位準處、或作為遠端電腦的一部分）進行通訊的一或更多積體電路，兩者相結合以控制腔室上之製程。

【0059】 例示性系統可包含但不限於以下者：電漿蝕刻腔室或模組、沉積腔室或模組、旋轉淋洗腔室或模組、金屬電鍍腔室或模組、清洗腔室或模組、斜角緣部蝕刻腔室或模組、物理氣相沉積沉積（PVD，physical vapor deposition）腔室或模組、化學氣相沉積（CVD，chemical vapor deposition）腔室或模組、

原子層沉積 (ALD, atomic layer deposition) 腔室或模組、原子層蝕刻 (ALE, atomic layer etch) 腔室或模組、離子植入腔室或模組、徑跡腔室 (track chamber) 或模組、以及可在半導體晶圓的製造和加工中相關聯的、或使用的任何其他半導體處理系統。

【0060】如以上所提及，取決於待藉由工具而執行之(複數)製程步驟，控制器可與半導體加工工廠中之一或更多的以下者進行通訊：其他工具電路或模組、其他工具元件、叢集工具 (cluster tools)、其他工具介面、鄰近的工具、相鄰的工具、遍及工廠而分布的工具、主電腦、另一控制器、或材料輸送中使用之工具，該材料輸送中使用之工具將晶圓容器帶至工具位置及/或裝載埠，或自工具位置及/或裝載埠帶來晶圓容器。

III.材料

【0061】所揭露方法可用來將特徵部蝕刻至各種材料中。在形成 VNAND 裝置的過程中，正受蝕刻的材料經常係交替材料層的堆疊。在一範例中，堆疊包含氧化物(例如，矽氧化物)及氮化物(例如，矽氮化物)的交替層。氧化物及氮化物的複數層可各具有約 20-50nm 之間的厚度，舉例而言，約 30-40nm 之間。在另一範例中，堆疊包含氧化物(例如，矽氧化物)及矽(例如，多晶體矽，也稱為多晶矽)的交替層。氧化物及多晶矽的複數層具有以上相關於交替氧化物/氮化物層所列出的厚度。在最終的裝置中，氧化物層在相鄰裝置、或複數儲存層之間提供電性絕緣。交替層可透過任何可行的方法沉積。經常地，如此的複數層係透過化學氣相沉積(CVD)、或原子層沉積(ALD)而沉積。如以上所提及，堆疊可包含至少約 40 對、至少約 50 對、至少約 60 對、至少約 70 對、或至少約 90 對的複數層。

【0062】在相關於圖 3A-3F、及 4A-4F 所揭露方法的過程中，晶種層 310 係沉積於交替層的堆疊 301 之上。典型地，晶種層係由界定遮罩特徵部時可輕

易移除的材料製成。晶種層的例示性材料包含但不限於 Co、Ru、Ti、Cr、及 Cu。在一些實施例中，晶種層係 Ti 或 Cu。在某些情形中，晶種層可透過 PVD、CVD、無電電鍍、或 ALD 而沉積。在一些實施例中，晶種層係沉積至約 1-10nm 之間的厚度。晶種層應足夠厚，使其可有效地從基板的圓周向內轉移電位，以容許後續的有電電鍍反應在晶圓範圍內實質上均勻地進行。換句話說，晶種層應具有足夠低的片電阻，使得針對有電電鍍而施加至晶圓圓周的電位在到達晶圓中心之前不應出現顯著的歐姆降。晶種層亦應夠薄以便移除犧牲柱後進行後續的蝕刻/移除。

【0063】 在晶種層 310 之上，沉積犧牲柱材料 302 層。在各種實施例中，犧牲柱材料系非晶材料。例示性材料包含但不限於碳、矽、矽氧化物、矽氮化物、及矽碳化物（其中任何者在各種實施例中可為非晶）。在犧牲柱材料不是非晶的情況中，其仍可為相對平滑的（例如，具有約 1nm 以下的平均或中位數晶粒尺寸）。犧牲柱材料可相對具有機械剛性。因為將在犧牲柱材料中蝕刻出犧牲柱，所以該材料應被形成為使其適當地固定至下方的晶種層。否則，犧牲柱可能在形成之後、或者甚至正在形成時發生斷裂。

【0064】 如以上提及，在許多情形中，該層係沉積至大於後續沉積之金屬硬式遮罩層之厚度的厚度（使得犧牲柱未被金屬蓋過、且容易移除）。犧牲柱材料層的厚度取決於受蝕刻的材料、用來進行蝕刻的條件、受蝕刻之複數層的數目/受蝕刻之凹口的深度、硬式遮罩使用的材料等。在一些實施例中，所沉積之犧牲柱材料層的厚度係約 200-1000nm 之間，例如約 300-500nm 之間。

【0065】 在形成柱之前，一系列（複數）圖案轉移層 303、一抗反射層 304、及光阻層 305 沉積在沉積犧牲柱材料 302 層之上。該等材料的沉積及圖案化一般係為此領域中通常技術者所知悉，且細節將不再於此處進行詳盡無疑地討論。在各種實施例中，（複數）圖案轉移層可為設計成依序地將光微影圖

案從一層轉移至下一層的氧化物、氮化物、及矽的組合。設置抗反射層，以在光微影操作期間降低散射及反射光的影響。

【0066】在蝕刻犧牲柱材料 302 層以形成犧牲柱 302c 之後，金屬硬式遮罩層 320 係透過有電電鍍或無電電鍍而沉積。在一些實施例中，金屬硬式遮罩層 320 係 Co、Ni、Ru、Sn、In、Pd、Ge 等、或其組合。金屬硬式遮罩層 320 可為與晶種層 310 相同的材料，或者其可為不同的材料。金屬硬式遮罩材料應黏著至晶種層。所沉積之金屬硬式遮罩材料可為相對平滑的/小晶粒的（例如，具有約 1nm 或更小的中位數晶粒尺寸）。進一步講，應對金屬硬式遮罩材料進行選擇，使得其不會不利地影響半導體裝置（例如，該材料係相對穩定的，使得離子不會進入裝置而負面地影響電特性）。金屬硬式遮罩材料之選擇的另一考量係金屬硬式遮罩材料與下方堆疊的材料之間的蝕刻率選擇性。該等材料之間應具有高選擇性，使得金屬遮罩可抵抗用來在堆疊中蝕刻特徵部的處理條件。在某些實施例中，金屬硬式遮罩與下方堆疊材料之間的蝕刻率選擇性係至少約 4，例如至少約 8。

【0067】在各種實施例中，犧牲柱延伸於金屬硬式遮罩層的最高高度之上，使得犧牲柱可被輕易地移除。在一些實施例中，金屬硬式遮罩層係沉積至約 200-1000nm 之間的厚度，例如約 300-500nm 之間。類似犧牲柱材料層的厚度，金屬硬式遮罩層的厚度取決於各種因素，包含受蝕刻的材料、金屬硬式遮罩的材料、受蝕刻之疊層的數目/受蝕刻之特徵部的深度等。

【0068】在某些實施例中，如圖 4A-4F 中顯示，額外金屬遮罩材料可被無電電鍍至金屬硬式遮罩上，以改變金屬硬式遮罩的尺寸/圖案（例如，用以對由柱界定的開口進行壓縮）。在某些實施例中，額外電鍍的該金屬遮罩材料係 Co、Ni、Ru、Sn、In、Pd、Ge 等。額外金屬遮罩材料可為與初始電鍍的金屬遮罩材料及/或晶種層相同的材料、或不同的材料。額外金屬遮罩材料應附

著至之前沉積的金屬遮罩層。額外金屬遮罩材料可為相對平滑的/小晶粒的(例如,具有約 1nm 或更小的平均或中位數晶粒尺寸)。進一步講,應對額外的遮罩材料進行選擇,使得其不會不利地影響所形成之半導體裝置(例如,低離子遷移率,或無離子遷移率等)。相較於在其中蝕刻特徵部的下方堆疊材料,額外金屬遮罩材料亦應呈現高的蝕刻率選擇性。以上相關於金屬硬式遮罩層所列出之例示性選擇性亦適用於額外金屬遮罩材料。

【0069】 額外電鍍之該材料的厚度取決於犧牲柱的幾何形狀、以及待受電鍍之特徵部的幾何形狀。一般來講,額外的材料應被電鍍至開口被收緊的程度,以界定出適用於蝕刻期望尺寸(例如,臨界尺寸)之下凹特徵部的遮罩。在額外材料電鍍相對薄的情況中,所產生的特徵部將相對較寬。在額外材料電鍍相對厚的情況中,所產生的特徵部將相對較窄。在某些應用中,於沉積完成時,額外電鍍的材料具有約 1-10nm 之間的厚度,例如約 2-5nm 之間。

IV.製程及製程條件

【0070】 如圖 3A-3F 及 4A-4F 中顯示,所揭露的各種實施例相關於在預形成的犧牲柱周圍電鍍金屬硬式遮罩的製程。該等方法可稱為「圖案電鍍」方法,因為在不必執行任何單獨的金屬蝕刻步驟以使金屬硬式遮罩圖案化的條件下,硬式遮罩層被電鍍成包含特定的圖案。與該等方法之某些步驟相關的製程條件將於此部分中進一步加以描述。相關於其他步驟(如,材料交替層之堆疊的沉積、以及各種圖案轉移層、抗反射層、及光阻層的沉積及圖案化)的製程條件係為本領域中通常技術者所知悉,且將不再詳細討論。

A.晶種層的沉積

【0071】 參考圖3A-3F中顯示的製程,且開始於圖3A中顯示的部分製造裝置,金屬晶種層310可透過物理氣相沉積(PVD)、化學氣相沉積(CVD)、或原子層沉積(ALD)而沉積。

【0072】用以沉積金屬的例示性PVD製程係在以下美國專利中進一步加以討論，該等美國專利的每一者係整體併入於此，以供參考：美國專利第6,235,163號、美國專利第7,682,966號、及美國專利第7,645,696號。物理氣相沉積方法涉及純物理製程，例如高溫真空汽化、及後續的凝結、及電漿濺射轟擊。物理氣相沉積方法不涉及待塗層表面上的化學反應。在一例示性PVD製程中使用以下條件。基板溫度係維持在約-40°C與+30°C之間，且壓力係維持在約5-20mT之間。使Ar以約20-100sccm之間的速率流至反應腔室中，持續約10-60s之間的時間段。使用13.56MHz之RF頻率的電漿係受限於反應腔室中。假設單一的300mm基板呈現於反應腔室中，電漿功率可為約100W-2kW之間的偏壓功率，以及約10kW-30kW之間的DC目標功率。亦可酌情使用其他條件及材料。

【0073】用以沉積金屬的例示性 CVD 製程係在以下美國專利中進一步加以討論，其中每一者係整體併入於此，以供參考：美國專利第 5,028,585 號、美國專利第 5,795,824 號、及美國專利第 6,066,366 號。用以執行 CVD 製程的例示性設備包含 ALTUS[®]產品家族、VECTOR[®]產品家族、及 SPEED[®]產品家族，其都可自 Lam Research Corporation of Fremont, CA.獲得。

【0074】針對金屬膜沉積的 CVD 製程典型地在高溫及真空下透過金屬前驅物的汽化進行。電漿輔助 CVD 反應典型地涉及在提供一或更多反應物至反應腔室時使基板曝露至電漿。在各種電漿輔助 CVD 反應中，曝露於電漿驅動化學反應。在各種其他的情形中，使用熱 CVD 製程。在一例示性 CVD 製程中，使用以下條件。基板溫度係維持在約 60-80°C之間，壓力係維持在約 1-2T之間。使例如六羰基三級丁基乙炔二鈷（CCTBA，dicobalt hexacarbonyl tertbutylacetylene）的前驅物在 Ar 載體氣體中以約 20-50sccm 之間的速率流至反應腔室中。前驅物流動及/或電漿曝露可具有約 60-120s 之間的時間段。亦可酌情使用其他條件及材料。

【0075】用以沉積金屬的例示性 ALD 製程係在以下美國專利及專利申請案中進一步加以討論，其每一者係整體併入於此，以供參考：美國專利第 7,220,451 號、美國專利第 7,569,500 號、美國專利第 13/084,399 號、以及 2013 年 7 月 29 日申請且名為「HIGH PRESSURE, HIGH POWER PLASMA ACTIVATED CONFORMAL FILM DEPOSITION」之美國專利申請案第 13/953,616 號。用以執行 ALD 反應的例示性設備包含 ALTUS[®]產品家族及 VECTOR[®]產品家族，其每一者係可自 Lam Research Corporation of Fremont, CA. 獲得。

【0076】ALD 製程涉及使基板曝露至交替的循環，以使金屬膜原子級地生長。在某些情形中，可提供電漿及/或熱能，以驅動基板上的反應。該等 ALD 製程導致形成極為保形的膜，但卻花費長的時間來沉積薄的材料層。例示性 ALD 製程包含：使基板曝露於 Ar 載體氣體中約 50-100sccm 之間之速率的六羰基三級丁基乙炔二鈷（CCTBA，dicobalt hexacarbonyl tertbutylacetylene）流動，持續約 120-600s 之間的總時間段；以及可選地藉由流動清掃氣體及/或排空反應腔室而沖洗反應腔室。基板溫度可維持在約 80-100°C 之間，且壓力可維持在約 8-10T 之間。亦可酌情使用其他條件及材料。

B. 犧牲柱材料層的沉積

【0077】參考圖3A-3F中(尤其圖3B)顯示的製程，犧牲柱材料302層可使用各種製程而沉積。在一些實施例中，犧牲柱材料層係使用CVD製程而沉積，例如電漿加強CVD（PECVD）製程、高電漿密度CVD（HDP-CVD）製程、旋塗製程、原子層沉積（ALD）製程等。例示性HDP-CVD製程係於美國專利第 6,559,052號中進一步加以討論，該案係整體併入於此，以供參考。例示性設備係列於以上。考慮到沉積材料之快速，CVD製程係尤其有利的。對比之下，

亦可使用ALD製程，但卻慢的多。一般地，用來沉積犧牲柱材料層的製程應係相對快速且低廉的。

【0078】如提及，在一些實施例中，犧牲柱材料係碳、矽、及矽氧化物。可採用界內知悉的形成如此材料的習知製程條件，然而將提供簡潔的範例。在犧牲柱材料係非晶矽、且使用PECVD來沉積該層的實施例中，使用以下條件。基板溫度係維持在約150-650°C之間，且壓力係維持在約1-10T之間。將例如矽烷的含矽氣體的流動以約100sccm-4slm之間的速率導入反應腔室中，且將其他氣體流（包含H₂、He、及/或Ar）以約0sccm-20slm之間的總速率導入反應腔室中。假設單一的300mm基板呈現於反應腔室中，電漿係使用約13.56MHz之頻率、及約0-1500W之間之RF功率而產生於反應腔室中。反應物傳送及電漿曝露可具有約60-300s之間的時間段。亦可酌情使用其他條件及材料。

【0079】旋塗製程亦可用以沉積犧牲柱材料層。例示性旋塗製程係在以下美國專利中加以討論，其每一者係整體併入於此，以供參考：美國專利第7,192,891號、及美國專利第7,517,817號。

C.金屬硬式遮罩的沉積

【0080】參考圖3A-3F（且尤其圖3D）中顯示的製程，在各種實施例中，金屬硬式遮罩層320可透過有電電鍍或無電電鍍而沉積。在其他實施例中，金屬硬式遮罩層可透過PVD或CVD方法（隨後是化學機械拋光，以露出犧牲柱，在該等實施例中，可省略晶種層）而沉積。有電電鍍及無電電鍍係在相對低的溫度下進行，並產生低應力的膜。金屬硬式遮罩層可與晶種層使用的金屬相同或不同。半導體基板上的有電電鍍係在以下美國專利中進一步加以討論，其每一者係整體併入於此，以供參考：美國專利第6,074,544號、美國專利第7,449,098號、及美國專利第8,168,540號。無電電鍍係在以下美國專利中進一步加以討論，其每一者係整體併入於此，以供參考：美國專利第3,798,056號、美國專利

第6,713,122號、美國專利第7,690,324號、及美國專利第8,622,020號。有電電鍍及無電電鍍的例示性設備包含可自Lam Research Corporation of Fremont, CA.獲得的SABRE[®]及SABRE[®] 3D產品家族，以及亦可自Lam獲得的2300[®] ELD。

【0081】 在有電電鍍方法中，使基板浸入包含待電鍍金屬之金屬離子的電解槽浴中。電解槽浴可酌情包含其他添加劑。基板通常在浸入期間傾斜，以降低在基板下方捕獲 (trapped) 之氣泡的影響。進一步講，基板通常在浸入期間及有電電鍍期間旋轉。在浸入期間或之後，使基板偏置，且金屬離子成為流向基板表面並沉積在基板表面上的電流載體。在有電電鍍Sn層以形成金屬硬式遮罩層的例示性製程中，有電電鍍溶液包含具有專屬添加劑之酸（例如，抗壞血酸，200-400g/L）中的Sn硫酸鹽（75g/L）。可使基板傾斜至約1-20°之間，例如約1-10°之間，並且使基板以約25-200RPM之間的速率旋轉，例如約50-150RPM之間。在某些實施例中，在基板浸入及/或電鍍的初始部分期間，可施加恆定電壓、恆定電流、或恆定電流密度。在電鍍期間，所施加之電流可在約1-30 mA/cm²之間的範圍，例如約2-5 mA/cm²之間。可在20-30°C的溫度下施加電流約30-60s之間的時間段。亦可酌情使用其他條件及材料。

【0082】 無電電鍍方法類似於有電電鍍方法，不同的是在電鍍期間無施加電流至基板。在無電電鍍Co層以形成金屬硬式遮罩層的例示性製程中，電解質溶液包含：鈷硫酸鹽(60mM)以供應Co離子、二甲胺硼烷(DMAB, dimethyl amine borane) (33mM) 作為還原劑、檸檬酸 (mM) 作為錯合劑、及四甲基氫氧化銨 (TMAH) (12wt%) 以控制pH。基板可如以上相關於有電電鍍討論般進行傾斜及旋轉。基板在約30-95°C的溫度可沉浸約300-1000s之間的時間段。亦可酌情使用其他條件及材料。

D. 沉積額外的金屬硬式遮罩材料，以塑形金屬硬式遮罩

【0083】 在某些實施例中，例如參考圖4A-4F中顯示之製程，額外的金屬硬式遮罩材料係沉積在初始沉積的硬式遮罩材料上。在許多情形中，可無電鍍此額外材料。沉積此額外材料的一原因係該處理流程容許以較低的縱橫比形成犧牲柱，使得柱在機械上較穩定且較不可能斷裂。額外的材料改變金屬硬式遮罩層的形狀，使得該層中的開口與沒有額外材料比起來更窄。

【0084】 如提及，可無電鍍該層。無電鍍可比有電鍍更適合，因為無電鍍不需要晶圓邊緣的電流傳送，並且可有效地壓縮開口。參考圖4E，額外的遮罩材料425電鍍在金屬硬式遮罩層320上，以及在晶種層310的側壁(誇張放大)上。額外的遮罩材料425不會電鍍在堆疊301上，因為其不是傳導性的。在電鍍額外材料之前應將晶種層310從特徵部的底部移除，否則額外的材料可能不期望地電鍍於特徵部底部，而在該特徵部底部期望為開口。

【0085】 在某些情形中，在無電鍍或有電鍍額外遮罩材料425之間，可不必移除晶種層310。舉例而言，若晶種層310及金屬硬式遮罩層320係不同金屬，則在有電鍍或無電鍍期間，相對於晶種層310，額外的金屬遮罩材料425可偏向在金屬硬式遮罩層320上沉積。該選擇性將取決於每一層所使用的金屬類型。例如，Co可偏向在Cu上(相對於Ti)進行電鍍。

【0086】 無電沉積條件係於以上相關於金屬硬式遮罩層的沉積而進一步描述。用來無電鍍額外金屬硬式遮罩材料的溶液可與用來無電鍍初始遮罩材料的溶液相同或不同。舉例而言，在初始電鍍之金屬遮罩材料層係第一金屬、且額外金屬遮罩材料係第二(不同)金屬的情況中，兩電鍍溶液將係不同地。或者，對同一金屬而言，電鍍完全不同的厚度，可能需要不同的成份。為使額外金屬遮罩材料電鍍至適當的厚度(例如，約2-4nm之間)，沉積製程可具有約30-60s之間的持續時間。

【0087】如以上提及，額外金屬遮罩材料亦可透過例如選擇性金屬CVD製程的CVD製程而形成。

E. 蝕刻各種層以界定犧牲柱

【0088】使光阻圖案化後，抗反射層及（複數）圖案轉移層受到蝕刻。該等製程對該領域中具有通常技術者係熟悉的，且為簡潔起見，該等製程將不再詳述。使圖案轉移至最底部圖案轉移層後，蝕刻犧牲柱材料層，以形成犧牲柱。在某些應用中，犧牲柱材料層係透過電漿基蝕刻方法受到蝕刻。針對使用適當的圖案轉移遮罩（例如，SiN、或TiN）蝕刻非晶矽，例示性製程條件可如下： CH_2F_2 (50 sccm) + SF_6 (20 sccm) + N_2 (100 sccm)、及1000 W 27 MHz RF、50 mT 壓力及 10°C 。針對使用適當的圖案轉移遮罩（例如，TEOS基膜）蝕刻非晶碳，另一例示性製程條件可如下： H_2 (600sccm) + N_2 (200 sccm)、及750 W 60 MHz RF、30 mT壓力及 30°C 。

F. 移除犧牲柱後蝕刻堆疊

【0089】高縱橫比特徵部可使用電漿基蝕刻方法而被蝕刻至堆疊材料中。在各種實施例中，蝕刻劑氣體被導入反應腔室中，且電漿係自該蝕刻劑氣體產生。使基板曝露至電漿，且將特徵部蝕刻至基板中。經常，電漿係電容耦合電漿，且基板/基板支撐件充當複數電極其中一者。帶電物種受吸引至基板，導致非等向性蝕刻。可使用許多不同的蝕刻化學成份。常見的蝕刻化學成份涉及氟碳化合物 ($\text{C}_x\text{H}_y\text{F}_z$) 的使用。例示性氟碳化合物包含但不限於 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 、 C_4F_6 、及 C_4F_8 ，以上者可形成包含CF、 CF_2 、 CF_3 、及F的帶電或不帶電分段。在不受理論或機械原理束縛的理想情況下，在堆疊包含氧化物及氮化物之交替層的情形中， CF_x 物種可為蝕刻堆疊的主要物種。相似地，在堆疊包含氧化物及多晶矽之交替層的情形中，蝕刻堆疊的主要物種可為F。其

他例示性蝕刻化學成份包含例如添加有以下者的 NF_3 及 SF_6 ： N_2 、 O_2 、 H_2 、及包含（複數）非氟鹵化物的其他氣體等。

【0090】 在例示性蝕刻製程中，使 $\text{CH}_2\text{F}_2+\text{NF}_3+\text{H}_2+\text{N}_2$ 各以約20-100sccm之間的速率流至反應腔室中。基板係維持在約30-60°C之間的溫度，且壓力係維持在約10-100mT之間。在約13.56MHz或27MHz的頻率下、在約500-2000W之間的RF功率下產生電漿（假設有單一的300mm基板）。電漿可曝露約200-2000s之間的時間段。亦可酌情使用其他條件及材料。

【0091】 以上描述之各種硬體和方法實施例可結合微影圖案化工具或製程而加以使用，例如，用於製造或加工半導體裝置、顯示器、LED、光電板、及類似物。儘管並非必然，但典型地，如此工具/製程將於共同的製造設施中一起使用或進行。

【0092】 膜的微影圖案化典型地包含以下步驟的一些或全部者，每一步驟係利用數個可能的工具而得以進行：（1）使用旋塗、或噴塗工具而將光阻施加至工件上，例如，具有矽氮化物膜形成於其上的基板；（2）使用熱板、或爐、或其他適當固化工具來固化光阻；（3）利用如晶圓步進器的工具將光阻曝露至可見光、或紫外線光、或X射線光；（4）使光阻顯影，以選擇性地移除光阻，並且從而使用如濕檯、或噴塗顯影器的工具而使其圖案化；（5）藉由使用乾式、或電漿輔助式蝕刻工具而將光阻圖案轉移至下層膜、或工件中；以及（6）使用如射頻或微波電漿光阻剝離器的工具移除光阻。在一些實施例中，可於施加光阻之前而沉積可灰化的硬遮罩層(如非晶碳層)、及另一適當的硬遮罩(例如抗反射層)。

【0093】 應該理解的是，此處所述之配置、及/或方法本質上係例示性的，且該等具體實施例、或範例並不以限制的意義而考量，因為許多變化係有可能的。此處所描述之具體程式、或方法可代表任何數目之處理策略的其中一

者、或更多者。如此，所說明的各種動作可以所說明之順序、其他順序、平行方式而加以執行，或者在一些情形中被省略。同樣地，以上所述之製程的順序可以改變。

【0094】 本揭示內容的標的包含此處所揭露之以下者的所有新穎的、且非顯而易見的組合、及子組合、及其任何的及所有的等效物：各種製程、系統及配置、及其他特徵部、功能、動作、及/或特性。

【符號說明】

【0095】

- 5.1 箭頭
- 5.2 箭頭
- 5.3 箭頭
- 5.4 箭頭
- 5.5 箭頭
- 5.6 箭頭
- 101 堆疊
- 102 硬式遮罩
- 103 圖案轉移層
- 104 抗反射層
- 105 光阻層
- 106 特徵部
- 202 硬式遮罩
- 301 堆疊
- 302 犧牲柱材料
- 302c 犧牲柱

303	圖案轉移層
304	抗反射層
305	光阻/光阻層
310	晶種層
320	金屬硬式遮罩層
406	特徵部
425	遮罩材料
502	沉積設備
504	光微影設備
506	蝕刻設備
508	電鍍設備
701	操作
703	操作
705	操作
707	操作
709	操作
801	步驟
803	步驟
805	步驟
807	步驟
901	操作
902	操作
903	操作
905	操作

- 907 操作
- 908 操作
- 910 操作
- 912 操作
- 1001 操作
- 1002 操作
- 1003 操作
- 1005 操作
- 1007 操作
- 1008 操作
- 1010 操作
- 1014 操作
- 1016 操作

【發明申請專利範圍】

【第1項】一種在基板上形成下凹特徵部的方法，該方法包含：

- (a) 在該基板上形成犧牲柱，該基板在一下方材料之上包含一傳導性晶種層，其中該犧牲柱係形成於該下凹特徵部待形成在該下方材料中之區域的正上方；
- (b) 透過有電電鍍、無電電鍍、或化學氣相沉積在該犧牲柱周圍的該傳導性晶種層上沉積一金屬硬式遮罩材料，以形成一金屬硬式遮罩層；
- (c) 移除該犧牲柱，以在該金屬硬式遮罩層中形成開口；
- (d) 移除該金屬硬式遮罩層中之該開口中的該傳導性晶種層；以及
- (e) 蝕刻該下方材料，從而在該金屬硬式遮罩層中之該開口的正下方形成該下凹特徵部。

【第2項】如申請專利範圍第1項之在基板上形成下凹特徵部的方法，其中該下方材料包含矽氧化物及矽氮化物的交替層。

【第3項】如申請專利範圍第1項之在基板上形成下凹特徵部的方法，其中該下方材料包含矽氧化物及多晶矽的交替層。

【第4項】如申請專利範圍第1項之在基板上形成下凹特徵部的方法，更包含在(d)之後且在(e)之前，透過無電電鍍或化學氣相沉積在該金屬硬式遮罩層上沉積額外的金屬遮罩材料，從而窄化該金屬硬式遮罩層中的該開口。

【第5項】如申請專利範圍第4項之在基板上形成下凹特徵部的方法，其中該額外的金屬遮罩材料包含選自以下者組成之群組的一材料：Co、Ni、Ru、Sn、In、Pd、Ge、及其組合。

【第6項】如申請專利範圍第1項之在基板上形成下凹特徵部的方法，其中該下凹特徵部具有至少約40的縱橫比。

【第7項】如申請專利範圍第6項之在基板上形成下凹特徵部的方法，其中該下凹特徵部具有至少約60的縱橫比。

【第8項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中該下凹特徵部具有至少約 $2.5\ \mu\text{m}$ 的深度。

【第9項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中該金屬硬式遮罩材料包含選自以下者組成之群組的一材料：Co、Ni、Ru、Sn、In、Pd、Ge、及其組合。

【第10項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中該傳導性晶種層包含選自以下者組成之群組的一材料：Co、Ru、Ti、Cr、Cu、及其組合。

【第11項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中該犧牲柱包含選自以下者組成之群組的一材料：碳、矽、矽氧化物、矽氮化物、矽碳化物、及其組合。

【第12項】如申請專利範圍第11項之在基板上形成下凹特徵部的方法，其中該犧牲柱的材料係非晶。

【第13項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中該犧牲柱具有約5-200nm之間的寬度。

【第14項】如申請專利範圍第13項之在基板上形成下凹特徵部的方法，其中該犧牲柱具有至少約2:1的縱橫比。

【第15項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中形成該犧牲柱包含：沉積犧牲柱材料；沉積一或更多中間層；沉積一層光阻；使該光阻圖案化；蝕刻該一或更多中間層；以及蝕刻該犧牲柱材料以形成該犧牲柱。

【第16項】如申請專利範圍第15項之在基板上形成下凹特徵部的方法，其中該犧牲柱材料係透過一CVD製程、一PVD製程、一ALD製程、或一旋塗製程而沉積。

【第17項】如申請專利範圍第16項之在基板上形成下凹特徵部的方法，其中該犧牲柱材料包含選自以下者組成之群組之一材料：碳、矽、矽氧化物、矽氮化物、矽碳化物、及其組合。

【第18項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中操作（b）透過有電電鍍進行。

【第19項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中操作（b）透過無電電鍍進行。

【第20項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中操作（b）透過化學氣相沉積進行。

【第21項】如申請專利範圍第1-7項其中任一項之在基板上形成下凹特徵部的方法，其中操作（b）包含電鍍該金屬硬式遮罩層至約25nm-2.5 μ m之間的厚度。

【發明圖式】

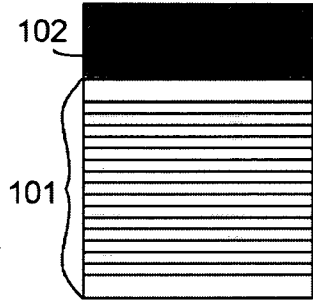


圖 1A

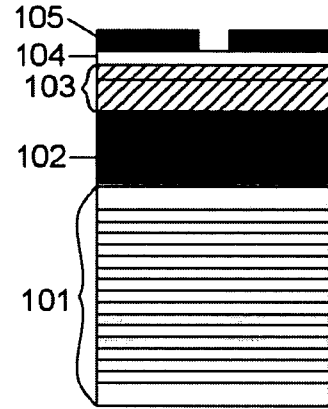


圖 1B

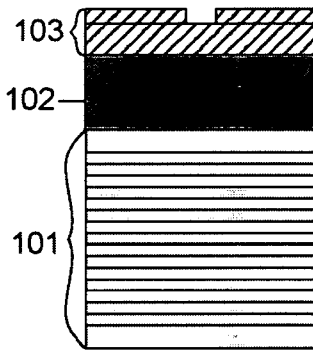


圖 1C

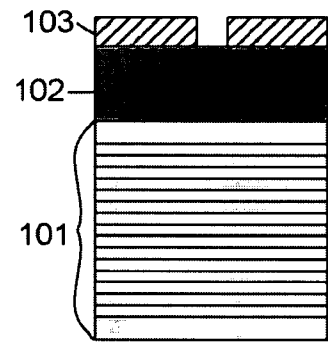


圖 1D

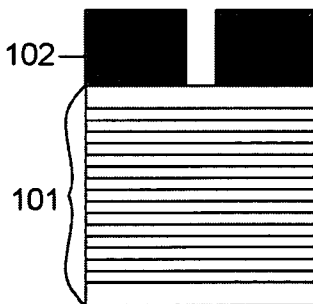


圖 1E

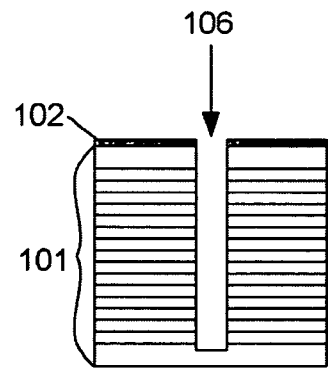


圖 1F

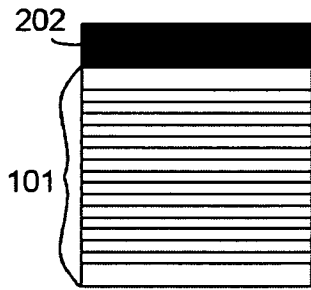


圖 2A

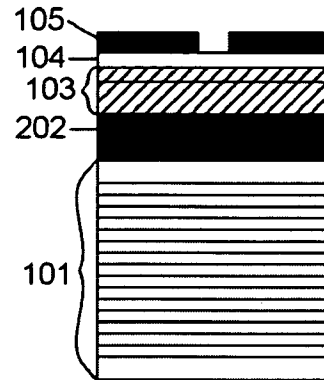


圖 2B

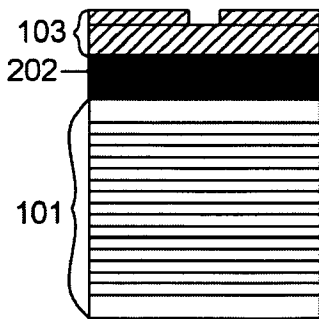


圖 2C

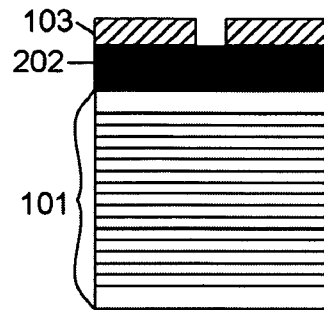


圖 2D

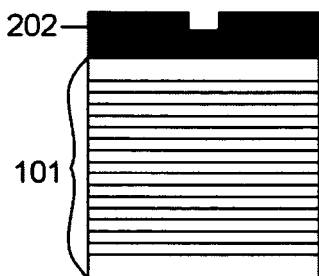


圖 2E

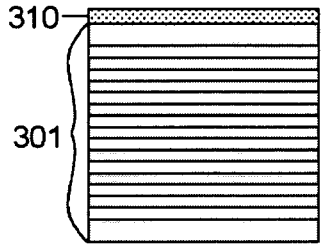


圖 3A

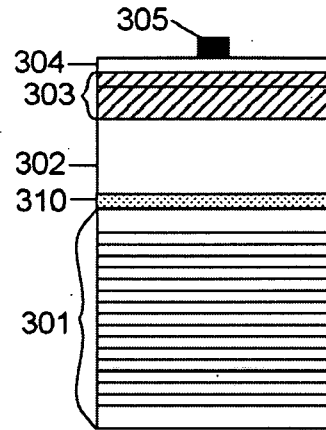


圖 3B

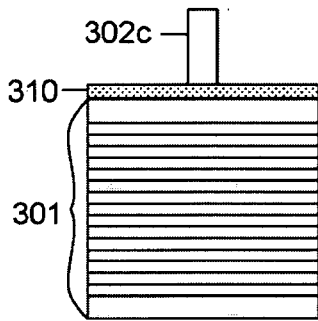


圖 3C

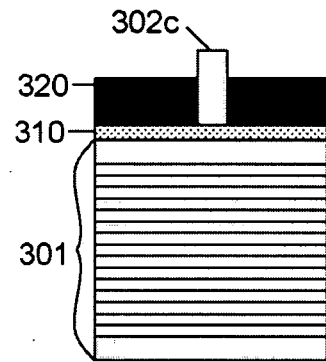


圖 3D

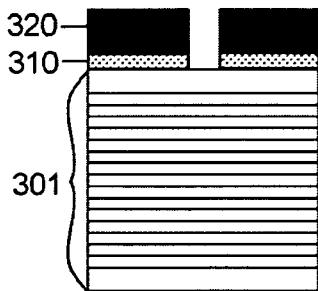


圖 3E

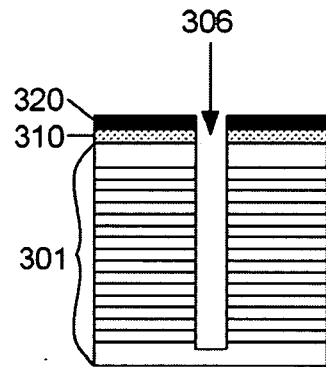


圖 3F

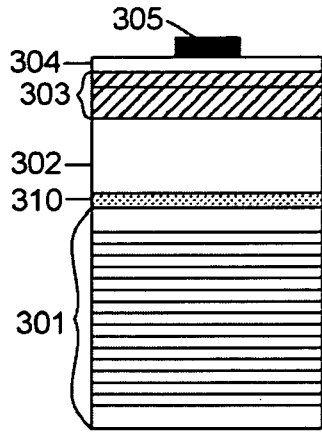


圖 4A

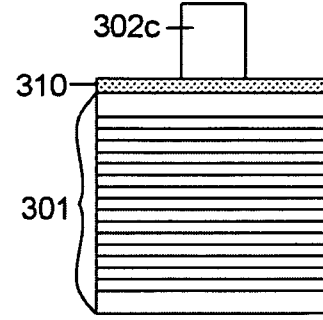


圖 4B

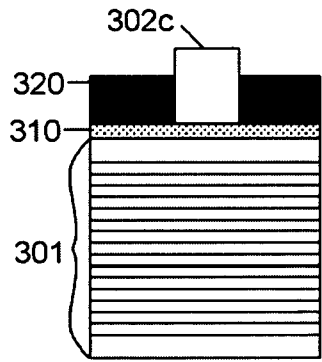


圖 4C

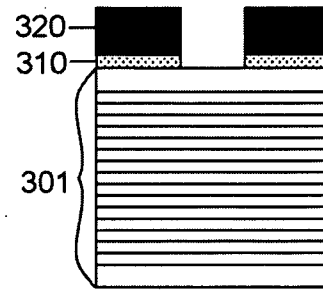


圖 4D

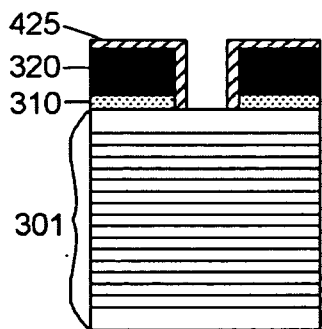


圖 4E

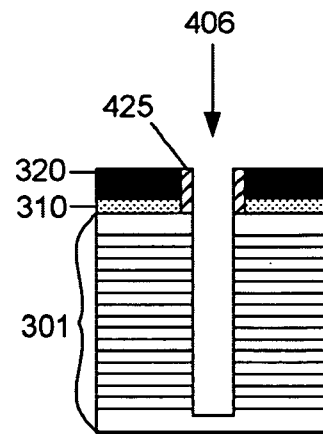


圖 4F

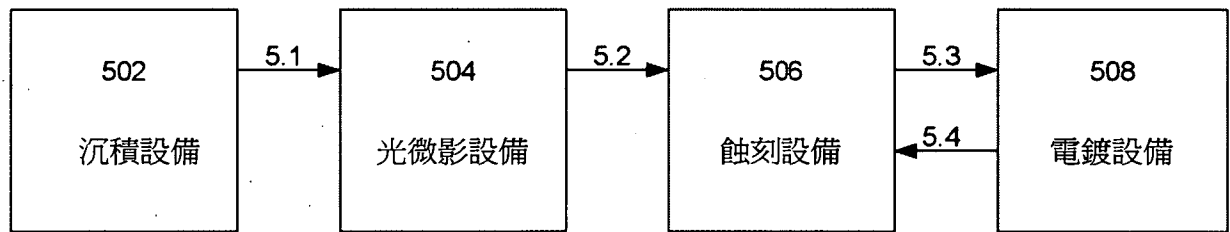


圖 5

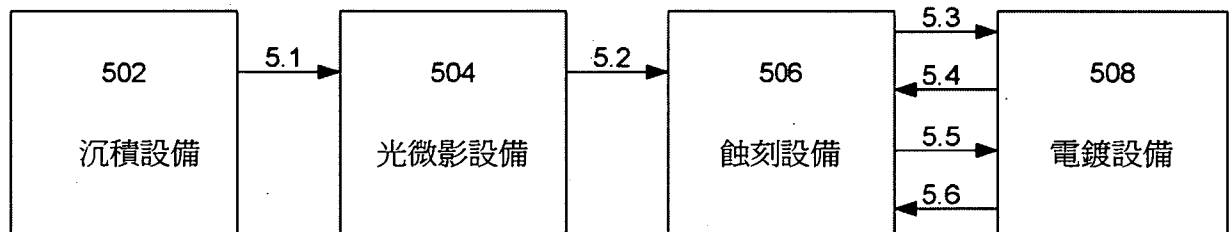


圖 6

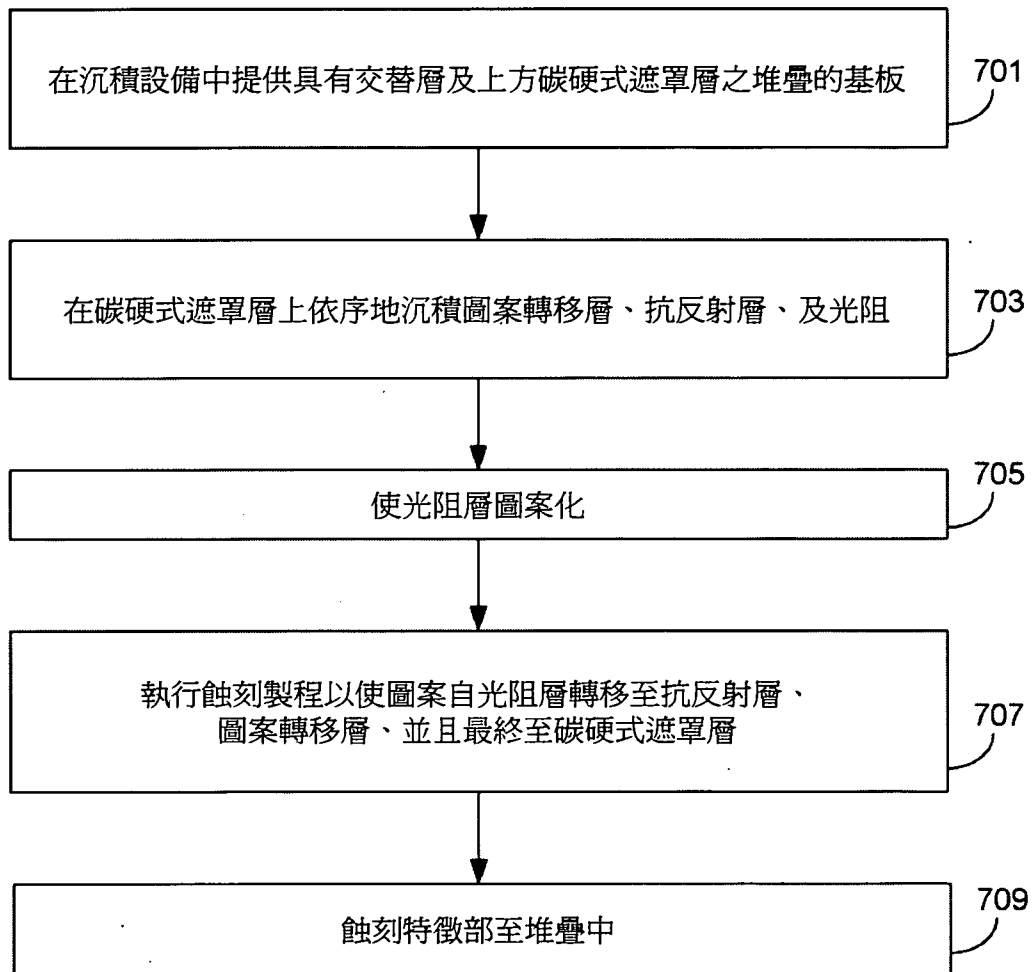


圖 7

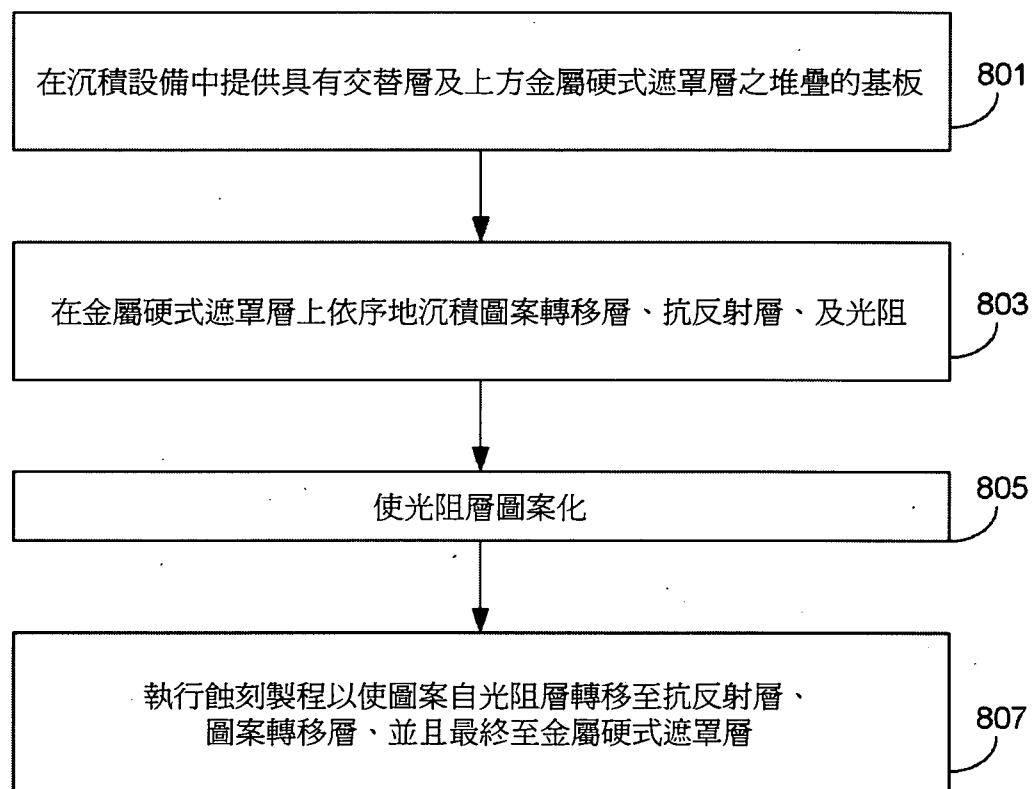


圖 8

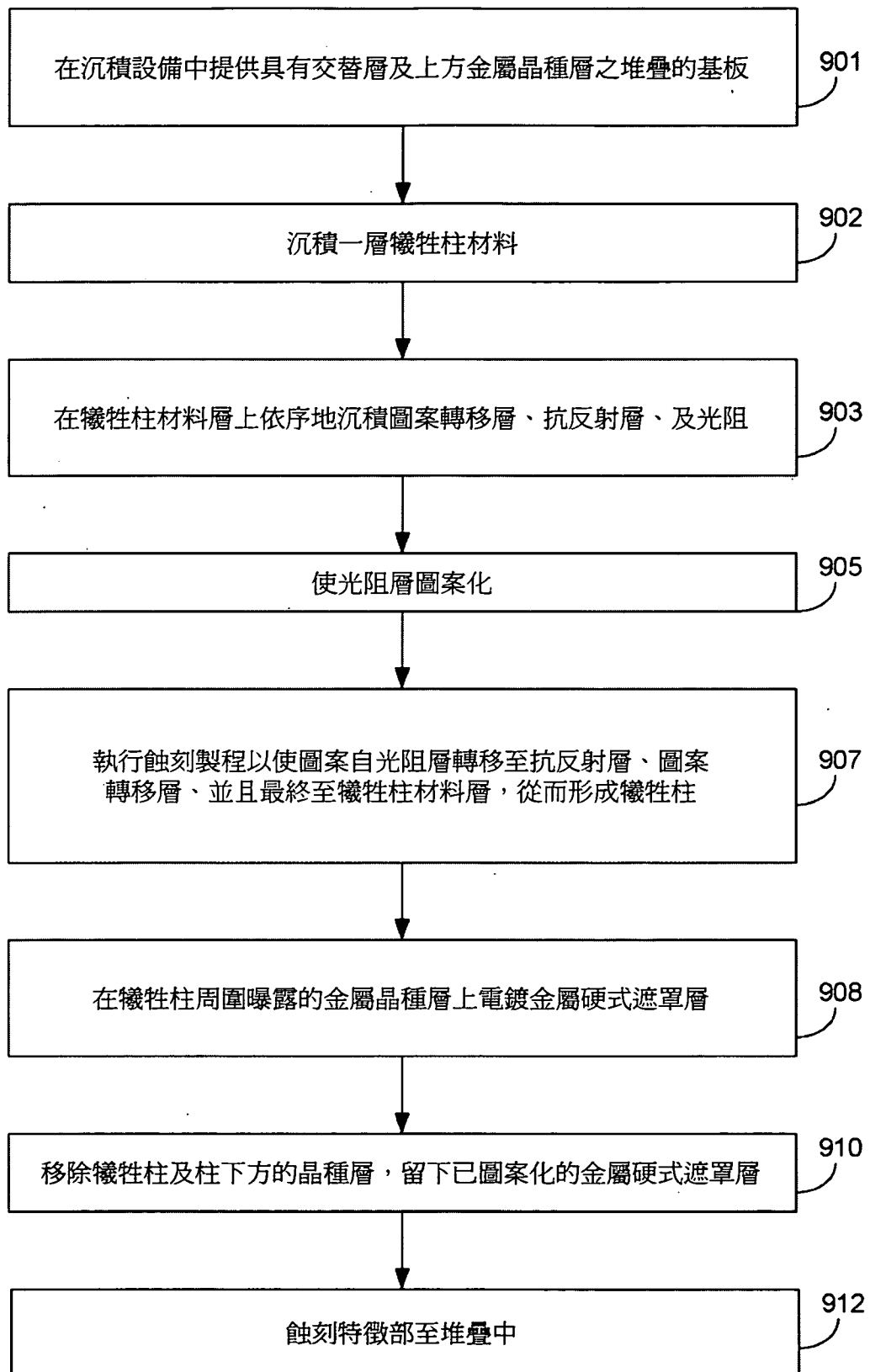


圖 9

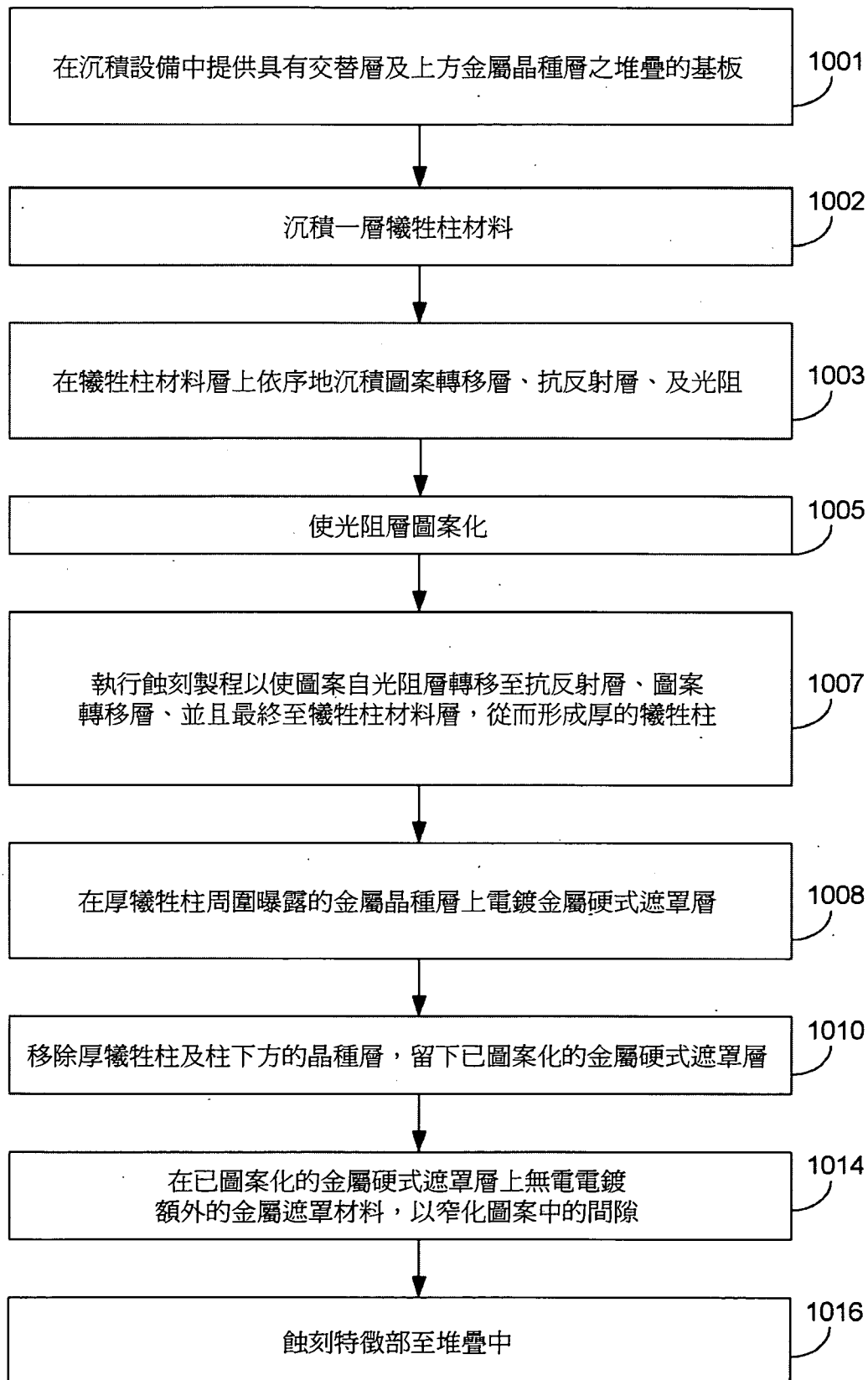


圖 10