

公告本

I249761

申請日期	91 年 2 月 26 日
案 號	91103464
類 別	1101L 21/00

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	Semiconductor device and manufacturing method thereof
二、發明 創作人	姓 名	(1) 山崎舜平 (2) 須澤英臣 (3) 楠山義弘
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川県厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (2) 日本國神奈川県厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (3) 日本國神奈川県厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川県厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

申請日期	91 年 2 月 26 日
案 號	91103464
類 別	H01L 21/00

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 小野幸治 (5) 小山潤
	國 籍	(4) 日本 (5) 日本
	住、居所	(4) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (5) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本	2001年 2月 28日	2001-056063	<input checked="" type="checkbox"/> 有主張優先權
日本	2001年 9月 28日	2001-302687	<input checked="" type="checkbox"/> 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ ）

發明背景

1、發明領域

本發明係關於具有由薄膜電晶體（以下稱為 T F T）構成的電路的半導體裝置及其製造方法。本發明另關於以液晶顯示裝置（其中安裝液晶模組）為代表的裝置和其上安裝這種裝置作為一部分的電子裝置。

注意，本說明書中的半導體裝置表示通常藉由利用半導體特性而起作用的裝置，和為半導體裝置之電光裝置、發光裝置、半導體電路和電子裝置等。

2、相關技術說明

近年來，已經注意到了利用形成在具有絕緣表面的基底上的半導體薄膜（約幾個到幾百 n m 厚）構成薄膜電晶體（T F T）的技術。該薄膜電晶體廣泛地應用於電子裝置如 I C 或電光裝置，並且對於其作為影像顯示裝置的開關元件的發展特別需要。

通常，液晶顯示裝置已知可當成影像顯示裝置。由於與被動液晶顯示裝置相比，可獲得高解析度影像，因此在各種情況中採用主動矩陣液晶顯示裝置。根據主動矩陣液晶顯示裝置，當排列成矩陣的圖素電極受到驅動時，在螢幕上顯示圖形。更詳細地說，當在選擇圖素電極和對應於所選擇圖素電極的相對電極之間施加電壓時，光學地調制位於圖素電極和相對電極之間的液晶層，且該光學調制由觀察者識別為顯示圖形。

五、發明說明 (2)

這種主動矩陣液晶顯示裝置的使用範圍擴大了。對於更高解析度、更高開口比、和高可靠性的要求隨著螢幕尺寸的增加而增加。同時，對於生產率的提高和成本降低的要求也增加。

通常，當採用鋁作為上述 T F T 的閘極接線材料而製造 T F T 時，藉由熱處理形成突起如小丘或晶鬚，且鋁原子擴散到通道形成區。這樣，就產生了 T F T 的操作失敗和 T F T 特性的退化。為解決這個問題，採用耐熱處理的金屬材料，通常為具有高熔點的金屬元素。但是，於此會出現由於螢幕尺寸增加而使接線電阻增加的問題，且會引起功耗等的增加。

發明概要

因此，本發明的目的是提供一種即使在螢幕尺寸增加時也能實現低功耗的半導體裝置的結構及其製造方法。

根據本發明，閘極結構被做成疊層結構，其中主要含有 T a N 或 W 的材料膜當成防止向通道形成區擴散的第一層，主要含有 A l 或 C u 的低電阻材料膜當成第二層，主要含有 T i 的材料膜當成第三層。這樣，可降低接線電阻。

根據在本說明書中所揭示之本發明之結構，包含由形成在絕緣表面上的半導體層、形成在半導體層上的絕緣膜，和形成在絕緣膜上的閘極構成的 T F T 的半導體裝置的特徵在於包含：包含有由與閘極相同材料製成的源極接線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

的第一 n 通道 T F T 的圖素部分；包含由第二 n 通道 T F T 和第三 n 通道 T F T 構成的電路的驅動電路；和由與閘極相同的材料製成的端部分。

在上述結構中，閘極的特徵在於具有主要含有 T a N (第一層)的材料膜、主要含有 A l (第二層)的材料膜和主要含有 T i (第三層)的材料膜的疊層結構。而且，閘極的特徵在於具有主要含有 W (第一層)的材料膜、主要含有 A l (第二層)的材料膜和主要含有 T i (第三層)的材料膜的疊層結構。

根據這種閘極結構，當採用 I C P (感應耦合電漿)蝕刻法時，閘極的端部可以形成為錐形。注意，在本說明書中的錐角表示由材料層的水平表面和側表面所形成的角。而且，在本說明書中，具有錐角的側表面稱為錐形，具有錐形的部分稱為錐部。

並且，在上述結構中，本發明的特徵在於第二 n 通道 T F T 和第三 n 通道 T F T 構成 E E M O S 電路或 E D M O S 電路。本發明的驅動電路由 N M O S 電路構成，該 N M O S 電路只由 n 通道 T F T 構成，並且圖素部分的 T F T 也由 n 通道 T F T 構成。這樣，可簡化處理步驟。一般的驅動電路是在由互補組合的 n 通道半導體元件和 p 通道半導體元件構成的 C M O S 電路基礎上設計的。但是，根據本發明，驅動電路只由 n 通道 T F T 組合而成。

此外，為了實現上述結構，根據本發明的結構，於此提供半導體裝置之製造方法，該半導體裝置包含位於絕緣

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

表面上的驅動電路、圖素部分和端部分，該方法包含以下步驟：

在絕緣表面上形成半導體層；

在半導體層上形成第一絕緣膜；

在第一絕緣膜上形成閘極、圖素部分的源極接線、和端部分的電極；

使用閘極當成掩模，向半導體層中添加提供 n 型的雜質元素，以便形成 n 型雜質區；

蝕刻閘極以形成錐部；

形成覆蓋圖素部分的源極接線和端部分的第二絕緣膜；和

在第二絕緣膜上形成驅動電路的閘極接線和源極接線。

在上述結構中，其特徵在於，在形成閘極、圖素部分的源極接線和端部分的電極的步驟中，主要含有 T a N 的材料膜、主要含有 A l 的材料膜和主要含有 T i 的材料膜形成為疊層，然後採用掩模進行蝕刻，以便形成閘極、圖素部分的源極接線、和端部分的電極。並且，在上述結構中，其特徵在於，在形成閘極、圖素部分的源極接線和端部分的電極的步驟中，主要含有 W 的材料膜、主要含有 A l 的材料膜和主要含有 T i 的材料膜形成為疊層，然後採用掩模進行蝕刻，以便形成閘極、圖素部分的源極接線、和端部分的電極。

而且，根據本發明，可以製造具有在上述結構中的圖

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(§

素部分和驅動電路的液晶顯示裝置，或具有包含在上述結構中的圖素部分和驅動電路的 O L E D 的發光裝置。

並且，根據本發明，由於省略了 p 通道 T F T 的製造步驟，因此簡化了液晶顯示裝置或發光裝置的製造步驟，並降低了製造成本。

圖式簡單說明

在附圖中：

圖 1 A - 1 C 表示 A M - L C D 的製造步驟；

圖 2 A 和 2 B 表示 A M - L C D 的製造步驟；

圖 3 表示 A M - L C D 的製造步驟；

圖 4 是圖素的頂視圖；

圖 5 表示液晶模組的外觀；

圖 6 是透射型液晶顯示裝置的剖面圖；

圖 7 A 和 7 B 表示 N M O S 電路的結構；

圖 8 A 和 8 B 表示移位暫存器的結構；

圖 9 是本發明的圖素部分的頂視圖；

圖 1 0 是本發明的圖素部分的剖面圖；

圖 1 1 A - 1 1 C 表示電子裝置的例子；

圖 1 2 A 和 1 2 B 表示電子裝置的例子；

圖 1 3 是在蝕刻之後觀察的 S E M 影像；

圖 1 4 是在蝕刻之後觀察的 S E M 影像；

圖 1 5 表示可靠性（20 小時安全電壓和 10 年安全電壓）和在驅動電路的 T F T 中的 L o v 長度間的關係；

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (6)

圖 1 6 A 和 1 6 B 分別是 E L 元件的頂視圖和其剖面圖；

圖 1 7 是 E L 元件的剖面圖；

圖 1 8 表示閘極側驅動電路的結構；

圖 1 9 是解碼器輸入訊號的時間圖；和

圖 2 0 表示源極側驅動電路的結構。

主要元件對照表

1 0 0	基底
1 0 1	底絕緣膜
1 0 1 a	第一氮氧化矽膜
1 0 1 b	第二氮氧化矽膜
1 1 0 - 1 1 5	掩模
1 0 2 - 1 0 6	半導體層
1 0 7	閘極絕緣膜
1 0 8 a	鎢膜
1 0 8 b	鋁膜
1 0 8 c	鈦膜
1 1 7 - 1 2 2	第一形狀導電層
1 1 7 a - 1 2 2 a	第一導電層
1 1 7 b - 1 2 2 b	第二導電層
1 1 7 c - 1 2 2 c	第三導電層
1 1 6	閘極絕緣膜
1 2 4 - 1 2 9	第二形狀導電層

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

- 1 2 4 a - 1 2 9 a 第一導電層
- 1 2 4 b - 1 2 9 b 第二導電層
- 1 2 4 c - 1 2 9 c 第三導電層
- 1 2 3 閘極絕緣膜
- 1 3 0 - 1 3 4 第一雜質區
- 1 3 5 , 1 3 6 掩模
- 1 8 0 - 1 8 2 第二雜質區
- 1 3 7 - 1 4 1 第三雜質區
- 1 5 1 第一中間層絕緣膜
- 1 5 2 第二中間層絕緣膜
- 1 2 7 源極接線
- 1 5 3 - 1 5 8 接線
- 1 5 9 連接接線
- 1 6 0 閘極接線
- 1 6 1 圖素電極
- 1 6 2 電容接線
- 4 0 1 , 4 0 2 , 4 0 3 , 4 0 4 n 通道 T F T
- 4 0 5 儲存電容
- 4 0 6 驅動電路
- 4 0 7 圖素部份
- 1 6 5 通道形成區
- 1 6 6 第二雜質區
- 1 6 7 第三雜質區
- 1 6 8 通道形成區

五、發明說明 (B)

- 1 6 9 第二雜質區
- 1 7 0 第三雜質區
- 1 7 1 通道形成區
- 1 7 2 第一雜質區
- 1 7 3 第三雜質區
- 1 7 6 第三雜質區
- 1 7 7 第二雜質區
- 2 0 0 相對基底
- 2 0 7 密封劑
- 2 0 9 外部輸入端
- 2 1 1 F P C
- 2 1 0 接線
- 2 0 3 a , 2 0 3 b 遮光層
- 2 0 1 a 閘極側驅動電路
- 8 0 3 b 遮光層
- 2 0 1 b 源極側驅動電路
- 2 0 2 濾色器
- 2 0 5 圖素部份
- 3 1 0 背光
- 3 1 1 導光板
- 3 1 2 蓋
- 3 0 9 極化板
- 3 1 , 3 2 , 3 3 增強型 n 通道 T F T
- 3 4 耗盡型 n 通道 T F T

五、發明說明 (9)

- 4 0 , 4 1 正反器電路
- 4 2 , 4 3 E 型 N T F T
- 1 1 0 1 第一半導體層
- 1 1 0 2 , 1 1 0 3 第二半導體層
- 1 1 0 4 第一電極
- 1 1 0 5 第二電極
- 1 1 0 6 源極接線
- 1 1 0 7 閘極接線
- 1 1 0 8 , 1 1 0 9 共同接線
- 1 1 1 0 連接電極
- 1 1 1 1 圖素電極
- 9 0 2 圖素部份
- 9 0 1 源極側驅動電路
- 9 0 3 閘極側驅動電路
- 9 0 0 基底
- 9 1 8 密封構件
- 9 1 9 保護膜
- 9 2 0 蓋構件
- 9 2 1 乾燥劑
- 9 0 8 接線
- 9 1 0 絕緣膜
- 9 1 2 圖素電極
- 9 1 1 電流控制 T F T
- 9 1 3 , 9 1 4 n 通道 T F T

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

- 8 0 9 電 極
- 8 0 6 雜 質 區
- 9 1 6 E L 層
- 9 1 7 陰 極
- 9 0 9 F P C
- 1 0 0 0 基 底
- 1 0 1 0 絕 緣 膜
- 1 0 0 2 圖 素 部 份
- 1 0 0 3 閘 極 側 驅 動 電 路
- 1 0 1 1 電 流 控 制 T F T
- 1 0 1 2 圖 素 電 極
- 1 0 1 3 , 1 0 1 4 n 通 道 T F T
- 1 0 1 5 築 堤
- 1 0 1 6 E L 層
- 1 0 1 7 陽 極
- 1 0 0 9 F P C
- 1 0 0 8 接 線
- 1 0 1 8 密 封 構 件
- 1 0 1 9 保 護 膜
- 1 0 2 0 蓋 構 件
- 1 0 2 1 乾 燥 劑
- 4 0 0 解 碼 器
- 4 0 1 緩 衝 部 份
- 4 0 2 輸 入 訊 號 線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()11

- 4 0 3 a - 4 0 3 c N A N D 電 路
- 4 0 4 - 4 0 6 n 通 道 T F T
- 4 0 7 - 4 0 9 n 通 道 T F T
- 4 1 0 負 電 源 線
- 4 1 1 輸 出 線
- 4 1 3 a - 4 1 3 c 緩 衝 器
- 4 1 4 - 4 1 6 n 通 道 T F T
- 4 1 7 正 電 源 線
- 4 1 8 閘 極 接 線
- 4 1 9 負 電 源 線
- 4 2 1 解 碼 器
- 4 2 2 門 鎖 器
- 4 2 3 緩 衝 部 份
- 4 2 4 第 一 級 門 鎖 器
- 4 2 5 第 二 級 門 鎖 器
- 4 2 6 a - 4 2 6 c n 通 道 T F T
- 4 2 7 單 元
- 4 2 8 輸 出 線
- 4 2 9 視 頻 訊 號 線
- 4 3 0 a - 4 3 0 c 電 容
- 4 3 1 a - 4 3 1 c n 通 道 T F T
- 4 3 2 門 鎖 訊 號 線
- 4 3 3 a - 4 3 3 c 電 容
- 4 3 4 源 極 接 線

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()2

- 2 0 0 1 本體
- 2 0 0 2 影像輸入部份
- 2 0 0 3 顯示部份
- 2 0 0 4 鍵盤
- 2 2 0 1 本體
- 2 2 0 2 相機部份
- 2 2 0 3 影像接收部份
- 2 2 0 4 操作開關
- 2 2 0 5 顯示部份
- 2 4 0 1 本體
- 2 4 0 2 顯示部份
- 2 4 0 3 揚聲器部份
- 2 4 0 4 記錄媒體
- 2 4 0 5 操作開關
- 3 0 0 1 本體
- 3 0 0 2 顯示部份
- 3 0 0 3 顯示部份
- 3 0 0 4 記錄媒體
- 3 0 0 5 操作開關
- 3 0 0 6 天線
- 3 1 0 1 本體
- 3 1 0 2 支持座
- 3 1 0 3 顯示部份

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (3)

較佳實施例的詳細說明

下面將說明本發明的實施方式。

首先，在基底上形成底絕緣膜，然後藉由第一光微顯影步驟形成具有預定形狀的半導體層。

接著，形成覆蓋半導體層的絕緣膜（包含閘極絕緣膜）。在絕緣膜上疊置第一導電膜、第二導電膜和第三導電膜。利用第二光微顯影步驟對疊層膜進行第一蝕刻處理，以便形成由第一導電層和第二導電層構成的閘極、圖素部分的源極接線和端部分的電極。注意，在本發明中，在形成閘極之後，在中間層絕緣膜上形成閘極接線。

接下來，在第二光微顯影步驟中形成的抗蝕劑掩模保留的狀態下，向半導體層添加提供 n 型的雜質元素（磷等），以便以自對準方式形成 n 型雜質區（具有高濃度）。

然後，在第二光微顯影步驟中形成的抗蝕劑掩模保留的狀態下，改變蝕刻條件，進行第二蝕刻處理，形成具有錐部的第一導電層（第一寬度）、第二導電層（第二寬度）和第三導電層（第三寬度）。注意，第一寬度比第二寬度寬，第二寬度比第三寬度寬。於此，由第一導電層、第二導電層和第三導電層構成的電極成爲 n 通道 T F T 的閘極（第一閘極）。

主要含有 T a N 或 W 的材料膜當成第一導電層，以防止向通道形成區擴散，該第一導電層與絕緣膜接觸。而且，主要含有 A l 或 C u 的低電阻材料膜可當成第二導電層。此外，具有低接觸電阻的、主要含有 T i 的材料膜可當

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (14)

成第三導電層。

接著，在去掉抗蝕劑掩模之後，用第一閘極做掩模，藉由絕緣膜向半導體層中添加提供 n 型的雜質元素。

而後，藉由第三光微顯影法（步驟）形成抗蝕劑掩模，並且爲了降低圖素部分中的 T F T 的截止電流，添加提供 n 型的雜質元素。

然後，形成中間層絕緣膜並在其上形成透明導電膜。利用第四光微顯影法（步驟）定圖樣透明導電膜，形成圖素電極。然後，利用第五光微顯影步驟形成接觸孔。於此，形成到達雜質區的接觸孔、到達閘極的接觸孔和到達源極接線的接觸孔。

接著，形成由低電阻金屬材料製成的導電膜。藉由第六光微顯影步驟形成閘極接線、用於連接源極接線和雜質區的電極、和用於連接圖素電極和雜質區的電極。在本發明中，閘極接線藉由提供在中間層絕緣膜中的接觸孔與第一閘極或第二閘極電連接。並且，源極接線藉由提供在中間層絕緣膜中的接觸孔與雜質區（源區）電連接。此外，與圖素電極連接的電極藉由提供在中間層絕緣膜中的接觸孔與雜質區（汲區）電連接。

這樣，藉由總共進行六次光微顯影步驟，即採用六個掩模，可以形成包含具有圖素 T F T（n 通道 T F T）的圖素部分和具有如圖 7 A 所示的 E E M O S 電路（n 通道 T F T）的驅動電路的元件基底。注意，於此顯示製造透射型顯示裝置的例子。但是，也可以採用具有高反射特性

五、發明說明 (15)

的材料用於圖素電極而製造反射型顯示裝置。當製造反射型顯示裝置時，由於圖素電極可以與閘極接線同時形成，因此可採用五個掩模形成元件基底。

而且，可以製造具有 O L E D (有機發光裝置) 的主動矩陣發光裝置。即使在發光裝置的情況下，整個驅動電路由 n 通道 T F T 構成，圖素部分也由多數 n 通道 T F T 構成。在採用 O L E D 的發光裝置中，至少當成開關元件的 T F T 和用於對 O L E D 傳送電流的 T F T 提供在每個圖素中。不管圖素的電路結構和驅動方法如何，與 O L E D 電連接並對其傳送電流的 T F T 可以當成 n 通道 T F T。

O L E D 具有包含藉由對其施加電場 (電致發光) 實現發光的有機化合物 (有機發光材料) 的層 (以下稱為有機發光層)、陽極和陰極。有機化合物的發光包含從單重激發態返回到基態時產生的光發射 (熒光) 和從三重激發態返回到基態時產生的光發射 (磷光)。在本發明的發光裝置的情況下，上述光發射中，可以採用其中一種光發射，也可以採用兩種光發射。

注意，在本說明書中，形成在 O L E D 中的陽極和陰極之間的所有層定義為有機發光層。具體而言，有機發光層包含發光層、電洞注入層、電子注入層、電洞傳送層和電子傳送層。基本上，O L E D 具有其中陽極、發光層和陰極按順序疊置的結構。除了這種結構之外，還有以下情況：O L E D 具有其中陽極、電洞注入層、發光層和陰極

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

按順序疊置的結構，或其中陽極、電洞注入層、發光層、電子傳送層和陰極按順序疊置的結構。

並且，在形成導電膜之前，藉由組合增強型或耗盡型 M O S 形成如圖 7 B 所示的 E D M O S 電路時，預先形成掩模，並向將成爲通道形成區的半導體層中選擇添加屬於周期表的 1 5 族的元素（較佳爲磷）或屬於周期表的 1 3 族元素（較佳爲硼）。在這種情況下，可採用七個掩模形成元件基底。

這裏已經採用 n 通道 T F T 進行說明。但是，無須說明，藉由採用 p 型雜質元素代替 n 型雜質元素可形成 p 通道 T F T。在這種情況下，整個驅動電路由 p 通道 T F T 構成，圖素部分也由 p 通道 T F T 構成。

下面在實施例的基礎上將更詳細地說明利用上述結構實現的本發明。

（實施例）

〔實施例 1〕

下面用圖 1 A - 1 C 到圖 6 說明本發明的實施例。這裏，將詳細說明在同一基底上同時製造構成圖素部分的 T F T 和構成提供在圖素部分的週邊的驅動電路 T F T（只有 n 通道 T F T）的方法。

在圖 1 A 中，玻璃基底、石英基底、陶瓷基底等可當成基底 1 0 0。也可採用在表面上形成絕緣膜的矽基底、金屬基底或不銹鋼基底。而且，還可以採用具有耐本例中

五、發明說明 (17)

的處理溫度的耐熱性的塑膠基底。

然後，如圖 1 A 所示，在基底 1 0 0 上形成由絕緣膜如氧化矽膜、氮化矽膜、或氮氧化矽膜 ($S i O_x N_y$) 製成的底絕緣膜 1 0 1。作為典型例子，採用其中底絕緣膜 1 0 1 採用兩層結構的疊層結構，採用 $S i H_4$ 、 $N H_3$ 和 $N_2 O$ 作為反應氣體，形成厚度為 $50\text{ nm} - 100\text{ nm}$ 的第一氮氧化矽膜 1 0 1 a，用 $S i H_4$ 和 $N_2 O$ 做反應氣體，形成厚度為 $100\text{ nm} - 150\text{ nm}$ 的第二氮氧化矽膜 1 0 1 b。並且，厚度為 10 nm 或以下的氮化矽膜可當成底絕緣膜 1 0 1。當採用氮化矽膜時，除了如作為阻擋層的效果之外，還具有在將在後面進行的吸氣步驟中提高吸氣效率的效果。在吸氣時，鎳可以移動到具有高氧濃度的區域。這樣，採用氮化矽膜作為與半導體膜接觸的底絕緣膜是非常有效的。而且，可以採用其中按順序疊置第一氮氧化矽膜、第二氮化矽膜和氮化矽膜的三層結構。

藉由使形成在底絕緣膜 1 0 1 上的非晶半導體膜結晶，獲得作為主動層的半導體膜。非晶半導體膜的厚度為 $30\text{ nm} - 60\text{ nm}$ 。之後，採用具有促進結晶的催化作用的金屬元素（本例中為鎳），以用旋塗器向非晶半導體膜的表面上施加含有重量百分比 $1\text{ ppm} - 100\text{ ppm}$ 的鎳的乙酸鎳溶液，形成含催化劑層。

保持非晶半導體膜與含催化元素層接觸的狀態，進行用於結晶的熱處理。在本例中，熱處理是藉由 R T A 法進行的。用於加熱的燈光源打開 1 秒 - 60 秒，較佳 30 秒

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()8

— 60 秒，並重復這個操作 1 次 — 10 次，較佳 2 次 — 6 次。雖然燈光源的發光強度設定為任意強度，加熱半導體膜以便在 600°C — 1000°C 、較佳約 650°C — 750°C 暫態加熱。即使獲得這個高溫，半導體膜立即被加熱，並且沒有基底 100 本身彎曲和變形的情況。藉由這種方式，非晶半導體膜結晶，得到結晶半導體膜。

為了進一步提高結晶比（結晶成分在膜中總體積的百分比）和修復留在晶粒中的缺陷，用雷射照射結晶半導體膜。作為雷射，可採用具有 400 nm 或以下波長的準分子雷射、YAG 雷射的二次諧波、或其三次諧波。在任何情況下，採用具有約 10 Hz — 1000 Hz 的重復頻率的脈衝雷射，利用光學系統將該雷射聚光成 $100\text{ mJ}/\text{cm}^2$ — $400\text{ mJ}/\text{cm}^2$ ，用於結晶半導體膜的雷射處理可以在 90% — 95% 的重疊比下進行。

注意，於此顯示採用脈衝雷射的例子。但是，也可以採用連續振盪雷射。為了在非晶半導體膜結晶時得到具有大晶粒尺寸的晶體，較佳採用能產生連續振盪的固體雷射器，使用基波的二次諧波到四次諧波之一。通常，可採用 Nd:YVO₄ 雷射（基波： 1064 nm ）的二次諧波（ 532 nm ）或三次諧波（ 355 nm ）。當採用連續振盪雷射器時，從具有 10 W 輸出的連續振盪 YVO₄ 雷射器發射的雷射被非線形光學元件轉換成諧波。並且，有在諧振器中定位 YVO₄ 晶體和非線形光學元件及發射諧波的方法。然後，利用光學系統使雷射較佳的在照射表面上形成

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 ()9

為矩形或橢圓形並照射到要處理的目標上。此時，需要約 $0.01 \text{ MW} / \text{cm}^2 - 100 \text{ MW} / \text{cm}^2$ (較佳為 $0.1 \text{ MW} / \text{cm}^2 - 10 \text{ MW} / \text{cm}^2$) 的能量密度。然後，可以將半導體膜以約 $10 \text{ cm} / \text{s} - 2000 \text{ cm} / \text{s}$ 的速度相對於雷射移動，以便被照射。

注意，這裏採用在用鎳作為促進矽結晶的金屬元素的熱結晶之後照射雷射的技術。但是，可以在不添加鎳的情況下，藉由連續振蕩雷射 (YVO₄雷射的二次諧波) 使非晶矽膜結晶。

接著，進行吸氣處理，以便去掉包含在結晶半導體膜中的催化元素。在結晶半導體膜上形成阻擋層。作為阻擋層，形成多孔膜，藉由熱處理使催化元素 (鎳) 可以移動到吸氣側，然後在去掉吸氣位置的步驟中使用的蝕刻液不滲透。例如，可以採用藉由用臭氧水處理形成的化學氧化物膜或矽氧化物 (SiO_x) 膜。在本說明書中，具有這種特性的膜特別稱為多孔膜。

接著，包含惰性氣體元素的半導體膜形成為吸氣部分。在本例中，在利用電漿 CVD 法、濺射法等形成膜的階段或在膜形成之後在藉由離子摻雜法或離子注入法添加的階段，形成包含濃度為 $1 \times 10^{19} - 1 \times 10^{22} / \text{cm}^3$ 、較佳為 $1 \times 10^{20} - 1 \times 10^{21} / \text{cm}^3$ 的惰性氣體元素的半導體膜。

之後，進行採用燈光源的熱處理如 RTA 法或採用爐子的熱處理，使催化元素在縱向移動到吸氣部分。這個熱

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (20

處理還使用當成退火。關於加熱條件，用於加熱的燈光源打開 1 秒 - 6 0 秒，較佳 3 0 秒 - 6 0 秒，這個操作重復 1 次 - 1 0 次，較佳 2 次 - 6 次。雖然燈光源的光發射強度設定為任意強度，半導體膜被加熱以便在 6 0 0 °C - 1 0 0 0 °C、較佳約 7 0 0 °C - 7 5 0 °C 暫態加熱。

完成吸氣步驟之後，選擇蝕刻由非晶半導體構成的吸氣部分，以便去掉該部分。作為蝕刻方法，可採用在不用電漿的情況下利用 C 1 F 3 的乾蝕刻，或藉由鹼性溶液如包含 或氫氧化四乙銨（化學式： $(CH_3)_4NOH$ ）的水溶液的濕蝕刻。此時，阻擋層 1 0 6 當成蝕刻停止層。而且，可以在後面步驟中利用氫氟酸去掉阻擋層 1 0 6。為了提高結晶，在結晶步驟之後可以照射雷射。

隨後，藉由蝕刻成預定形狀，處理得到的結晶半導體膜，形成以島形分開的半導體層 1 0 2 - 1 0 6。

形成半導體層 1 0 2 - 1 0 6 之後，為了控制 n 通道 T F T 的〔臨界值 (V_{th}) 〕對其添加提供 p 型的雜質元素。屬於周期表 1 3 族的元素，如硼 (B)、鋁 (A l) 或鎵 (G a) 已知為對半導體提供 p 型的雜質元素。

接下來，形成覆蓋以島狀分開的半導體層 1 0 2 - 1 0 6 的閘極絕緣膜 1 0 7。閘極絕緣膜 1 0 7 是利用電漿 C V D 法或濺射法並由包含矽的絕緣膜形成的，其厚度設定為 4 0 n m - 1 5 0 n m。當然，閘極絕緣膜 1 0 7 還可以當成包含矽的單層絕緣膜或其疊層結構。

當採用氧化矽膜時，利用電漿 C V D 法混合 T E O S

(請先閱讀背面之注意事項再填寫本頁)

訂

修

五、發明說明 (21)

(原矽酸四乙酯) 和 O_2 ，反應壓力設定為 $40 Pa$ ，基底溫度設定為 $300^\circ C - 400^\circ C$ 。然後，在 $0.5 W/cm^2 - 0.8 W/cm^2$ 的高頻 ($13.56 MHz$) 功率密度下進行放電，形成氧化矽膜。之後，當對如此形成的氧化矽膜在 $400^\circ C - 500^\circ C$ 下進行熱處理時，可以得到作為閘極絕緣膜的最佳性能。

在閘極絕緣膜 107 上疊加膜厚為 $20 nm - 100 nm$ 的作為第一導電膜的鎢 (W) 膜 108a、膜厚為 $100 nm - 500 nm$ 的作為第二導電膜的鋁 (Al) 膜 108b、和膜厚為 $20 nm - 100 nm$ 的鈦 (Ti) 膜 108c。這裏，在閘極絕緣膜上按順序疊加膜厚為 $50 nm$ 的鎢膜、膜厚為 $500 nm$ 的鋁和鈦的合金 (Al-Ti) 膜、和膜厚為 $30 nm$ 的鈦膜。

用於形成閘極的導電材料是由選自由 Ta、W、Ti、Mo、Al、和 Cu 構成的組的元素、主要包含上述元素的合金材料、或主要包含上述元素的化合物材料構成。以用雜質元素如磷摻雜的多晶矽膜為代表的半導體膜還可以當成第一導電膜。另外，還可以採用其中第一導電膜由鎢 (W) 膜構成、第二導電膜由 Cu 膜構成和第三導電膜由鈦 (Ti) 膜構成的組合，其中第一導電膜由氮化鉭 (TaN) 膜構成、第二導電膜由鋁 (Al) 膜構成和第三導電膜由鈦 (Ti) 膜構成的組合，其中第一導電膜由氮化鉭 (TaN) 膜構成、第二導電膜由 Al 膜構成的組合，以及其中第一導電膜由氮化鉭 (TaN) 膜構成、第二

五、發明說明 (22)

導電膜由 Cu 膜構成、和第三導電膜由鈦 (Ti) 膜構成的組合。

接著，如圖 1 B 所示，藉由光源曝光步驟形成由抗蝕劑構成的掩模 110 - 115，進行蝕刻處理，用於形成閘極和接線。在第一蝕刻條件和第二蝕刻條件下進行第一蝕刻處理。對於這個蝕刻，較佳採用 ICP (感應耦合電漿) 蝕刻法。當採用 ICP 蝕刻法和適當控制蝕刻條件 (施加給線圈型電極的功率的量、施加給位於基底側的電極的功率的量、位於基底側的電極的溫度等) 時，膜可以被蝕刻成預定錐形。注意，以 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 等為代表的氯化物體系氣體，以 CF_4 、 SF_6 、 NF_3 等為代表的氟系氣體，或 O_2 可當成合適的蝕刻氣體。

雖然使用的蝕刻氣體不限，但是這裏採用 BCl_3 、 Cl_2 和 O_2 是合適的。它們的反應氣體流速的比設定為 65 : 10 : 5 (sccm)。在 1.2 Pa 壓力下給線圈型電極施加具有 450 W 和 13.56 MHz 的 RF 功率，產生電漿，並進行蝕刻 117 秒。而且，對基底側 (樣品階段) 傳送具有 300 W 和 13.56 MHz 的 RF 功率，以便基本上施加負的自偏壓。注意，位於基底側的電極的面積尺寸為 12.5 cm × 12.5 cm。而且，線圈型電極 (這裏為其中提供線圈的石英盤) 為圓盤，其面積尺寸為 25 cm 直徑。在第一蝕刻條件下蝕刻 W 膜，將第一導電層的端部形成為錐形。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (23)

此後，第一蝕刻條件改變為第二蝕刻條件。C F₄、C l₂和O₂當成蝕刻氣體，它們各自的氣體流速比為25 : 25 : 10 (s c c m)。在1 P a壓力下將具有500 W和13 . 56 M H z的R F功率輸送給線圈型電極，以便產生電漿，由此進行蝕刻約30秒。並且，對基底側（樣品階段）傳送具有20 W和13 . 56 M H z的R F功率，以便基本上施加負的自偏壓。在其中混合了C F₄和C l₂的第二蝕刻條件中，W膜和T a N膜被蝕刻到相同程度。注意，為了在不在閘極絕緣膜上留下任何殘餘物的情況下進行蝕刻，蝕刻時間較佳以約10% - 20%的速度增加。

在第一蝕刻處理中，當由抗蝕劑構成的掩模的形狀合適時，第一和第二導電層的端部由於施加給基底側的偏壓的效果而成為錐形。錐部的角度為15 - 45。藉由這種方式，藉由第一蝕刻處理形成由第一導電層、第二導電層和第三導電層（第一導電層117a - 122a、第二導電層117b - 122b、和第三導電層117c - 122c）構成的第一形狀導電層117 - 122。參考數字116表示閘極絕緣膜。沒有用第一形狀導電層117 - 122覆蓋的區域被蝕刻約20 - 50 n m，以便形成較薄區。

於此，製備樣品，並對蝕刻條件進行實驗。關於該樣品，與在本例中的情況下一樣，按順序在石英基底上疊置膜厚為50 n m的鎢膜、膜厚為500 n m的鋁和鈦的合

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (24

金 (A l - T i) 膜、和膜厚為 3 0 n m 的鈦膜。圖 1 3 是在與上述第一蝕刻處理相同條件下進行蝕刻之後，立即藉由用 S E M 觀察樣品得到的影像。這樣，圖 1 3 中所示的導電層的形狀可假設為第一形狀導電層。

在不去掉由抗蝕劑構成的掩模 1 1 0 - 1 1 5 的情況下，進行第二蝕刻處理，如圖 1 C 所示。B C 1 3 和 C 1 2 當成蝕刻氣體，它們各自的氣體流速比設定為 2 0 / 6 0 (s c c m)。在 1 . 2 P a 壓力下將具有 6 0 0 W 和 1 3 . 5 6 M H z 的 R F 功率傳送給線圈型電極，由此進行蝕刻。並且，對基底側 (樣品階段) 傳送具有 1 0 0 W 和 1 3 . 5 6 M H z 的 R F 功率。在第二蝕刻處理中進行的第三蝕刻條件下蝕刻第二導電層。藉由這種方式，在上述第三蝕刻條件下各向異性地蝕刻含有很少量鈦的鋁膜，以便形成第二形狀導電層 1 2 4 - 1 2 9 (第一導電層 1 2 4 a - 1 2 9 a 、第二導電層 1 2 4 b - 1 2 9 b 、和第三導電層 1 2 4 c - 1 2 9 c)。參考數字 1 2 3 表示閘極絕緣膜。沒有用第一形狀導電層 1 2 4 - 1 2 9 覆蓋的區域被輕微蝕刻，以便形成較薄區。而且，如圖 1 B 和 1 C 所示，假設第一導電層的錐部具有相同的長度。但是，實際上，由於接線寬度的相關性，第一導電層的錐部長度可以根據接線寬度而改變。

這裏，如在上述情況那樣，製備樣品並對蝕刻條件進行實驗。作為樣品，與在本例中的情況下一樣，按順序在石英基底上疊置膜厚為 5 0 n m 的鎢膜、膜厚為 5 0 0

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (25)

n m 的鋁和鈦的合金 (A l - T i) 膜、和膜厚為 3 0 n m 的鈦膜。圖 1 4 是在與上述第一蝕刻處理相同條件下進行蝕刻然後進行第二蝕刻處理之後，立即藉由用 S E M 觀察樣品得到的影像。這樣，圖 1 4 中所示的導電層的形狀可假設為第二形狀導電層。

然後，在不去掉由抗蝕劑構成的掩模的情況下進行第一摻雜處理，以便對半導體層添加提供 n 型的雜質元素。該摻雜處理可以藉由離子摻雜法或離子注入法進行。關於離子摻雜法的條件，劑量設定為 1.5×10^{14}

a t o m s / c m ^ 2 ，加速電壓設定為 6 0 k e V - 1 0 0 k e V 。屬於周期表 1 5 族的元素、通常為磷 (P) 或砷 (A s) 當成提供 n 型的雜質元素。在這種情況下，導電層 1 2 4 - 1 2 8 成為提供 n 型的雜質元素的掩模，因此以自對準方式形成第一雜質區 1 2 3 - 1 2 7 。給第一雜質區 1 3 0 - 1 3 4 以 $1 \times 10^{16} / c m ^ 3 - 1 \times 10^{17} / c m ^ 3$ 的濃度範圍添加提供 n 型的雜質元素。

接著，如圖 2 A 所示，形成由抗蝕劑製成的掩模 1 3 5 和 1 3 6 ，並進行第二摻雜處理。掩模 1 3 5 是用於保護構成驅動電路中的 n 通道 T F T 的半導體層的通道形成區和其週邊區的掩模。掩模 1 3 6 是用於保護構成圖素部分中的 T F T 的半導體層的通道形成區和其週邊區的掩模。而且，在圖 2 A 中，為方便起見，假設第一導電層的錐部具有相同長度。但是，實際上，第一導電層的錐部長度可以根據接線寬度而改變。這樣，當在同一基底上提

五、發明說明 (26

供具有不同接線寬度的多數接線時，要摻雜的區域的寬度彼此不同。

關於第二摻雜處理中的離子摻雜法的條件，劑量設定為 $1.5 \times 10^{15} \text{ atoms/cm}^2$ ，加速電壓設定為 $60 \text{ keV} - 100 \text{ keV}$ 。摻雜磷 (P)。這裏，採用在第二形狀導電層 124 - 128 和閘極絕緣膜 123 之間的膜厚差在各個半導體層中形成雜質區。當然，不對以掩模 135 和 136 覆蓋的區域添加磷 (P)。藉由這種方式，形成第二雜質區 180 - 182 和第三雜質區 137 - 141。對第三雜質區 137 - 141 以 $1 \times 10^{20} / \text{cm}^3 - 1 \times 10^{21} / \text{cm}^3$ 的濃度範圍添加提供 n 型的雜質元素。而且，藉由閘極絕緣膜的膜厚差，以比第三雜質區低的濃度形成第二雜質區。這樣，對第二雜質區以 $1 \times 10^{18} / \text{cm}^3 - 1 \times 10^{19} / \text{cm}^3$ 的濃度範圍添加提供 n 型的雜質元素。

藉由上述步驟，在各個半導體層中形成具有 n 型導電類型的雜質區。第二形狀導電層 124 - 127 成爲閘極。而且，第二形狀導電層 128 成爲構成圖素部分中的儲存電容的一個電極。此外，第二形狀導電層 129 構成圖素部分中的源極接線。

接著，形成基本上覆蓋整個表面的第一中間層絕緣膜 151。第一中間層絕緣膜 151 是藉由電漿 CVD 法或濺射法形成的，並由含有矽和氫的絕緣膜構成，厚度爲 $100 - 200 \text{ nm}$ 。其一個較佳例子是藉由電漿 CVD

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (27

法形成的膜厚為 1 5 0 n m 的氮氧化矽膜。當然，第一中間層絕緣膜不限於氮氧化矽膜，可以採用含有矽的其他絕緣膜的單層或其疊層結構。

而後，進行添加到各個半導體層中的雜質元素的啟動步驟。啟動是藉由採用爐退火或潔淨爐的熱處理實現。熱處理是在氮氣氛中在 4 0 0 - 7 0 0 °C、通常為 4 1 0 - 5 0 0 °C 下進行的。注意，此外，可以採用雷射退火法或快速熱退火法（R T A 法）。

同時利用上述啟動處理，在以高濃度含有磷的第三雜質區 1 3 7 - 1 4 1 進行當成催化劑的鎳的吸氣，以便降低主要成為通道形成區的半導體層中的鎳的濃度。結果是，關於具有通道形成區的 T F T，降低截止電流值。而且，由於其高的結晶度而得到高電場效應遷移率，並且可以實現較好特性。

接下來，如圖 3 所示，在第一中間層絕緣膜 1 5 1 上形成由有機絕緣材料製成的第二中間層絕緣膜 1 5 2。然後，形成到達源極接線 1 2 7 的接觸孔和到達各個雜質區的接觸孔。

之後，形成由 A l、T i、M o、W 等構成的接線和圖素電極。例如，採用膜厚為 5 0 n m - 2 5 0 n m 的 T i 膜和膜厚為 3 0 0 n m - 5 0 0 n m 的合金膜（A l 和 T i 的合金膜）的層疊膜。藉由這種方式，形成接線（源極接線和汲極接線）1 5 3 - 1 5 8、閘極接線 1 6 0、連接接線 1 5 9、圖素電極 1 6 1 和電容接線 1 6 2。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (28)

藉由這種方式，可以在同一基底上形成具有 n 通道 T F T 4 0 1、4 0 2 和 4 0 3 的驅動電路 4 0 6 及具有 n 通道 T F T 4 0 4 和儲存電容 4 0 5 的圖素部分 4 0 7。在本說明書中，為方便起見，這種基底稱為主動矩陣基底。注意， n 通道 T F T 4 0 1 和 n 通道 T F T 4 0 3 具有相同的結構。

而且，根據習知方法，有以下情況：其中雜質元素根據摻雜條件移動到閘極下面的區域中，並形成寬度約為 $0.1 \mu\text{m}$ 的與閘極疊加並具有濃度梯度的雜質區。但是，在本例中，寬度設定為 $0.5 \mu\text{m}$ 或以上，較佳 $1 \mu\text{m}$ 或以上。這樣，T F T 結構不同於習知結構。

n 通道 T F T 4 0 2 具有通道形成區 1 6 5、不與構成閘極的一部分第二形狀導電層 1 2 5 疊加的第二雜質區 1 6 6、和各當成源區或汲區的第三雜質區 1 6 7。

n 通道 T F T 4 0 3 具有通道形成區 1 6 8、不與構成閘極的一部分第二形狀導電層 1 2 6 疊加的第二雜質區 1 6 9、和各當成源區或汲區的第三雜質區 1 7 0。

採用這些 n 通道 T F T 形成移位暫存器電路、緩衝器電路、位準移位電路、閃鎖電路等。特別是，在具有高驅動電壓的緩衝器電路的情況下，為了防止由於熱載子效應引起的退化， n 通道 T F T 4 0 1 或 4 0 3 的結構較適合。

圖素部分 4 0 7 中的的圖素 T F T 4 0 4 具有通道形成區 1 7 1、形成在構成閘極的第二形狀導電層 1 2 8

五、發明說明 (29)

外面的第一雜質區 1 7 2、和各當成源區或汲區的第三雜質區 1 7 3。此外，在當成儲存電容 4 0 5 的一個電極的半導體層中形成第三雜質區 1 7 6 和第二雜質區 1 7 7。儲存電容 4 0 5 由藉由用絕緣膜（與閘極絕緣膜相同的膜）作為介質、電容接線 1 6 2 和半導體層 1 0 6 構成。

圖 4 是這種圖素部分 4 0 7 的頂視圖。圖 4 基本上是一個圖素的頂視圖，採用與圖 3 的相同的參考數字。而且，沿著線 A - A' 和 B - B' 的截面結構對應圖 3。在圖 4 所示的圖素結構中，當在不同層上形成閘極接線和閘極時，閘極接線和半導體層可以疊加。這樣，對閘極接線施加作為遮光膜的功能。而且，為了遮罩圖素電極之間的間隙不被光照射，圖素電極定位成使其端部與源極接線疊加。這樣，得到能省略遮光膜（黑體）的結構。結果，與習知圖素部分相比，提高了開口比。

[實施例 2]

在本例中，將說明製造由在實施例 1 中得到的主動矩陣基底製成的液晶模組的步驟。

在圖 3 所示的主動矩陣基底上形成配向膜，然後進行磨光處理。在本例中，在形成配向膜之前，構圖有機樹脂膜如丙烯酸樹脂膜，在預定位置形成柱狀間隔物，以便保持基底間隙。可在基底整個表面上分散球狀間隔物以取代柱狀間隔物。

然後，製備相對基底。在相對基底上形成濾色器，其

五、發明說明(30

中以對應每個圖素的方式提供彩色層和遮光層。此外，在驅動電路上形成遮光層。並且，形成覆蓋濾色器和遮光層的整平膜。然後，至少在圖素部分的整平膜上形成由透明導電膜製成的相對電極。在相對基底的整個表面上形成配向膜，然後進行磨光。

用密封劑將帶有形成在其上的圖素部分和驅動電路的主動矩陣基底固定到相對基底上。在密封劑中混合填充劑。兩個基底被互相粘接到一起，同時其間用填充劑和柱狀間隔物保持均勻間隙。此後，在基底之間注入液晶材料，並用密封劑完全密封。作為液晶材料，可採用已知液晶材料。然後，如上所述，完成液晶模組。此外，需要時，將主動矩陣基底或相對基底分割成所需要的形狀。此外，可採用已知方法粘接極化板等。然後，採用已知方法固定 F P C。

下面參照圖 5 的頂視圖說明藉由這種方式得到的液晶模組的結構。

如圖 5 的頂視圖所示，用密封劑 2 0 7 將主動矩陣基底固定到相對基底 2 0 0 上。主動矩陣基底提供有圖素部分、驅動電路、F P C（軟性印刷電路）2 1 1 固定其上的外部輸入端 2 0 9、和將外部輸入端子連接到每個電路的輸入部分的接線 2 1 0。相對基底 2 0 0 提供有濾色器等。

在相對基底側提供與閘極側驅動電路 2 0 1 a 疊加的遮光層 2 0 3，在相對基底側提供與源極側驅動電路

（請先閱讀背面之注意事項再填寫本頁）

訂

始

五、發明說明 (31)

2 0 1 b 疊加的遮光層 8 0 3 b。以如下方式提供設置在相對基底上的圖素部分 2 0 5 上的濾色器 2 0 2：遮光層和每種顏色（紅（R）、綠（G）和藍（B））的彩色層對應每個圖素。實際上，以紅（R）的彩色層、綠（G）的彩色層和藍（B）的彩色層的三種顏色進行彩色顯示。各種顏色的彩色層任意排列。

於此，為了進行彩色顯示，在相對基底上提供濾色器 2 0 2。但是，本發明不限於於此。當製造主動矩陣基底時，可以在主動矩陣基底上形成濾色器。

在濾色器中，遮光層提供在相鄰圖素之間的區域中，由此在除了顯示區域以外的區域中阻擋光。此外，提供覆蓋驅動電路的遮光層 2 0 3 a 和 2 0 3 b。然而，當液晶顯示裝置作為顯示部分安裝到電子設備中時，在驅動電路的區域上設置蓋。因此，驅動電路的區域不用遮光層覆蓋。此外，當製造主動矩陣基底時，可在主動矩陣基底上形成遮光層。

此外，還可以如下那樣。代替提供上述遮光層，可在相對基底和相對電極之間適當設置構成濾色器的多數疊置彩色層，由此在除了顯示區域和驅動電路以外的區域（各個圖素電極之間的間隙）中阻擋光。

此外，用各向異性導電樹脂將由基底膜和接線構成的 F P C 2 1 1 粘接到外部輸入端上。另外，用強化板增強該裝置的機械強度。

用如上所述的方式製造的液晶模組可用於各種電子設

五、發明說明 (32)

備的顯示部分。

[實施例 3]

實施例 1 顯示其中圖素電極由具有反射性的金屬材料製成的反射型顯示裝置的例子。在本例中，示意透射型顯示裝置示於圖 6 中，其中圖素電極由具有透光度的導電膜製成。當用透明導電膜形成圖素電極時，儘管增加了一個光掩模，但是可以形成透明型顯示裝置。

在根據實施例 1 形成中間層絕緣膜之後，形成由具有透光度的導電膜製成的圖素電極。作為具有透光度的導電膜，可採用 I T O (銦錫氧化物合金)、銦鋅氧化物合金 ($I n_2 O_3 Z n O$)、氧化鋅 ($Z n O$) 等。

而後，在中間層絕緣膜中形成接觸孔。然後，形成疊加圖素電極的連接電極。連接電極藉由接觸孔連接到汲區。此外，還與連接電極同時形成另一 T F T 的源電極或汲極電極。

這裏，顯示其中所有驅動電路都形成在基底上的實施例。然而，幾個 I C 可用在一部分驅動電路中。

如上所述那樣形成主動矩陣基底。採用主動矩陣基底根據實施例 2 製造液晶模組，並提供背光 3 1 0 和導光板 3 1 1，然後設置蓋構件 3 1 2，由此完成圖 6 中所示的主動矩陣型液晶顯示裝置。蓋構件 3 1 2 和液晶模組用粘接劑或有機樹脂互相粘接在一起。此外，可以藉由在框架和基底之間填充有機樹脂以便圍繞框架，將基底固定到相

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

五、發明說明（ 33

對基底上。由於該裝置是透射型的，因此極化板 3 0 9 固定到主動矩陣基底和相對基底上。

〔實施例 4〕

在實施例 1 所示的 n 通道型 T F T 的情況下，可以對通道形成區中的半導體中添加屬於周期表的 1 5 族的元素（較佳磷）或屬於周期表的 1 3 族的元素（較佳硼），以便選擇性地製造增強型和耗盡型。

在藉由組合 n 通道 T F T 形成 N M O S 電路的情況下，形成為增強型 T F T 的組合（以下稱做“E E M O S 電路”）或耗盡型和增強型 T F T 的組合（以下稱做“E D M O S 電路”）。

圖 7 A 表示 E E M O S 電路的例子，圖 7 B 表示 E D M O S 電路的例子。圖 7 A 中所示的每個元件 3 1 和 3 2 是增強型 n 通道 T F T（以下稱為“E 型 N T F T”）。圖 7 B 中所示的元件 3 3 是 E 型 N T F T，3 4 是耗盡型 n 通道 T F T（以下稱為“D 型 N T F T”）。

在圖 7 A 和 7 B 中， V_{DH} 表示施加正電壓的電源線（正電源線）， V_{DL} 表示施加負電壓的電源線（負電源線）。負電源線可以是地電位電源線（接地電源線）。

圖 8 表示採用圖 7 A 所示的 E E M O S 電路或圖 7 B 所示的 E D M O S 電路形成的移位暫存器的例子。圖 8 的部分 4 0 和 4 1 是正反器電路。元件 4 2 和 4 3 是 E 型 N T F T。時鐘訊號（C L）輸入 E 型 N T F T 4 2 的

五、發明說明 (34)

閘極，相反極性的時鐘訊號 (\bar{CL}) 輸入到 E 型 N T F T 4 3 的閘極。由 4 4 表示的標號是反相電路。為形成這個反相電路，採用圖 7 A 所示的 E E M O S 或圖 7 B 所示的 E D M O S，如圖 8 B 所示。因此，顯示裝置的所有驅動電路可以用 n 通道型 T F T 構成。

本實施例可以與實施例 1 - 3 的任何一個組合。

[實施例 5]

在本例中，不同於實施例 1 的圖素結構 (I P S 系統) 示於圖 9 中，截面結構示於圖 1 0 中。於此顯示線 A - A' 的截面圖和線 H - H' 的截面圖。

本例展示了 I P S (面內開關) 系統 (還稱為橫向電場系統) 的主動矩陣液晶顯示裝置。I P S 系統的特徵在於圖素電極和公用接線都形成在一個基底上，並且在橫向施加電場。控制取向，以便液晶模組的縱軸對準基本上平行於基底表面的方向。當使用 I P S 系統時，可擴大視角。

在圖 9 中，參考數字 1 1 0 1 表示第一半導體層，1 1 0 2 和 1 1 0 3 表示第二半導體層，1 1 0 4 表示第一電極，1 1 0 5 表示第二電極，1 1 0 6 表示源極接線，1 1 0 7 表示閘極接線，1 1 0 8 和 1 1 0 9 表示公用接線，1 1 1 0 表示連接電極，1 1 1 1 表示圖素電極。注意，圖素電極和公用接線可以如此設置：即產生與基底表面平行的電場。而且，公用接線可以設置成與源極接線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35

疊加。這樣，提高了圖素部分的開口比。

另外，如圖 10 所示，第一電極 1104、第二電極 1105 和源極接線 1106 同時形成在覆蓋第一半導體層和第二半導體層的絕緣膜上。並且，圖素電極 1111、連接電極 1110、閘極接線 1107 和公用接線 1109 同時形成在覆蓋源極接線的中間層絕緣膜上。

而且，第一電極與閘極接線電連接。與第一半導體層疊加的第一電極當成閘極。

在本例中，顯示具有矩形形狀的圖素電極。但是，圖素電極和公用電極可以形成為角度電極結構，並且可進一步擴大視角。

另外，儲存電容由第二半導體層、覆蓋第二半導體層的絕緣膜、和第二電極構成。第二電極與相鄰圖素的閘極接線電連接。此外，對第二半導體層中添加提供 n 型的雜質元素。

注意，在本例中，當改變實施例 1 中所用的掩模圖形時，藉由與實施例 1 相同的步驟可得到圖素結構。

利用實施例 1 得到圖 9 和 10 所示的狀態之後，利用實施例 2 中所述的方法獲得液晶裝置。如實施例 2 的情況那樣，利用提供在相對基底中的濾色器遮光圖素間的間隙。注意，由於使用了 IPS 系統，因此需要改變定向處理等。

[實施例 6]

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (36)

在本例中，關於在實施例 1 中獲得的驅動電路的 T F T (通道長度：L / 通道寬度：W = 10 μ m / 8 μ m)，顯示在與閘極疊加的雜質區 (還稱為 L o v 區) 的通道長度方向的長度與可靠性之間的關係。

這裏，假設在 L o v 區的長度是預定長度的情況下，直到 T F T 的遷移率的最大值 (μ F E (m a x)) 以 10 % 變化的時間是 T F T 的壽命。然後，將汲極電壓的反向數量繪製在半對數曲線上，在從這個曲線得到的線形關係基礎上，在壽命為 10 年時汲極電壓的值引入作為 10 年安全電壓。

在本例中，當在 L o v 區的通道長度方向的長度 (還稱為 L o v 長度) 設定為 0.5 μ m、0.78 μ m、1.5 μ m 和 1.7 μ m 時，假設直到 T F T 的導通電流以 10 % 變化的時間是 T F T 的壽命。然後，汲極電極的反向數量繪製到半對數曲線上，在從這個曲線得到的線形關係基礎上，在壽命為 10 年時汲極電壓的值引入作為 10 年安全電壓。如此得到的結果示於圖 15 中。

注意，當在直到 T F T 的導通電流值改變 10 % 時的時間變為 20 小時的情況下，假設汲極電極的值為 20 年安全電壓，藉由暫態應力測試得到的結果也示於圖 15 中。

如圖 15 所示，當假設用在 16 V 系統裝置和考慮 20 % 的邊際量時，在 20 年安全電壓的情況下，希望具有 19.2 V (16 \times 1.2) 或更高的 n 通道 T F T 的

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

五、發明說明（ 37

L o v 區長度為 $1 \mu\text{m}$ 或更長。而且，在 10 年安全電壓的情況下，希望該長度為 $1.5 \mu\text{m}$ 或更長。

〔實施例 7〕

在本例中，製造包含有機發光裝置（O L E D）的發光裝置的例子示於圖 16 A 和 16 B 中。

圖 16 A 是具有 O L E D、所謂 E L 模組的模組之頂視圖，圖 16 B 是藉由沿著線 A - A' 截取圖 16 得到的截面圖。在具有絕緣表面的基底（例如，玻璃基底、結晶玻璃基底、塑膠基底等）900 上形成圖素部分 902、源極側驅動電路 901、和閘極側驅動電路 903。圖素部分和驅動電路可根據上述實施例 1 獲得。

而且，參考數字 918 表示密封構件，919 表示由氮氧化鋁、氮化鋁或 D L C 膜構成的保護膜。圖素部分和驅動電路部分用密封構件 918 覆蓋，並且密封構件 918 用保護膜 919 覆蓋。此外，圖素部分和驅動電路部分採用粘接劑用蓋構件 920 覆蓋。蓋構件 920 可以由任何混合介質製成，如塑膠、玻璃、金屬或陶瓷。而且，蓋構件 920 的形狀和支架的形狀不特別限制，這些構件可包含具有平坦表面的形狀或具有彎曲表面的形狀。而且，這些構件可以是柔性的。此外，這些構件還可以形成為膜狀。為了抵制由於熱量、外力等產生的變形，希望具有與基底 900 例如玻璃基底相同材料的構件當成蓋構件 920。在本例中，蓋構件是藉由噴沙法等方法被處理

五、發明說明 (38)

成如圖 1 6 B 所示的凹部形狀（深度為 $3 \mu\text{m} - 10 \mu\text{m}$ ）。此外，希望處理形成能使乾燥劑 9 2 1 定位的凹部（深度為 $50 \mu\text{m} - 200 \mu\text{m}$ ）。當藉由多次斜切製造 E L 模組時，粘接基底和蓋構件，然後採用 CO_2 雷射器等對準端面切割。

另外，雖然這裏未示出，為了防止由於來自使用的金屬層（這裏只陰極等）的光反射造成的背景反射，可以在基底 9 0 0 上提供由相差板（ $\lambda/4$ 板）和極化板製成的所謂的圓極化板的圓極化裝置。

注意，參考數字 9 0 8 表示用於傳送輸入到源極側驅動電路 9 0 1 和閘極側驅動電路 9 0 3 的訊號的接線。該接線從作為外部輸入端的 F P C（柔性印刷電路）9 0 9 接收視頻訊號和時鐘訊號。而且，本例的發光裝置可以用數位驅動工作或者可以用類比驅動工作。視頻訊號可以如數位訊號，或者可以是類比訊號。注意，雖然這裏只示出 F P C，但是印刷接線板（P W B）可以粘接到 F P C 上。本說明書中的發光裝置不僅包含發光裝置本體，而且包含 F P C 或 P W B 固定其上的發光裝置。而且，複雜的積體電路（記憶體、C P U、控制器、D/A 轉換器等）可以在同一基底上與圖素部分一起形成。然而，很難採用少量掩模製造它們。這樣，較佳的，可藉由 C O G（玻璃上晶片）法、T A B（帶式自動鍵合）法或接線鍵合法安裝包含記憶體、C P U、控制器、D/A 轉換器等 I C 晶片。

五、發明說明 (39)

接著，採用圖 1 6 B 說明橫截面結構。絕緣膜 9 1 0 提供在基底 9 0 0 上。圖素部分 9 0 2 和閘極側驅動電路 9 0 3 形成在絕緣膜 9 1 0 上。圖素部分 9 0 2 由電流控制 T F T 9 1 1 和包含與其汲極電連接的圖素電極 9 1 2 的多數圖素構成。實際上，在一個圖素中形成多數 T F T。然而，為簡便說明，這裏只示出電流控制 T F T 9 1 1。閘極側驅動電路 9 0 3 由 n 通道 T F T 9 1 3 和 9 1 4 構成。

這些 T F T (包含 T F T 9 1 1、9 1 3 和 9 1 4) 可以根據上述實施例 1 中的 n 通道 T F T 製造。

而且，關於具有 O L E D 的顯示裝置，有以下幾種方法：具有其中對 O L E D 施加恒定電壓以便對它傳送電流的電路設計的驅動方法，具有其中對 O L E D 施加恒定電流以便控制施加於 O L E D 的電壓的電路設計的驅動方法，具有其中對 O L E D 傳送恒定電流的電路設計的驅動方法，等等。但是，不管驅動方法怎樣，圖素的亮度是由與 O L E D 電連接並對 O L E D 傳送電流的 T F T (本說明書中，這個 T F T 稱為電流控制 T F T 並對應圖 1 6 B 中的電流控制 T F T 9 1 1) 的導通電流 (I_{on}) 確定的。

注意，在本例中，n 通道 T F T 當成開關 T F T 和電流控制 T F T 9 1 1。但是，本發明不限於這種結構。一個圖素中提供的 T F T 的數量可以是 3、4、5、6 或更多數。開關 T F T 和電流控制 T F T 可以由 p 通道

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (40

T F T 構成。注意，當 O L E D 的陰極當成圖素電極時，希望電流控制 T F T 是 n 通道 T F T。而且，當 O L E D 的陽極當成圖素電極時，希望電流控制 T F T 是 p 通道 T F T。

並且，希望具有高平面性和高透光性的絕緣膜當成提供在 T F T 的主動層和 O L E D 之間的絕緣膜。具體而言，較佳分別藉由塗敷方法和濺射方法疊加有機樹脂膜和氮化矽膜。或者，較佳的，在形成絕緣膜之後進行整平處理。用於提高平面性的已知技術，例如被稱為化學－機械拋光（以下稱為 C M P）的拋光步驟可當成整平處理。當使用 C M P 時，例如，其中藉由熱分解氮化矽氣體得到的發煙矽石顆粒分散到添加 K O H 的水溶液中的拋光劑較佳的當成對絕緣膜進行的 C M P 的拋光劑（漿料）。藉由 C M P 將絕緣膜去掉約 $0.1 \mu\text{m} - 0.5 \mu\text{m}$ ，以便整平表面。關於 O L E D，當有機化合物層的膜厚不均勻時，產生不均勻的光發射。因此，希望膜厚盡可能的均勻。

用於阻擋雜質離子如鹼金屬離子或鹼土金屬離子的擴散和確實吸收雜質離子如鹼金屬離子或鹼土金屬離子的材料較佳的作為提供在 T F T 的主動層和 O L E D 之間的絕緣膜。此外，可承受後面步驟中的處理溫度的材料較適合。作為適合於這種條件的材料例子，有含有大量氟的氮化矽膜。氮化矽膜中含有的氟的濃度為 $1 \times 10^{19} / \text{cm}^3$ 或更高，較佳的，包含在氮化矽膜中的氟的成分比設定為 1% - 5%。包含在氮化矽膜中的氟鍵合到鹼金屬離子、

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(41

鹼土金屬離子等上，並被吸收在膜中。而且，作為另一例子，有含有由銻(Sb)化合物、錫(Sn)化合物、或銾化合物構成的顆粒的有機樹脂膜，它吸收鹼金屬離子、鹼土金屬離子等，例如含有五氧化銻顆粒($Sb_2O_5 \cdot nH_2O$)的有機樹脂膜。注意，這個有機樹脂膜含有平均粒徑為 $10\text{nm} - 20\text{nm}$ 的顆粒並具有非常高的透光特性。由五氧化銻顆粒代表的銻化合物很容易吸收雜質離子，如鹼金屬離子、鹼土金屬離子等。

而且，由 AlN_xO_y 表示的層可以當成提供在TFT的主動層和OLED之間的絕緣膜的另一材料。採用例如氮化鋁(AlN)靶進行濺射法，藉由在其中混合了氫氣、氮氣和氧氣的氣氛中的膜形成得到的含有鋁的氮氧化物層(由 AlN_xO_y 表示的的層是含有 2.5% - 47.5% 的氮的膜。除了能阻擋潮氣和氧的效果之外，該膜的特徵還在於高導熱性、熱輻射效果和極高的透光特性。另外，可以防止雜質如鹼金屬或鹼土金屬進入TFT的主動層。

與電極809電連接的圖素電極912當成OLED的陽極，其中電極809與電流控制TFT 911的一個雜質區806電連接。具有大功函數的導電膜、通常為導電氧化物膜當成陽極。氧化銾、氧化錫、氧化鋅、或其混合物較佳當成導電氧化物膜。在圖素電極912的兩端形成由無機絕緣體或有機絕緣體構成的築堤915。在圖素電極912上形成OLED的EL層916和陰極

五、發明說明(42

9 1 7 。

E L 層 9 1 6 (用於產生光發射和移動載子的層)較佳的是藉由自由組合發光層、電荷傳送層、和電荷注入層形成的。例如,較佳的,採用低分子體系有機 E L 材料或聚合物體系有機 E L 材料。並且,由藉由單重激發產生光發射(熒光)的發光材料(單重化合物)構成的薄膜或由藉由三重激發產生光發射(磷光)的發光材料(三重化合物)構成的薄膜可當成 E L 層。而且,有機材料如碳化矽可當成電荷傳送層或電荷注入層。可使用已知材料可當成有機 E L 材料和無機 E L 材料。

陰極 9 1 7 還當成公用於所有圖素的接線,並藉由連接接線 9 0 8 與 F P C 9 0 9 電連接。較佳的,採用具有小功函數的金屬(通常,屬於周期表的 1 族或 2 族的金屬元素)或含有這些金屬的合金作陰極 9 1 7 的材料。由於隨著功函數降低,發光效率提高,因此希望含有作為鹼金屬的一種的 L i (鋰)的合金材料當成陰極材料。此外,包含在圖素部分 9 0 2 和閘極側驅動電路 9 0 3 中的所有元件都用陰極 9 1 7、密封構件 9 1 8、和保護膜 9 1 9 覆蓋。

注意,較佳的,對可見光是透明的或半透明的材料用於密封構件 9 1 8。而且,使用不允許潮氣和氧傳輸的材料於密封構件 9 1 8。

並且,在用密封構件 9 1 8 完全覆蓋 O L E D 之後,如圖 1 6 B 所示,較佳在密封構件 9 1 8 的表面(暴露表

(請先閱讀背面之注意事項再填寫本頁)

訂

繪

五、發明說明（ 43

面)上至少提供由選自由A1NO膜、A1N膜、A1₂O₃膜和DLC膜構成的組的單層或疊層構成的保護膜919。而且，可以在包含基底背面的整個表面上提供保護膜。這裏，需要注意到，在提供外部輸入端(FPC)的部分中不形成保護膜。進行處理，以便利用掩模形成保護膜。並且，進行處理，以便藉由利用如用在CVD設備中的掩模膠帶的膠帶覆蓋外部輸入端部分不形成保護膜。

利用上述結構，當用密封構件918和保護膜919密封OLED時，OLED完全與外部隔離，並且可以防止由於EL層的氧化而促進退化的物質如水或氧從外部進入。此外，當具有導熱性的膜(A1ON、A1N、等)當成保護膜時，在驅動OLED時產生的熱可以擴散。因此，可以獲得具有高可靠性的發光裝置。

此外，可以採用其中圖素電極當成陰極且EL層和陽極疊加在與圖16B的情況相反的方向產生光發射的結構。其一例示於圖17中。注意到，由於相同，因此這裏省略了頂視圖。

下面將說明圖17中所示的橫截面結構。除了玻璃基底和石英基底之外，半導體基底或金屬基底也可以當成基底1000。絕緣膜1010提供在基底1000上。圖素部分1002和閘極側驅動電路1003形成在絕緣膜1010上。圖素部分1002由電流控制TFT1011和包含與電流控制TFT1011的汲極電連

五、發明說明 (44)

接的圖素電極 1 0 1 2 的多數圖素構成。而且，閘極側驅動電路 1 0 0 3 由 n 通道 T F T 1 0 1 3 和 1 0 1 4 的組合構成。

圖素電極 1 0 1 2 當成 O L E D 的陰極。而且，在圖素電極 1 0 1 2 的兩端形成築堤 1 0 1 5。在圖素電極 1 0 1 2 上形成 O L E D 的 E L 層 1 0 1 6 和陽極 1 0 1 7。

陽極 1 0 1 7 還當成公用於所有圖素的接線並藉由連接接線 1 0 0 8 與 F P C 1 0 0 9 電連接。此外，包含在圖素部分 1 0 0 2 和閘極側驅動電路 1 0 0 3 中的所有元件用陽極 1 0 1 7、密封構件 1 0 1 8 和保護膜 1 0 1 9 覆蓋。蓋構件 1 0 2 1 和基底 1 0 0 0 藉由粘接劑粘接。在蓋構件中提供凹部，並且乾燥劑 1 0 2 1 位於其中。

較佳的，對可見光是透明的或半透明的材料用於密封構件 1 0 1 8。而且，希望使用盡可能不允許潮氣和氧透過的材料於密封構件 1 0 1 8。

並且，在圖 1 7 的情況下，由於圖素電極當成陰極，並且 E L 層和陽極疊加，因此光發射的方向變為由圖 1 7 中的箭頭所示的方向。

此外，雖然這裏未示出，為了防止由於從使用的金屬層（這裏為要成為陰極等的圖素電極）反射光引起的背景反射，可以在蓋構件 1 0 2 0 上提供稱為由相差板（ $\lambda / 4$ ）和極化板構成的圓極化板的圓極化裝置。

五、發明說明(45

本例可以與實施例 1、4 和 6 自由組合。

驅動電路可以由實施例 4 中所述的移位暫存器構成。然而，下面將利用圖 18-20 說明使用由 n 通道 T F T 構成的解碼器代替移位暫存器以及整個源極側驅動電路和整個閘極側驅動電路由 E 型 T F T s 構成的情況。

圖 18 表示閘極側驅動電路的例子。在圖 18 中，參考數字 400 表示閘極側驅動電路的解碼器，401 表示閘極側驅動電路的緩衝部分。注意，術語緩衝部分指的是其中集成多數緩衝器（緩衝放大器）的部分。而且，術語緩衝器指的是用於在後置級不對前置級提供影響的情況下進行驅動的電路。

首先，將說明閘極側解碼器 400。參考數字 402 表示解碼器 400 的輸入訊號線（以下稱為選擇線）。這裏顯示 A_1 、 \bar{A}_1 （藉由使 A_1 的極性相反得到的訊號）， A_2 、 \bar{A}_2 （藉由使 A_2 的極性相反得到的訊號）， \dots ， A_n ，和 \bar{A}_n （藉由使 A_n 的極性相反得到的訊號）。即，可以認為排列“ $2n$ ”選擇線。

選擇線的數量由從閘極側驅動電路輸出的閘極接線的列的數量確定。例如，當提供用於 V G A 顯示的圖素部分時，閘極接線的數量為 480。這樣，在 9 位元（對應 $n = 9$ ）的情況下需要使用 18 條選擇線。選擇線 402 傳輸在圖 19 中所示的時間圖中表示的訊號。如圖 19 所示，當使 A_1 的頻率為 1 時， A_2 的頻率為 2^{-1} 倍， A_3 的頻率為 2^{-2} 倍， A_n 的頻率為 $2^{-(n-1)}$ 倍。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明（ 46

而且，參考數字 4 0 3 a 表示第一級 N A N D 電路（還稱為 N A N D 單元），4 0 3 b 表示第二級 N A N D 電路，4 0 3 c 表示第 n 級 N A N D 電路。要求 N A N D 電路的數量對應閘極接線的數量，並且這裏需要“n”個 N A N D 電路。就是說，根據本發明，解碼器 4 0 0 由多數 N A N D 電路構成。

並且，N A N D 4 0 3 a - 4 0 3 c 由 n 通道 T F T s 4 0 4 - 4 0 9 組合而成。注意，實際上， $2n$ 個 T F T 用於 N A N D 電路 4 0 3。N 通道 T F T 4 0 4 - 4 0 9 的各個閘極與選擇線 4 0 2（ A_1 ， A_2 ， \bar{A}_2 ， \dots ， A_n ，和 \bar{A}_n ）的任一個連接。

此時，在 N A N D 電路 4 0 3 a 中，具有與任何一個 A_1 、 A_2 、 \dots 、和 A_n （這些被稱為正選擇線）連接的閘極的 n 通道 T F T s 4 0 4 - 4 0 6 互相並聯連接，並與作為公用源的負電源線（ V_{DL} ）4 1 0 連接，還與作為公用汲極的輸出線 7 1 連接。而且，具有與任何一個 \bar{A}_1 、 \bar{A}_2 、 \dots 、和 \bar{A}_n （這些被稱為負選擇線）連接的閘極的 n 通道 T F T 4 0 7 - 4 0 9 互相串聯連接。位於電路端部的 n 通道 T F T 4 0 9 的源與正電源線（ V_{DH} ）4 1 2 連接。位於另一電路端部的 n 通道 T F T 4 0 7 的汲極與輸出線 4 1 1 連接。

如上所述，根據本發明，N A N D 電路包含串聯連接的“n”個 n 通道 T F T，和並聯連接的“n”個 n 通道 T F T。注意，關於“n”個 N A N D 電路 4 0 3 a -

五、發明說明 (47)

4 0 3 c , n 通道 T F T 與選擇線的組合彼此不同。即，它被構成爲以便只選擇一個輸出線 4 1 1，並且按照從一端的順序用於選擇輸出線 4 1 1 的訊號被輸入到選擇線 4 0 2。

接著，緩衝部分 4 0 1 由分別對應 N A N D 電路 4 0 3 a - 4 0 3 c 的多數緩衝器 4 1 3 a - 4 1 3 c 構成。注意緩衝器 4 1 3 a - 4 1 3 c 可採用相同結構。

而且，緩衝器 4 1 3 a - 4 1 3 c 由 n 通道 T F T 4 1 4 - 4 1 6 構成。來自解碼器的輸出線 4 1 1 被輸入作爲 n 通道 T F T 4 1 4 (第一 n 通道 T F T) 的閘極。關於 n 通道 T F T 4 1 4，提供正電源線 (V_{DH}) 4 1 7 作爲源極，提供引向圖素部分的閘極接線 4 1 8 作爲汲極。關於 n 通道 T F T 4 1 5 (第二 n 通道 T F T)，提供正電源線 (V_{DH}) 4 1 7 作爲閘極，提供負電源線 (V_{DL}) 4 1 9 作爲源極，並提供閘極接線 4 1 8 作爲汲極。T F T 4 1 5 總是處於導通狀態。

即，在本發明中，緩衝器 4 1 3 a - 4 1 3 c 包含第一 n 通道 T F T (n 通道 T F T 4 1 4) 以及與第一 n 通道 T F T 串聯連接之第二 n 通道 T F T (n 通道 T F T 4 1 5)，和其中第一 n 通道 T F T 的汲極使用當成閘極。

而且，關於 n 通道 T F T 4 1 6 (第三 n 通道 T F T)，提供重置訊號線作爲閘極，提供負電源線 (V_{DL}) 4 1 9 作爲源極，提供閘極接線 4 1 8 作爲汲極。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (48)

注意，負電源線 (V_{DL}) 419 可以提供作為接地電源線 (GND) 。

此時， n 通道 T F T 415 的通道寬度 (由 W_1 表示的) 和 n 通道 T F T 415 的通道寬度 (由 W_2 表示的) 之間的關係為： $W_1 < W_2$ 。注意，通道寬度是在垂直於通道長度方向的通道形成區的長度。

緩衝器 413 a 的操作如下。首先，當負電壓施加於輸出線 411 時， n 通道 T F T 414 變成截止狀態 (不產生通道的狀態)。另一方面，由於 n 通道 T F T 415 總是處於導通狀態 (產生通道的狀態)，因此負電源線 419 的電壓施加於閘極接線 418。

然而，當正電壓施加於輸出線 411 時， n 通道 T F T 414 變為導通狀態。此時，由於 n 通道 T F T 414 的通道寬度比 n 通道 T F T 415 的大，因此閘極接線 418 的電位受 n 通道 T F T 414 的輸出的影響。結果是，正電源線 417 的電壓施加於閘極接線 418。

這樣，當正電壓施加於輸出線 411 時，閘極接線 418 輸出正電壓 (當成圖素的開關元件的 n 通道 T F T 變為導通狀態的電壓)。另一方面，當負電壓施加於輸出線 411 時，閘極接線 418 總是輸出負電壓 (當成圖素的開關元件的 n 通道 T F T 變為截止狀態的電壓)。

注意， n 通道 T F T 416 當成用於強制將施加正電壓的閘極接線 418 的電壓降低到負電壓的重置開關。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (49)

即，閘極接線 4 1 8 的選擇周期過去之後，輸入重置訊號以對閘極接線 4 1 8 施加負電壓。注意 n 通道 T F T 4 1 6 可以省略。

利用上述操作的閘極側驅動電路選擇閘極接線。接著，源極側驅動電路的結構示於圖 2 0 中。圖 2 0 中所示的源極側驅動電路包含解碼器 4 2 1、閃鎖器 4 2 2 和緩衝部分 4 2 3。注意，解碼器 4 2 1 和緩衝部分 4 2 3 具有與閘極側驅動電路相同的結構，這裏省略了其說明。

在圖 2 0 所示的源極側驅動電路的情況下，閃鎖器 4 2 2 由第一級閃鎖器 4 2 4 和第二級閃鎖器 4 2 5 構成。而且，第一級閃鎖器 4 2 4 和第二級閃鎖器 4 2 5 各具有由“m”個 n 通道 T F T 4 2 6 a - 4 2 6 c 構成的多數單元 4 2 7。來自解碼器 4 2 1 的輸出線 4 2 8 輸入到構成單元 4 2 7 的“m”個 n 通道 T F T 4 2 6 a - 4 2 6 c 的閘極。

例如，在 V G A 顯示的情況下，源極接線的數量為 6 4 0。當“m”= 1 時，需要 6 4 0 個 N A N D 電路和 2 0 個選擇線（對應 1 0 位元）。然而，當“m”= 8 時，需要的 N A N D 電路的數量為 8 0，需要的選擇線的數量為 1 4（對應 7 位元）。即，當源極接線的數量為“M”時，所需要的 N A N D 電路的數量為（M / m）。

然後，n 通道 T F T 4 2 6 a - 4 2 6 c 的源極與各個視頻訊號線（V 1，V 2，…，V k）4 2 9 連接。即，當對輸出線 4 2 8 施加正電壓時，n 通道 T F T

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(如

4 2 6 a - 4 2 6 c 同時變為導通狀態，以便在其中捕獲相應視頻訊號。此外，如此捕獲的視頻訊號保存在分別與 n 通道 T F T 4 2 6 a - 4 2 6 c 連接的電容 4 3 0 a - 4 3 0 c 中。

而且，第二級門鎖器 4 2 5 具有多數單元 4 2 7 b。單元 4 2 7 b 由“m”個 n 通道 T F T 4 3 1 a - 4 3 1 c 構成。n 通道 T F T 4 3 1 a - 4 3 1 c 的所有閘極都與門鎖訊號線 4 3 2 連接。當負電壓施加於門鎖訊號線 4 3 2 時，n 通道 T F T 4 3 1 a - 4 3 1 c 同時變為導通狀態。

結果是，保存在電容 4 3 0 a - 4 3 0 c 中的訊號被保存在分別與 n 通道 T F T 4 3 1 a - 4 3 1 c 連接的電容器 4 3 3 a - 4 3 3 c 中並將該保存的內容輸出到緩衝部分 4 2 3。然後，如圖 2 0 所述，藉由緩衝部分將訊號輸出到源極接線 4 3 4。藉由如上所述操作的源極側驅動電路，按順序選擇源極接線。

這樣，當閘極側驅動電路和源極側驅動電路只由 n 通道 T F T 構成時，整個圖素部分和整個驅動電路都可以由 n 通道 T F T 構成。注意，即使源極側驅動電路或閘極側驅動電路當成外部 I C 晶片，也能實現本發明。

〔實施例 8〕

當採用藉由實施本發明形成的驅動電路和圖素部分時，可完成各種元件（主動矩陣液晶模組、主動矩陣 E L 模

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(§1

組、和主動矩陣 E C 模組)。即，結合這些元件的所有電子設備都可以藉由實施本發明來完成。

作為這種電子設備，有視頻相機、數位相機、頭部安裝顯示器（護目鏡型顯示器）、汽車導航系統、投影儀、汽車立體音響設備、個人電腦、攜帶型資訊終端（攜帶型電腦、行動電話、電子書等）、等等。圖 1 1 A - 1 1 C 和圖 1 2 A - 1 2 B 表示電子設備的例子。

圖 1 1 A 表示個人電腦，包含本體 2 0 0 1、影像輸入部分 2 0 0 2、顯示部分 2 0 0 3、和鍵盤 2 0 0 4、

圖 1 1 B 表示攜帶型電腦（攜帶型電腦），包含本體 2 2 0 1、相機部分 2 2 0 2、影像接收部分 2 2 0 3、操作開關 2 2 0 4、和顯示部分 2 2 0 5。

圖 1 1 C 表示使用記錄程式的記錄媒體（以下稱為記錄媒體）的播放機。該播放機包含本體 2 4 0 1、顯示部分 2 4 0 2、揚聲器部分 2 4 0 3、記錄媒體 2 4 0 4、操作開關 2 4 0 5 等。注意，關於這個播放機，D V D（數位通用盤）、C D 等當成記錄媒體，可實現音樂欣賞、電影欣賞、遊戲和網際網路。

圖 1 2 A 表示攜帶型電子書（電子書），包含本體 3 0 0 1、顯示部分 3 0 0 2 和 3 0 0 3、記錄媒體 3 0 0 4、操作開關 3 0 0 5、天線 3 0 0 6 等。

圖 1 2 B 表示顯示器，包含本體 3 1 0 1、支持座 3 1 0 2、顯示部分 3 1 0 3 等。根據本發明，可完成具有 1 0 英寸 - 5 0 英寸對角線的顯示器。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (52

如上所述，本發明的應用範圍極寬，本發明可以應用到製造所有領域中的電子設備的方法。而且，甚至可以在採用由實施例 1 - 7 的任何組合構成的結構的情況下實現本例中的電子設備。

根據本發明，甚至在圖素部分的面積增加和由此在以主動矩陣液晶顯示裝置或具有 O L E D 的主動矩陣發光裝置為代表的半導體裝置中得到大尺寸螢幕時，可實現最佳顯示。由於大大降低了圖素部分的源極接線的電阻，因此本發明還可以應用於具有例如 4 0 英寸或 5 0 英寸對角線的大尺寸螢幕。

(請先閱讀背面之注意事項再填寫本頁)

訂

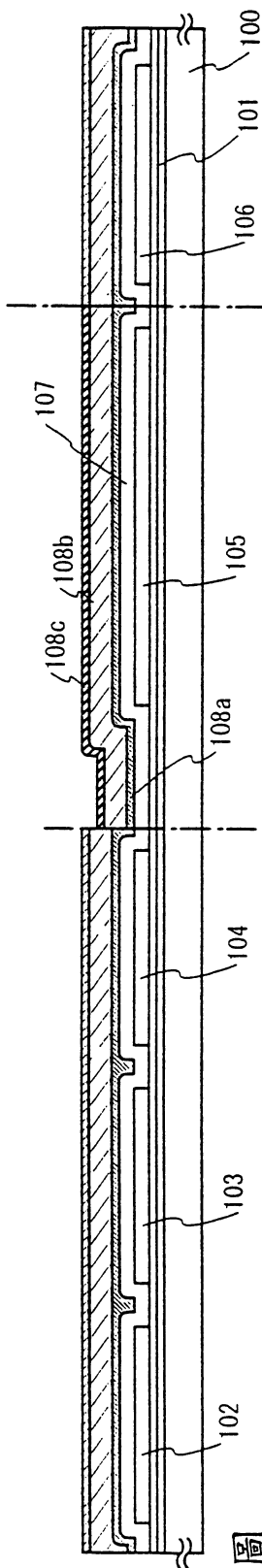
線

四、中文發明摘要 (發明之名稱： 半導體裝置及其製造方法)

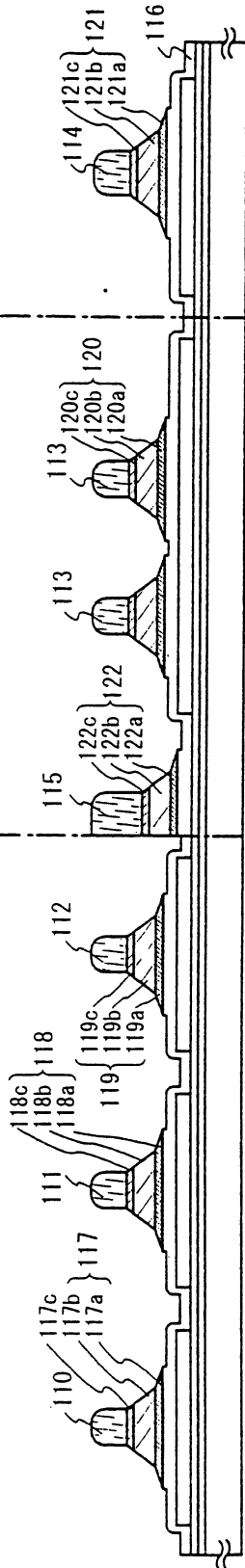
本發明提供一種半導體裝置的結構及其製造方法，其中即使在顯示部分的尺寸增加到大尺寸螢幕的情況下也能實現低功耗。圖素部分中的閘極形成為主要含有W的材料膜、主要含有Al的材料膜、和主要含有Ti的材料膜的三層結構，以便降低接線電阻。採用IPC蝕刻裝置蝕刻接線。閘極為錐形，並且成為錐形之區域的寬度設定為1 μ m或以上。

英文發明摘要 (發明之名稱： SEMICONDUCTOR DEVICE AND)
MANUFACTURING METHOD THEREOF

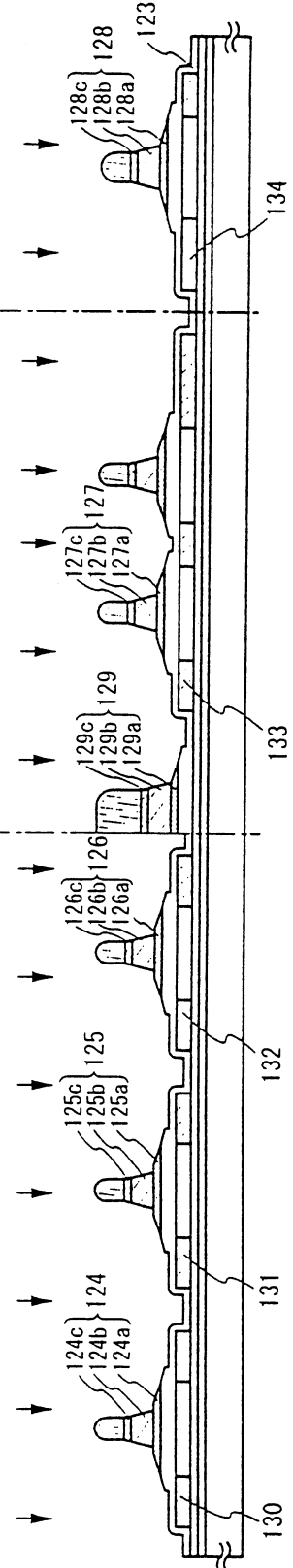
There are provided a structure of a semiconductor device in which low power consumption is realized even in a case where a size of a display region is increased to be a large size screen and a manufacturing method thereof. A gate electrode in a pixel portion is formed as a three layered structure of a material film containing mainly W, a material film containing mainly Al, and a material film containing mainly Ti to reduce a wiring resistance. A wiring is etched using an IPC etching apparatus. The gate electrode has a taper shape and the width of a region which becomes the taper shape is set to be 1 μ m or more.



第 1A 圖

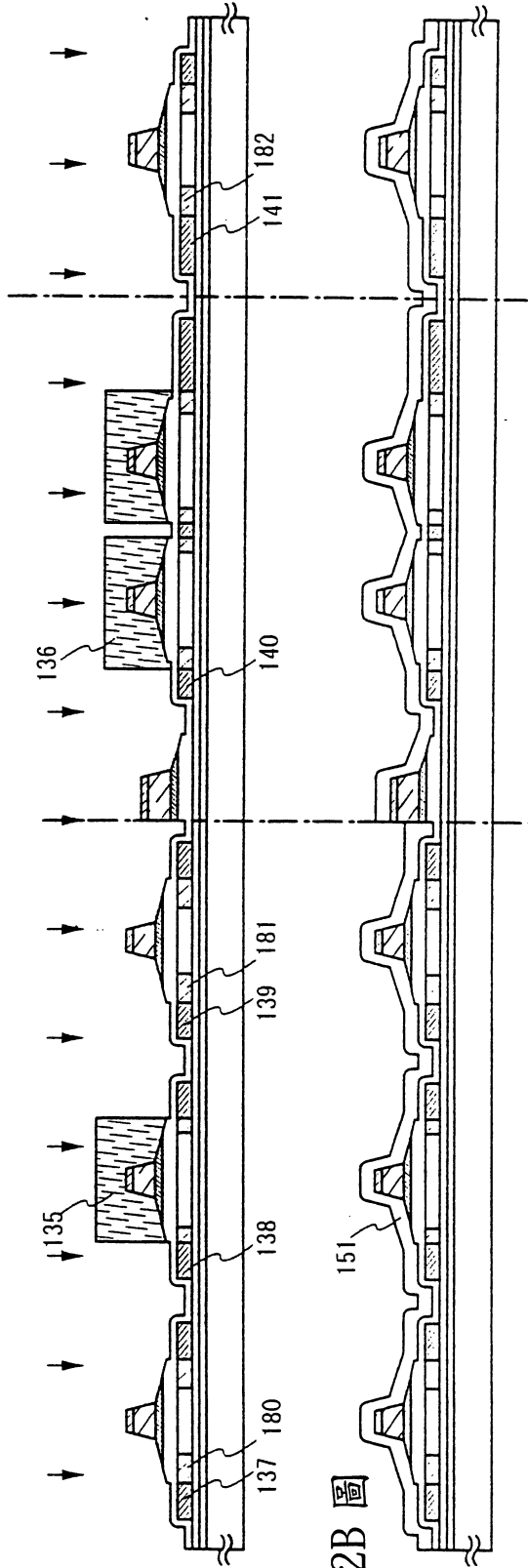


第 1B 圖

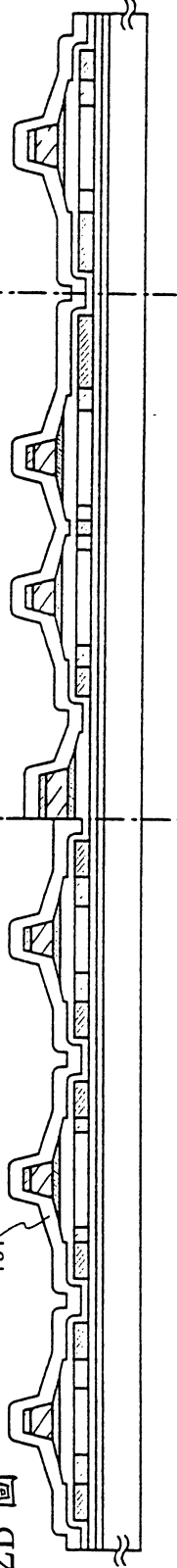


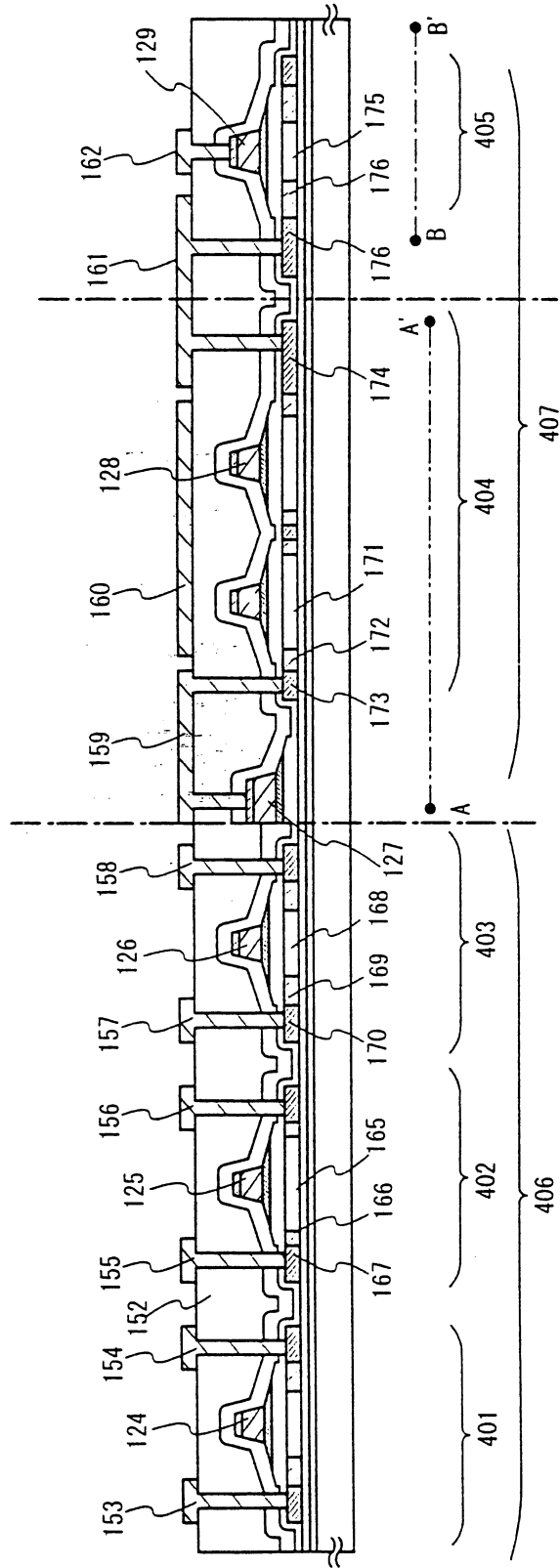
第 1C 圖

第 2A 圖

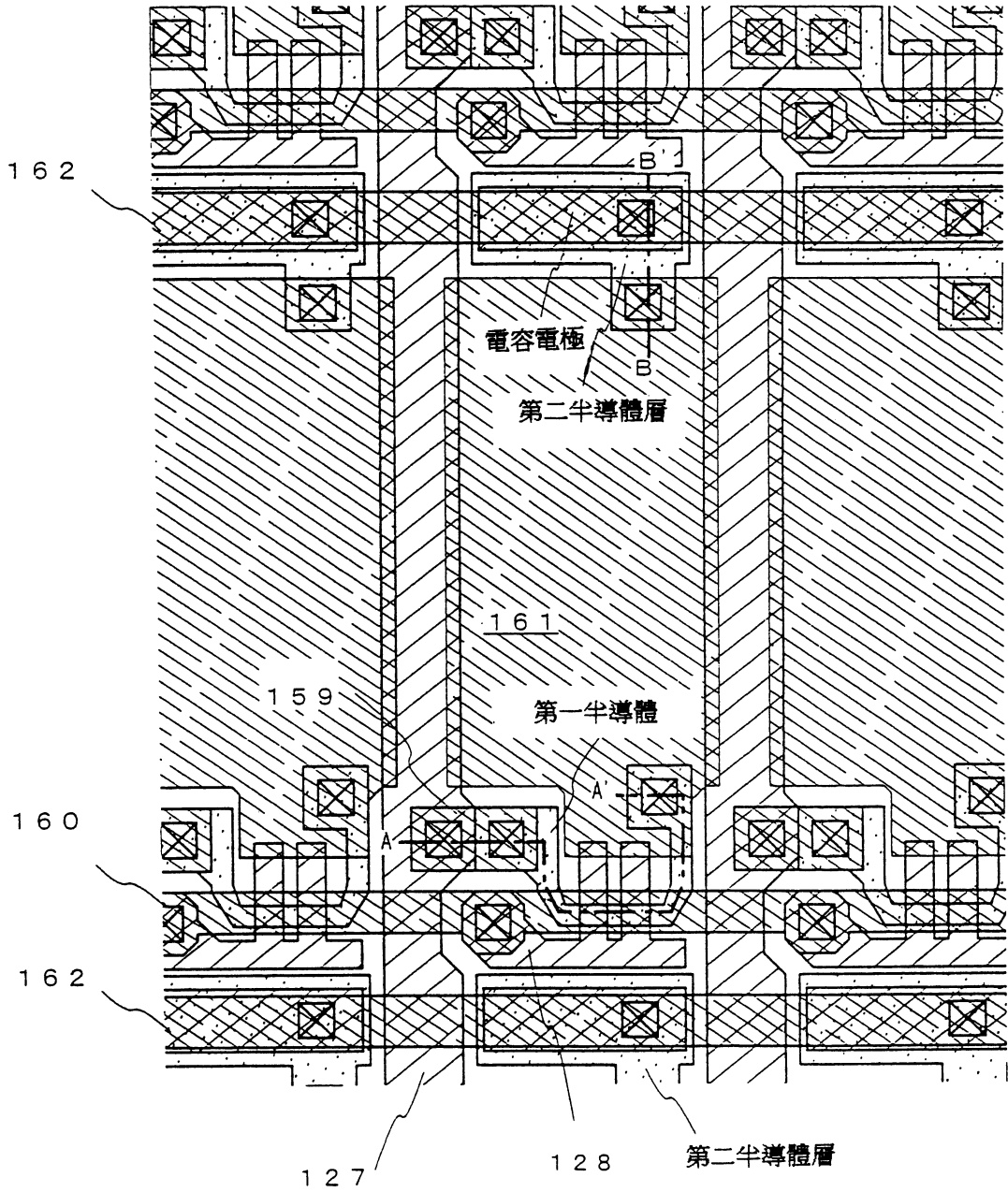


第 2B 圖

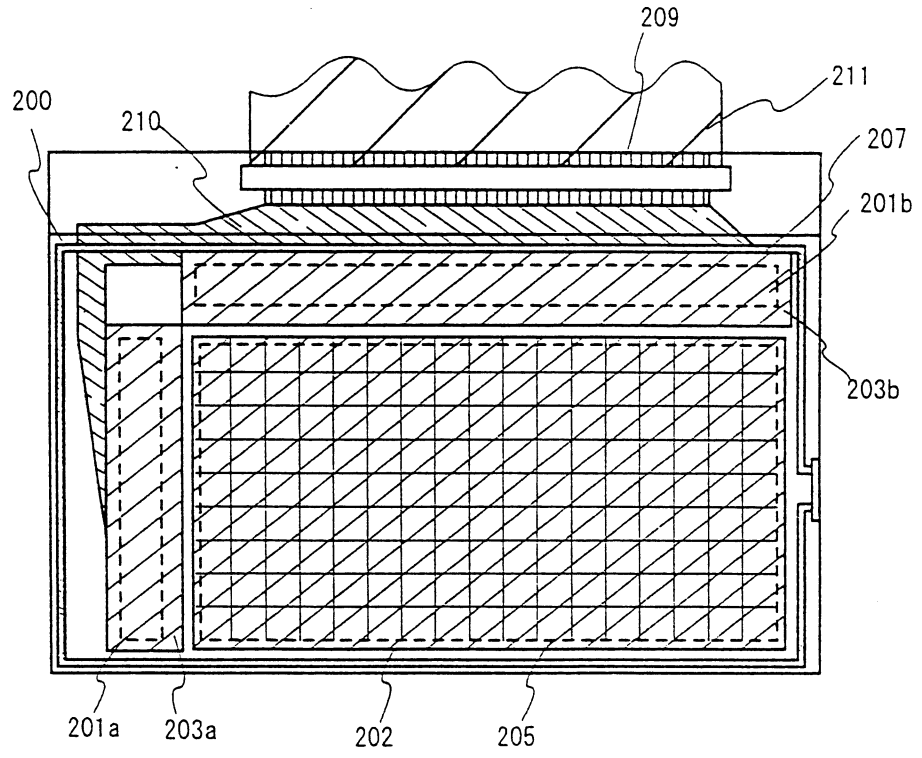




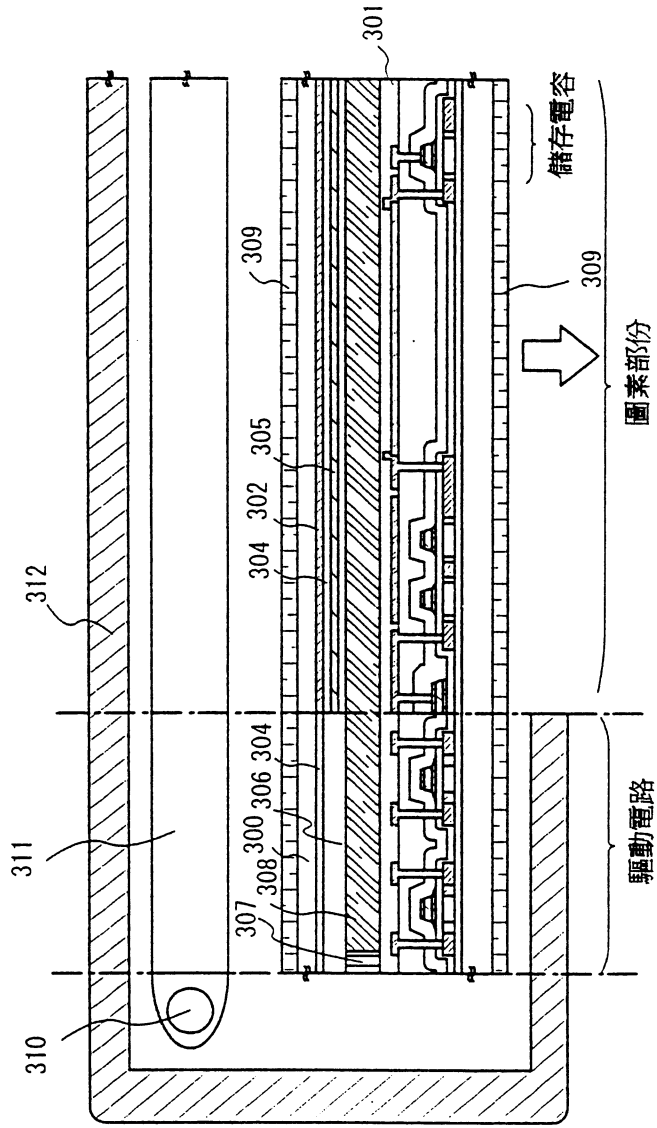
第 3 圖



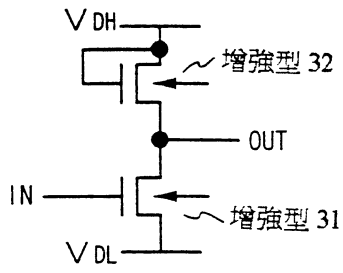
第 4 圖



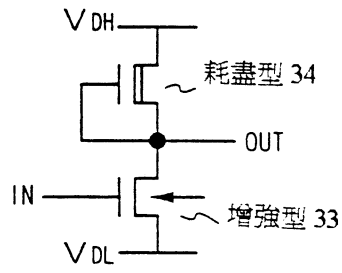
第 5 圖



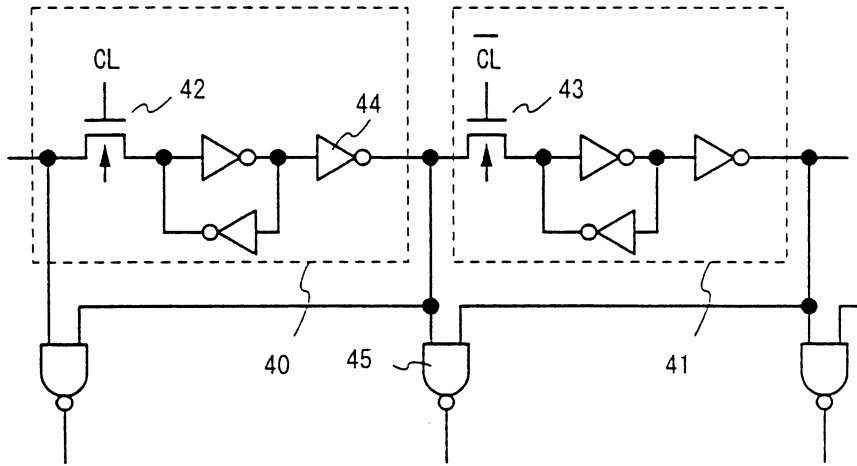
第 6 圖



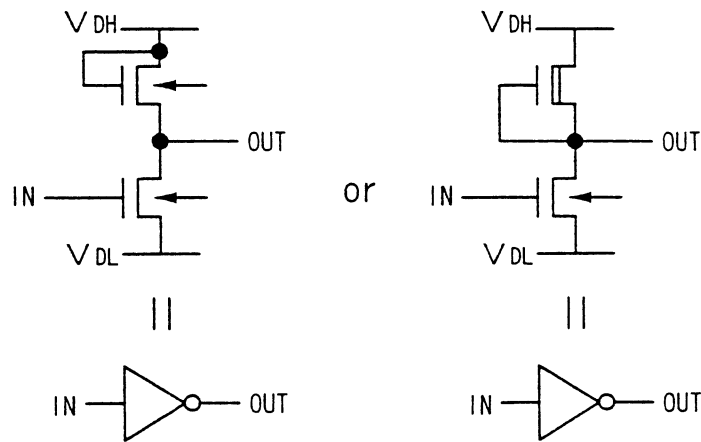
第 7A 圖



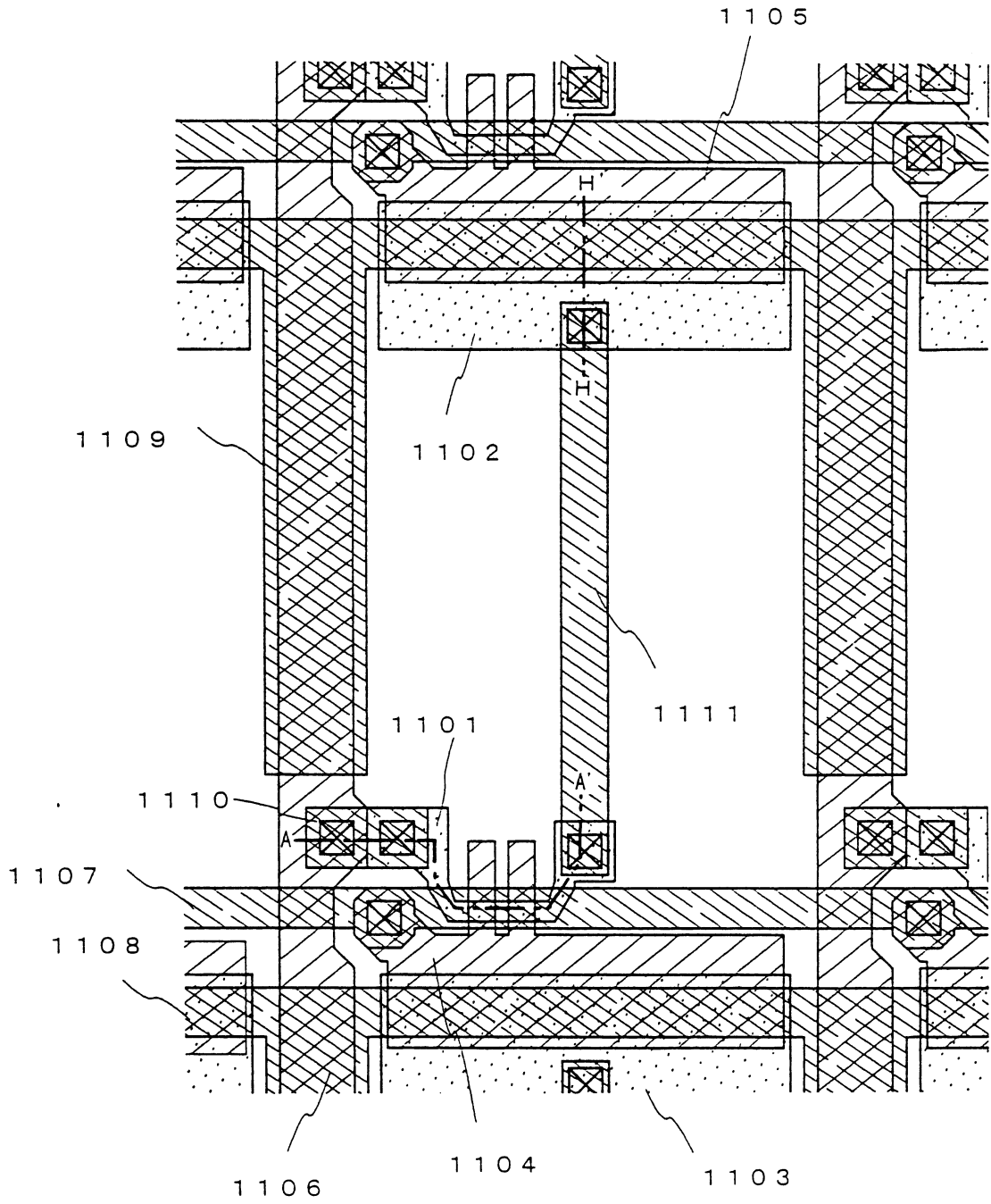
第 7B 圖



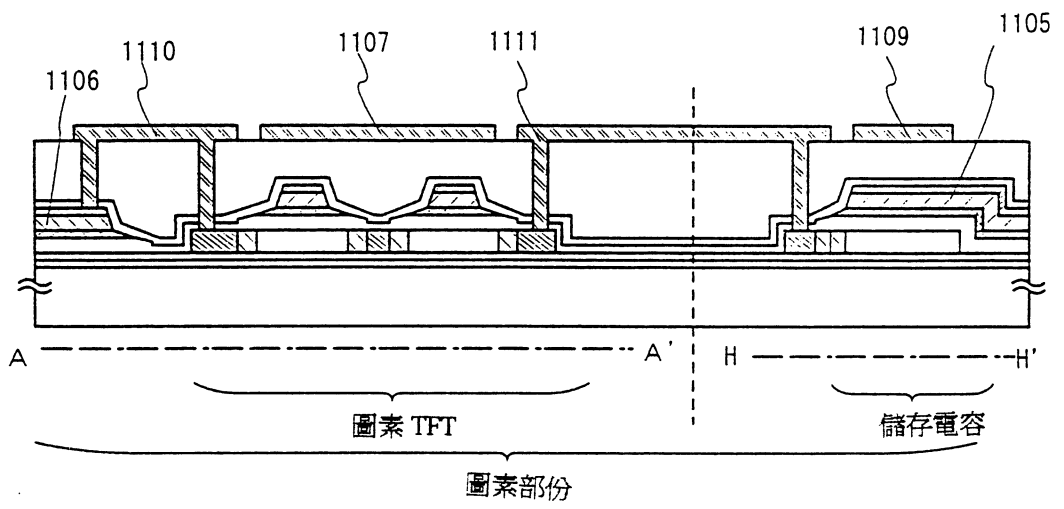
第 8A 圖



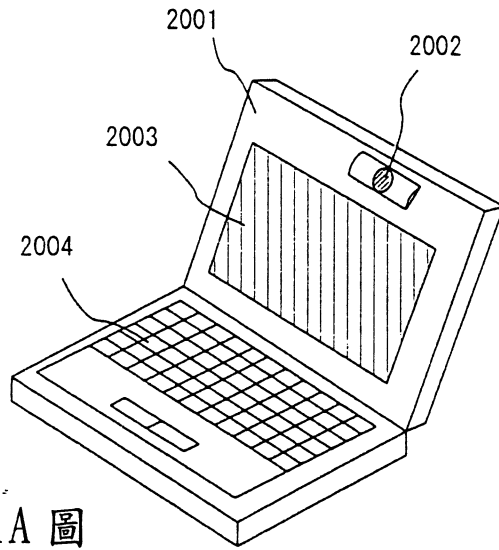
第 8B 圖



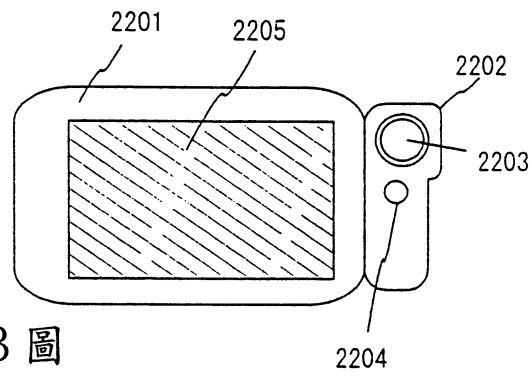
第 9 圖



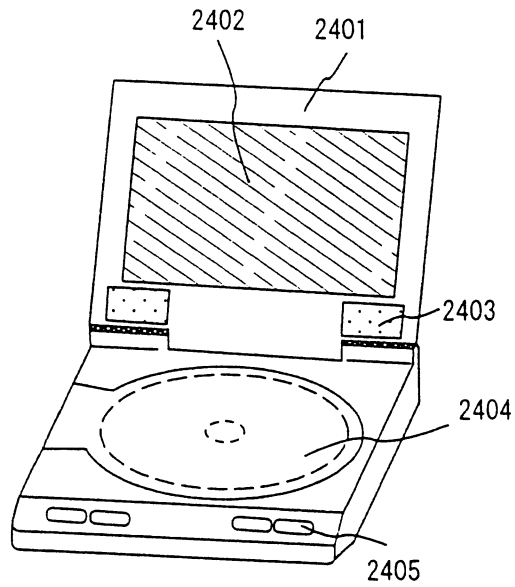
第 10 圖



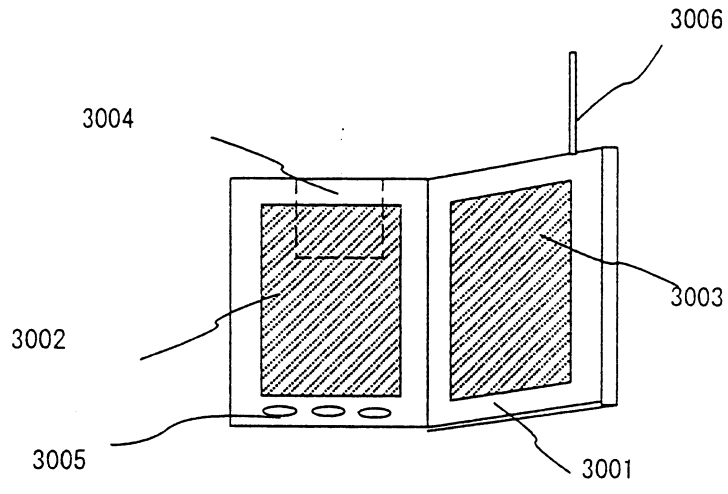
第 11A 圖



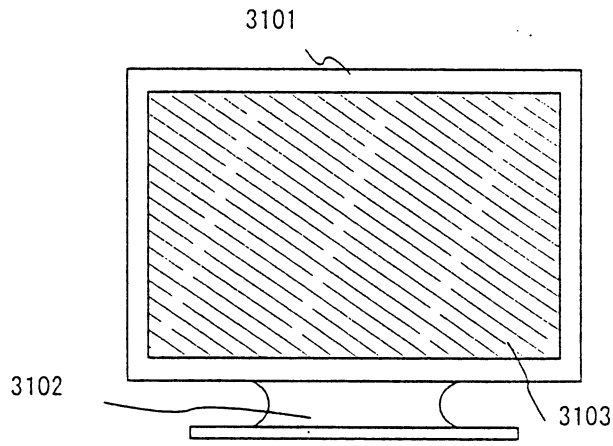
第 11B 圖



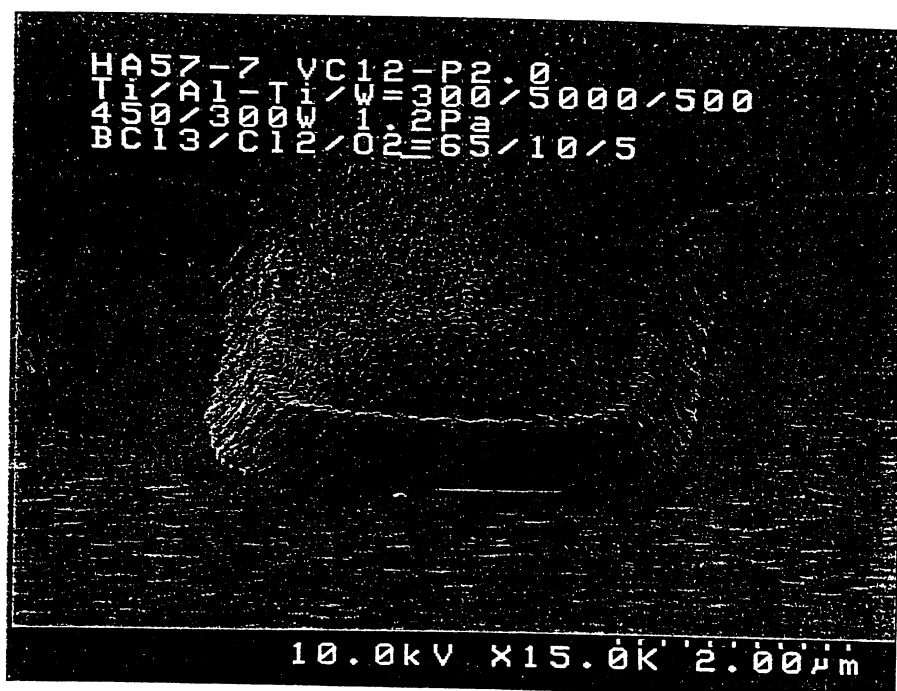
第 11C 圖



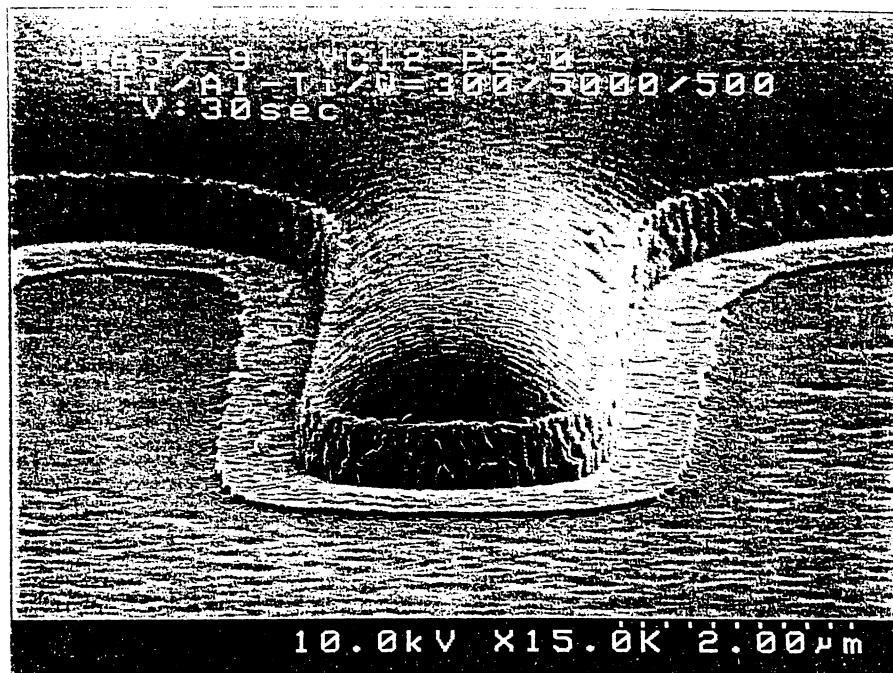
第 12A 圖



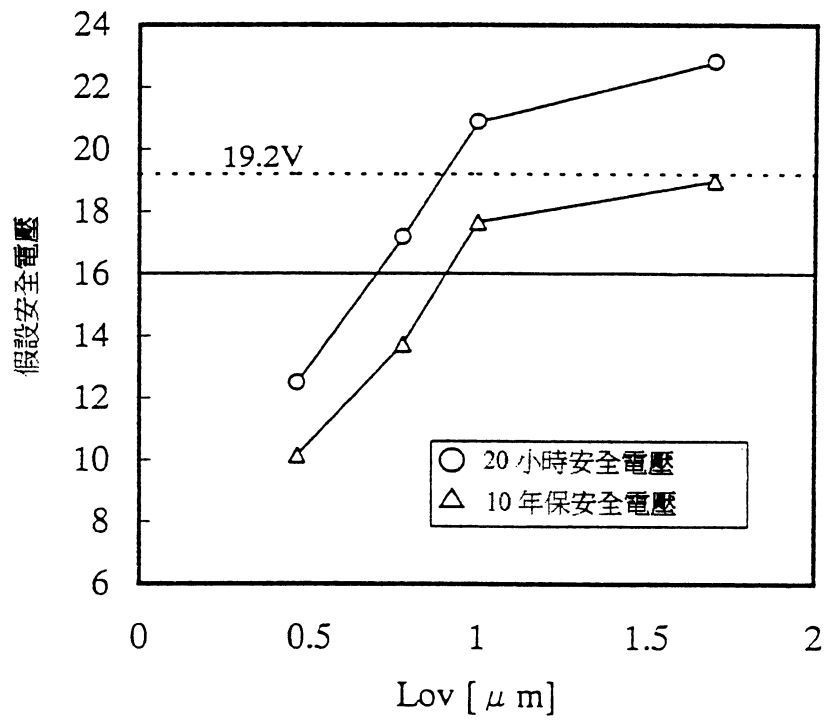
第 12B 圖



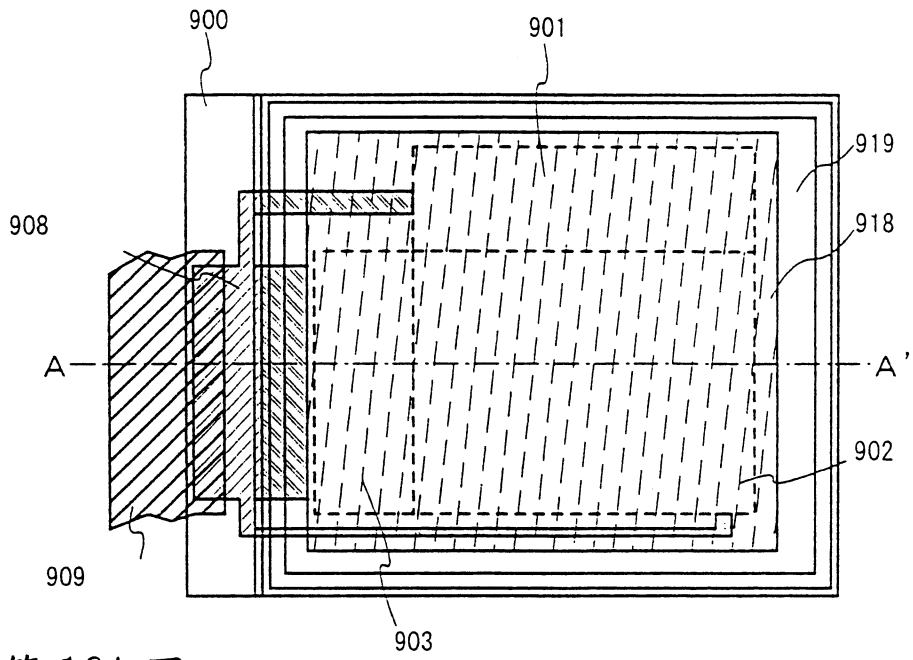
第 13 圖



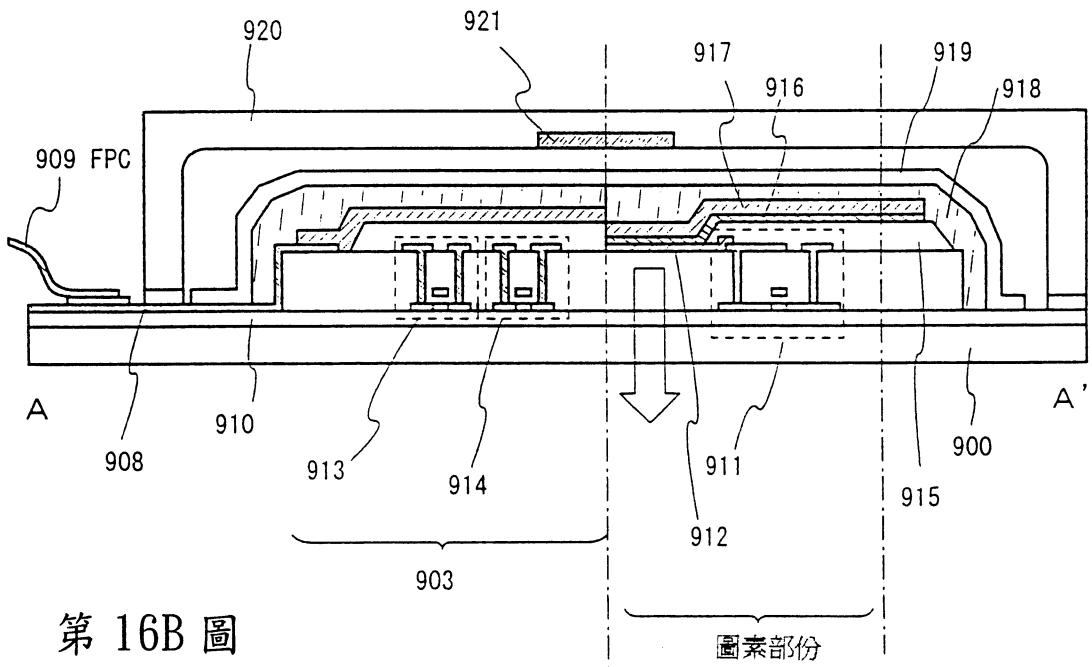
第 14 圖



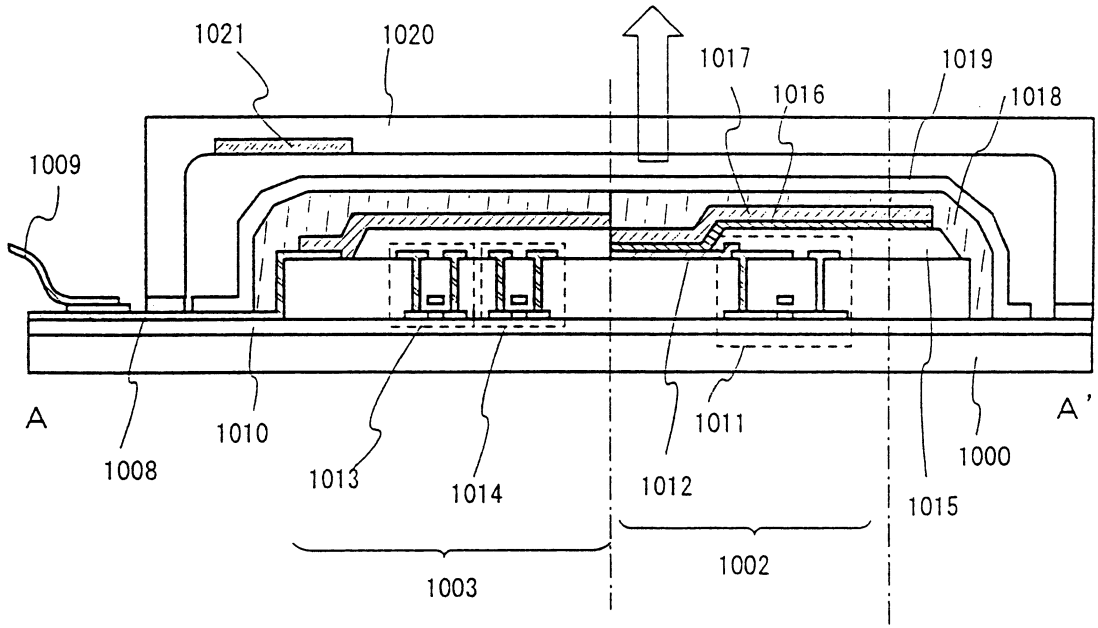
第 15 圖



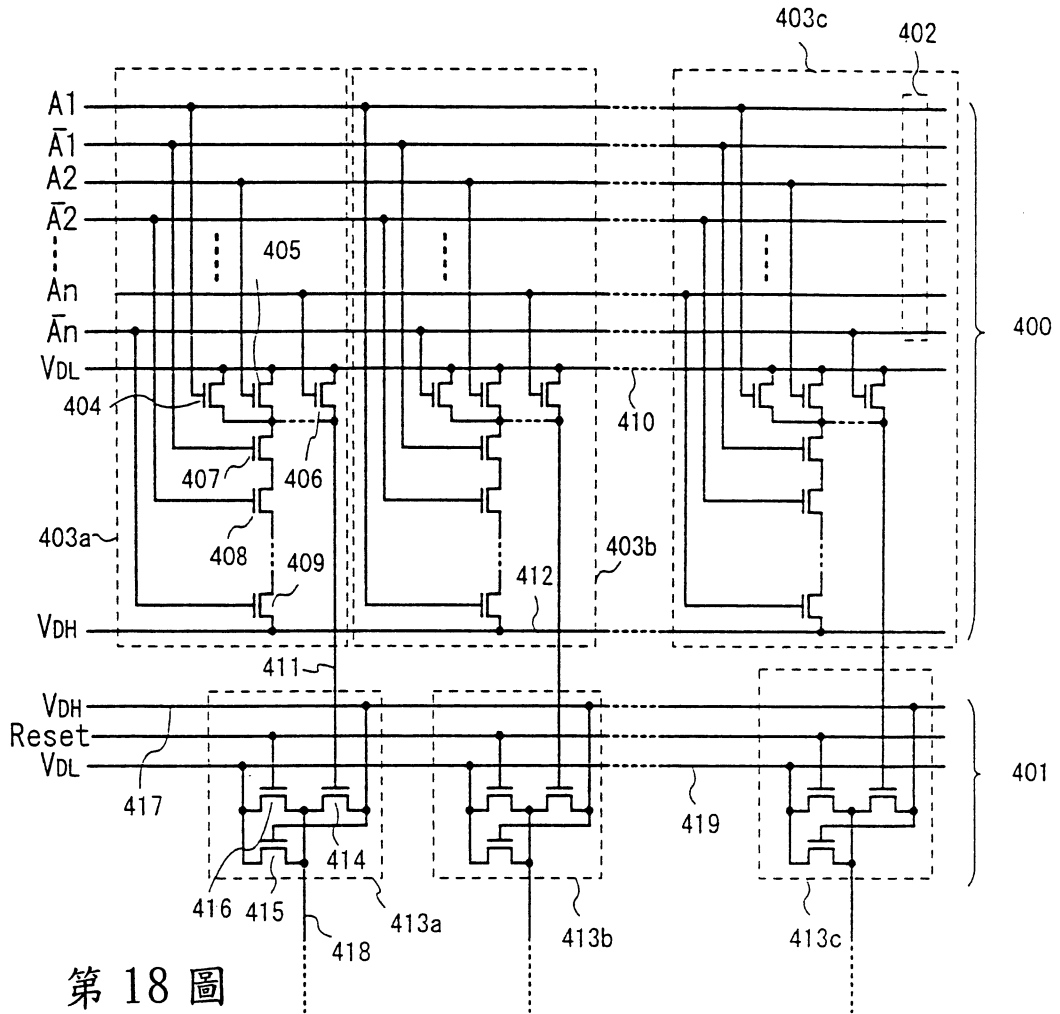
第 16A 圖



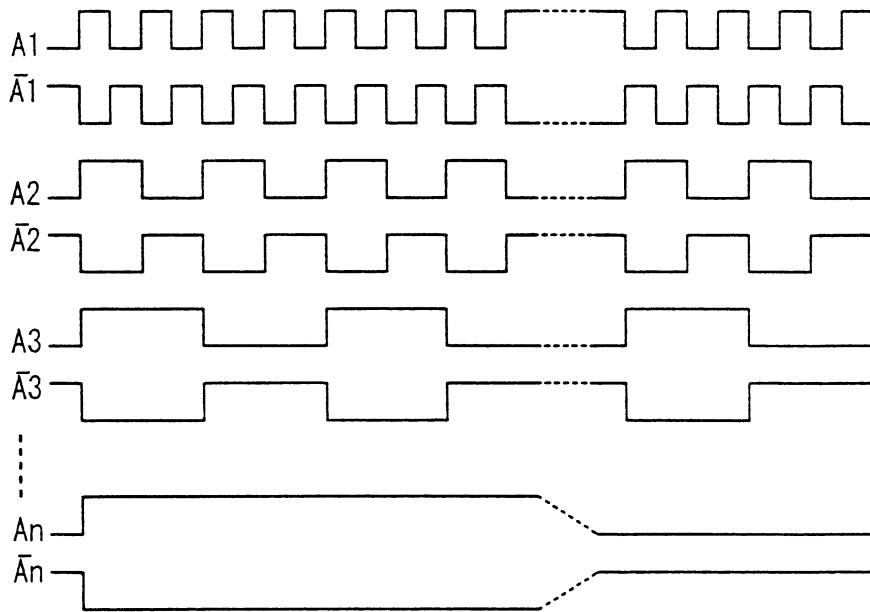
第 16B 圖



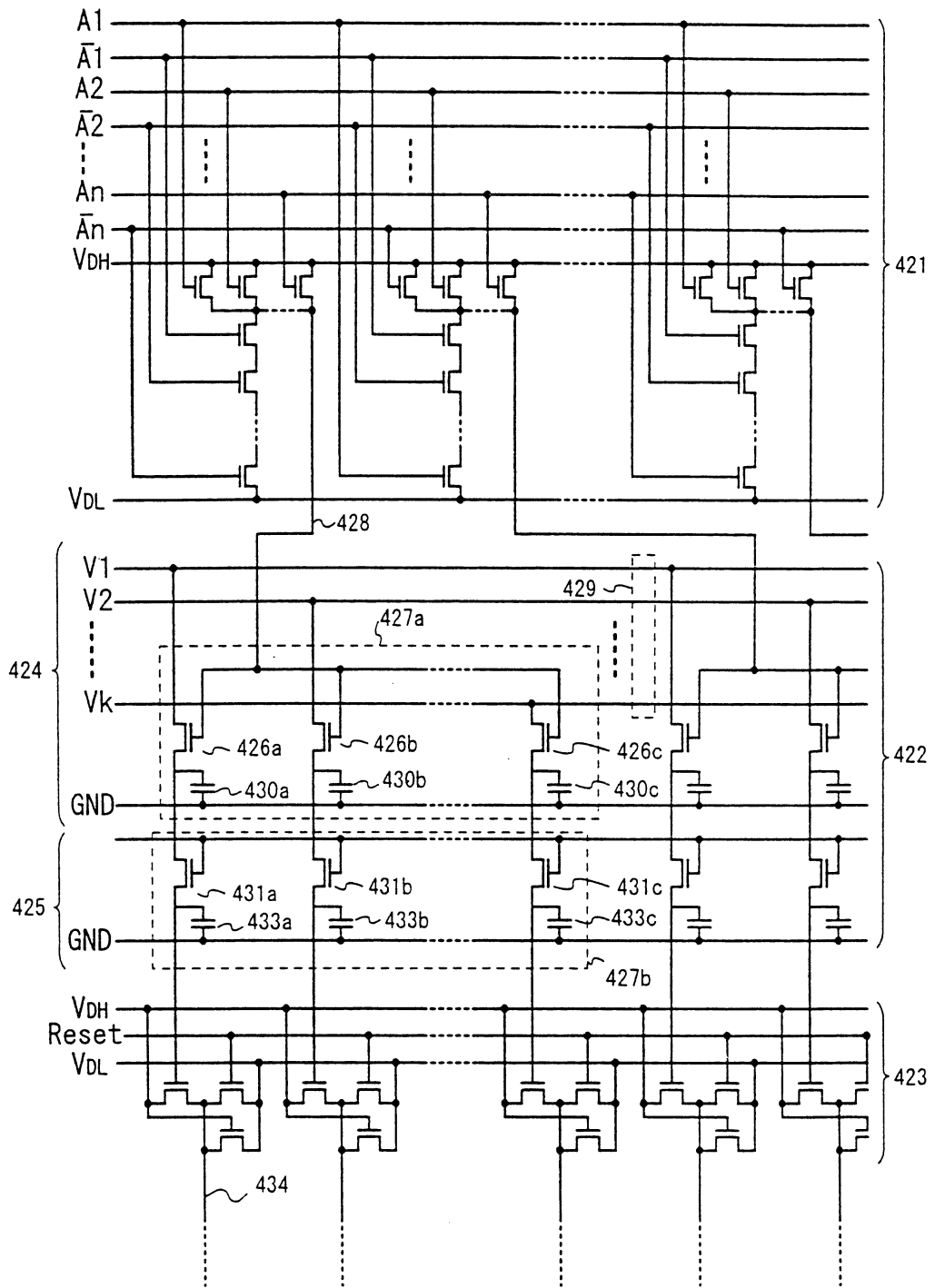
第 17 圖



第 18 圖



第 19 圖



第 20 圖

六、申請專利範圍¹

1、一種包含多數 T F T 的半導體裝置，每個 T F T 包含：

形成在絕緣表面上的半導體層；

形成在半導體層上的絕緣膜；和

形成在絕緣膜上的閘極，

其中該半導體裝置包含：

包含第一 n 通道 T F T 的圖素部分，該 n 通道 T F T 具有由與閘極相同材料製成的源極接線；

包括第二 n 通道 T F T 和第三 n 通道 T F T 的電路的驅動電路；和

由與閘極相同材料製成的端部分，

其中閘極具有主要含有 T a N 和 W 之一的材料膜、主要含有 A l 和 C u 之一的材料膜、和主要含有 T i 的材料膜的疊層結構。

2、如申請專利範圍第 1 項之半導體裝置，其中第二 n 通道 T F T 和第三 n 通道 T F T 構成 E E M O S 電路和 E D M O S 電路之一。

3、如申請專利範圍第 1 項之半導體裝置，其中該半導體裝置是透射型和反射型之一的液晶模組。

4、如申請專利範圍第 1 項之半導體裝置，其中該半導體裝置是具有 O L E D 的發光裝置。

5、如申請專利範圍第 1 項之半導體裝置，其中該半導體裝置是選自由視頻相機、數位相機、汽車導航系統、個人電腦、攜帶型資訊終端和電子遊戲裝置所構成之組中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 2

的一個。

6、一種包含多數 T F T 的半導體裝置，每個 T F T 包含：

形成在絕緣表面上的半導體層；

形成在半導體層上的絕緣膜；和

形成在絕緣膜上的閘極，該閘極具有三層疊層結構，

其中該多數 T F T 具有相同的導電類型，

其中閘極包含主要含有 T a N 和 W 之一的材料膜、主要含有 A l 和 C u 之一的材料膜、和主要含有 T i 的材料膜。

7、如申請專利範圍第 6 項之半導體裝置，其中該多數 T F T 是 n 通道 T F T。

8、如申請專利範圍第 6 項之半導體裝置，其中該多數 T F T 是 p 通道 T F T。

9、如申請專利範圍第 6 項之半導體裝置，其中形成在半導體裝置的驅動電路中的 T F T 構成 E E M O S 電路和 E D M O S 電路之一。

10、如申請專利範圍第 6 項之半導體裝置，其中該半導體裝置是透射型和反射型之一的液晶模組。

11、如申請專利範圍第 6 項之半導體裝置，其中該半導體裝置是具有 O L E D 的發光裝置。

12、如申請專利範圍第 6 項之半導體裝置，其中該半導體裝置是選自由視頻相機、數位相機、汽車導航系統、個人電腦、攜帶型資訊終端和電子遊戲裝置所構成的組

(請先閱讀背面之注意事項再填寫本頁)

訂

續請參閱本頁背面之注意事項

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍 ³

中的一個。

1 3、一種半導體裝置之製造方法，包含以下步驟：

在絕緣表面上形成半導體層；

在半導體層上形成第一絕緣膜；

在第一絕緣膜上形成閘極、圖素部分的源極接線、和端部分的電極；

用閘極作掩模，向半導體層中添加提供 n 型的雜質元素，以形成 n 型雜質區；

蝕刻閘極以形成錐部；

形成覆蓋圖素部分的源極接線和端部分的第二絕緣膜；和

在第二絕緣膜上形成驅動電路的閘極接線和源極接線，

其中在形成閘極、圖素部分的源極接線、和端部分的電極的步驟中，主要含有 T a N 和 W 之一的材料膜、主要含有 A l 和 C u 之一的材料膜、和主要含有 T i 的材料膜形成為疊層，然後採用掩模蝕刻，形成閘極、圖素部分的源極接線和端部分的電極。

1 4、如申請專利範圍第 1 3 項之方法，其中該半導體裝置是具有 O L E D 的發光裝置。

1 5、如申請專利範圍第 1 3 項之方法，其中該半導體裝置是選自由視頻相機、數位相機、汽車導航系統、個人電腦、攜帶型資訊終端和電子遊戲裝置所構成的組中的一個。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 ⁴

1 6、一種半導體裝置，包含：

一圖素部份包含至少一第一 n 通道薄膜電晶體形成在一基底上；

一驅動電路包含至少第二和第三 n 通道薄膜電晶體形成在基底上，第一，第二和第三薄膜電晶體包含：

形成在絕緣表面上的半導體層；

形成在半導體層上的絕緣膜；和

形成在半導體層上的閘極，而絕緣膜安插在其間，

一源極接線提供在圖素部份中且包含和閘極相同的材料；和

一端部份由和閘極相同的材料製成，

其中該半導體裝置包含：

其中閘極具有主要含有 T a N 和 W 之一的材料膜、主要含有 A l 和 C u 之一的材料膜、和主要含有 T i 的材料膜的疊層結構。

1 7、如申請專利範圍第 1 6 項之半導體裝置，其中形成在半導體裝置之驅動電路中之 T F T 構成 E E M O S 電路和 E D M O S 電路之一。

1 8、如申請專利範圍第 1 6 項之半導體裝置，其中該半導體裝置是液晶顯示裝置。

1 9、如申請專利範圍第 1 6 項之半導體裝置，其中該半導體裝置是發光裝置。

2 0、如申請專利範圍第 1 6 項之半導體裝置，其中該半導體裝置是選自由視頻相機、數位相機、汽車導航系

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 ⁵

統、個人電腦、攜帶型資訊終端和電子遊戲裝置所構成之組中的一個。

2 1、如申請專利範圍第 1 6 項之半導體裝置，其中該驅動電路包含至少一移位暫存器電路，一緩衝電路，一位準移位器電路，和一門鎖電路之一。

2 2、一種半導體裝置，包含：

一圖素部份包含至少一第一 n 通道薄膜電晶體形成在一基底上；

一驅動電路包含至少第二和第三 n 通道薄膜電晶體形成在基底上，第一，第二和第三薄膜電晶體包含：

形成在基底上之絕緣表面上的半導體層；

形成在半導體層上的絕緣膜；和

形成在半導體層上的閘極，而絕緣膜安插在其間，

一源極接線提供在圖素部份中；和

一端部份形成在該基底上，

其中該源極接線和該端部份藉由定圖樣一相同導電膜當成該閘極而形成，和

其中閘極具有主要含有 T a N 和 W 之一的材料膜、主要含有 A l 和 C u 之一的材料膜、和主要含有 T i 的材料膜的疊層結構。

2 3、如申請專利範圍第 2 2 項之半導體裝置，其中形成在半導體裝置之驅動電路中之 T F T 構成 E E M O S 電路和 E D M O S 電路之一。

2 4、如申請專利範圍第 2 2 項之半導體裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

6

該半導體裝置是液晶顯示裝置。

25、如申請專利範圍第22項之半導體裝置，其中該半導體裝置是發光裝置。

26、如申請專利範圍第22項之半導體裝置，其中該半導體裝置是選自由視頻相機、數位相機、汽車導航系統、個人電腦、攜帶型資訊終端和電子遊戲裝置所構成之組中的一個。

27、如申請專利範圍第22項之半導體裝置，其中該驅動電路包含至少一移位暫存器電路，一緩衝電路，一位準移位器電路，和一閃鎖電路之一。

28、一種半導體裝置，包含：

一圖素部份包含至少一第一n通道薄膜電晶體形成在一基底上；

一驅動電路包含至少第二和第三n通道薄膜電晶體形成在基底上，第一，第二和第三薄膜電晶體包含：

形成在基底上之絕緣表面上的半導體層；

形成在半導體層上的絕緣膜；和

形成在半導體層上的閘極，而絕緣膜安插在其間，

一源極接線提供在圖素部份中；和

一中間層絕緣膜覆蓋至少第一n通道薄膜電晶體和源極接線；

一導電膜形成在中間層絕緣膜上，其中該源極接線經由該導電膜電連接至第一n通道薄膜電晶體之一雜質區域；和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 ⁷

一端部份形成在該基底上，

其中該源極接線和該端部份藉由定圖樣一相同導電膜當成該閘極而形成，和

其中閘極具有主要含有 T a N 和 W 之一的材料膜、主要含有 A l 和 C u 之一的材料膜、和主要含有 T i 的材料膜的疊層結構。

29、如申請專利範圍第28項之半導體裝置，其中形成在半導體裝置之驅動電路中之 T F T 構成 E E M O S 電路和 E D M O S 電路之一。

30、如申請專利範圍第28項之半導體裝置，其中該半導體裝置是液晶顯示裝置。

31、如申請專利範圍第28項之半導體裝置，其中該半導體裝置是發光裝置。

32、如申請專利範圍第28項之半導體裝置，其中該半導體裝置是選自由視頻相機、數位相機、汽車導航系統、個人電腦、攜帶型資訊終端和電子遊戲裝置所構成之組中的一個。

33、如申請專利範圍第28項之半導體裝置，其中該驅動電路包含至少一移位暫存器電路，一緩衝電路，一位準移位器電路，和一閃鎖電路之一。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝