



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I771299 B

(45)公告日：中華民國 111 (2022) 年 07 月 21 日

(21)申請案號：106114886

(22)申請日：中華民國 106 (2017) 年 05 月 05 日

(51)Int. Cl. : G06F13/36 (2006.01)

H04L12/40 (2006.01)

(30)優先權：2016/05/18 日本

特願 2016-099930

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：高橋宏雄 TAKAHASHI, HIROO (JP)；橫川峰志 YOKOKAWA, TAKASHI (JP)；
李惺薰 LEE, SONFUN (KR)；越坂直弘 KOSHISAKA, NAOHIRO (JP)

(74)代理人：陳長文

(56)參考文獻：

CN 1983207A

JP 10-334044

US 5566193

US 7865805B1

審查人員：林剛煌

申請專利範圍項數：20 項 圖式數：9 共 41 頁

(54)名稱

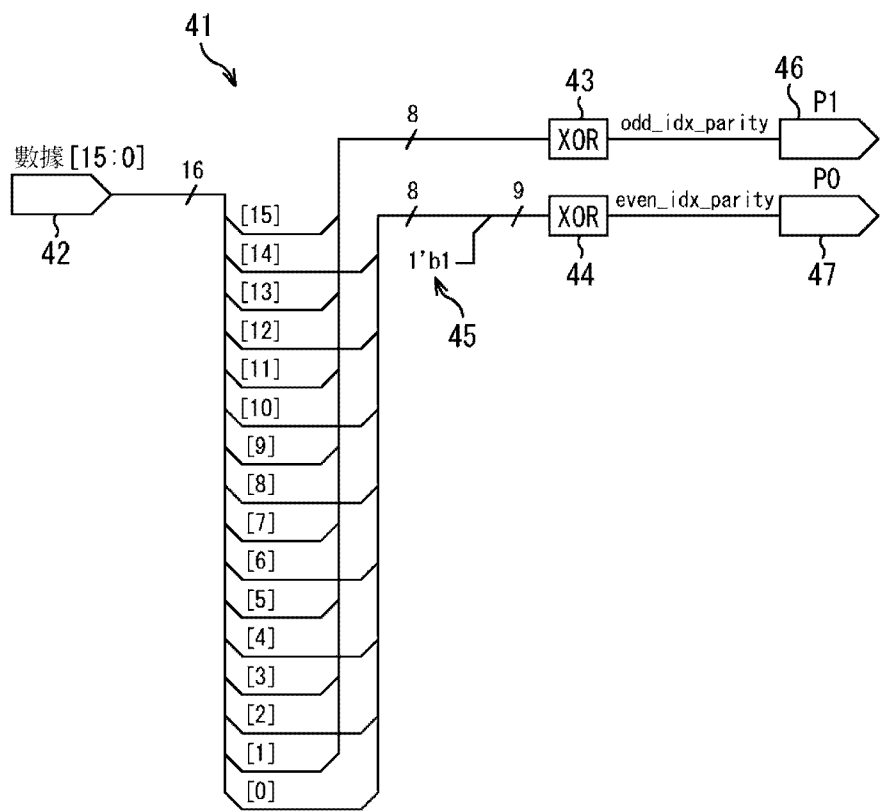
通訊裝置、通訊方法、程式以及通訊系統

(57)摘要

一種主控器包含：一發射/接收單元，其將一信號發射至一受控器/自一受控器接收一信號；及一誤差偵測單元，其藉由對由該發射/接收單元接收之資料執行同位檢查來偵測誤差發生。接著，該誤差偵測單元執行假設包含於由該發射/接收單元接收之該資料中之 2 位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。本技術可應用於符合例如一 I3C 標準執行通訊之一匯流排 IF。

A master includes a transmission/reception unit which transmits/receives a signal to/from a slave, and an error detection unit which detects error occurrence by performing parity check to data received by the transmission/reception unit. Then, the error detection unit performs error detection assuming one bit of 2-bit parity included in the data received by the transmission/reception unit as even parity, and the other bit as odd parity. The present technology can be applied to a bus IF which performs communication in compliance with, for example, an I3C standard.

指定代表圖：



- 符號簡單說明：
- 41 . . . 同位誤差偵測器
 - 42 . . . 輸入端子
 - 43 . . . XOR 閘極
 - 44 . . . XOR 閘極
 - 45 . . . 一位元添加單元
 - 46 . . . 輸出端子
 - 47 . . . 輸出端子
 - P0 . . . 同位位元
 - P1 . . . 同位位元

【圖5】



I771299

【發明摘要】

【中文發明名稱】

通訊裝置、通訊方法、程式以及通訊系統

【英文發明名稱】

COMMUNICATION APPARATUS, COMMUNICATION METHOD,
PROGRAM, AND COMMUNICATION SYSTEM

【中文】

一種主控器包含：一發射/接收單元，其將一信號發射至一受控器/自一受控器接收一信號；及一誤差偵測單元，其藉由對由該發射/接收單元接收之資料執行同位檢查來偵測誤差發生。接著，該誤差偵測單元執行假設包含於由該發射/接收單元接收之該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。本技術可應用於符合例如一I3C標準執行通訊之一匯流排IF。

【英文】

A master includes a transmission/reception unit which transmits/receives a signal to/from a slave, and an error detection unit which detects error occurrence by performing parity check to data received by the transmission/reception unit. Then, the error detection unit performs error detection assuming one bit of 2-bit parity included in the data received by the transmission/reception unit as even parity, and the other bit as odd parity. The present technology can be applied to a bus IF which performs communication in compliance with, for example, an I3C standard.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

- 41 同位誤差偵測器
- 42 輸入端子
- 43 XOR閘極
- 44 XOR閘極
- 45 一位元添加單元
- 46 輸出端子
- 47 輸出端子
- P0 同位位元
- P1 同位位元

【發明說明書】

【中文發明名稱】

通訊裝置、通訊方法、程式以及通訊系統

【英文發明名稱】

COMMUNICATION APPARATUS, COMMUNICATION METHOD,
PROGRAM, AND COMMUNICATION SYSTEM

【技術領域】

本發明係關於一通訊裝置、一通訊方法、一程式及一通訊系統，且更具體言之，係關於能夠更可靠地執行通訊之一通訊裝置、一通訊方法、一程式及一通訊系統。

【先前技術】

隨著一匯流排介面(IF)透過安裝複數個器件之一板中之一匯流排用於介於該等裝置之間之通訊，例如，已廣泛地使用一內置積體電路(I2C)。

此外，近來已期望增加I2C之速度，且一改良內置積體電路(I3C)已經定義為下一代之一標準。在I3C中，一主控器及一受控器可使用兩個信號線執行雙向通訊，且例如，執行將資料自主控器傳送至受控器(寫入傳送)及將資料自受控器傳送至主控器(讀取傳送)。

例如，專利文獻1揭示一數位資料處理系統，其中一主機處理器及一子系統控制器藉由一I2C互連。此外，專利文獻2揭示用於實施關於標準I2C協定配置於層中之一通訊協定之一方法。

引文列表

專利文獻

[PTL 1]

JP 2000-99448 A

[PTL 2]

JP 2002-175269 A

【發明內容】

[技術問題]

順便而言，在上文描述之I3C中，已定義，例如，一主控器及一受控器執行同位誤差偵測、循環冗餘檢查(CRC)或類似者，但亦對於未準備好誤差偵測而發射/接收一信號。因此，當一誤差發生於對於未準備好誤差偵測之一信號中時，I3C有時候處於其中主控器與受控器兩者皆不驅動一資料信號線之一狀態。因此，存在一問題：可能難以例如偵測經接收資料是否正確及執行正常通訊。

鑒於此一情況已作出本發明，且本發明將更可靠地執行通訊。

[問題之解決方案]

本發明之一第一態樣之一通訊裝置包含：一發射/接收單元，其將一信號發射至另一通訊裝置/自另一通訊裝置接收一信號；及一誤差偵測單元，其藉由對由該發射/接收單元接收之資料執行同位檢查以偵測誤差發生，其中該誤差偵測單元執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

本發明之第一態樣之一通訊方法或一程式包含：將一信號發射至另一通訊裝置/自另一通訊裝置接收一信號；藉由對經接收資料執行同位檢查及執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測來偵測誤差發生。

在本發明之第一態樣中，藉由將一信號發射至另一通訊裝置/自另一

通訊裝置接收一信號及對經接收資料執行同位檢查來偵測誤差發生。接著，執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

本發明之一第二態樣之一通訊系統包含：一第一通訊裝置，其在一匯流排中具有控制主動權；及一第二通訊裝置，其根據該第一通訊裝置之控制執行通訊，其中該第一通訊裝置及該第二通訊裝置各包含：一發射/接收單元，其發射/接收一信號；及一誤差偵測單元，其藉由對由該發射/接收單元接收之資料執行同位檢查來偵測誤差發生，且該誤差偵測單元執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

在本發明之第二態樣中，藉由發射/接收一信號及對經接收資料執行同位檢查來偵測誤差發生。接著，執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

[本發明之有利效應]

根據本發明之第一態樣及第二態樣，有可能更可靠地執行通訊。

【圖式簡單說明】

圖1係繪示本技術應用於其之一匯流排IF之一實施例之一組態實例之一方塊圖。

圖2係解釋發生於一前置碼中之一誤差之一圖。

圖3A至圖3C係解釋同位誤差偵測之圖。

圖4A及圖4B係解釋同位誤差偵測之圖。

圖5係繪示一同位誤差偵測器之一第一組態實例之一圖。

圖6係解釋一主控器之一DDR模式中之通訊處理之一流程圖。

圖7A及圖7B係解釋同位誤差偵測之圖。

圖8係繪示一同位誤差偵測器之一第二組態實例之一圖。

圖9係繪示本技術應用於其之一電腦之一實施例之一組態實例之一方塊圖。

【實施方式】

相關申請案之交叉參考

本申請案主張2016年5月18日申請之日本優先權專利申請案JP 2016-099930之權利，該案之全部內容以引用方式併入本文中。

在此之後，參考圖式詳細描述本技術應用於其之一特定實施例。

<匯流排IF之組態實例>

圖1係繪示本技術應用於其之一匯流排IF之一實施例之一組態實例之一方塊圖。

藉由透過一資料信號線14-1及一時脈信號線14-2連接一主控器12與三個受控器13-1至13-3來組態圖1中所繪示之一匯流排IF 11。

主控器12在匯流排IF 11中具有控制主動權，且可透過資料信號線14-1及時脈信號線14-2與受控器13-1至13-3通訊。

受控器13-1至13-3可根據主控器12之控制透過資料信號線14-1及時脈信號線14-2與主控器12通訊。應注意，受控器13-1至13-3經組態類似於彼此，且在此之後，簡稱為受控器13，除非需要區分其等，且類似地應用於包含於受控器13中之各區塊。

資料信號線14-1及時脈信號線14-2用於介於主控器12與受控器13之間發射一信號。例如，在匯流排IF 11中，透過資料信號線14-1循序地逐位發射串行資料(SDA)，且透過時脈信號線14-2發射具有一經預先確定頻

率之一串行時脈(SCL)。

此外，在匯流排IF 11中，符合I3C標準定義具有不同通訊速度之複數個發射系統，且主控器12可切換此等發射系統。例如，在匯流排IF 11中，根據一資料傳送速率定義一標準資料速率(SDR)模式(其中資料通訊依一正常傳送速率執行)及一高資料速率(HDR)模式(其中資料通訊依高於該SDR模式之一傳送速率執行)。此外，在HDR模式中，依該標準定義三種模式：一雙倍資料速率(DDR)模式、一三元符號純匯流排(TSP)模式及一三元符號傳統包含性匯流排(TSL)模式。應注意，在匯流排IF 11中，當通訊開始時，已定義依SDR模式執行通訊。

主控器12包含一發射/接收單元21、一誤差偵測單元22、一確認信號偵測單元23及一衝突避免單元24。

發射/接收單元21透過資料信號線14-1及時脈信號線14-2將一信號發射至受控器13/自受控器13接收一信號。例如，發射/接收單元21藉由根據藉由驅動時脈信號線14-2發射之串行時脈之時序驅動資料信號線14-1 (將電位切換至一H位準或一L位準)將一信號發射至受控器13。此外，發射/接收單元21藉由根據受控器13之時脈信號線14-2之串行時脈之時序驅動資料信號線14-1接收自受控器13發射之一信號。應注意，主控器12一直驅動時脈信號線14-2。此外，發射/接收單元21將稍後將描述之同位添加至待發射至受控器13之資料，且執行發射。

誤差偵測單元22偵測發生於由發射/接收單元21接收之信號中之一誤差。例如，誤差偵測單元22可藉由對由發射/接收單元21接收之信號執行同位檢查或循環冗餘檢查(CRC)、或檢查當一發射權自受控器13改變成主控器12時發出之一符記來偵測誤差。接著，當偵測到一誤差發生於由發射

/接收單元21接收之信號中時，誤差偵測單元22可指示例如發射/接收單元21重啟與受控器13之通訊。

確認信號偵測單元23藉由偵測自己接收自發射/接收單元21發射之信號之受控器13發射之一應答信號(ACK)或一否定應答信號(NACK)確認受控器13是否已成功接收一命令、資料或類似者。例如，在匯流排IF 11中，已定義，在受控器13已成功接收在信號中無誤差之一命令、資料或類似者時，受控器13將ACK發射至主控器12。此外，在匯流排IF 11中，已定義，在信號中發生一誤差及受控器13未能成功接收一命令、資料或類似者時，受控器13將NACK發射至主控器12。

據此，確認信號偵測單元23可在偵測到自受控器13發射之ACK時確認受控器13已成功接收自主控器12發射之一命令、資料或類似者。另一方面，確認信號偵測單元23可在偵測到自受控器13發射之NACK時確認受控器13未能成功接收自主控器12發射之一命令、資料或類似者。

例如，當NACK由確認信號偵測單元23偵測到時，衝突避免單元24在忽略NACK後經預先確定數目個位元之後指示發射/接收單元21發射用於指示通訊中途中斷之一中斷信號。藉此，衝突避免單元24可避免例如自受控器13發射之讀取資料與自主控器12發射之一HDR結束命令發生之一衝突。應注意，為了可靠地執行主控器中斷，主控器12總是在該讀取資料之後驅動待發射/接收之一前置碼之第二位元。

此外，當用於指示一CRC字組經發射之一前置碼由發射/接收單元21接收，且由誤差偵測單元22偵測到在該前置碼後接收之信號中之一符記誤差或一CRC誤差時，衝突避免單元24指示發射/接收單元21在根據對應於CRC字組與前置碼後之讀取資料之間之差值之位元數目發射一時脈之後發

射用於指示通訊中途中斷之一中斷信號。藉此，衝突避免單元24可避免例如自受控器13發射之讀取資料與自主控器12發射之一HDR結束命令發生之一衝突。

受控器13包含一發射/接收單元31及一誤差偵測單元32。

發射/接收單元31透過資料信號線14-1及時脈信號線14-2將一信號發射至主控器12/自主控器12接收一信號。例如，發射/接收單元31藉由根據主控器12之時脈信號線14-2之一系列時脈之時序驅動資料信號線14-1來接收自主控器12發射之一信號。此外，發射/接收單元31藉由根據時脈信號線14-2之該系列時脈之時序驅動資料信號線14-1將一信號發射至主控器12。此外，發射/接收單元31將稍後將描述之同位添加至待發射至主控器12之資料，且執行發射。

誤差偵測單元32類似於主控器12之誤差偵測單元22般偵測發生於由發射/接收單元31接收之信號中之一誤差。接著，當在由發射/接收單元31接收之信號中無誤差發生時，誤差偵測單元32發射一ACK，其通知已成功接收自發射/接收單元31發射至主控器12之一命令、資料或類似者之信號。另一方面，當在由發射/接收單元31接收之信號中發生一誤差時，誤差偵測單元32發射一NACK，其通知尚未能成功接收自發射/接收單元31發射至主控器12之一命令、資料或類似者之信號。

此外，例如，當在由發射/接收單元31接收之信號中發生一誤差且難以執行正常通訊時，在此之後，誤差偵測單元32忽略所有通訊，停止對主控器12之回應，且致使受控器13處於一備用狀態。

匯流排IF 11如上文所描述般經組態，且主控器12及受控器13可透過資料信號線14-1及時脈信號線14-2發射/接收一信號。

順便而言，在匯流排IF 11中，已定義，在DDR模式中，使用稱為一前置碼之一2位元信號指定下一個待發射之資料之一類型。然而，因為未準備好對該前置碼係同位或CRC進行誤差偵測，故當在前置碼中發生一誤差時，難以偵測誤差。

例如，當主控器12將一讀取命令發射至受控器13時，讀取命令後發射之前置碼之第一位元由主控器12驅動，且第二位元由受控器13驅動。例如，主控器12藉由第一位元指定在讀取命令後發射資料，且受控器13可藉由第二位元發射是否已成功接收讀取命令。例如，受控器13藉由將讀取命令後之前置碼之第二位元驅動至0來發射指示已成功接收讀取命令之ACK，及藉由將第二位元驅動至1發射指示尚未成功接收讀取命令之NACK。

然而，當一1位元值經反相之一1位元誤差發生於前置碼之第二位元時，主控器12難以偵測誤差發生。據此，當受控器13發射指示未能成功接收讀取命令之NACK且1位元誤差發生於NACK中時，主控器12錯誤地辨識已自受控器13發射ACK。在此情況中，儘管主控器12變成等待自受控器13發射之讀取資料之一備用狀態，但受控器13未能成功接收讀取命令，且不發射讀取資料。

因此，如圖2中所繪示，當1位元誤差發生於讀取命令後之前置碼之第二位元時，主控器12與受控器13兩者變成不驅動資料信號線14-1之一狀態。

在本文，如上文所描述，主控器12之誤差偵測單元22可藉由使用包含於自受控器13發射之讀取資料中之一同位位元偵測發生於讀取資料中之一誤差。例如，如圖3A中所繪示，誤差偵測單元22可基於自資料之奇位

元計算之一同位位元P1及自資料之偶位元計算之一同位位元P0偵測一誤差是否發生於資料中。例如，在正常情況下，同位位元P1經設定以便在資料之奇位元之邏輯分離係偶數時採用0，且同位位元P0經設定以便在資料之偶位元之邏輯分離係偶數時採用0。

據此，如圖3B中所繪示，當讀取資料之所有位元皆係0時，同位位元P1與P0兩者將係0。因此，當主控器12與受控器13兩者皆不驅動資料信號線14-1，同時資料信號線14-1未保持在H位準時(即，在資料信號線14-1未處於L位準時)，讀取資料之所有位元皆將係0。據此，難以區分此情況與發射其中其所有位元之資料實際上係0之情況。

類似地，如圖3C中所繪示，當讀取資料之所有位元係1時，同位位元P1與P0兩者將係1。因此，當主控器12與受控器13兩者皆不驅動資料信號線14-1，同時資料信號線14-1保持在H位準時，讀取資料之所有位元將係1。據此，難以區分此情況與發射其中其所有位元之資料實際上係1之情況。

因此，主控器12之誤差偵測單元22經設定使得同位位元P1係在資料之偶位元之邏輯分離係偶數時採用0之偶同位，且同位位元P0係在資料之偶位元之邏輯分離係奇數時採用0之奇同位。應注意，儘管下文描述主控器12之誤差偵測單元22之組態，但受控器13之誤差偵測單元32經類似地組態。接著，在下文將描述之同位由發射/接收單元21及發射/接收單元31附接之後，發射資料。

因此，例如，當讀取資料之所有位元係0時，如圖4A中所繪示，同位位元P1係0，且同位位元P0係1。類似地，例如，當讀取資料之所有位元係1時，如圖4B中所繪示，同位位元P1係0，且同位位元P0係1。因此，當

主控器12與受控器13兩者皆不驅動資料信號線14-1時，誤差偵測單元22可偵測到經接收資料係不正確的，且自同位位元不匹配之事實已發生一誤差。

<同位誤差偵測器之第一組態實例>

主控器12之誤差偵測單元22包含圖5中所繪示之一同位誤差偵測器41。

如圖5中所繪示，同位誤差偵測器41包含一輸入端子42、XOR閘極43及44、一位元添加單元45及輸出端子46及47。

至同位誤差偵測器41之輸入端子42，輸入透過資料信號線14-1供應之串行資料。接著，輸入端子42連接至XOR閘極43及44，使得串行資料之奇位元經供應至XOR閘極43，且串行資料之偶位元經供應至XOR閘極44。

接著，在同位誤差偵測器41中，一位元值1自一位元添加單元45添加至XOR閘極44。據此，同位誤差偵測器41經組態使得自輸出端子46輸出之同位位元P1在資料之奇位元之邏輯分離係偶數時採用0，且自輸出端子47輸出之同位位元P0在資料之奇位元之邏輯分離係奇數時採用0。

依此方式組態之同位誤差偵測器41可在當例如主控器12與受控器13兩者皆不驅動資料信號線14-1同時資料信號線14-1不保持在H位準時(即，在資料信號線14-1處於L位準時)偵測到尚未正確地接收資料。換言之，儘管在此情況中所有經接收信號皆係0，但因為同位位元P1係0且同位位元P0係1，故可自同位位元不匹配之事實偵測到一誤差(參看圖4A)。

類似地，同位誤差偵測器41可在例如主控器12與受控器13兩者皆不驅動資料信號線14-1同時資料信號線14-1保持在H位準時偵測到尚未正確

地接收資料。換言之，儘管在此情況中所有經接收信號係1，但因為同位位元P1係0且同位位元P0係1，故可自同位位元不匹配之事實偵測到一誤差(參看圖4B)。

此外，藉由假設同位位元P1作為偶同位且同位位元P0作為奇同位，同位誤差偵測器41可早期偵測考慮其中例如主控器12繼續將資料信號線14-1保持在H位準之情況之一誤差。換言之，當主控器12繼續將資料信號線14-1保持在H位準時，資料之所有位元係1，且有可能早期偵測來自同位位元P1係0之事實之一誤差。

<用於正常執行同位檢查之通訊方法>

圖6係解釋通訊處理之一流程圖，其中主控器12在作為HDR模式之一者之DDR模式(DDR讀取)中自受控器13讀取資料。

在步驟S11中，主控器12執行處理以將通訊自SDR模式切換至HDR模式。具體言之，在SDR模式中，在主控器12中，發射/接收單元21驅動資料信號線14-1及時脈信號線14-2，且發射用於通知一命令發射至包含於匯流排IF 11中之全部受控器13之一廣播命令(0x7E+R/W=0)。在此之後，在主控器12中，當接收自受控器13發射之確認已成功接收廣播命令之ACK時，發射/接收單元21發射用於進入HDR模式之一常見命令碼(ENTHDR CCC (0x20))。

在步驟S12中，主控器12之發射/接收單元21驅動資料信號線14-1及時脈信號線14-2，且發射讀取命令。

在步驟S13中，發射/接收單元21偵測到讀取命令發射之後之前置碼之第二位元之值，且判定受控器13是否已發射ACK或NACK。換言之，當偵測到讀取命令發射之後之前置碼之第二位元係0時，發射/接收單元21

判定受控器13已發射ACK。另一方面，當偵測到讀取命令發射之後之前置碼之第二位元係1時，發射/接收單元21判定受控器13已發射NACK。

當發射/接收單元21判定受控器13已在步驟S13中發射ACK時，處理繼續至步驟S14。

在步驟S14中，發射/接收單元21接收自受控器13發射之讀取資料。

在步驟S15中，在步驟S14中，誤差偵測單元22對由發射/接收單元21接收之資料執行同位檢查，且判定一誤差是否發生於資料中。此時，如上文參考圖4A及圖4B所描述，同位位元P1在資料之奇數個位元之邏輯分離係偶數時採用0，且同位位元P1在資料之偶數個位元之邏輯分離係奇數時採用0。

當誤差偵測單元22判定在資料中無誤差發生時，即，在步驟S15中，資料係正常的，處理繼續至步驟S16，且發射/接收單元21接收該資料後之前置碼。

在步驟S17中，發射/接收單元21判定在步驟S16中接收之前置碼是否指定下一個發射之資料或CRC字組。

當發射/接收單元21判定在步驟S17中下一個發射之資料時，處理繼續至步驟S18。接著，在發射/接收單元21接收讀取資料時，處理返回至步驟S15，且在此之後重複類似處理。

另一方面，當發射/接收單元21判定在步驟S17中下一個發射之CRC字組時，處理繼續至步驟S19，且發射/接收單元21接收CRC字組。

在步驟S19中之處理之後，處理繼續至步驟S22。替代地，當在步驟S15中判定同位檢查之結果係有誤差時，處理繼續至步驟S20。接著，在發射用於指示受控器13延緩處理之中斷信號之後，處理繼續至步驟S22。

此外，當判定在步驟S13中已發射NACK時，處理繼續至步驟S21。接著，在一衝突防止該預先確定數目個位元之時脈週期經過時，發射/接收單元21發射用於指示受控器13延緩處理之中斷信號，且處理繼續至步驟S22。

在步驟S22中，發射/接收單元21發射一HDR結束命令，且藉此終止其中在DDR模式(DDR讀取)中主控器12自受控器13讀取資料之通訊處理。

如上文所描述，在匯流排IF 11中，例如，當主控器12判定接收一ACK時，有可能藉由由誤差偵測單元22執行同位檢查偵測經接收資料係不正確的，儘管ACK係一NACK之一位元誤差且不能驅動資料信號線14-1。藉此，主控器12準確地判定經接收資料是否正確或是否不能驅動資料信號線14-1，且可可靠地執行通訊。

<同位誤差偵測器之第二組態實例>

參考圖7A、圖7B及圖8，描述同位誤差偵測器41之一第二組態實例。

上文參考圖4A、圖4B及圖5所描述之同位誤差偵測器41經組態使得同位位元P1在資料之奇位元之邏輯分離係偶數時採用0，且同位位元P0在資料之偶位元之邏輯分離係奇數時採用0。

與圖5中之同位誤差偵測器41相比，如圖7A、圖7B及圖8中所繪示，一同位誤差偵測器41A經組態使得同位位元P1在資料之奇位元之邏輯分離係偶數時採用1，且同位位元P0在資料之偶位元之邏輯分離係奇數時採用1。

依此方式組態之同位誤差偵測器41A可在例如主控器12與受控器13

兩者皆不驅動資料信號線14-1同時資料信號線14-1不能保持在H位準(即，在資料信號線14-1保持在L位準時)時偵測到尚未正確地接收資料。換言之，如圖7A中所繪示，儘管在此情況中讀取資料之所有位元係0，但因為同位位元P1係1且同位位元P0係0，故可自同位位元不匹配之事實偵測到一誤差。

類似地，同位誤差偵測器41A可在例如主控器12與受控器13兩者皆不驅動資料信號線14-1同時資料信號線14-1不能保持在H位準時偵測到尚未正確地接收資料。換言之，如圖7B中所繪示，儘管在此情況中讀取資料之所有位元係1，但因為同位位元P1係1且同位位元P0係0，故可自同位位元不匹配之事實偵測到一誤差。

應注意，本技術不限於符合I3C標準之匯流排IF 11，且可應用於符合其他標準之匯流排IF 11。此外，儘管匯流排IF 11已與圖1中所繪示之組態實例中之受控器13-1至13-3連接，但受控器13之數目可係例如一個、兩個或三個。

應注意，上文參考流程圖所描述之各處理在時間序列中不一定依如流程圖所描述之順序執行，且包含並行或單獨(例如，並行處理或一處理對象)執行之處理。此外，程式可由一個CPU或複數個CPU執行。

此外，在本說明書中，一系統意謂包含複數個裝置之一整個裝置。

此外，上文所描述之處理序列可由硬體或軟體執行。當該處理序列由軟體執行時，將構成軟體之一程式自記錄程式之一程式記錄媒體安裝於嵌入於專用硬體之一電腦或能夠藉由安裝各種程式執行各種功能之一通用個人電腦中。

<硬體組態實例>

圖9係繪示由一程式執行上文所描述之一系列處理之一電腦之一硬體組態實例之一方塊圖。

在電腦中，一中央處理單元(CPU) 101、一唯讀記憶體(ROM) 102、一隨機存取記憶體(RAM) 103及一電可抹除且可程式化唯讀記憶體(EEPROM) 104藉由一匯流排105與彼此連接。匯流排105進一步與一輸入/輸出介面106連接，且輸入/輸出介面106經外部連接(例如，至圖1之資料信號線14-1及時脈信號線14-2)。

在依上文方式組態之電腦中，CPU 101透過匯流排105將儲存於例如ROM 102或EEPROM 104中之程式載入至RAM 103中且執行該程式，且藉此，執行上文所描述之一系列處理。此外，待由電腦(CPU 101)執行之程式不僅可經預先寫入於ROM 102中，而且可透過輸入/輸出介面106安裝於EEPROM 104中或可在外部進行更新。

應注意，本技術可具有以下組態。

(1)

一種通信裝置，其包含：

一發射/接收單元，其將一信號發射至另一通訊裝置/自另一通訊裝置接收一信號；及

一誤差偵測單元，其藉由對由該發射/接收單元接收之資料執行同位檢查來偵測誤差發生，

其中該誤差偵測單元執行假設包含該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

(2)

根據(1)之通訊裝置，其中該誤差偵測單元假設自由該發射/接收單元

接收之該資料之奇數個位元計算之同位作為偶同位，且自偶數個位元計算之同位作為奇同位。

(3)

根據(1)之通訊裝置，其中該誤差偵測單元假設自由該發射/接收單元接收之該資料之奇數個位元計算之同位作為奇同位，且自偶數個位元計算之同位作為偶同位。

(4)

根據(1)至(3)之任一者之通訊裝置，其中該發射/接收單元假設添加至發射至另一通訊裝置之資料之2位元同位之一個位元作為偶同位，且另一位元作為奇同位。

(5)

根據(1)至(4)之任一者之通訊裝置，其中該通訊裝置在一匯流排中具有控制主動權，且

另一通訊裝置根據該通訊裝置之控制執行通訊。

(6)

根據(1)至(5)之任一者之通訊裝置，其中該通訊裝置根據在一匯流排中具有控制主動權之另一通訊裝置之控制執行通訊。

(7)

根據(1)至(6)之任一者之通訊裝置，其進一步包含：

一誤差偵測單元，其藉由由該發射/接收單元接收指定下一個發射之資料之一類型之一前置碼及比較在該前置碼後接收之一信號之一位元序列與依由該前置碼指定之發射類型發射之一位元序列來偵測誤差發生；及

一衝突避免單元，其在該誤差偵測單元偵測到該誤差發生時，指示

該發射/接收單元發射用於在根據該經預先確定數目個位元之一時脈在該前置碼後發射之後指示通訊中途中斷之一中斷信號。

(8)

根據(1)至(7)之任一者之通訊裝置，其進一步包含：

一確認信號偵測單元，其偵測自己接收自該發射/接收單元發射之該信號之另一通訊裝置發射之一應答信號或一否定應答信號之任一者；及

一衝突避免單元，其在該確認信號偵測單元偵測到該否定應答信號時指示該發射/接收單元發射用於在忽略該否定應答信號後之該經預先確定數目個位元之後指示通訊中途中斷之一中斷信號。

(9)

根據(1)至(8)之任一者之通訊裝置，其中該發射/接收單元接收自另一通訊裝置讀取之讀取資料，且總是一直驅動在讀取資料之後發射/接收之一前置碼之一第二位元。

(10)

根據(1)至(9)之任一者之通訊裝置，其中該發射/接收單元能夠依一標準資料速率(SDR)模式(其中依一正常傳送速率執行資料通訊)及依一高資料速率(HDR)模式(其中依比該SDR模式高之一傳送速率執行資料通訊)發射/接收一信號。

(11)

根據(1)至(10)之任一者之通訊裝置，其中該發射/接收單元透過兩個信號線(循序地逐位元發射串行資料之一資料信號線及發射具有一經預先確定頻率之一串行時脈之一時脈信號線)執行通訊。

(12)

根據(1)至(11)之任一者之通訊裝置，其中該發射/接收單元符合一改良一內置積體電路(I3C)標準執行通訊。

(13)

一種通訊方法，其包含：

將一信號發射至另一通訊裝置/自另一通訊裝置接收一信號；

藉由對經接收資料執行同位檢查偵測誤差發生；及

執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

(14)

一種致使一電腦執行通訊處理之程式，其包含：

將一信號發射至另一通訊裝置/自另一通訊裝置接收一信號；

藉由對經接收資料執行同位檢查偵測誤差發生；及

執行假設包含於該資料中之2位元同位之一個位元作為偶同位且另一位元作為奇同位之誤差偵測。

(15)

一種通訊系統，其包含：

一第一通訊裝置，其在一匯流排中具有控制主動權；及

一第二通訊裝置，其根據該第一通訊裝置之控制執行通訊，

其中該第一通訊裝置及該第二通訊裝置各包含發射/接收一信號之一發射/接收單元，及

一誤差偵測單元，其藉由對由該發射/接收單元接收之資料執行同位檢查來偵測誤差發生，及

誤差偵測單元，其執行假設包含於該資料中之2位元同位之一個位元

作為偶同位且另一位元作為奇同位之誤差偵測。

應注意，本實施例不限於上文描述之實施例，且可經不同地修改而不背離本發明之範疇。

【符號說明】

11	匯流排IF
12	主控器
13	受控器
13-1	受控器
13-2	受控器
13-3	受控器
14-1	資料信號線
14-2	時脈信號線
21	發射/接收單元
22	誤差偵測單元
23	確認信號偵測單元
24	衝突避免單元
31	發射/接收單元
32	誤差偵測單元
41	同位誤差偵測器
41A	同位誤差偵測器
42	輸入端子
43,44	XOR閘極
45	一位元添加單元

46,47	輸出端子
101	中央處理單元
102	唯讀記憶體
103	隨機存取記憶體
104	電可抹除且可程式化唯讀記憶體
105	匯流排
106	輸入/輸出介面
P0	同位位元
P1	同位位元
S11	步驟
S12	步驟
S13	步驟
S14	步驟
S15	步驟
S16	步驟
S17	步驟
S18	步驟
S19	步驟
S20	步驟
S21	步驟
S22	步驟

【發明申請專利範圍】

【第1項】

一種通訊器件，其包括：

發射及接收電路，其經組態以經由一資料信號線及一時脈信號線與一外部通訊器件通訊，該通訊包含經由該資料信號線發射及接收資料，該資料包含一預期同位及一有效負載，該預期同位包含一第一預期同位位元及一第二預期同位位元；及

控制電路，其經組態以藉由計算一第一經計算同位位元與計算一第二經計算同位位元，且藉由比較該第一預期同位位元與該第一經計算同位位元及比較該第二預期同位位元與該第二經計算同位位元，而對經接收資料執行一同位檢查，

其中藉由應用所有奇有效負載位元或所有偶有效負載位元之一者之一XOR函數而計算該第一經計算同位位元或該第二經計算同位位元之一者，且藉由應用所有奇有效負載位元或所有偶有效負載位元之另一者之一XOR函數加1而計算該第一經計算同位位元或該第二經計算同位位元之另一者。

【第2項】

如請求項1之通訊器件，其中該控制電路經組態以使用所有奇有效負載位元之該XOR函數計算該第一經計算同位位元，及使用所有偶有效負載位元之該XOR函數加1計算該第二經計算同位位元。

【第3項】

如請求項1之通訊器件，其中該控制電路經組態以使用所有奇有效負載位元之該XOR函數加1計算該第一經計算同位位元，及使用所有偶有效

負載位元之該XOR函數計算該第二經計算同位位元。

【第4項】

如請求項1之通訊器件，其中該控制電路經組態以在該第一預期同位位元不匹配該第一經計算同位位元及/或該第二預期同位位元不匹配該第二經計算同位位元時判定已發生一誤差。

【第5項】

如請求項4之通訊器件，其中在該控制電路判定已發生該誤差之一情況中，該控制電路致使該發射及接收電路重啟與該外部通訊器件之通訊。

【第6項】

如請求項4之通訊器件，其中在該控制電路判定已發生該誤差之一情況中，該控制電路致使該發射及接收電路不將一應答信號發射至該外部通訊器件。

【第7項】

如請求項4之通訊器件，其中在該控制電路判定已發生該誤差之一情況中，該發射及接收電路在不發射一應答信號之後忽略一經預先確定數目個位元。

【第8項】

如請求項1之通訊器件，其中該發射及接收電路經組態以依一SDR模式及一HDR模式進行通訊，在該SDR模式中，依一第一傳送速率執行資料通訊，在該HDR模式中，依高於該第一傳送速率之一第二傳送速率執行該資料通訊。

【第9項】

如請求項8之通訊器件，其中在該HDR模式中，該控制電路經組態以

對該經接收資料執行該同位檢查。

【第10項】

一種通訊器件，其包括：

發射及接收電路，其經組態以經由一資料信號線及一時脈信號線與一外部通訊器件通訊，該通訊包含經由該資料信號線發射及接收資料，該資料包含一同位及一有效負載，該同位包含一第一同位位元及一第二同位位元；及

控制電路，其經組態以藉由計算該第一同位位元及計算該第二同位位元而計算由該發射及接收電路發射之該資料之該同位，及經組態以將該同位隨附至該有效負載，

其中藉由應用所有奇有效負載位元或所有偶有效負載位元之一者之一XOR函數而計算該第一同位位元或該第二同位位元之一者，且藉由應用所有奇有效負載位元或所有偶有效負載位元之另一者之一XOR函數加1而計算該第一同位位元或該第二同位位元之另一者。

【第11項】

如請求項10之通訊器件，其中該控制電路經組態以使用所有奇有效負載位元之該XOR函數計算該第一同位位元，及使用所有偶有效負載位元之該XOR函數加1計算該第二同位位元。

【第12項】

如請求項10之通訊器件，其中該控制電路經組態以使用所有奇有效負載位元之該XOR函數加1計算該第一同位位元，及使用所有偶有效負載位元之該XOR函數計算該第二同位位元。

【第13項】

如請求項10之通訊器件，其中該控制電路經組態以判定是否已發生一誤差，在該控制電路判定已發生該誤差之一情況中，該控制電路致使該發射及接收電路重啟與該外部通訊器件之通訊。

【第14項】

如請求項10之通訊器件，其中該控制電路經組態以藉由偵測來自該外部通訊器件之一應答信號之存在判定已發生一誤差。

【第15項】

如請求項10之通訊器件，其中該發射及接收電路經組態以依一SDR模式及一HDR模式進行通訊，在該SDR模式中，依一第一傳送速率執行資料通訊，在該HDR模式中，依高於該第一傳送速率之一第二傳送速率執行該資料通訊。

【第16項】

如請求項15之通訊器件，其中在該HDR模式中，該控制電路經組態以計算該同位。

【第17項】

一種通訊系統，其包括：

一第一通訊器件，其包含：

第一發射及接收電路，其經組態以經由一資料信號線及一時脈信號線通訊，該通訊包含經由該資料信號線發射及接收資料，該資料包含一預期同位及一有效負載，該預期同位包含一第一預期同位位元及一第二預期同位位元，及

第一控制電路，其經組態以計算待由該第一發射及接收電路發射之該資料之該預期同位，及將該預期同位添加至該有效負載；及

一第二通訊器件，其包含：

第二發射及接收電路，其經組態以經由該資料信號線及該時脈信號線與該第一通訊器件通訊，該通訊包含經由該資料信號線發射及接收該資料，及

第二控制電路，其經組態以藉由計算一第一經計算同位位元及計算一第二經計算同位位元且藉由比較該第一預期同位位元與該第一經計算同位位元及比較該第二預期同位位元與該第二經計算同位位元而對由該第二發射及接收電路接收之該資料執行一同位檢查，

其中藉由應用所有奇有效負載位元或所有偶有效負載位元之一者之一XOR函數而計算該第一預期同位位元或該第二預期同位位元之一者，且藉由應用所有奇有效負載位元或所有偶有效負載位元之另一者之一XOR函數加1而計算該第一預期同位位元或該第二預期同位位元之另一者，且

其中藉由應用所有奇有效負載位元或所有偶有效負載位元之一者之一XOR函數而計算該第一經計算同位位元或該第二經計算同位位元之一者，且藉由應用所有奇有效負載位元或所有偶有效負載位元之另一者之一XOR函數加1而計算該第一經計算同位位元或該第二經計算同位位元之另一者。

【第18項】

如請求項17之通訊系統，其中該第二控制電路經組態以使用所有奇有效負載位元之該XOR函數計算該第一經計算同位位元，及使用所有偶有效負載位元之該XOR函數加1計算該第二經計算同位位元。

【第19項】

如請求項17之通訊系統，其中該第二控制電路經組態以使用所有奇有效負載位元之該XOR函數加1計算該第一經計算同位位元，及使用所有偶有效負載位元之該XOR函數計算該第二經計算同位位元。

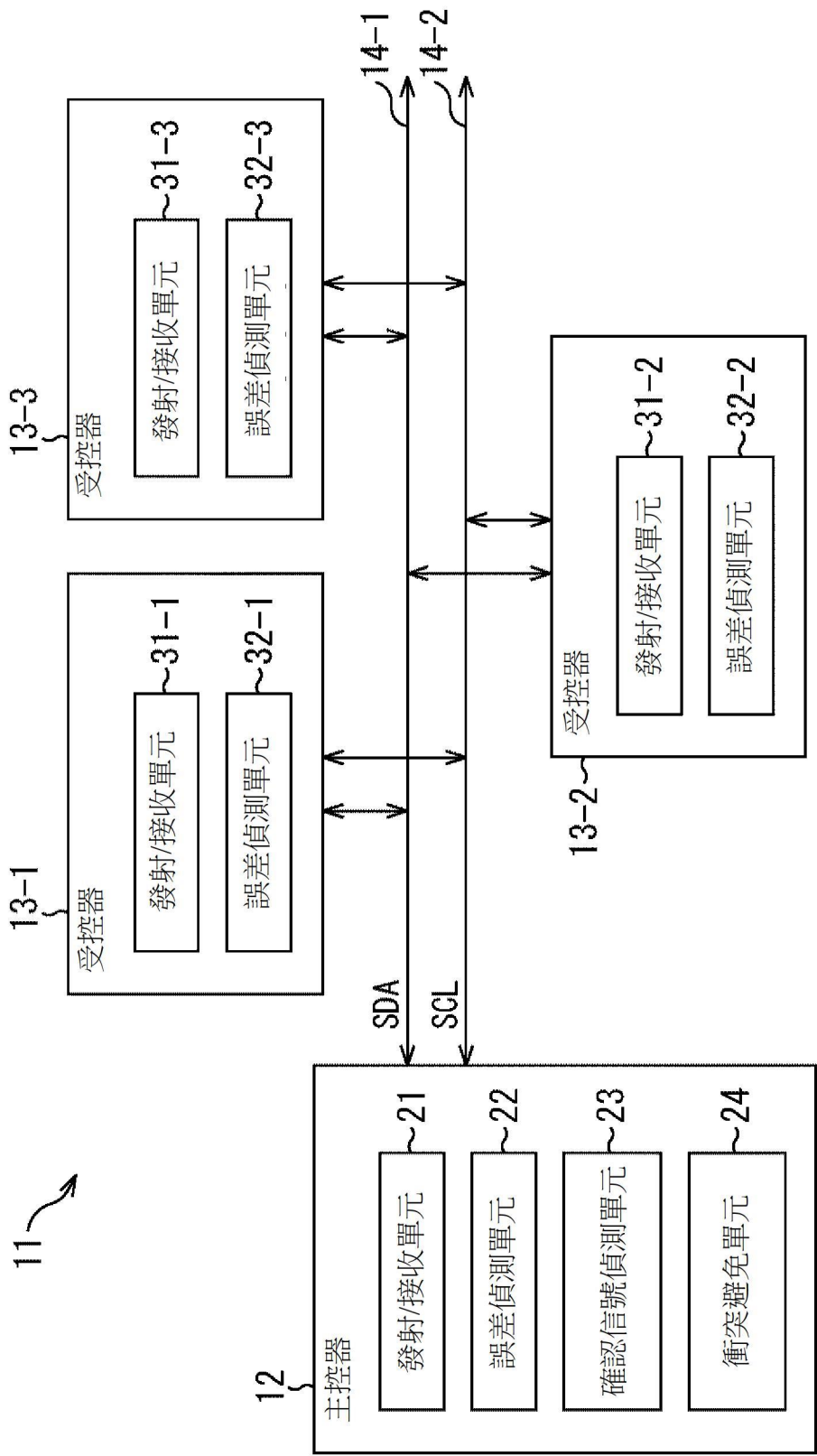
【第20項】

如請求項17之通訊系統，其中：

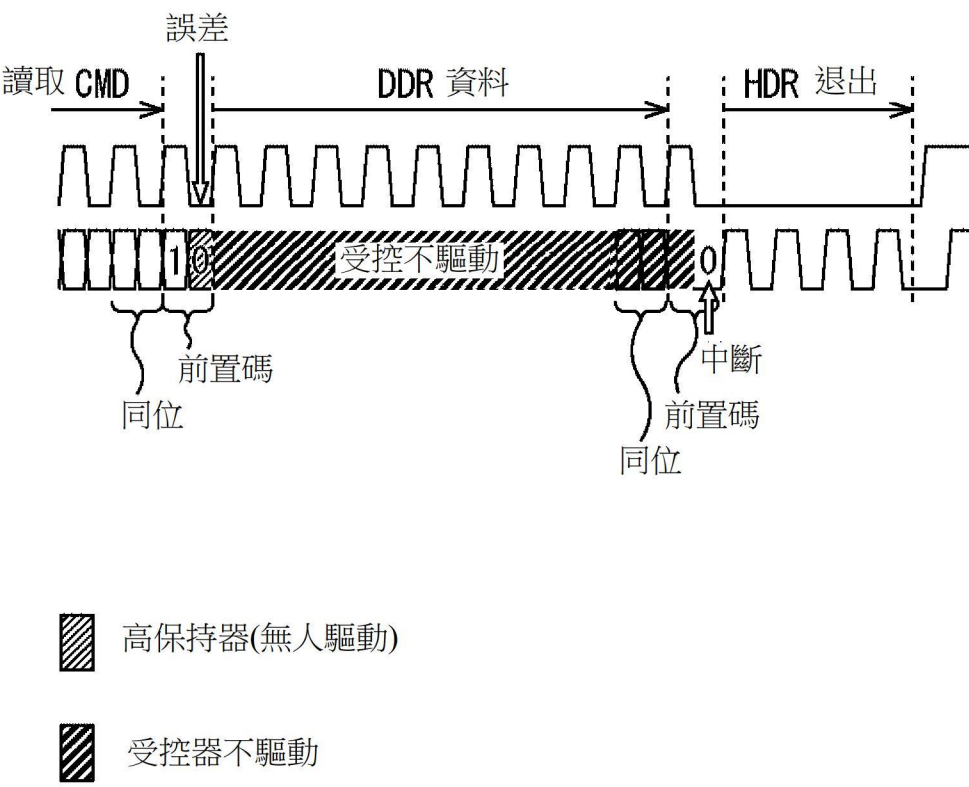
該第二控制電路經組態以在該第一預期同位位元不匹配該第一經計算同位位元及/或該第二預期同位位元不匹配該第二經計算同位位元時判定已發生一誤差，且

在該第二控制電路判定已發生該誤差之一情況中，該第二控制電路致使該第一通訊器件重啟與該第二通訊器件之通訊。

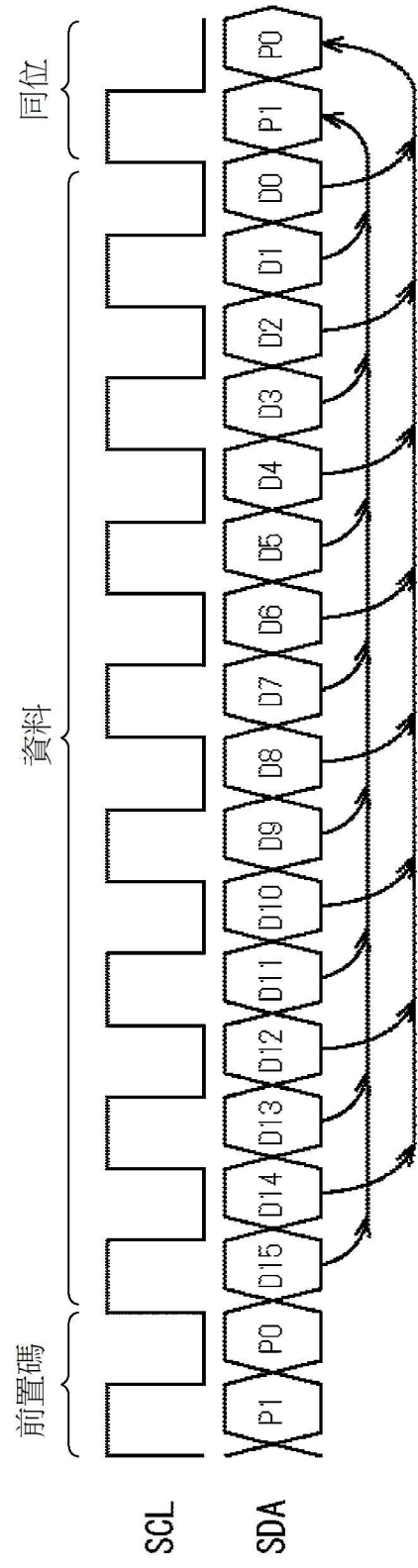
【發明圖式】



【圖1】



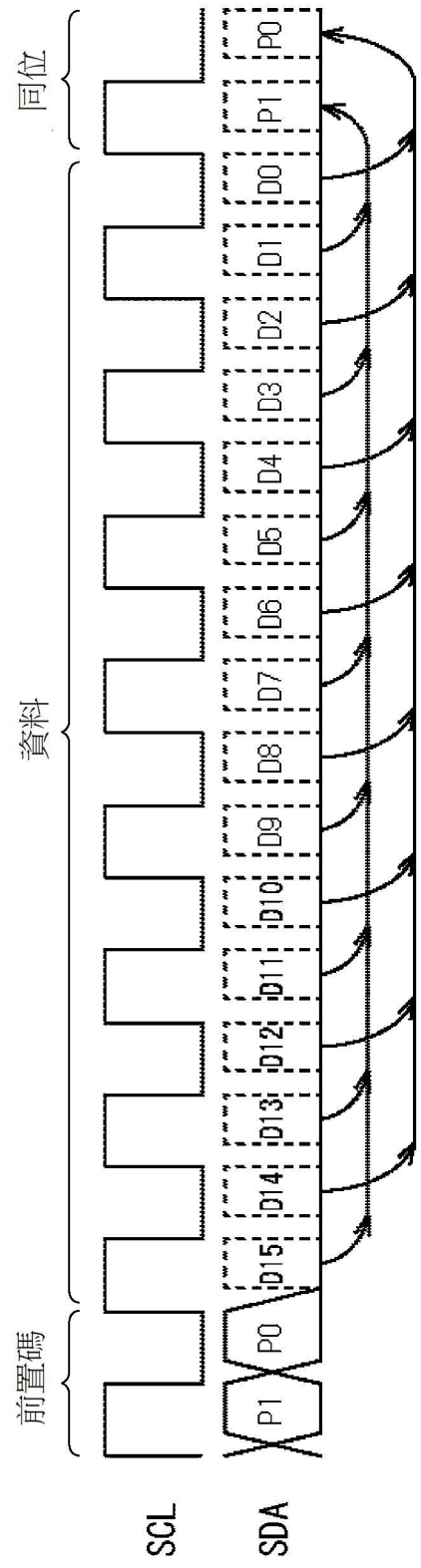
【圖2】



使用一XOR函數由有效負載形成兩個同位元：

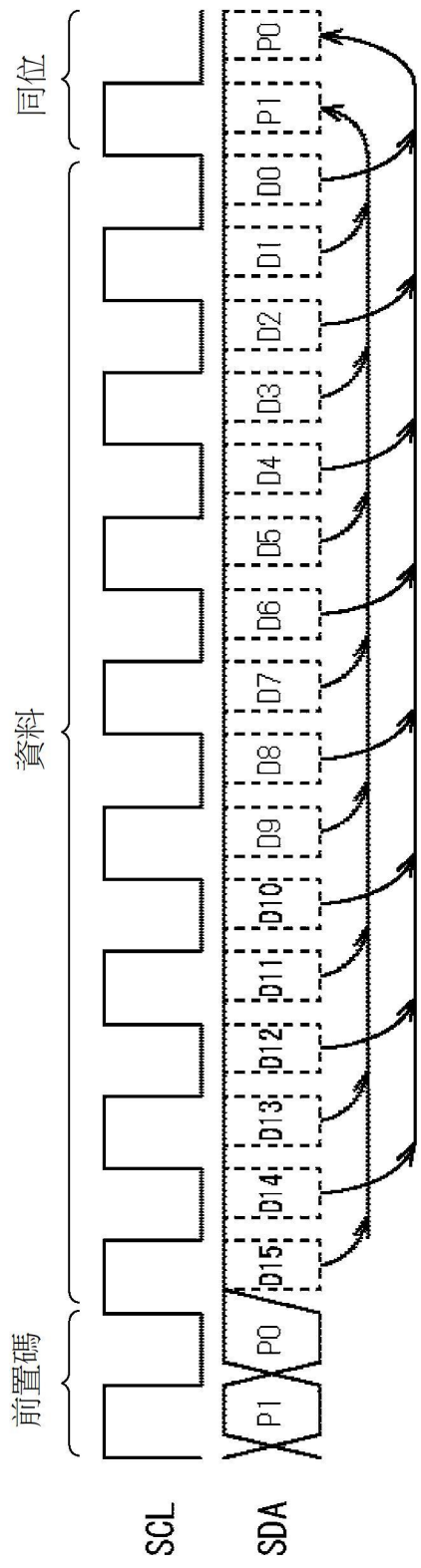
- P1=奇指數位元之同位： $D[15] \oplus D[13] \oplus D[11] \oplus D[9] \oplus D[7] \oplus D[5] \oplus D[3] \oplus D[1]$
- P0=偶指數位元之同位： $D[14] \oplus D[12] \oplus D[10] \oplus D[8] \oplus D[6] \oplus D[4] \oplus D[2] \oplus D[0]$

【圖3A】



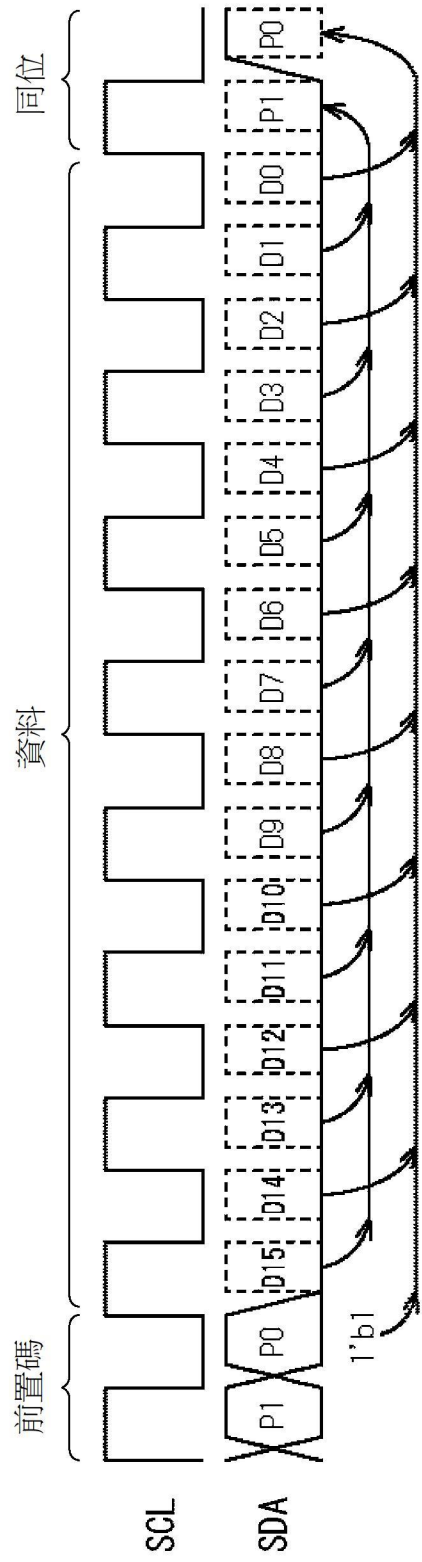
$$P1 = D[15] \oplus D[13] \oplus D[11] \oplus D[9] \oplus D[7] \oplus D[5] \oplus D[3] \oplus D[1] = 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 = 0$$
$$P0 = D[14] \oplus D[12] \oplus D[10] \oplus D[8] \oplus D[6] \oplus D[4] \oplus D[2] \oplus D[0] = 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 = 0$$

【圖3B】



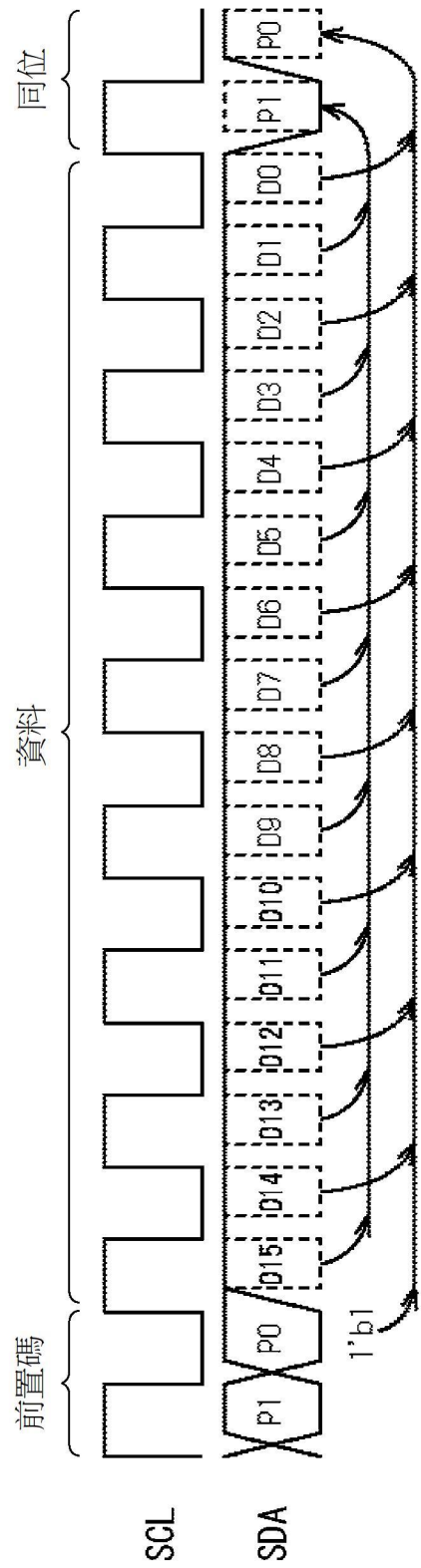
$$P1 = D[15] \oplus D[13] \oplus D[11] \oplus D[9] \oplus D[7] \oplus D[5] \oplus D[3] \oplus D[1] = 1$$
$$P0 = D[14] \oplus D[12] \oplus D[10] \oplus D[8] \oplus D[6] \oplus D[4] \oplus D[2] \oplus D[0] = 1$$

【圖3C】



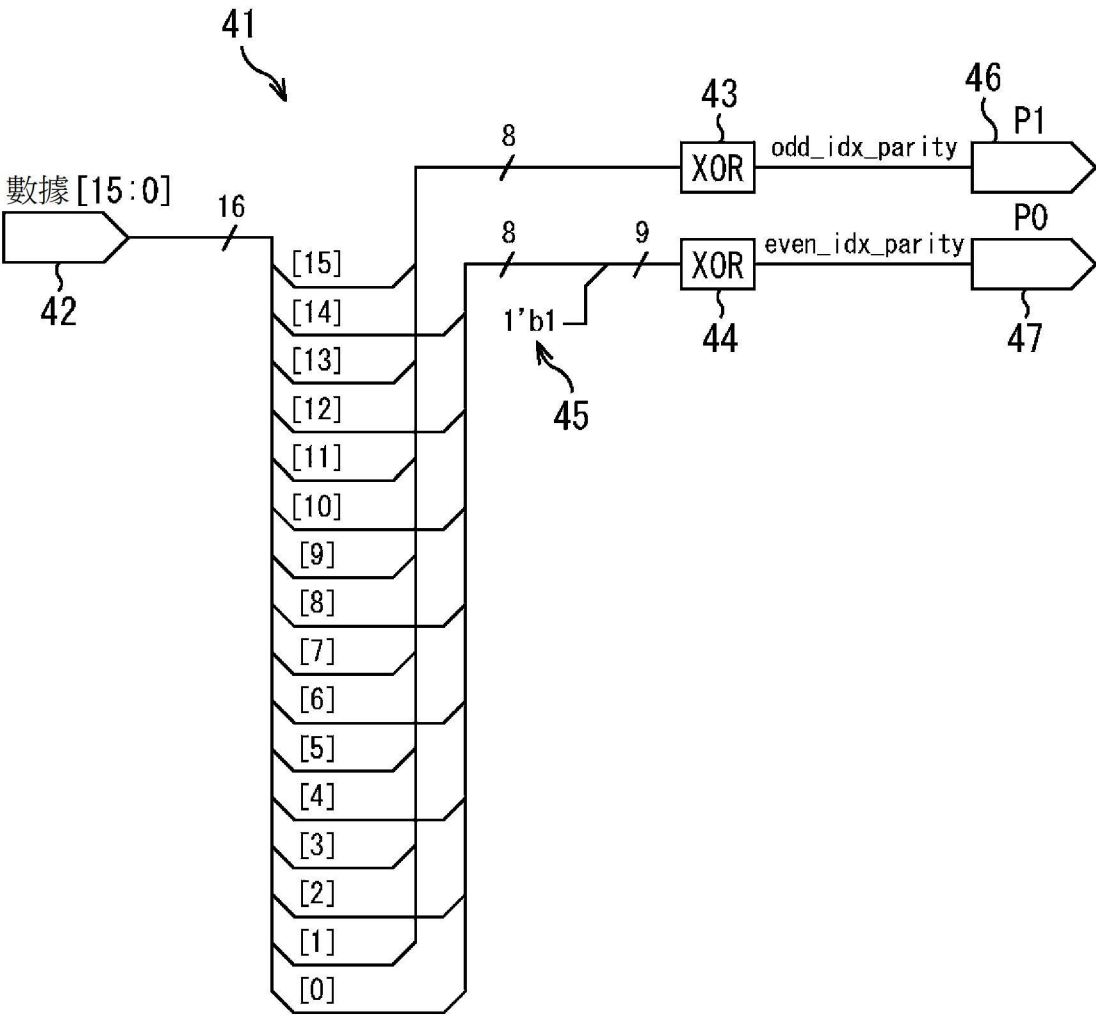
$$P1 = D[15] \wedge D[13] \wedge D[11] \wedge D[9] \wedge D[7] \wedge D[5] \wedge D[3] \wedge D[1] = 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 = 0$$
$$P0 = D[14] \wedge D[12] \wedge D[10] \wedge D[8] \wedge D[6] \wedge D[4] \wedge D[2] \wedge D[0] = 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 \wedge 0 \wedge 1 = 1$$

【圖4A】

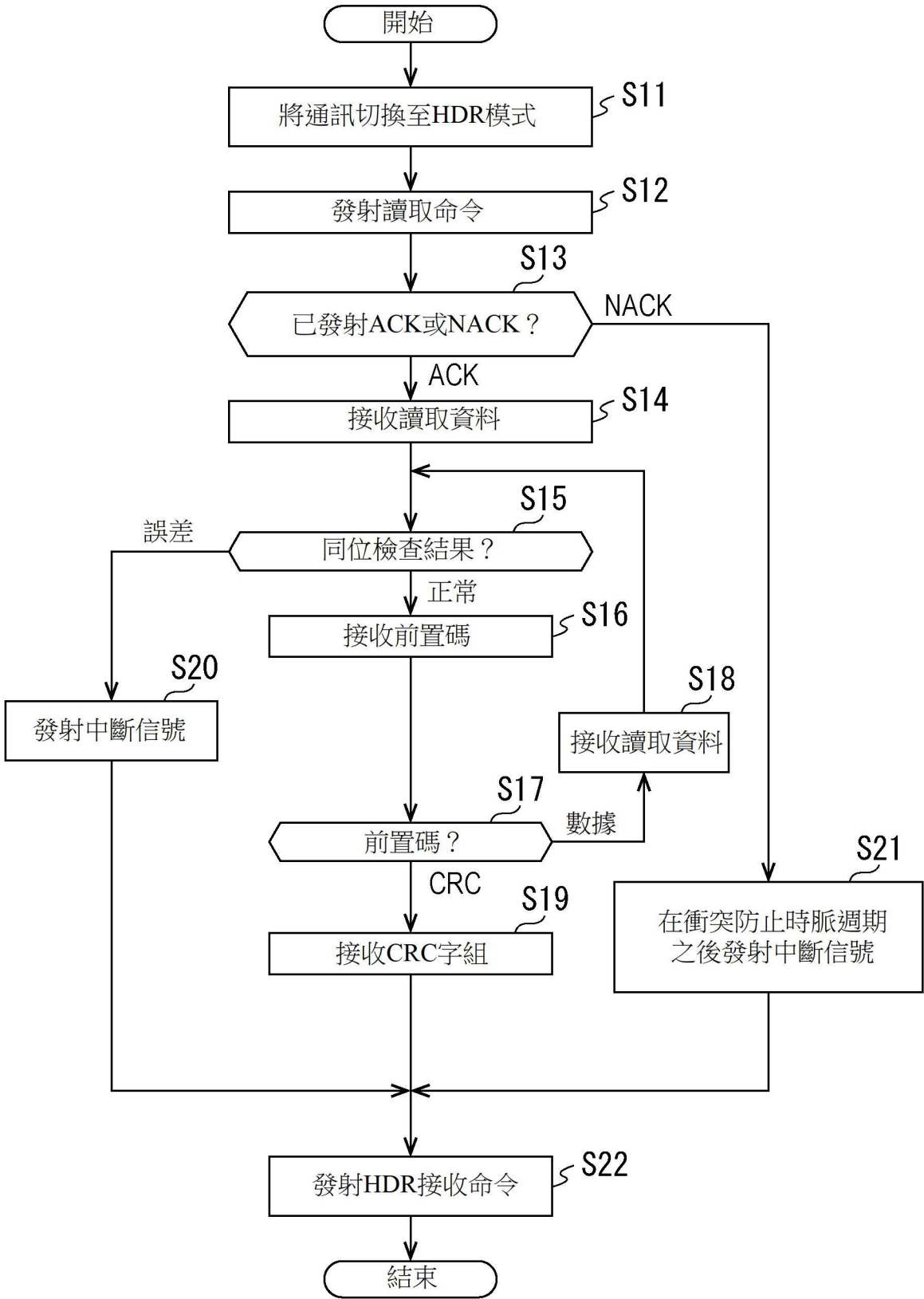


$$P1 = D[15] \oplus D[13] \oplus D[11] \oplus D[9] \oplus D[7] \oplus D[5] \oplus D[3] \oplus D[1] = 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 = 0$$
$$P0 = D[14] \oplus D[12] \oplus D[10] \oplus D[8] \oplus D[6] \oplus D[4] \oplus D[2] \oplus D[0] \oplus 1 \approx 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \oplus 1 \approx 1$$

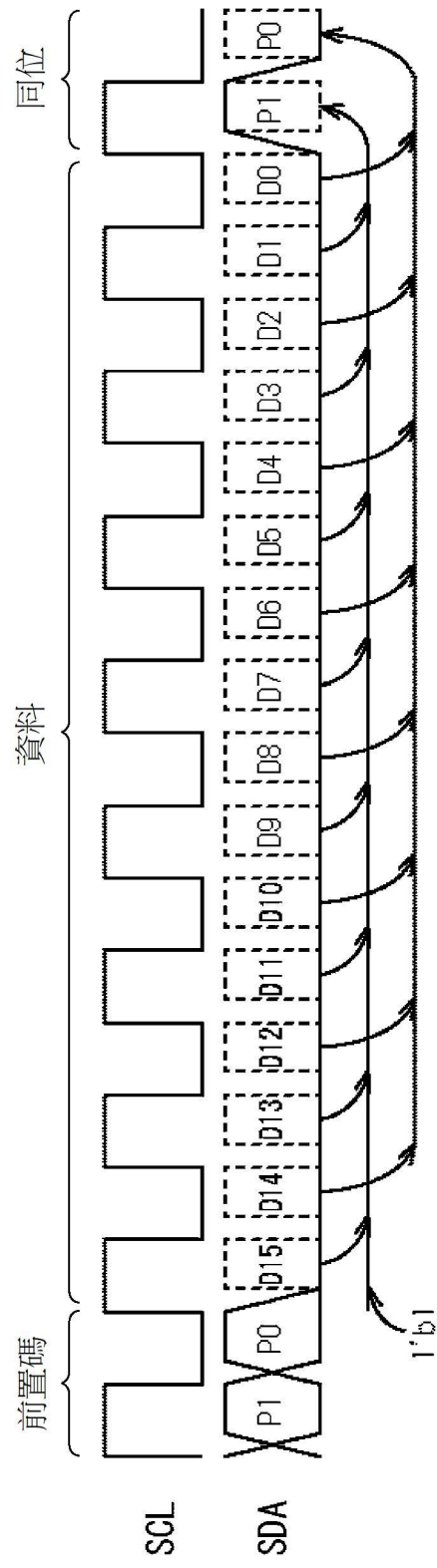
【圖4B】



【圖5】

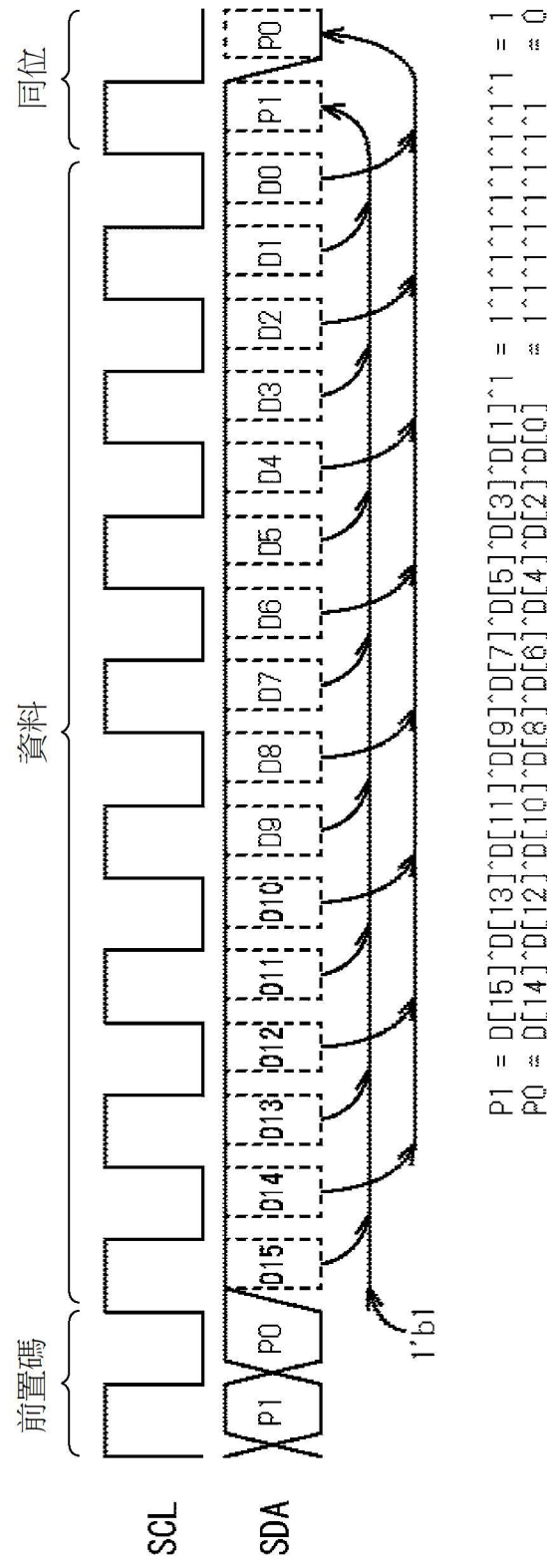


【圖6】

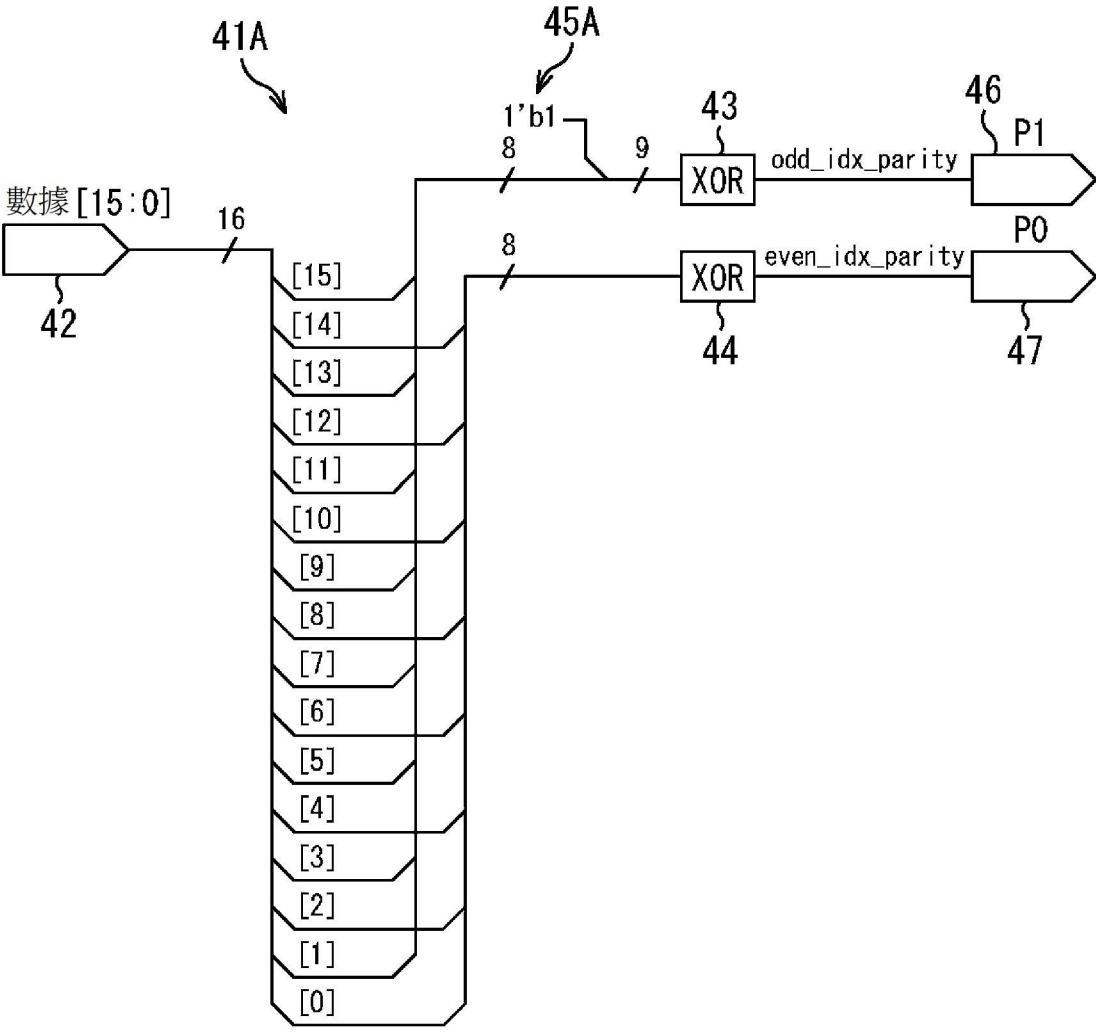


$$P1 = D[15] \oplus D[13] \oplus D[11] \oplus D[9] \oplus D[7] \oplus D[5] \oplus D[3] \oplus D[1] \oplus 1 = 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 1 = 1$$
$$P0 = D[14] \oplus D[12] \oplus D[10] \oplus D[8] \oplus D[6] \oplus D[4] \oplus D[2] \oplus D[0] = 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 \oplus 0 = 0$$

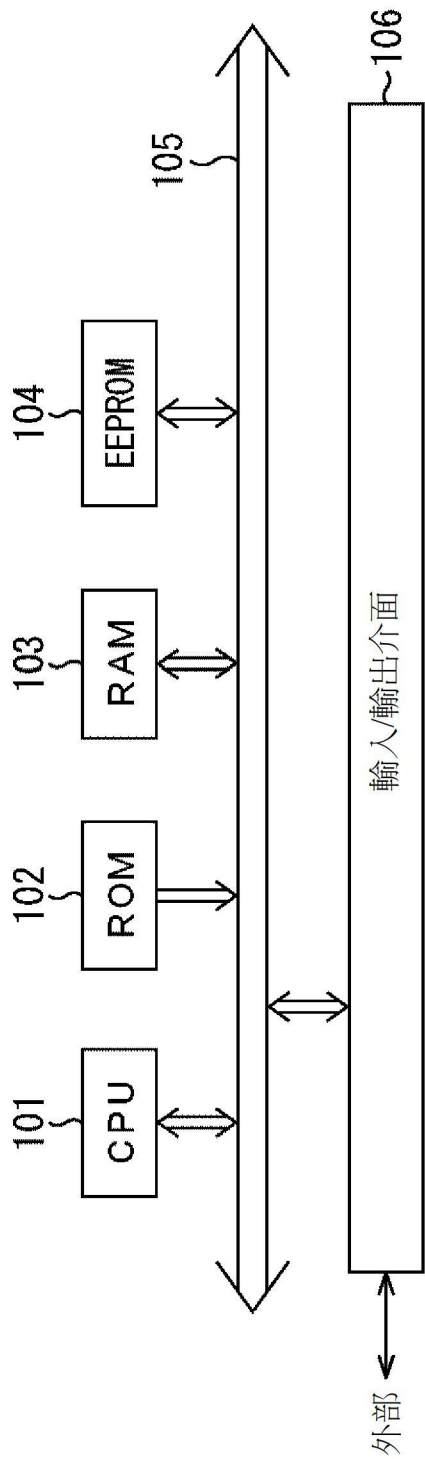
【圖7A】



【圖7B】



【圖8】



【圖9】