



(21) 申請案號：113112255 (22) 申請日：中華民國 107 (2018) 年 12 月 06 日

(51) Int. Cl. : *H01L21/20 (2006.01)* *H01L21/302 (2006.01)*  
*H01L21/3205(2006.01)* *H01L29/778 (2006.01)*

(30) 優先權：2017/12/06 美國 62/595,533  
 2018/12/03 美國 16/207,793

(71) 申請人：美商克若密斯股份有限公司 (美國) QROMIS, INC. (US)  
 美國

(72) 發明人：歐諾博利伍鐸 佛拉迪米耶 ODNOLYUDOV, VLADIMIR (US)；里斯巴德 迪  
 立普 RISBUD, DILIP (US)；巴瑟里 傑姆 BASCERI, CEM (US)；阿克塔斯 奧  
 茲卡 AKTAS, OZGUR (TR)

(74) 代理人：李世章；彭國洋

申請實體審查：有 申請專利範圍項數：18 項 圖式數：16 共 91 頁

## (54) 名稱

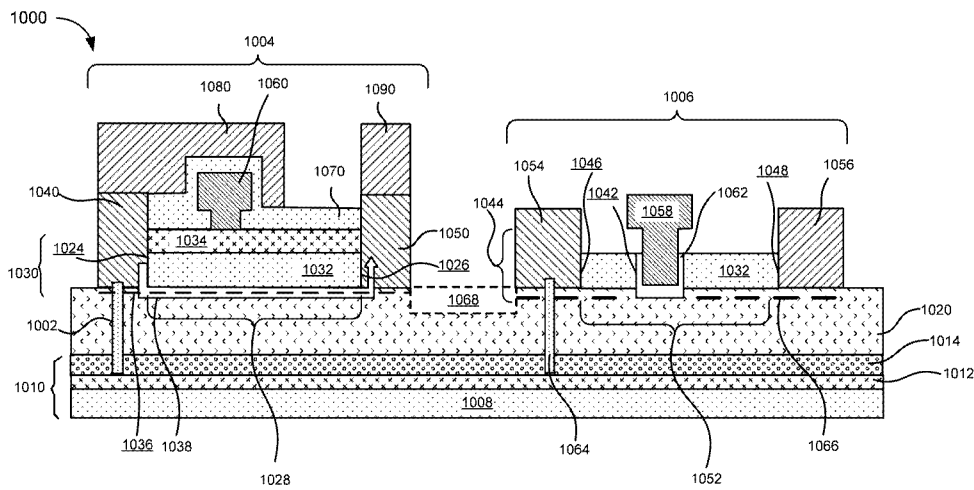
用於工程基板上的整合裝置之系統及方法

## (57) 摘要

於工程基板結構上形成複數個裝置之方法，包括以下步驟：藉由提供多晶陶瓷芯；以第一接著殼包封多晶陶瓷芯；以阻障層包封第一接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成工程基板。方法進一步包含步驟：形成耦合至實質上單晶層之緩衝層；根據相關於複數個裝置之需求，於緩衝層上形成一或更多第 III-V 族磊晶層；及藉由移除設置於複數個裝置間之一或更多第 III-V 族磊晶層的一部分及移除設置於複數個裝置間之緩衝層的一部分來在基板上形成複數個裝置。

A method of forming a plurality of devices on an engineered substrate structure includes forming an engineered substrate by providing a polycrystalline ceramic core, encapsulating the polycrystalline ceramic core with a first adhesion shell, encapsulating the first adhesion shell with a barrier layer, forming a bonding layer on the barrier layer, and forming a substantially single crystal layer coupled to the bonding layer. The method further comprises forming a buffer layer coupled to the substantially single crystal layer, forming one or more epitaxial III-V layers on the buffer layer according to requirements associated with the plurality of devices, and forming the plurality of devices on the substrate by removing a portion of the one or more epitaxial III-V layers disposed between the plurality of devices and removing a portion of the buffer layer disposed between the plurality of devices.

指定代表圖：



第10A圖

符號簡單說明：

- 1000:複數個裝置
- 1002:通孔
- 1004:第一裝置
- 1006:第二裝置
- 1008:多晶陶瓷芯
- 1010:工程基板
- 1012:實質上單晶層
- 1014:成核層
- 1020:緩衝層
- 1024:第一端
- 1026:第二端
- 1028:中央部分
- 1030:通道區域
- 1032:阻障層
- 1034:蓋層
- 1036:薄 2DEG 層
- 1038:通道
- 1040:源極接點
- 1042:凹部
- 1044:第二通道區域
- 1046:第一端
- 1048:第二端
- 1050:汲極接點
- 1052:中央部分
- 1054:汲極接點
- 1056:汲極接點
- 1058:閘極接點
- 1060:閘極接點
- 1062:絕緣層
- 1064:通孔
- 1066:薄 2DEG 層
- 1068:凹部
- 1070:鈍化層
- 1080:第一場板金屬
- 1090:第二金屬

## 【發明摘要】

### 【中文發明名稱】

用於工程基板上的整合裝置之系統及方法

### 【英文發明名稱】

SYSTEMS AND METHOD FOR INTEGRATED  
DEVICES ON AN ENGINEERED SUBSTRATE

### 【中文】

於工程基板結構上形成複數個裝置之方法，包括以下步驟：藉由提供多晶陶瓷芯；以第一接著殼包封多晶陶瓷芯；以阻障層包封第一接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成工程基板。方法進一步包含步驟：形成耦合至實質上單晶層之緩衝層；根據相關於複數個裝置之需求，於緩衝層上形成一或更多第 III-V 族磊晶層；及藉由移除設置於複數個裝置間之一或更多第 III-V 族磊晶層的一部分及移除設置於複數個裝置間之緩衝層的一部分來在基板上形成複數個裝置。

### 【英文】

A method of forming a plurality of devices on an engineered substrate structure includes forming an engineered substrate by providing a polycrystalline ceramic core, encapsulating the polycrystalline ceramic core with a first adhesion shell, encapsulating the first adhesion shell with a barrier layer, forming a bonding layer on the barrier layer, and forming a substantially single crystal layer coupled to the bonding layer. The method further comprises forming a buffer layer coupled to the

substantially single crystal layer, forming one or more epitaxial III-V layers on the buffer layer according to requirements associated with the plurality of devices, and forming the plurality of devices on the substrate by removing a portion of the one or more epitaxial III-V layers disposed between the plurality of devices and removing a portion of the buffer layer disposed between the plurality of devices.

【指定代表圖】第（ 10A ）圖。

【代表圖之符號簡單說明】

1 0 0 0 : 複 數 個 裝 置

1 0 0 2 : 通 孔

1 0 0 4 : 第 一 裝 置

1 0 0 6 : 第 二 裝 置

1 0 0 8 : 多 晶 陶 瓷 芯

1 0 1 0 : 工 程 基 板

1 0 1 2 : 實 質 上 單 晶 層

1 0 1 4 : 成 核 層

1 0 2 0 : 緩 衝 層

1 0 2 4 : 第 一 端

1 0 2 6 : 第 二 端

1 0 2 8 : 中 央 部 分

1 0 3 0 : 通 道 區 域

1 0 3 2 : 阻 障 層

1 0 3 4 : 蓋 層

1 0 3 6 : 薄 2 D E G 層

- 1038: 通道
- 1040: 源極接點
- 1042: 凹部
- 1044: 第二通道區域
- 1046: 第一端
- 1048: 第二端
- 1050: 汲極接點
- 1052: 中央部分
- 1054: 汲極接點
- 1056: 汲極接點
- 1058: 閘極接點
- 1060: 閘極接點
- 1062: 絕緣層
- 1064: 通孔
- 1066: 薄 2 D E G 層
- 1068: 凹部
- 1070: 鈍化層
- 1080: 第一場板金屬
- 1090: 第二金屬

【特徵化學式】

無

## 【發明說明書】

### 【中文發明名稱】

用於工程基板上的整合裝置之系統及方法

### 【英文發明名稱】

SYSTEMS AND METHOD FOR INTEGRATED DEVICES ON AN ENGINEERED  
SUBSTRATE

### 【技術領域】

【0001】 本申請案主張於2018年12月03日提出申請之美國專利申請案第16/207,793號之優先權權益，美國專利申請案第16/207,793號主張於2017年12月06日提出申請之美國臨時專利申請案第62/595,533號之優先權權益，針對所有目的以引用之形式將彼等的揭示內容全部併入本文。

【0002】 本揭示關於用於工程基板上之電子裝置之整合的方法及系統。

### 【先前技術】

【0003】 目前使用於藍寶石、碳化矽及矽上之基於氮化鎵之化合物半導體的異質磊晶來製造諸如發光二極體(LED)、高功率裝置，及高速射頻(RF)裝置之裝置。應用包括照明、電腦監視器、顯示器、寬能隙通訊、汽車，及工業動力來源。於藍寶石基板上之基於氮化鎵之裝置的生長為異質磊晶生長製程，因為基板與磊晶層由不同材料構

成。肇因於異質磊晶生長製程，磊晶地生長的材料可展現各種各樣的不良效應，包括降低的均勻性及相關於磊晶層之電子/光學性質之測度降低。因此，所屬技術領域需要關於用以製造裝置之磊晶生長製程及基板結構之改善的方法及系統。

#### 【發明內容】

【0004】 本發明大致上關於形成於工程基板結構上之第 III-V 族半導體裝置。更具體地，本發明關於適於使用磊晶生長製程來製造整合氮化鎵 (GaN) 半導體裝置之方法及系統。如本文中所描述的，本發明之具體實施態樣已應用至用於在相同工程基板結構上整體地 (monolithically) 整合不同類型 GaN 裝置之方法及系統。

【0005】 根據本發明之一具體實施態樣，提供於基板上形成複數個裝置之方法。方法包含步驟：藉由提供多晶陶瓷芯；以第一接著殼包封多晶陶瓷芯；以阻障層包封第一接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成基板。方法進一步包含步驟：形成耦合至實質上單晶層之緩衝層；根據相關於複數個裝置之需求，於緩衝層上形成一或更多第 III-V 族磊晶層；及藉由移除設置於複數個裝置間之一或更多第 III-V 族磊晶層的一部分及移除設置於複數個裝置間之緩衝層的一部分來在基板上形成複數個裝置。於一些具體實施態樣中，一或更多第 III-V 族磊晶層可包括 GaN。

【0006】 於一些具體實施態樣中，方法可包括步驟：平坦化基板上之複數個裝置。平坦化複數個裝置可包括步驟：於複數個裝置上形成介電層及使用化學機械平坦化加工來平滑化複數個裝置。於一些具體實施態樣中，方法可包括步驟：於複數個裝置之第一裝置與複數個裝置之第二裝置間製造一或更多互連。可供選擇地，方法可包括步驟：將複數個裝置中每一者上之第一表面黏合至臨時載體，其中第一表面相對基板；移除基板以暴露各裝置上之第二表面；於第二表面上形成導電層；及將載體晶圓黏合至導電層。於一些具體實施態樣中，方法包括步驟：移除載體晶圓之一或更多區段以形成一或更多背面接點。

【0007】 根據本發明之另一具體實施態樣，提供於基板上形成複數個裝置之方法。方法包含步驟：藉由提供多晶陶瓷芯；以接著殼包封多晶陶瓷芯；以阻障層包封接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成基板。方法進一步包含步驟：形成耦合至實質上單晶層之導電層；形成耦合至導電層之緩衝層；及根據針對複數個裝置中每一者之需求，於緩衝層上形成一或更多第 III-V 族磊晶層。方法進一步包含步驟：藉由移除設置於複數個裝置間之一或更多第 III-V 族磊晶層的一部分及緩衝層的一部分以暴露導電層的一部分；形成耦合至導電層之暴露的部分的一部分之接點；及移除未耦合至接點之導電層之剩餘暴露的部分來形成複數個裝置。於一些具體實施態樣中，一或更多第 III-V 族磊晶層可包括 GaN。

**【0008】** 於一些具體實施態樣中，方法進一步包含步驟：平坦化基板上之複數個裝置。平坦化複數個裝置可包括步驟：於複數個裝置上形成介電層及使用化學機械平坦化加工來平滑化複數個裝置。可供選擇地，方法可包括步驟：於複數個裝置之第一裝置與複數個裝置之第二裝置間製造一或更多互連。於一些具體實施態樣中，方法可包括步驟：將複數個裝置中每一者上之第一表面黏合至臨時載體，其中第一表面相對基板；移除基板以暴露各裝置上之第二表面；於第二表面上形成導電層；及將載體晶圓黏合至導電層。於一些具體實施態樣中，方法包括步驟：移除載體晶圓之一或更多區段以形成一或更多背面接點。

**【0009】** 根據進一步具體實施態樣，提供形成複數個裝置之方法。方法包含步驟：藉由提供多晶陶瓷芯；以第一接著殼包封多晶陶瓷芯；以阻障層包封第一接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成基板。方法進一步包含步驟：形成第一掩模，此掩模具有實質上單晶層之第一暴露的部分；相對於第一暴露的部分上之第一裝置結構，形成第一緩衝層；移除第一掩模；形成第二掩模，此掩模具有實質上單晶層之第二暴露的部分；相對於第二暴露的部分上之第二裝置結構，形成第二緩衝層；於第一緩衝層及第二緩衝層上形成一或更多第 III-V 族磊晶層，其中根據相對於複數個裝置之需求來形成一或更多第 III-V 族磊晶層；及於複數個裝置間進行蝕刻。

**【0010】** 於一些具體實施態樣中，方法進一步包含步驟：平坦化基板上之複數個裝置。平坦化複數個裝置可包括步驟：於複數個裝置上形成介電層及使用化學機械平坦化加工來平滑化複數個裝置。可供選擇地，方法可包括步驟：於複數個裝置之第一裝置與複數個裝置之第二裝置間製造一或更多互連。於一些具體實施態樣中，方法可包括步驟：將複數個裝置中每一者上之第一表面黏合至臨時載體，其中第一表面相對基板；移除基板以暴露各裝置上之第二表面；於第二表面上形成導電層；及將載體晶圓黏合至導電層。於一些具體實施態樣中，方法包括步驟：移除載體晶圓之一或更多區段以形成一或更多背面接點。

**【0011】** 於一些具體實施態樣中，方法進一步包含步驟：形成耦合至實質上單晶層及第一緩衝層與第二緩衝層之至少一者之導電層；暴露導電層的一部分；及於導電層之暴露的部分上形成接點。可供選擇地，於複數個裝置間進行蝕刻可包括步驟：蝕刻多晶陶瓷芯。

**【0012】** 根據一些具體實施態樣，半導體設備包括基板。基板可包括多晶陶瓷芯、包封多晶陶瓷芯之第一接著殼、包封第一接著殼之阻障層、耦合至阻障層之黏合層，及耦合至黏合層之實質上單晶層。半導體設備進一步包括耦合至實質上單晶層之緩衝層，及耦合至緩衝層之一或更多第III-V族磊晶層。一或更多第III-V族磊晶層界定將一或更多第III-V族磊晶層劃分成第一區段及第二區段之溝槽。半導體設備進一步包括形成於一或更多第III-V族磊晶層之

第一區段中之第一半導體裝置，及形成於一或更多第 III-V 族磊晶層之第二區段中之第二半導體裝置。

**【0013】** 於一些具體實施態樣中，第一半導體裝置為空乏型高電子遷移率電晶體 (HEMT)，及第二半導體裝置為增強型 HEMT。於一些其他具體實施態樣中，第一半導體裝置為第一空乏型高電子遷移率電晶體 (HEMT)，及第二半導體裝置為第二空乏型 HEMT。於一些進一步的具體實施態樣中，第一半導體裝置為第一增強型高電子遷移率電晶體 (HEMT)，及第二半導體裝置為第二增強型 HEMT。於一些具體實施態樣中，半導體設備進一步包括設置於實質上單晶層與緩衝層間之導電層。於一些具體實施態樣中，第一半導體裝置為高電子遷移率電晶體 (HEMT)，及第二半導體裝置為垂直半導體裝置。於一些具體實施態樣中，垂直半導體裝置為垂直 P-N 二極體或垂直肖特基二極體。

**【0014】** 於一些具體實施態樣中，多晶陶瓷芯可包含氮化鋁。第一接著層可包含四乙氧基矽烷 (TEOS) 氧化物層。阻障層可包含氮化矽。黏合層可包含氧化矽。實質上單晶層可包含矽。一或更多第 III-V 族磊晶層可包括 GaN 及 AlGaN 層。

**【0015】** 結合以下內文和附圖更仔細描述本發明之這些及其他具體實施態樣以及許多其優點和特徵。

**【圖式簡單說明】**

**【0016】** 第 1 圖為說明根據本發明之一具體實施態樣之工程基板結構的簡化示意截面圖。

**【0017】** 第 2 A 圖為說明根據本發明之一具體實施態樣之用於工程結構之作為深度之函數之物種濃度的 SIMS 輪廓。

**【0018】** 第 2 B 圖為說明根據本發明之一具體實施態樣之用於退火後工程結構之作為深度之函數之物種濃度的 SIMS 輪廓。

**【0019】** 第 2 C 圖為說明根據本發明之一具體實施態樣之用於退火後具有氮化矽層之工程結構之作為深度函數之物種濃度的 SIMS 輪廓。

**【0020】** 第 3 圖為說明根據本發明之另一具體實施態樣之工程基板結構的簡化示意截面圖。

**【0021】** 第 4 圖為說明根據本發明之又另一具體實施態樣之工程基板結構的簡化示意截面圖。

**【0022】** 第 5 圖為說明根據本發明之一具體實施態樣之製造工程基板之方法的簡化流程圖。

**【0023】** 第 6 圖為說明根據本發明之另一具體實施態樣之製造工程基板之方法的簡化流程圖。

**【0024】** 第 7 圖為說明根據本發明之一具體實施態樣之用於 RF 及功率應用之磊晶 / 工程基板結構的簡化示意截面圖。

**【0025】** 第 8 A 圖為說明根據本發明之一具體實施態樣之於工程基板結構上之第 III-V 族磊晶層的簡化示意圖。

【0026】 第 8 B 圖為說明根據本發明之另一具體實施態樣之用於形成在工程基板之半導體裝置之通孔構形的簡化示意平面視圖。

【0027】 第 9 圖為根據本發明之另一具體實施態樣之形成於工程基板上之複數個裝置的簡化平面視圖。

【0028】 第 10 A 圖為說明根據本發明之另一具體實施態樣之形成於工程基板上之複數個裝置的簡化示意截面圖。

【0029】 第 10 B 圖為說明根據本發明之另一具體實施態樣之形成於工程基板上之複數個第 III-V 族磊晶層的簡化示意截面圖。

【0030】 第 10 C 圖為說明根據本發明之另一具體實施態樣之形成於工程基板上之複數個裝置的簡化示意截面圖。

【0031】 第 11 圖為說明根據本發明之另一具體實施態樣之於工程基板上製造複數個裝置之方法的簡化流程圖。

【0032】 第 12 圖為說明根據本發明之另一具體實施態樣之形成於工程基板上之複數個裝置的簡化示意截面圖。

【0033】 第 13 圖為說明根據本發明之一具體實施態樣之於工程基板上製造複數個裝置之方法的簡化流程圖。

【0034】 第 14 A - D 圖為說明根據本發明之另一具體實施態樣之於單基板上製造之具有不同緩衝層磊晶結構之複數個裝置的簡化示意截面圖。

【0035】 第 15 圖為說明根據本發明之另一具體實施態樣之於單基板上製造具有不同緩衝層磊晶結構之複數個裝置之方法的簡化流程圖。

【0036】 第 16 A - C 圖說明用以在工程基板上所生長之裝置上形成背面連接之本發明的具體實施態樣。

【實施方式】

【0037】 本發明大致上關於在工程基板結構上整合半導體裝置。更具體地，本發明關於使用磊晶生長製程之適於製造不同第 III - V 族半導體裝置的方法。僅作為實例，本發明已應用至用於藉由磊晶生長來製造不同第 III - V 族半導體裝置之方法及系統，其中基板結構的特性為與形成功率裝置之磊晶層實質上匹配的熱膨脹係數 (CTE)。方法及技術可應用至各種各樣的半導體處理操作。

【0038】 第 1 圖為說明根據本發明之一具體實施態樣之工程基板結構的簡化示意截面圖。第 1 圖中說明之工程基板 100 適於各種各樣的電子及光學應用。工程基板 100 包括芯 110，芯 110 可具有與將生長於工程基板 100 上之磊晶材料的熱膨脹係數 (CTE) 實質上匹配的 CTE。說明磊晶材料 130 作為選擇性的，因為不需其作為工程基板 100 的元件，但將典型地生長於工程基板 100 上。

【0039】 針對包括基於氮化鎵 (GaN) 材料 (包括基於 GaN 之層的磊晶層) 之生長的應用，芯 110 可為多晶陶瓷材料，諸如多晶氮化鋁 (AlN)，其可包括黏結材料，諸如氧化鈮。於芯 110 中可利用其他材料，包括多晶氮化鎵 (GaN)、多晶鋁氮化鎵 (AlGaN)、多晶碳化矽 (SiC)、多晶氧化鋅 (ZnO)、多晶三氧化二鎵 (Ga<sub>2</sub>O<sub>3</sub>)，及類似者。

**【0040】** 芯之厚度可為大約  $100\ \mu\text{m}$  至  $1,500\ \mu\text{m}$ ，例如  $725\ \mu\text{m}$ 。芯 110 包封於接著層 112 中，接著層 112 可稱為殼或包封殼。於一具體實施態樣中，接著層 112 包含厚度大約為  $1,000\ \text{\AA}$  之四乙氧基矽烷 (TEOS) 氧化物層。於其他具體實施態樣中，接著層之厚度變化，例如自  $100\ \text{\AA}$  至  $2,000\ \text{\AA}$ 。儘管於一些具體實施態樣中利用 TEOS 氧化物於接著層，根據本發明之一具體實施態樣可利用提供隨後沉積的層與下方層或材料 (如，陶瓷，特別是多晶陶瓷) 間之接著的其他材料。舉例而言， $\text{SiO}_2$  或其他氧化矽 ( $\text{Si}_x\text{O}_y$ ) 良好黏著至陶瓷材料並提供用於後續之例如導電材料沉積之合適的表面。於一些具體實施態樣中，接著層 112 完全地圍繞芯 110 以形成徹底地包封的芯。使用低壓化學氣相沉積 (LPCVD) 製程可形成接著層 112。接著層提供後續層黏著於其上的表面以形成工程基板 100 結構之元件。

**【0041】** 除了使用 LPCVD 製程、基於爐的製程，及類似者來形成包封性第一接著層，根據本發明之具體實施態樣可利用其他半導體製程，包括 CVD 製程或類似的沉積製程。作為一實例，可利用塗佈芯之一部分的沉積製程，芯可經翻轉，及可重複沉積製程以塗佈芯之額外的部分。因此，儘管於一些具體實施態樣中利用 LPCVD 技術以提供徹底地包封的結構，取決於特別應用可利用其他膜形成技術。

**【0042】** 導電層 114 係形成圍繞接著層 112。於一具體實施態樣中，導電層 114 係形成圍繞第一接著層 112 之聚矽

(即，多晶矽)殼，因聚矽可對展現陶瓷材料之不良接著。於導電層114為聚矽之具體實施態樣中，聚矽層之厚度可為大約500-5,000 Å，例如2,500 Å。於一些具體實施態樣中，聚矽層可形成為殼以完全地圍繞第一接著層112(如，TEOS氧化物層)，從而形成徹底地包封的第一接著層，及可使用LPCVD製程而形成。於其他具體實施態樣中，如以下所論述的，導電材料可形成於接著層之一部分上，例如基板結構的下半部。於一些具體實施態樣中，導電材料可形成為徹底地包封性層及於基板結構之一側上後續地經移除。

**【0043】** 於一具體實施態樣中，導電層114可為摻雜的聚矽層以提供高度導電材料，例如摻雜有硼以提供P型聚矽層。於一些具體實施態樣中，以硼摻雜的位準為 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 以提供高導電性。可利用不同摻質濃度之其他摻質(如，摻質濃度範圍自 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $5 \times 10^{18} \text{ cm}^{-3}$ 之磷、砷、鉍，或類似者)以提供適用於導電層114中之N型或P型半導體材料。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0044】** 於靜電夾持工程基板100至例如具有靜電放電(ESD)夾具之工具的半導體處理工具期間，導電層114之存在為有用的。導電層114致能於半導體處理工具中於處理之後之快速去夾緊。因此，本發明之具體實施態樣提供可依習知矽晶圓方式處理之基板結構。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

【0045】 第二接著層 116 (如, 厚度大約為 1,000 Å 之 TEOS 氧化物層) 係形成圍繞導電層 114。於一些具體實施態樣中, 第二接著層 116 完全地圍繞導電層 114 以形成徹底地包封的結構。使用 LPCVD 製程、CVD 製程, 或任何其他合適的沉積製程, 包括旋塗介電質之沉積, 可形成第二接著層 116。

【0046】 阻障層 118, 例如氮化矽層, 係形成圍繞第二接著層 116。於一具體實施態樣中, 阻障層 118 為厚度大約 4,000 Å 至 5,000 Å 之氮化矽層。於一些具體實施態樣中阻障層 118 完全地圍繞第二接著層 116 以形成徹底地包封的結構以及使用 LPCVD 製程可形成阻障層 118。除了氮化矽層, 可利用非晶材料, 包括 SiCN、SiON、AlN、SiC, 及類似者, 作為阻障層。於一些實作中, 阻障層由一些子層組成, 子層組合以形成阻障層。因此, 術語阻障層不意欲表示單層或單一材料, 而是表示包含以複合方式層疊的一或更多材料。所屬技術領域中具有通常知識者將認識許多變化、修飾, 及替代方案。

【0047】 於一些具體實施態樣中, 阻障層, 如氮化矽層, 防止存在於芯 110 中之成分擴散和/或排氣至工程基板 100 可能存在之半導體處理腔室的環境中, 例如於高溫(如, 1,000°C) 磊晶生長製程期間。存在於芯 110 中之成分可包括, 例如氧化釔 (yttrium oxide) (即, 氧化釔 (yttria))、氧、金屬雜質、其他痕量元素, 及類似者。自芯 110 擴散的成分可造成工程層 120/122 中非意欲的摻

雜。自芯 110 排氣的成分可行進通過腔室並吸附至晶圓上之他處，造成工程層 120/122 及磊晶材料 130 中之雜質。利用本文中所描述的包封性層，可於半導體製造流程及無塵室環境中利用設計用於非無塵室環境之陶瓷材料，包括多晶 AlN。

**【0048】** 第 2 A 圖為說明根據本發明之一具體實施態樣之用於工程結構之作為深度之函數之物種濃度的二次離子質譜儀 (SIMS) 輪廓。x 軸代表自工程層 120/122 之表面至芯 110 的深度 202。線 208 代表工程層 120/122 與芯 110 間之界面。第一 y 軸代表每立方公分之原子的物種濃度 204。第二 y 軸代表每秒計數之離子的信號強度 206。第 2 A 圖中之工程結構不包括阻障層 118。參照第 2 A 圖，存在於陶瓷芯 110 中之數種物種 (如，鈦、鈣，及鋁) 於工程層 120/122 中下降至可忽略的濃度。鈣 210、鈦 220，及鋁 230 的濃度分別下降三、四，及六個數量級。

**【0049】** 第 2 B 圖為說明根據本發明之一具體實施態樣之用於退火後不具阻障層之工程結構之作為深度之函數之物種濃度的 SIMS 輪廓。如以上論述的，於半導體處理操作期間，由本發明之具體實施態樣提供之工程基板結構可暴露至高溫 (~1,100°C) 持續數小時，例如於基於 GaN 之層的磊晶生長期間。針對第 2 B 圖中所說明之輪廓，工程基板結構於 1,100°C 經退火持續四小時的時段。如由第 2 B 圖所示的，原始以低濃度存於工程層 120/122 中之鈣 210、鈦

220，及鋁230已擴散至工程層120/122中，達到類似其他成分的濃度。

**【0050】** 因此，本發明之具體實施態樣整合阻障層(如，氮化矽層)以防止來自多晶陶瓷材料(如，AlN)之背景成分向外擴散至工程層120/122及諸如選擇性的Ga<sub>2</sub>N層之磊晶材料130中。包封下方層及材料之氮化矽層提供所欲之阻障層118功能性。

**【0051】** 第2C圖為說明根據本發明之一具體實施態樣之用於退火後之具有阻障層118(由虛線240表示)之工程結構之作為深度之函數之物種濃度的SIMS輪廓。整合擴散阻障層118(如，氮化矽層)至工程基板結構中防止於當擴散阻障層不存在時發生之退火製程期間之鈣、鉍，及鋁擴散至工程層中。如第2C圖中所說明的，退火後(post-anneal)存於陶瓷芯中之鈣210、鉍220，及鋁230在工程層中維持低濃度。因此，使用阻障層118(如，氮化矽層)防止這些成分擴散通過擴散屏障並從而防止彼等釋放至圍繞工程基板之環境中。類似地，塊體陶瓷材料內含有的任何其他雜質將包含於阻障層。

**【0052】** 典型地，用以形成芯110之陶瓷材料於1,800°C之範圍的溫度中經燒成。將預期的是，此製程將驅趕存在於陶瓷材料中之大量雜質。這些雜質可包括鉍，其來自使用氧化鉍作為燒結劑，鈣及其他元素和化合物。接續地，於在800°C至1,100°C之範圍中之低許多的溫度進行之磊晶生長製程期間，將預期的是，這些雜質的後續擴散將

為微小的。然而，與習知預期相反，發明人已確定即便於溫度遠低於陶瓷材料之燒成溫度之磊晶生長製程期間，存在通過工程基板之層之成分的顯著擴散。因此，本發明之具體實施態樣整合阻障層 118 至工程基板 100 中以防止此不希望的擴散。

**【0053】** 再一次參照第 1 圖，黏合層 120（如，氧化矽層）沉積於阻障層 118 之一部分上，例如阻障層之頂表面，及後續地使用於單晶層 122 之黏合期間。於一些具體實施態樣中，黏合層 120 的厚度可為大約  $1.5\ \mu\text{m}$ 。單晶層 122 可包括例如 Si、SiC、藍寶石、GaN、AlN、SiGe、Ge、鑽石、 $\text{Ga}_2\text{O}_3$ 、AlGaN、InGaN、InN，和/或 ZnO。於一些具體實施態樣中，單晶層可具有自  $0-0.5\ \mu\text{m}$  之厚度。於用於形成磊晶材料 130 之磊晶生長製程期間，單晶層 122 適於用作生長層。磊晶材料 130 之結晶層為相關於單晶層 122 之下方半導體晶格的延伸。相較現有技術，工程基板 100 之獨特的 CTE 匹配性質使生長較厚的磊晶材料 130 成為可能。於一些具體實施態樣中，磊晶材料 130 包括厚度為  $2\ \mu\text{m}$  至  $10\ \mu\text{m}$  之氮化鎵層，可利用其作為用於光電裝置、功率裝置，及類似者中之複數個層的一者。於一具體實施態樣中，黏合層 120 包括使用層轉移製程而附接至氧化矽阻障層 118 的單晶矽層。

**【0054】** 第 3 圖為說明根據本發明之一具體實施態樣之工程基板結構的簡化示意截面圖。第 3 圖中所說明的工程基板 300 適於各種各樣的電子及光學應用。工程基板 300 包括芯

110，芯110可具有與將生長於工程基板300上之磊晶材料之熱膨脹係數(CTE)實質上匹配的CTE。說明磊晶材料130作為選擇性的，因為不需其作為工程基板結構的元件，但將典型地生長於工程基板結構上。

**【0055】** 針對包括基於氮化鎵(GaN)材料(包括基於GaN之層的磊晶層)之生長的應用，芯110可為多晶陶瓷材料，例如多晶氮化鋁(AlN)。芯之厚度可為大約100 μm至1,500 μm，例如725 μm。芯110經包封於接著層112中，接著層112可稱為殼或包封殼。於此實作中，接著層112完全地包封芯，但此非本發明所需要的，如關於第4圖另外詳細論述的。

**【0056】** 於一具體實施態樣中，接著層112包含厚度大約為1,000 Å之四乙氧基矽烷(TEOS)氧化物層。於其他具體實施態樣中，接著層之厚度變化，例如自100 Å至2,000 Å。儘管於一些具體實施態樣中利用TEOS氧化物於接著層，根據本發明之一具體實施態樣可利用提供隨後沉積的層與下方層或材料間之接著的其他材料。舉例而言，SiO<sub>2</sub>、SiON，及類似者良好黏著至陶瓷材料並提供用於後續之例如導電材料沉積之合適的表面。於一些具體實施態樣中，接著層112完全地圍繞芯110以形成徹底地包封的芯以及使用LPCVD製程可形成接著層112。接著層112提供後續層黏著於其上的表面以形成工程基板結構之元件。

**【0057】** 除了使用LPCVD製程、基於爐的製程，及類似者來形成包封性接著層112，根據本發明之具體實施態樣可

利用其他半導體製程，包括CVD製程或類似的沉積製程。作為一實例，可利用塗佈芯110之一部分的沉積製程，例如CVD、PECVD或類似者，芯110可經翻轉，及可重複沉積製程以塗佈芯110之額外的部分。

**【0058】** 導電層314形成於接著層112之至少一部分上。於一具體實施態樣中，導電層314包括在由芯110及接著層112形成之結構的下部部分(如，下半部或背面)上由沉積製程形成之聚矽(即，多晶矽)。於其中導電層314為聚矽之具體實施態樣中，聚矽層之厚度可為大約數千埃，例如3,000 Å。於一些具體實施態樣中，使用LPCVD製程可形成聚矽層。

**【0059】** 於一具體實施態樣中，導電層314可為摻雜的聚矽層以提供高度導電材料，例如導電層314可摻雜有硼以提供P型聚矽層。於一些具體實施態樣中，以硼摻雜的位準範圍自 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 以提供高導電性。於靜電夾持工程基板至例如具有靜電放電(ESD)夾具之工具的半導體處理工具期間，導電層314之存在為有用的。導電層314致能處理之後之快速去夾緊。因此，本發明之具體實施態樣提供可依習知矽晶圓利用的方式處理之基板結構。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0060】** 第二接著層316(如，第二TEOS氧化物層)係形成圍繞導電層314(如，聚矽層)。第二接著層316之厚度為大約1,000 Å。於一些具體實施態樣中第二接著層316

完全地圍繞導電層 114 以形成徹底地包封的結構及使用 LPCVD 製程可形成第二接著層 316。

【0061】 阻障層 118 (如, 氮化矽層) 係形成圍繞第二接著層 316。於一些具體實施態樣中阻障層 118 之厚度為大約 4,000 Å 至 5,000 Å。於一些具體實施態樣中阻障層 118 完全地圍繞第二接著層 316 以形成徹底地包封的結構及使用 LPCVD 製程可形成阻障層 118。

【0062】 於一些具體實施態樣中, 使用包括氮化矽之阻障層, 防止存在於芯 110 中之成分擴散和 / 或排氣至工程基板可能存在之半導體處理腔室的環境中, 例如於高溫 (如, 1,000°C) 磊晶生長製程期間。存在於芯中之成分包括, 例如氧化釔 (yttrium oxide) (即, 氧化釔 (yttria))、氧、金屬雜質、其他痕量元素, 及類似者。利用本文中所描述的包封性層, 可於半導體製造流程及無塵室環境中利用設計用於非無塵室環境之陶瓷材料, 包括多晶 AlN。

【0063】 於一些具體實施態樣中, 工程基板 100 可順應國際半導體設備與材料產業協會 (SEMI) 標準規格。因為工程基板 100 可順應 SEMI 規格, 工程基板 100 可用於現有的半導體製造工具。舉例而言, 用於工程基板之晶圓直徑可為 4 吋、6 吋, 或 8 吋。於一些具體實施態樣中, 8 吋工程基板晶圓之厚度可為 725 - 750 μm。與之相較, 目前用以製造磊晶氮化鎵層之矽基板未順應 SEMI 規格, 因為矽基板的厚度為 1050 - 1500 μm。作為不順應的結果, 標準晶圓直徑

之矽基板不能用於順應 SEMI 規格之設備中來生長基於 GaN 之裝置。

【0064】 第 4 圖為說明根據本發明之另一具體實施態樣之工程基板結構 400 的簡化示意截面圖。於第 4 圖中所說明的具體實施態樣中，接著層 412 形成於芯 110 之至少一部分上但未包封芯 110。於此實作中，接著層 412 形成於芯之下表面（芯之背面）上以增進後續形成之導電層 414 的接著，如以下更完整描述的。雖然僅說明接著層 412 位於第 4 圖中之芯的下表面上，但將領會的是，於芯之其他部分上之接著層材料的沉積將不會不利地影響工程基板結構的表現及此材料可存在於各種具體實施態樣中。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

【0065】 導電層 414，而非形成為如第 3 圖中所說明的殼，未包封接著層 412 及芯 110，但與接著層 412 實質上對齊。雖然說明導電層 414 為沿著接著層 412 之底部或背面及沿側面的一部分向上延伸，此非本發明所需要的。因此，具體實施態樣可利用基板結構之一側的沉積、遮蔽基板結構之一側，或類似者。導電層 414 可形成於接著層 412 之一側，例如底/背面，的一部分上。導電層 414 提供工程基板結構 400 之一側上的電傳導，其可有利於 RF 及高功率應用中。導電層 414 可包括摻雜的聚矽，如相關第 1 圖中之導電層 114 所論述的。除了基於半導體之導電層，於其他具體實施態樣中，導電層 414 為金屬層，例如 500 Å 之鈦，或類似者。

【0066】 以第二接著層 416 覆蓋芯 110 的部分、接著層 412 的部分，及導電層 414 以增進阻障層 418 對下方材料的接著。阻障層 418 形成包封性結構以防止來自下方層之擴散，如以上相關第 2A、2B，及 2C 圖所論述的。

【0067】 再一次參照第 4 圖，取決於實作，可移除一或更多層。舉例而言，可移除接著層 412 及導電層 414，僅留下單一接著殼 416 及阻障層 418。於另一具體實施態樣中，可僅移除導電層 414，留下阻障層 418 之下的單一接著層 412。於此具體實施態樣中，接著層 412 亦可平衡由沉積於阻障層 418 之頂部上之黏合層 120 所誘發之應力及晶圓翹曲。於芯 110 之頂側上具有絕緣層之基板結構的建構(如，芯 110 與黏合層 120 間僅具有絕緣層)將提供益處給功率 / RF 應用，其中高度絕緣基板為所欲的。

【0068】 於另一具體實施態樣中，阻障層 418 可直接地包封芯 110，接續以導電層 414 及後續接著層 416。於此具體實施態樣中，黏合層 120 可直接地自頂側沉積至接著層 416 上。於又另一具體實施態樣中，接著層 416 可沉積於芯 110 上，接續以阻障層 418，及接著接續以導電層 414，及另外的接著層 412。

【0069】 雖然已就層來論述一些具體實施態樣，但應理解術語層可包括組合以形成關注之層的一些子層。因此，術語層非意欲表示由單一材料所組成的單層，而是包含以複合方式層疊以形成所欲結構之一或更多材料層。所屬技術

領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0070】** 第5圖為說明根據本發明之一具體實施態樣之製造工程基板之方法的簡化流程圖。可利用方法來製造與基板上所生長之磊晶層的一或多者CTE匹配的基板。方法500包括步驟：藉由提供多晶陶瓷芯(510)；包封多晶陶瓷芯於第一接著層中形成殼(512)（如，四乙氧基矽烷(TEOS)氧化物殼）；及包封第一接著層於導電殼(514)（如，聚矽殼）中來形成支撐結構。可形成第一接著層為單層的TEOS氧化物。可形成導電殼為單層的聚矽。

**【0071】** 方法亦包括步驟：包封導電殼於第二接著層中(516)（如，第二TEOS氧化物殼）及包封第二接著層於阻障層殼中(518)。可形成第二接著層為單層的TEOS氧化物。可形成阻障層殼為單層的氮化矽。

**【0072】** 一旦藉由步驟510-518形成支撐結構，方法進一步包括步驟：將黏合層（如，氧化矽層）接合至支撐結構(520)及將實質上單晶層，例如單晶矽層，接合至氧化矽層(522)。根據本發明之具體實施態樣可使用的其他實質上單晶層，包括SiC、藍寶石、GaN、AlN、SiGe、Ge、鑽石、Ga<sub>2</sub>O<sub>3</sub>、ZnO，及類似者。黏合層之接合可包括黏合材料之沉積，接續以本文中所描述的平坦化加工製程。於如以下描述的一具體實施態樣中，將實質上單晶層（如，單晶矽層）接合至黏合層利用層轉移製程，其中層為自矽晶圓轉移的單晶矽層。

【0073】 參照第 1 圖，藉由沉積厚的（如，4  $\mu\text{m}$  厚）氧化物層接續以化學機械研磨（CMP）製程以薄化氧化物至大約 1.5  $\mu\text{m}$  的厚度可形成黏合層 120。厚的初始氧化物用以填充存在於支撐結構上且可能於多晶芯之製造之後及於形成第 1 圖中所說明之包封性層時繼續存在之孔洞及表面特徵。氧化物層亦用作用於裝置之介電層。CMP 製程提供實質上平坦沒有孔洞、顆粒，或其他特徵的表面，其可接著用於晶圓轉移製程期間以將單晶層 122（如，單晶矽層）黏合至黏合層 120。將領會的是，黏合層之特性不必為原子級平坦的表面，但應提供具有所欲可靠度之將支撐單晶層（如，單晶矽層）之黏合的實質上平坦表面。

【0074】 使用層轉移製程以將單晶層 122（如，單晶矽層）接合至黏合層 120。於一些具體實施態樣中，包括實質上單晶層 122（如，單晶矽層）之矽晶圓經佈植以形成分裂面。於此具體實施態樣中，於晶圓黏合之後，沿著分裂面之下之單晶矽層的部分可移除矽基板，造成剝層的單晶矽層。可變化單晶層 122 之厚度以符合各種應用之規格。另外，可變化單晶層 122 之晶體方向以符合應用之規格。此外，可變化單晶層中之摻雜程度及輪廓以符合特別應用之規格。於一些具體實施態樣中，可調整佈植之深度為大於單晶層 122 之所欲最終厚度。額外的厚度允許移除損壞之轉移的實質上單晶層的薄部分，留下所欲最終厚度之未損壞的部分。於一些具體實施態樣中，針對高品質磊晶生長

可修飾表面粗糙度。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0075】** 於一些具體實施態樣中，單晶層 122 可為足夠厚以提供用於一或更多磊晶層之後續生長的高品質晶格模板，但足夠薄以實現高度順應。當單晶層 122 相對薄使得其物理性質較不受約束且能夠模擬圍繞其之材料的性質及較不傾向產生結晶缺陷時，單晶層 122 可稱為「順應」。單晶層 122 之順應性可與單晶層 122 之厚度逆相關。較高的順應性可造成模板上所生長之磊晶層中較低的缺陷密度及使得較厚的磊晶層生長成為可能。於一些具體實施態樣中，藉由於剝層矽層上之矽的磊晶生長可增加單晶層 122 之厚度。

**【0076】** 於一些具體實施態樣中，透過剝層矽層之頂部的熱氧化，接續以利用氫氟(HF)酸之氧化物層剝除，可達成調整單晶層 122 之最終厚度。舉例而言，具有  $0.5\ \mu\text{m}$  之初始厚度的剝層矽層可經熱氧化以產生約  $420\ \text{nm}$  厚的二氧化矽層。於移除生長的熱氧化物之後，於轉移的層中之剩餘矽厚度可為約  $53\ \text{nm}$ 。於熱氧化期間，佈植的氫可朝表面遷移。因此，後續氧化物層剝除可移除一些損壞。並且，典型地於  $1000^\circ\text{C}$  或更高之溫度執行熱氧化。升高的溫度可能亦可修復晶格損壞。

**【0077】** 使用 HF 酸蝕刻可剝除於熱氧化期間形成於單晶層之頂部上的氧化矽層。藉由調整 HF 溶液之溫度及濃度以及氧化矽之化學計量及密度可調整藉由 HF 酸之氧化矽與

矽 ( $\text{SiO}_2 : \text{Si}$ ) 間的蝕刻選擇比。蝕刻選擇比意指一材料相對另一材料之蝕刻率。針對 ( $\text{SiO}_2 : \text{Si}$ )，HF 溶液之選擇比範圍可自約 10 : 1 至約 100 : 1。高蝕刻選擇比可自初始表面粗糙度使表面粗糙度降低類似因數。然而，所得的單晶層 122 之表面粗糙度仍可大於所欲者。舉例而言，於額外處理之前如由  $2 \mu\text{m} \times 2 \mu\text{m}$  原子力顯微鏡 (AFM) 掃描所確定的，塊體 Si (111) 表面可具有少於 0.1 nm 之均方根 (RMS) 表面粗糙度。於一些具體實施態樣中，針對 Si (111) 上之氮化鎵材料的磊晶生長，於  $30 \mu\text{m} \times 30 \mu\text{m}$  AFM 掃描面積上，所欲的表面粗糙度可為例如少於 1 nm、少於 0.5 nm，或少於 0.2 nm。

**【0078】** 若於熱氧化及氧化物層剝除之後單晶層 122 的表面粗糙度超過所欲的表面粗糙度，可執行額外的表面平滑化。有數種平滑化矽表面的方法。這些方法可包括氫退火、雷射修整、電漿平滑化，及接觸研磨 (如，CMP)。這些方法可涉及高深寬比表面峰值之優先攻擊。因此，相較於低深寬比特徵，可較快移除表面上之高深寬比特徵，因此造成較平滑的表面。

**【0079】** 應領會的是，第 5 圖中所說明的特定步驟提供根據本發明之一具體實施態樣之製造工程基板的特別方法。根據替代性具體實施態樣亦可執行其他次序步驟。舉例而言，本發明之替代性具體實施態樣可以不同順序執行以上概述的步驟。另外，於第 5 圖中所說明的個別步驟可包括可以適於個別步驟之各種次序執行的多重子步驟。另外，取

決於特別應用，可添加或移除額外的步驟。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0080】** 第6圖為說明根據本發明之另一具體實施態樣之製造工程基板之方法的簡化流程圖。方法包括步驟：藉由提供多晶陶瓷芯(610)；形成耦合至多晶陶瓷芯之至少一部分的接著層(612)來形成支撐結構。第一接著層可包括四乙氧基矽烷(TEOS)氧化物層。可形成第一接著層為單層的TEOS氧化物。方法亦包括步驟：形成耦合至第一接著層之導電層(614)。導電層可為聚矽層。可形成導電層為單層的聚矽。

**【0081】** 方法亦包括步驟：形成耦合至第一接著層之至少一部分之第二接著層(616)及形成阻障殼(618)。可形成第二接著層為單層的TEOS氧化物。可形成阻障殼為單層的氮化矽或是形成阻障殼之一系列子層。

**【0082】** 一旦藉由步驟610-618形成支撐結構，方法進一步包括步驟：將黏合層(如，氧化矽層)接合至支撐結構(620)及將單晶矽層或實質上單晶層接合至氧化矽層(622)。黏合層之接合可包括黏合材料的沉積接續以如本文中所述之平坦化加工製程。於以下描述的具體實施態樣中，將單晶層(如，單晶矽層)接合至黏合層利用層轉移製程，於其中自矽晶圓轉移單晶矽層。

**【0083】** 應領會的是，於第6圖中所說明的特定步驟提供根據本發明之另一具體實施態樣之製造工程基板的特別方法。根據替代性具體實施態樣亦可執行其他次序步驟。舉

例而言，本發明之替代性具體實施態樣可以不同順序執行以上概述的步驟。另外，於第6圖中所說明的個別步驟可包括可以適於個別步驟之各種次序執行的多重子步驟。另外，取決於特別應用，可添加或移除額外的步驟。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0084】** 第7圖為說明根據本發明之一具體實施態樣之用於RF及功率應用之磊晶/工程基板結構700的簡化示意截面圖。於一些LED應用中，工程基板結構提供使高品質GaN層之生長成為可能之生長基板及工程基板結構後續地經移除。然而，針對RF及功率裝置應用，工程基板結構形成成品裝置之部分及因此工程基板結構或工程基板結構之元件的電氣、熱，及其他性質對特別應用而言是重要的。

**【0085】** 參照第1圖，單晶層122可為使用佈植及剝蝕技術自矽予體晶圓分離的剝層單晶矽層。典型的植入物為氫及硼。針對功率及RF裝置應用，工程基板結構中之層及材料的電氣性質為重要的。舉例而言，一些裝置架構利用具有大於10<sup>3</sup>歐姆-公分之電阻的高度絕緣矽層來降低或消除通過基板及界面層的漏電。其他應用利用包括預定厚度(如，1 μm)之導電矽層的設計以將裝置之源極連接至其他元件。因此，於這些應用中，單晶矽層之尺寸及性質的控制為所欲的。在於層轉移期間使用佈植及剝蝕技術的設計中，例如氫或硼之殘餘佈植原子存在於矽層中，從而改變電氣性質。此外，使用例如佈植劑量(其可影響導電性)及

佈植深度(其可影響層厚度)之調整，可能難以控制薄矽層之厚度、導電性，及其他性質。

**【0086】** 根據本發明之具體實施態樣，利用工程基板結構上之矽磊晶術以達成適於特別裝置設計之用於單晶矽層的所欲性質。

**【0087】** 參照第7圖，磊晶/工程基板結構700包括形成於其上之工程基板結構710及磊晶單晶層720。於一些具體實施態樣中，磊晶單晶層720可為單晶矽層。工程基板結構710可類似於第1、3，及4圖中所說明的工程基板結構。典型地，於層轉移之後單晶層122(例如，單晶矽層)為大約 $0.5\ \mu\text{m}$ 。於一些製程中，可利用表面調節製程以降低單晶層122之厚度至約 $0.3\ \mu\text{m}$ 。針對製作可靠歐姆接點之用途，為增加單晶層122之厚度至約 $1\ \mu\text{m}$ ，例如使用磊晶製程以於由層轉移製程所形成的單晶層122上生長磊晶單晶層720。可使用各種各樣的磊晶生長製程以生長磊晶單晶層720，包括原子層沉積(ALD)、CVD、LPCVD、MBE，或類似者。磊晶單晶層720可包括，例如Si、SiC、藍寶石、GaN、AlN、SiGe、Ge、鑽石、 $\text{Ga}_2\text{O}_3$ ，和/或ZnO。磊晶單晶層720之厚度範圍可自約 $0.1\ \mu\text{m}$ 至約 $20\ \mu\text{m}$ ，例如介於 $0.1\ \mu\text{m}$ 與 $10\ \mu\text{m}$ 之間。

**【0088】** 第8A圖為說明根據本發明之一具體實施態樣之工程基板結構上之第III-V族磊晶層的簡化示意截面圖。第8A圖中所說明的結構可稱為雙磊晶結構800，如以下所描述的。如第8A圖中所說明的，工程基板結構810包括具有

第 III-V 族磊晶層 820 形成於其上之磊晶單晶層 720。於一具體實施態樣中，第 III-V 族磊晶層包含氮化鎵 (GaN)。為提供第 III-V 族磊晶層之部分間的電傳導性，其可包括多個子層，於此實例中，形成一組通孔 824 自第 III-V 族磊晶層 820 之頂表面 801 通過至磊晶單晶層 720 中。第 8A 圖顯示通孔 824 延伸穿過磊晶層 820 至磊晶單晶層 720。作為一實例，藉由提供穿過通孔 824 之歐姆接點，通孔可用以將二極體或電晶體之電極連接至下方層，從而卸載裝置中累積的電荷。於一些具體實施態樣中，一或更多通孔 824 可於其側壁上絕緣使得其不會電氣連接至第 III-V 族磊晶層 820。電接點可促進寄生電荷之移除，從而使得功率裝置之更快速切換成為可能。

**【0089】** 於一些具體實施態樣中，通孔 826 可延伸至單晶層 122。為解決製造通孔 826 以接觸單晶層 122 的困難，於單晶層 122 及單晶層 720 上可生長額外的導電磊晶層 822 以增加用於通孔 826 之目標導電層的大小，亦即，通孔於其中終止之層的厚度。因為工程基板結構 810 之獨特的 CTE 及擴散性質，可將磊晶單晶層 720 及第 III-V 族磊晶層 820 形成為較於習知基板上來得厚。因此，現有的基板技術無法支持足夠無缺陷之磊晶層的生長以於裝置中包括導電的磊晶層 822。於一些具體實施態樣中，導電的磊晶層 822 可為 AlN、AlGaIn、GaN 或充分地摻雜的半導體材料。於特別具體實施態樣中，導電的磊晶層 822 之厚度可為 0.1 - 10  $\mu\text{m}$ 。於其他具體實施態樣中，導電的磊晶層 822

之厚度可取決於半導體裝置需求而變化。於一些具體實施態樣中，可移除工程基板結構及單晶層 122，暴露磊晶單晶層 720 和或導電的磊晶層 822。於移除基板之後可在暴露的磊晶層上形成接點。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0090】** 於一些具體實施態樣中，第 III-V 族磊晶層可生長於單晶層 122 上。為於單晶層 122 中終止通孔，於橫跨整個晶圓之  $0.3\ \mu\text{m}$  的單晶層中可製造使用通孔之歐姆接點。利用本發明之具體實施態樣，能夠提供厚度為數微米之單晶層。使用佈植及剝離製程難以達到數微米的厚度，因大的佈植深度需要高佈植能量。進而，本文中所描述之厚的磊晶單晶層致能諸如所說明之通孔的應用，其使得各種各樣的裝置設計成為可能。

**【0091】** 除了藉由於單晶層 122 上磊晶地生長磊晶單晶層 720 來增加厚度「層」的厚度，可對單晶層 122 之原始性質進行其他調整，包括修飾導電性、結晶性，及類似者。舉例而言，若在第 III-V 族層或其他材料之額外的磊晶生長之前大約  $10\ \mu\text{m}$  之矽層為所欲的，根據本發明之具體實施態樣可生長此厚層。

**【0092】** 佈植製程可影響單晶層 122 之性質，例如殘餘硼/氫原子可造成影響矽晶體層之電氣性質的缺陷。於一些本發明之具體實施態樣中，在磊晶單晶層 720 之磊晶生長前可移除單晶層 122 的一部分。舉例而言，可薄化單晶矽層以形成厚度為  $0.1\ \mu\text{m}$  或更低之層，移除大部分或所有的殘

餘硼 / 氫原子。接著使用單晶矽層之後續生長以提供具有與使用層轉移製程所形成之層的相應性質實質上獨立之電氣和 / 或其他性質的單晶材料。

**【0093】** 除了增加耦合至工程基板結構之單晶矽材料的厚度，磊晶單晶層 720 之電氣性質，包括導電性，可不同於單晶層 122 之電氣性質。於生長期間之磊晶單晶層 720 的摻雜，藉由摻雜硼可產生 P 型矽，及藉由摻雜磷可產生 N 型矽。可生長未經摻雜的矽以提供用於具有絕緣區域之裝置中的高電阻矽。絕緣層可特別用於 RF 裝置中。

**【0094】** 於生長期間可調整磊晶單晶層 720 之晶格常數以由單晶層 122 之晶格常數變化來產生應變的磊晶材料。除了矽，可磊晶地生長其他元素以提供包括應變層之層，層包括矽鍺，或類似者。此外，可利用晶面之晶體方向，例如 (100) 矽上之 (111) 矽的生長，來引入應變。例如，可於單晶層 122 上、磊晶單晶層 720 上，或層間生長緩衝層以增進後續磊晶生長。這些緩衝層可包括第 III-V 族半導體材料層，諸如氮化鋁鎵、氮化銻鎵，及氮化銻鋁鎵、矽鍺應變層，及類似者。針對所欲材料性質，可調整第 III-V 族半導體材料層之應變。此外，可以莫耳分率、摻質、極性，或類似者來分級緩衝層及其他磊晶層。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0095】** 於一些具體實施態樣中，於後續磊晶層，包括第 III-V 族磊晶層，之生長期間可鬆弛存在於單晶層 122 或磊晶單晶層 720 中之應變。

【0096】 第 8 B 圖為說明根據本發明之一具體實施態樣之四雙磊晶結構的簡化示意平面視圖圖示。於第 8 B 圖中所說明的雙磊晶結構各包括一組通孔 8 2 4。第一雙磊晶結構 8 3 0 顯示緊密通孔構形。第二雙磊晶結構 8 4 0 顯示分散通孔構形。分散通孔構形於裝置之主動區域中使用通孔 8 2 4 更容易經歷電荷累積。第三雙磊晶結構 8 5 0 顯示圖案化的通孔構形。圖案化的通孔構形可橫越雙磊晶結構 8 5 0 使通孔 8 2 4 以等距分隔。第四雙磊晶結構 8 6 0 說明側向通孔 8 2 8。可製造側向通孔 8 2 8 以實質上平行於雙磊晶結構 8 6 0 之磊晶層行進並於例如邊緣 8 6 2 接觸單晶層 1 2 2。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

【0097】 如以上所描述的工程基板可提供其上之氮化鎵裝置層的磊晶生長，氮化鎵裝置層與工程基板實質上晶格匹配以及特性為熱膨脹係數 (CTE) 與工程基板的 CTE 實質上匹配。因此，工程基板可提供優異的熱穩定性及形狀控制。工程基板亦可致能具有再利用能力之晶圓直徑縮放。於無裂痕且特性為低缺陷密度與低磊晶後彎曲及應力之工程基板上可形成相對厚的 (如，大於 20  $\mu\text{m}$ ) 高品質磊晶氮化鎵層。可在單一平台上實施多重應用，諸如功率裝置、射頻 (RF) 裝置、單晶微波積體電路 (MMIC)、顯示器、發光二極體 (LED)，及類似者。此等工程基板亦可適於各種裝置架構，諸如側向裝置、垂直裝置、晶片尺寸封裝 (CSP) 裝置，及類似者。

【0098】 氮化鎵 (GaN) 及類似的寬能隙半導體材料提供優於矽之物理性質，其允許基於這些材料的功率半導體裝置耐受高電壓及溫度。這些性質亦允許較高的頻率響應、較大的電流密度及較快的切換。用於裝置及封裝級之較大功率密度的持續驅動產生較高溫度及橫越封裝之溫度梯度的後果。使用工程基板來形成 CTE 匹配的磊晶裝置層可減緩許多寬能隙裝置常見的熱相關失效機制，如以下所描述的。

【0099】 於受到驅動進入深飽和時，化合物半導體裝置，諸如基於氮化鎵 (GaN) 之高電子遷移率電晶體 (HEMT)，可經受高電場及高電流 (如，大信號 RF)。接點劣化、逆壓電效應、熱電子效應，及自加熱為一些常見的問題。舉例而言，針對大於約 300°C 之溫度，肖特基及歐姆接點可顯示接點阻抗增加及展現鈍化破裂。可發生閘極金屬堆疊內之相互擴散及鎵向外擴散至金屬層中。當於大電場中加速的電子獲得非常高動能時，可發生熱電子效應。熱電子效應可導致阱形成於氮化鋁鎵 (AlGaN) 層中、於 AlGaN/GaN 界面、於鈍化層/GaN 蓋層界面，及於緩衝層中。

【0100】 阱形成可進而引起電流崩塌及閘延遲，以及從而造成互導的可逆劣化及飽和汲極電流。即使汲極電壓或閘極電壓突然改變，觀察到緩慢電流暫態。當脈衝汲極-源極電壓時之汲極電流的緩慢暫態響應係稱為汲極延遲，或於閘極-源極電壓的情況中係稱為閘延遲。當脈衝內的電壓高於靜態偏壓點時，緩衝阱俘獲自由電荷。與脈衝長度相較，

此現象非常快速。當脈衝內的電壓低於靜態偏壓點時，阱釋放彼等的電荷。此過程可能非常緩慢，可能甚至在數秒內。因自由載體經俘獲及釋放，彼等不會立即貢獻至輸出電流。此現象係於電流暫態的起始。

**【0101】** 汲極延遲及閘延遲的組合效應導致電流崩塌(二維電子氣[2-DEG]密度降低)。當緩衝層中之深層受體的密度越高時，肇因於緩衝阱之閘延遲變得越顯著。當閘極上之高逆向偏壓導致晶體缺陷產生時，可發生逆壓電效應。超過特定臨界電壓，可發生對裝置之不可逆的損壞，其可通過缺陷提供漏電路徑。自加熱可發生於高功率應力下及可造成熱應力-應變。化合物半導體裝置亦可受到電場驅動劣化的困擾，電場驅動劣化為諸如閘極金屬化以及接點、表面，及界面的劣化。閘極劣化可導致漏電流增加及介電崩潰。

**【0102】** 高溫逆向偏壓(HTRB)測試為用於功率裝置之最常見的可靠度測試之一者。HTRB測試評估於高汲極-源極偏壓下之長期穩定性。HTRB測試意圖加速通過使用偏壓的操作條件而熱啟動的失效機制。於HTRB測試期間，裝置樣本於接近彼等的最大額定接合溫度之周圍溫度持續延長的時段(如，1,000小時)，於最大額定逆向崩潰電壓或稍低於最大額定逆向崩潰電壓受到應力。此測試根據阿瑞尼斯方程式(Arrhenius equation)之高溫加速失效機制，阿瑞尼斯方程式描述反應速率之溫度相依性。於HTRB

測試期間，可發生脫層、爆裂、裝置爆炸，及其他機械性問題。

**【0103】** 於諸如 GaN 功率裝置之寬能隙半導體裝置的閘極介電質中亦觀察到類似於時依性介電崩潰 (TDDB) 之失效機制，TDDB 為 MOSFET 中常見的失效機制。當因長期應用相對低電場使閘極介電質崩潰時 (相對於由強電場引起的立即崩潰)，發生 TDDB。此外，於溫度循環 (TMCL) 期間之失效可能關於封裝應力、黏合墊金屬化、模化合物、濕度敏感度，及其他封裝級問題。

**【0104】** 如以上論述的，工程基板可具有與生長於其上之磊晶 GaN 裝置層之一或多者匹配的 CTE。磊晶 GaN 裝置層亦可與工程基板晶格匹配。因此，磊晶 GaN 裝置層可具有較低缺陷密度及較高品質。藉由磊晶生長可形成相對厚的漂移區。並且，由工程基板可製作大直徑晶圓，從而降低製造成本。工程基板可改善裝置可靠度。舉例而言，具有與磊晶 GaN 裝置之 CTE 匹配的 CTE 可有助於減輕熱應力，其為裝置可靠度之關鍵因子。有關熱應力之裝置失效可包括熱啟動的汲極-源極崩潰、衝穿效應、沿通道崩潰，及穿過緩衝層崩潰。亦可降低自加熱。此外，具低缺陷密度之高品質磊晶 GaN 層可有助於改善裝置可靠度，因為一些缺陷可能為電壓應力啟動及可貢獻至側向及垂直漏電。高品質磊晶 GaN 層亦可解決諸如可影響場分佈及錯位密度之本地化非化學計量區域的問題。

**【0105】** 傳統之基於矽的MOSFET技術接近表現及切換速度及的物理限制。側向基於Ga<sub>N</sub>之高電子遷移率電晶體(HEMT)提供超越中至低功率系統中之基於矽之MOSFET領域的機會，中至低功率系統為諸如太陽能逆變器、小型電源供應器(PFC)、切換模式電源供應器(SMPS)、馬達驅動、RF功率放大器、固態照明(SSL)、智能電網，及汽車馬達驅動系統。於許多優點中，側向基於Ga<sub>N</sub>之HEMT可提供高效率、高頻率操作，及低切換及傳導損失。

**【0106】** 本發明之一些具體實施態樣使用由工程基板所提供之機械及電氣性質以整合不同裝置類型，諸如側向基於Ga<sub>N</sub>之功率裝置及光電裝置，至單基板上。第9圖為工程基板900上所製造之複數個裝置的簡化平面視圖。以上描述之工程基板之獨特的性質促進無法於其他基板上組合之裝置的整合。工程基板提供具良好熱傳導性且於其上可生長高品質厚Ga<sub>N</sub>之絕緣基板。舉例而言，工程基板900可包括具複數個裝置之積體電路，各裝置為不同類型。第一裝置902可為側向增強型(通常為OFF)高電子遷移率電晶體(HEMT)。第二裝置904可為側向空乏型(通常為ON)HEMT。第三裝置906可為垂直增強型HEMT及第四裝置908可為垂直空乏型HEMT。

**【0107】** 裝置類型不受限於本文中提供的實例。於工程基板900上可形成增強型(EM)裝置及空乏型(DM)裝置之任何組合。儘管大多數積體電路之首選為側向裝置，使用工

程基板 900 之本文中所描述的具體實施態樣可組合 EM 或 DM 側向裝置及 EM 或 DM 垂直裝置。除了側向尺寸的差異，於基板 900 上之相鄰裝置之半導體結構及建構可不相同。針對個別裝置，可使用結構及建構來控制操作電壓及電流差異。除了個別裝置性質，本文中所描述的製程可提供個別裝置間之電隔離。因此，工程基板 900 提供於其上裝置可隔離之表面。於一些具體實施態樣中，於工程基板上可製造複數個裝置使得於複數個裝置間沒有電傳導穿過基板。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0108】** 第 10A 圖為說明根據本發明之另一具體實施態樣之於工程基板 1010 上形成之複數個裝置的簡化示意截面圖。複數個裝置包括根據使裝置用作空乏型（通常為 ON）HEMT 之製造流程所製造之第一裝置 1004 及根據於第二通道區域 1044 中包括凹部 1042 之製造流程所製造之第二裝置 1006。於第二通道區域 1044 中之凹部 1042 使第二裝置 1006 用作增強型（通常為 OFF）HEMT。根據針對複數個裝置中每一者之獨特的裝置需求組，於工程基板 1010 上可形成複數個裝置。於一些具體實施態樣中，如以上參照第 1、3，及 4 圖所描述的，工程基板 1010 可包括多晶陶瓷芯 1008、耦合至多晶陶瓷芯 1008 之第一接著層、耦合至第一接著層之阻障層、耦合至阻障層之黏合層，及耦合至黏合層之實質上單晶層。於一些具體實施態樣中，可形成接著、黏合，及阻障層為包圍多晶陶瓷芯 1008 之殼。

**【0109】** 雖然第 10A 圖說明第一裝置 1004 為空乏型 (通常為 ON) HEMT 及第二裝置 1006 為增強型 (通常為 OFF) HEMT，根據各種具體實施態樣，第一裝置 1004 及第二裝置 1006 可均為空乏型 (通常為 ON) HEMT，或均為增強型 (通常為 OFF) HEMT。

**【0110】** 根據一具體實施態樣，工程基板 1010 可進一步包括耦合至黏合層之實質上單晶層 1012。舉例而言，實質上單晶層 1012 可包含實質上單層結晶矽。於一些具體實施態樣中，工程基板 1010 可進一步包括耦合至實質上單晶層 1012 之成核層 1014，用於促進包括實質上單晶之基於 GaN 之材料之磊晶裝置層的形成。於一些具體實施態樣中，成核層 1014 經摻雜的程度可等於、小於，或大於圍繞的層。於其他具體實施態樣中，可以預定組分來設計及實施成核層之組分。

**【0111】** 於另一具體實施態樣中，工程基板 1010 之多晶陶瓷芯 1008 包含氮化鋁。於一些具體實施態樣中，如以上參照第 1 圖所論述的，工程基板 1010 可進一步包括耦合至第一接著層之導電層，及耦合至導電層之第二接著層，其中導電層及第二接著層設置於第一接著層與阻障層之間。於一些具體實施態樣中，第一接著層可包含第一四乙氧基矽烷 (TEOS) 氧化物層，及第二接著層可包含第二 TEOS 氧化物層。阻障層可包含氮化矽層。導電層可包含聚矽層。

**【0112】** 根據一具體實施態樣，複數個裝置 1000 進一步包括耦合至成核層 1014 及實質上單晶層 1012 之緩衝層

1020 (如，氮化鎵 (GaN) 緩衝層)。藉由磊晶生長於成核層 1014 或實質上單晶層 1012 上可形成緩衝層 1020。根據一具體實施態樣，緩衝層 1020 可具有大於約 20  $\mu\text{m}$  之厚度。於一些具體實施態樣中，可實施緩衝層 1020 為氮化鋁鎵 (即， $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ) 緩衝層或 GaN 及 AlGaN 層的組合，例如單一材料的多層或不同材料的多層。應注意到的是，於一些具體實施態樣中，可以  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  層取代論述作為 GaN 層之層。作為一實例，可以具有第一組莫耳分率之  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  取代緩衝層 1020 及阻障層 1032 可為具有第二組莫耳分率之  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0113】** 藉由製造自工程基板延伸具有第一預定莫耳分率 (x) 及接近源極、閘極，及汲極接點具有第二預定莫耳分率 (x) 之  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  緩衝層，使用  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  緩衝層之功率裝置可引入通道區域 1030。第一預定莫耳分率 (x) 可為低的，例如低於 10%，以提供所欲的載體拘限。於其他具體實施態樣中，鋁莫耳分率 (x) 的範圍自 10% 至 30%。可以鐵或碳摻雜  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  磊晶層以進一步增加磊晶層之電阻，其用作絕緣或阻擋層。有關用於磊晶緩衝層之材料及磊晶緩衝層之製造的額外描述係提供於美國臨時專利申請案第 62/447,857 號中，針對所有目的以引用之形式將其揭示內容全部併入本文。

**【0114】** 較厚的緩衝層 1020 可提供複數個裝置 1000 較低的漏電流及較高的崩潰電壓。於一些具體實施態樣中，緩

衝層 1020 可包括複數個層。舉例而言，緩衝層 1020 可包含氮化鋁層、氮化鋁鎵，及氮化鎵層。於一些具體實施態樣中，緩衝層 1020 可包括多達 150 層之超晶格，各層具有約 2 - 3 nm 之厚度。超晶格為藉由週期性磊晶生長所製造之人工晶格。藉由生長於彼此頂上之兩種半導體之交替的層來體現週期性超晶格，每次生長各半導體至相同厚度及莫耳分率。根據一些本發明之一些具體實施態樣，使用超晶格而非其他緩衝層設計的優點在於，藉由生長例如 AlGa<sub>x</sub>N / GaN 超晶格層於通道區域之上，超晶格可降低片電阻及可降低於異質界面之位能障高度。於其他具體實施態樣中，超晶格不會降低於異質界面之位能障高度。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0115】** 根據一具體實施態樣，複數個裝置 1000 進一步包括針對各裝置之通道區域。藉由於緩衝層 1020 上形成一或更多第 III-V 族磊晶層可製造針對各裝置之通道區域。第一裝置 1004 包括，相關於第一裝置 1004 及緩衝層 1020，對應於接近一或更多第 III-V 族磊晶層之界面的區域之第一通道區域 1030。第一通道區域 1030 具有第一端 1024、第二端 1026，及設置於第一端 1024 與第二端 1026 間之中央部分 1028。第一通道區域 1030 之中央部分可包括通道區域阻障層。於一些具體實施態樣中，通道區域阻障層可為耦合至緩衝層 1020 之阻障層 1032（如，氮化鋁鎵 (Al<sub>x</sub>Ga<sub>1-x</sub>N) 阻障層），及耦合至阻障層 1032 之蓋層

1034 (如, 氮化鎵蓋層)。蓋層1034有助於減少通過肖特基接點之逆向漏電及降低峰值電場。於處理期間蓋層1034亦保護阻障層1032及防止氮除氣。此外, 蓋層1034對裝置表現亦具有正向影響, 諸如增加的增益、增加的功率附加效率, 及改善的DC穩定性。

**【0116】** 第一裝置1004進一步包括設置於第一通道區域1030之第一端的源極接點1040、設置於第一通道區域1030之第二端的汲極接點1050, 及耦合至蓋層1034且設置於通道區域1030之中央部分中的閘極接點1060。於一些具體實施態樣中, 通孔1002可將源極接點1040連接至單晶層1012或導電層以移除功率裝置中之寄生電荷。相較於矽上GaN, 其可利用穿過導電矽基板之背面接點, 利用絕緣工程基板之本發明之具體實施態樣可利用諸如通孔1002之通孔以提供至單晶層1012之電性連接。根據本發明之具體實施態樣, 藉由磊晶生長形成阻障層1032及蓋層1034。如第10A圖中所說明的, 於操作中, 薄二維電子氣(2DEG)層1036可形成於緩衝層1020中於緩衝層1020與阻障層1032間之界面。於此薄2DEG層1036中之電子可快速移動而不會碰撞任何雜質, 因為緩衝層1020為未經摻雜的。此可給予通道1038非常低的電阻, 換言之, 非常高的電子遷移率。

**【0117】** 於一些具體實施態樣中, 第一裝置1004可進一步包括覆蓋蓋層1034之鈍化層1070。鈍化層1070可包含氮化矽或其他絕緣材料。第一裝置1004亦可包括電氣連接至

源極接點 1040 之第一場板金屬 1080 以形成源極電極以及設置於汲極接點 1050 上之第二金屬 1090 以形成汲極電極。

**【0118】** 複數個裝置 1000 進一步包括第二裝置 1006。第二裝置可與第一裝置 1004 共享一或更多第 III-V 族磊晶層，諸如阻障層 1032。第二裝置可使用第二通道區域 1044 中之凹部 1042 以用作為增強型 (通常為 OFF) HEMT。第二裝置 1006 可形成於與第一裝置 1004 相同之工程基板 1010 上。根據一具體實施態樣，第二裝置 1006 可形成於與第一裝置 1004 相同之緩衝層 1020 上。

**【0119】** 第二裝置 1006 包括，相關於第二裝置 1006 及緩衝層 1020，對應於接近一或更多第 III-V 族磊晶層之界面的區域之第二通道 1044。通道區域 1044 具有第一端 1046、第二端 1048，及設置於第一端 1046 與第二端 1048 間之中央部分 1052。通道區域 1044 之中央部分 1052 可包括磊晶通道區域阻障層。於一些具體實施態樣中，磊晶通道區域阻障層可為耦合至緩衝層 1020 之阻障層 1032 (如，氮化鋁鎵 ( $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ) 阻障層)。根據本發明之具體實施態樣，藉由磊晶生長來形成阻障層 1032。阻障層 1032 包括於通道區域 1052 之中央部分中的凹部 1042。藉由使用蝕刻或其他合適的技術移除阻障層 1032 之一部分可形成凹部。第二裝置 1006 進一步包括設置於凹部中且耦合至阻障層 1032 之絕緣層 1062。

**【0120】** 第二裝置1006進一步包括設置於通道區域1044之第一端的源極接點1054、設置於通道區域1044之第二端的汲極接點1056，及耦合至絕緣層1062且設置於通道區域1044之中央部分中的閘極接點1058。於各種具體實施態樣中，閘極接點1058可耦合至多層磊晶閘極結構。替代移除阻障層之一部分，於阻障層上可形成磊晶閘極結構以形成通常為OFFHEMT。於一些具體實施態樣中，可使用通孔1064來將源極接點1054連接至單晶層1012以移除第二裝置1006中之寄生電荷。

**【0121】** 如於第10A圖中所說明的，相關於第二裝置1006相鄰阻障層1032可形成薄2DEG層1066於緩衝層1020中。於此薄2DEG層1066中的電子可快速移動而不會碰撞任何雜質，因為緩衝層1020為未經摻雜的。此給予第二通道區域1044非常低的電阻，換言之，非常高的電子遷移率。於空乏型(通常為OFF)中，當閘極電壓為零時，凹部1042及絕緣層1062阻擋2DEG層的一部分。有關磊晶緩衝層及磊晶閘極結構之材料及製造的額外描述係提供於美國專利申請案第15/684,724號中，針對所有目的以引用之形式將其揭示內容全部併入本文。

**【0122】** 藉由非導電的緩衝層可隔絕複數個裝置1000。於一些具體實施態樣中，藉由於緩衝層1020之一部分中形成凹部1068可進一步隔絕複數個裝置1000。藉由移除設置於裝置間之緩衝層1020的一部分可形成凹部1068。藉由使用蝕刻或其他合適的技術來移除緩衝層1020的一部分

可形成凹部。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0123】** 第10B圖為說明根據本發明之另一具體實施態樣之可形成於工程基板上之複數個第III-V族磊晶層的簡化示意截面圖。於一些具體實施態樣中，可形成複數個第III-V族磊晶層於工程基板1010上。舉例而言，可形成背接點層1015於工程基板1010。可形成緩衝層1020於背接點層1015上。可形成通道層1021於緩衝層1020上。可形成通道層1021，例如藉由製造自工程基板1010和/或背接點層1015延伸具第一預定莫耳分率(x)以及第二預定莫耳分率(x)之 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 緩衝層1020來形成通道層1021。接下來，可形成P型GaN層，或p-GaN層1023於通道層1021上。可形成第二緩衝層1025於p-GaN層1023上。可形成第二通道層1027於第二緩衝層1025上。第一緩衝層1020及第二緩衝層1025之厚度可基於，或相關於由第III-V族磊晶層所形成之一或更多裝置的電壓額定。於一些具體實施態樣中，厚度範圍可自 $1\ \mu\text{m}$ 至 $15\ \mu\text{m}$ 。於一些具體實施態樣中，可形成AlGaN閘極層1029於第二通道層1027上。

**【0124】** 第10C圖為說明根據本發明之另一具體實施態樣之形成於工程基板上之複數個裝置的簡化示意截面圖。於一些具體實施態樣中，使用一或更多種CMOS相容處理技術可選擇性地移除第10B圖中所說明之第III-V族磊晶層的部分以於工程基板上形成複數個裝置，例如HEMT裝置

及側向接合閘極場效電晶體(LJFET)。舉例而言，可移除AlGa<sub>N</sub>閘極層1029的部分以暴露第二通道層1027的部分並形成用於HEMT裝置之第一閘極1047。可形成第一HEMT閘極接點1033於第一閘極1047上。可形成第一HEMT汲極接點1035及第一HEMT源極接點1031於第二通道層1027之暴露的部分上。

**【0125】** 於一些具體實施態樣中，可移除第二緩衝層1025之一或更多部分以暴露p-GaN層1023。可形成HEMT背接點1037於p-GaN層1023之第一暴露的部分上及可形成第二LJFET閘極接點1041於p-GaN層1023之第二暴露的部分上。可移除p-GaN層1023之一或更多部分以形成通道層1021之一或更多暴露的部分。可形成第二LJFET源極接點1039及第一LJFET汲極接點1043於通道層1021之一或更多暴露的部分上。可移除通道層1021及緩衝層1020之一或更多部分以暴露背接點層1015之一或更多部分。可形成HEMT背接點1045於背接點層1015之一或更多暴露的部分上。應領會的是，第10B及10C圖中所說明之特定層及裝置提供根據本發明之一具體實施態樣之形成於工程基板上之整合裝置的特別配置。根據替代性具體實施態樣，亦可於其上形成其他層、裝置，或接點。另外，第10B及10C圖中所說明的個別裝置、層，及組件可包括可以適於個別裝置於各種配置中製造的多個子層。另外，取決於特別應用，可添加額外的裝置、層，或組件或

可移除現有的層或組件。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0126】** 第11圖為說明根據本發明之一具體實施態樣之於工程基板上製造複數個裝置之方法1100的簡化流程圖。根據一具體實施態樣，方法1100包括步驟：於1110，藉由提供多晶陶瓷芯；以第一接著殼包封多晶陶瓷芯；以阻障層包封第一接著殼；於阻障層上形成黏合層；及將實質上單晶層接合至黏合層來形成基板。

**【0127】** 方法1100進一步包括步驟：於1112，於基板上形成緩衝層(如，Ga<sub>2</sub>N緩衝層)，及於1114，根據相關於複數個裝置之需求，於緩衝層上形成一或更多第III-V族磊晶層。於一些具體實施態樣中，形成一或更多第III-V族磊晶層可包括步驟：藉由於緩衝層上形成磊晶第III-V族阻障層(如，Al<sub>x</sub>Ga<sub>1-x</sub>N阻障層)及於阻障層上形成磊晶蓋層(如，氮化鎵蓋層)來在緩衝層上形成通道區域。通道區域具有第一端及第二端，及第一端與第二端間之中央部分。

**【0128】** 方法1100進一步包括步驟：於1116，藉由移除設置於複數個裝置間之一或更多第III-V族磊晶層的一部分及移除設置於複數個裝置間之緩衝層的一部分來在基板上形成複數個裝置。一或更多第III-V族磊晶層可包括主動層。使用諸如化學蝕刻或電漿蝕刻之技術可蝕刻主動層及緩衝層。可移除主動層及緩衝層至特定深度。於一些具體實施態樣中，深度取決於裝置需求。

**【0129】** 於一些具體實施態樣中，形成複數個裝置可包括步驟：形成複數個源極接點，各源極接點於相關於複數個裝置之一或更多裝置之通道區域的第一端；形成複數個汲極接點，各汲極接點於相關於複數個裝置之一或更多裝置之通道區域的第二端；及形成通道區域之閘極接點中央部分，各閘極接點相關於複數個裝置之一或更多裝置。於一些具體實施態樣中，可形成閘極接點於蓋層和/或磊晶閘極結構上。

**【0130】** 於一些具體實施態樣中，於基板上形成複數個裝置可進一步包括步驟：藉由各種方法來平坦化複數個裝置。方法包括，例如沉積介電材料及執行化學機械平坦化加工(CMP)。於各種具體實施態樣中，使用裝置互連可整體地整合不同裝置類型於相同工程基板上。於一些具體實施態樣中，可使用切割道蝕刻(street etching)以進一步隔離第一組整合裝置與第二組整合裝置。不同裝置類型之整合之後，可形成導電墊於整合裝置上及可封裝整合裝置以用作積體電路。

**【0131】** 應領會的是，第11圖中所說明的特定步驟提供根據本發明之另一具體實施態樣之於工程基板上製造複數個裝置之特別方法。根據替代性具體實施態樣亦可執行其他次序步驟。舉例而言，本發明之替代性具體實施態樣可以不同順序執行以上概述的步驟。另外，於第11圖中所說明的個別步驟可包括可以適於個別步驟之各種次序執行的多重子步驟。另外，取決於特別應用，可添加或移除額外的

步驟。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0132】** 第 12 圖為說明根據本發明之另一具體實施態樣之形成於工程基板 1210 上之複數個裝置 1200 的簡化示意截面圖。複數個裝置包括於工程基板 1210 製造之第一裝置 1204、導電層 1248，及緩衝層 1220。於一些具體實施態樣中，導電層 1248 耦合至工程基板 1210 及緩衝層 1220。第一裝置 1204 類似於第 10A 圖中所說明之第一裝置 1004。於一些具體實施態樣中，使用與第一裝置 1204 相同之工程基板 1210、導電層 1248 及緩衝層 1220 可製造第二裝置 1206。

**【0133】** 於一些具體實施態樣中，如以上參照第 1、3，及 4 圖所描述的，工程基板 1210 可包括多晶陶瓷芯 1208、耦合至多晶陶瓷芯 1208 之第一接著層、耦合至第一接著層之阻障層、耦合至阻障層之黏合層，及耦合至黏合層之實質上單晶層。根據一具體實施態樣，工程基板 1210 可進一步包括耦合至黏合層之實質上單晶層 1212。舉例而言，實質上單晶層 1212 可包含實質上單結晶矽。於一些具體實施態樣中，工程基板 1210 可進一步包括耦合至實質上單晶層 1212 之成核層(未顯示)供促進磊晶裝置層之形成。於各種具體實施態樣中，多晶陶瓷芯 1208 包含以上參照第 1、3、4，及 10 圖所描述的材料。

**【0134】** 根據一具體實施態樣，使用耦合至導電層 1248 之緩衝層 1220 可製造第二裝置 1206。導電層 1248 進一步耦

合至實質上單晶層 1 2 1 2。於一些具體實施態樣中，緩衝層 1 2 2 0 可為包括複數個層之超晶格。舉例而言，緩衝層 1 2 2 0 可包括耦合至單晶矽層之氮化鋁層、耦合至氮化鋁層之氮化鋁鎵層，及耦合至氮化鋁鎵層之氮化鎵層。第二裝置 1 2 0 6 可包括耦合至緩衝層 1 2 2 0 之半絕緣層(未圖示)。於一個具體實施態樣中，半絕緣層包含氮化鎵。

**【0135】** 根據一些具體實施態樣，緩衝層 1 2 2 0 可為導電的。於各種具體實施態樣中，可摻雜緩衝層 1 2 2 0 至預定濃度。第二裝置 1 2 0 6 包括耦合至導電層 1 2 4 8 之緩衝層 1 2 2 0 作為第一 N 型氮化鎵層、耦合至第一 N 型氮化鎵層(緩衝層 1 2 2 0)之第二 N 型氮化鎵層 1 2 4 4，及耦合至第二 N 型氮化鎵層 1 2 4 4 之 P 型氮化鎵層 1 2 4 6。緩衝層 1 2 2 0 可用作 P - N 二極體之 N 區域並且可具有相對高的 N 型摻雜濃度。第二 N 型氮化鎵層 1 2 4 4 可用作漂移區並且與第一 N 型氮化鎵層(緩衝層 1 2 2 0)的摻雜濃度相較可具有相對低的摻雜濃度。P 型氮化鎵層 1 2 4 6 可用作 P - N 二極體之 P 區域並且可具有相對高的 P 型摻雜濃度。

**【0136】** 於一個具體實施態樣中，移除第二 N 型氮化鎵層 1 2 4 4 的一部分及 P 型氮化鎵層 1 2 4 6 和第一 N 型氮化鎵層(緩衝層 1 2 2 0)的一部分以暴露導電層 1 2 4 8 的一部分使得陰極接點 1 2 7 0 可形成於其上。於其他具體實施態樣中，可形成陰極接點於第一 N 型氮化鎵層(緩衝層 1 2 2 0)上。於一些具體實施態樣中，陰極接點 1 2 7 0 可包含鈦鋁(Ti/Al)合金或其他合適的金屬材料。藉由蝕刻或其他合適的技術可

移除第一 N 型氮化鎵層 (緩衝層 1220) 的部分、第二 N 型氮化鎵層 1244 的部分，及 P 型氮化鎵層 1246 的部分。形成陽極接點 1260 於導電層 1248 之剩餘部分上。於一些具體實施態樣中，陽極 1260 可包含鎳鉑 (Ni/Pt) 合金、鎳金 (Ni/Au) 合金，或類似者。第二裝置 1206 可進一步包括耦合至陽極接點 1260 之第一場板 1282，及耦合至陰極接點 1270 之第二場板 1284。於一些具體實施態樣中，第二裝置 1206 可進一步包括覆蓋 P 型氮化鎵層 1246 和第一 N 型氮化鎵層 (緩衝層 1220)，及第二 N 型氮化鎵層 1244 之暴露的表面的鈍化層 1070。鈍化層 1290 可包含氮化矽或其他絕緣材料。於一些其他具體實施態樣中，可形成第二裝置 1206 為肖特基二極體。

**【0137】** 於一些具體實施態樣中，第二 N 型氮化鎵層 1244 可具有大於約 20  $\mu\text{m}$  之厚度。工程基板 1210 之獨特的 CTE 匹配性質提供能夠用以沉積相對厚漂移區且具低錯位密度之基板。這些性質可提供第二裝置 1206 低漏電流與高許多的崩潰電壓，以及許多其他優點。

**【0138】** 藉由深蝕 (deep etch)，第一裝置 1204 與第二裝置 1206 電性隔離。一或更多層 1268 之深蝕可移除緩衝層 1220、導電層 1248，及實質上單晶層 1212 以暴露工程基板 1210 之多晶陶瓷芯 1208。個別裝置需求或積體電路之特定應用可決定要製造第 10A 圖中所說明的凹部 1068 或第 12 圖中所說明之一或更多層 1268 的深蝕。一或更多經蝕刻層 1268 之深蝕可促進側向裝置結構之製造，諸如相鄰緩

衝層 1220 之陰極接點 1270。再者，一或更多經蝕刻層 1268 之移除可促進如所需之至裝置背面之連接的製造。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0139】** 第 13 圖為說明根據本發明之一具體實施態樣之於工程基板上製造複數個裝置之方法 1300 的簡化流程圖。方法 1300 包括步驟：於 1310，藉由提供多晶陶瓷芯；以接著殼包封多晶陶瓷芯；以阻障層包封接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成基板。

**【0140】** 方法 1300 進一步包括步驟：於 1312，於單晶矽層上形成導電層；及於 1314，於導電層上形成緩衝層。於一些具體實施態樣中，緩衝層可為導電的以及導電層可為包含複數個磊晶層之較厚緩衝層之適當地摻雜的磊晶層之子集。方法 1300 進一步包括步驟：於 1316，根據針對複數個裝置之需求，於緩衝層上形成一或更多第 III-V 族磊晶層。

**【0141】** 根據一些具體實施態樣，方法 1300 進一步包括步驟：於 1318，使用下列步驟來形成複數個裝置：於 1320，移除設置於複數個裝置間之一或更多第 III-V 族磊晶層的一部分及緩衝層的一部分以暴露導電層的一部分；於 1322，形成耦合至導電層之暴露的部分之一部分的接點；及於 1324，於磊晶 P 型氮化鎵層之剩餘部分上形成陽極接點；及於 1326，移除導電層未耦合至接點之剩餘暴露的部

分。使用諸如蝕刻及CMP之技術可移除第III-V族磊晶層、緩衝層，及導電層的部分。於一些具體實施態樣中，可移除第1圖中所描述之基板的層至到達多晶陶瓷芯的深度。

**【0142】** 於一些具體實施態樣中，可移除基板的部分以形成至複數個裝置之一或多者之一或更多背面接點。藉由各種方法可平坦化複數個裝置，方法包括使用環氧樹脂或光可硬化聚合物填充間隙。於形成背面接點及平坦化加工之後，可製造不同類型裝置間的互連。於各種具體實施態樣中，使用裝置互連可整體地整合不同裝置類型於相同工程基板上。於一些具體實施態樣中，可使用切割道蝕刻來進一步隔離第一組整合裝置與第二組整合裝置。不同裝置類型之整合之後，可形成導電墊於整合裝置上及可封裝整合裝置以用作積體電路。

**【0143】** 應領會的是，第13圖中所說明的特定步驟提供根據本發明之另一具體實施態樣之於工程基板上製造複數個裝置之特別方法。根據替代性具體實施態樣亦可執行其他次序步驟。舉例而言，本發明之替代性具體實施態樣可以不同順序執行以上概述的步驟。另外，於第13圖中所說明的個別步驟可包括可以適於個別步驟之各種次序執行的多重子步驟。另外，取決於特別應用，可添加或移除額外的步驟。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

【0144】 第 14 A 圖為說明根據本發明之另一具體實施態樣之經組態以製造具有不同緩衝層磊晶結構之複數個裝置之基板的簡化示意截面圖。第 14 A 圖說明具有經組態以生長第一緩衝層 1406 及第一裝置結構 1408 之掩模 1404 的工程基板 1402。第 14 B 圖顯示形成第一緩衝層 1406、第一裝置結構 1408 及第二掩模 1420 之後的工程基板 1402。形成於工程基板 1402 上之第二掩模 1420 覆蓋第一緩衝層 1406 及第一裝置結構 1408。第二掩模 1420 包括窗以生長第二緩衝層 1410 及第二裝置結構 1412。於一些具體實施態樣中，第二緩衝層 1410 及第二裝置結構 1412 可包括與第一緩衝層 1406 及第一裝置結構 1408 不同的磊晶層及結構。第 14 C 圖顯示形成第二緩衝層 1410、第二裝置結構 1412，及第三掩模 1424 之後的工程基板 1402。第三掩模 1424 包括較大的窗以生長第三緩衝層 1414 及第三裝置結構 1416。於一些具體實施態樣中，窗可較大以促進於第三緩衝層 1414 之基底以導電層形成電接點。第 14 D 圖顯示於形成第三緩衝層 1414 及第三裝置結構 1416 之後的工程基板 1402。基於特定積體電路之需求，於工程基板 1402 上可形成任何數目的緩衝層及裝置類型。

【0145】 一旦形成緩衝層及裝置，藉由各種方法可平坦化裝置，方法諸如為如需求的使用使用環氧樹脂或光可硬化聚合物來填充裝置間之間隙及執行形成 CMP。於平坦化加工之後，可製造裝置互連以及切割道蝕刻可進一步隔離工程基板 1402 上之積體電路。於製造裝置互連之後，可形成

導電墊及可完成封裝。應領會的是，第 14 A - 14 D 圖中所說明的特定步驟提供根據本發明之一具體實施態樣之於相同基板上製造具有不同磊晶結構之多個島狀區的特別方法。根據替代性具體實施態樣亦可執行其他次序步驟。另外，於第 14 A - 14 D 圖中所說明的個別步驟可包括可以適於個別步驟之各種次序執行的多重子步驟。另外，取決於特別應用，可添加或移除額外的步驟。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0146】** 第 15 圖為說明根據本發明之另一具體實施態樣之於單基板上製造具有不同緩衝層磊晶結構之複數個裝置之方法 1500 的簡化流程圖。方法 1500 包括步驟：於 1510，藉由提供多晶陶瓷芯；以第一接著殼包封多晶陶瓷芯；以阻障層包封第一接著殼；於阻障層上形成黏合層；及形成耦合至黏合層之實質上單晶層來形成基板。

**【0147】** 方法 1500 進一步包括步驟：於 1512 形成第一掩模，此第一掩模具有實質上單晶層之第一暴露的部分，及於 1514，相關於第一暴露的部分上之第一裝置結構形成第一緩衝層。方法 1500 進一步包括步驟：於 1516，移除第一掩模；於 1518 形成第二掩模，此第二掩模具有實質上單晶層之第二暴露的部分；及於 1520，相關於第二暴露的部分上之第二裝置結構形成第二緩衝層。根據一些具體實施態樣，第一緩衝層可為具第一摻雜濃度之 N 型氮化鎵層。取決於裝置需求，第二緩衝層可為具與第一摻雜濃度不同之第二摻雜濃度的第二磊晶 N 型氮化鎵層。

【0148】 根據一些具體實施態樣，方法 1500 進一步包括步驟：於 1522，於第一緩衝層及第二緩衝層上形成一或更多第 III-V 族磊晶層，其中根據複數個裝置之需求來形成一或更多第 III-V 族磊晶層。方法進一步包括步驟：於 1524，於複數個裝置間進行蝕刻。一旦形成緩衝層及裝置，藉由各種方法平坦化裝置，方法為諸如依所需的使用環氧樹脂或光可硬化聚合物來填充裝置間之間隙及執行執行 CMP。於平坦化加工之後，可製造裝置互連及切割道蝕刻可進一步隔離工程基板 1402 上之積體電路。於製造裝置互連之後，可形成導電墊及可完成封裝。

【0149】 應領會的是，第 15 圖中所說明的特定步驟提供根據本發明之一具體實施態樣之於工程基板上製造具有不同緩衝層磊晶結構之複數個裝置的特別方法。根據替代性具體實施態樣亦可執行其他次序步驟。舉例而言，本發明之替代性具體實施態樣可以不同順序執行以上概述的步驟。另外，於第 15 圖中所說明的個別步驟可包括可以適於個別步驟之各種次序執行的多重子步驟。另外，取決於特別應用，可添加或移除額外的步驟。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

【0150】 可使用基板之磊晶生長及選擇性蝕刻來形成特別積體電路及其包括的裝置。於一些具體實施態樣中，裝置特殊化方案包括增強型裝置及空乏型裝置對。若生長緩衝層之磊晶層以製造增強型裝置，可使用添加法 (additive process) 或減去法 (subtractive process) 而使用相同

基板及緩衝層來形成空乏型裝置。若選擇添加法，藉由使用選擇性磊晶術於緩衝層上沉積例如 AlN 之磊晶材料可製造空乏型裝置。若選擇減去法，可使用 p - GaN 蝕刻來形成空乏型裝置。

**【0151】** 於其他具體實施態樣中，生長緩衝層之磊晶層以製造空乏型裝置。於這些具體實施態樣中，使用添加法或減去法可製造增強型裝置。藉由減去性閘極凹部蝕刻或藉由例如 p - GaN 閘極之 p - GaN 之添加性原子層沉積 (ALD) 可製造增強型裝置。

**【0152】** 於一些具體實施態樣中，使用工程基板可製造不同的垂直裝置。第 16 A 圖說明於工程基板 1602 上製造之三個裝置。可將複數個裝置中每一者之第一表面 1650 黏合至臨時載體 1654 之前表面 1652。各裝置之第一，或前，表面 1650 相對於連接至工程基板 1602 的表面。一旦將裝置黏合至臨時載體 1654，可移除工程基板 1602，暴露各裝置上之第二表面 1656。第 16 B 圖說明此特別具體實施態樣。於一些具體實施態樣中，於移除工程基板 1602 之後，取決於裝置需求，可自第二表面 1656 移除額外的層，諸如單晶層及額外的磊晶層。於移除工程基板 1602 及任何額外的層之後，可形成導電層 1658 於暴露的第二表面 1656 上。於一些具體實施態樣中，可電鍍銅於第二表面 1656 上。可將導電層 1658 黏合至載體晶圓 1660 及可移除臨時載體。

**【0153】** 第 16 C 圖說明具有黏合至載體晶圓 1660 之新形成的導電層 1658 之裝置。於一些具體實施態樣中，於經黏合至載體晶圓之後，藉由蝕刻至載體晶圓可隔離裝置。於一些具體實施態樣中，可製造用於一或更多裝置之背面接點。於一些具體實施態樣中，於基板上形成複數個裝置可進一步包括藉由各種方法來平坦化複數個裝置。方法包括，例如沉積介電材料及執行化學機械平坦化加工。於各種具體實施態樣中，使用裝置互連可整體地整合不同裝置類型於相同工程基板上。於一些具體實施態樣中，可使用切割道蝕刻以進一步隔離第一組整合裝置與第二組整合裝置。於不同裝置類型之整合之後，可形成導電墊於整合裝置上及可封裝整合裝置以供用作積體電路。

**【0154】** 可使用數種技術來移除工程基板 1602 及額外的層。舉例而言，可注入諸如氫氟酸 (HF) 之化學品至維持垂直半導體二極體之晶圓的側邊以蝕刻掉緩衝層及半絕緣層之一或多者，而陶瓷芯及垂直半導體二極體磊晶堆疊保持完整。蝕刻緩衝層及半絕緣層之一或多者將垂直半導體二極體磊晶堆疊與剩餘的工程基板分離，而保留陶瓷芯以供再利用。藉由消除研磨製程，此化學剝離製程亦降低垂直半導體二極體磊晶堆疊上之整體應力。若使用氮化鎵基板，無法選擇性地移除基板。此外，氮化鎵基板包括影響生長於其上之磊晶層之品質的缺陷，諸如面翻轉、殘餘應力、易碎性，及錯誤切割面。於使用氮化鎵基板之一些具體實施態樣中，75% 的阻抗可歸因於基板中之缺陷。移除

基板以暴露磊晶層而用於接點形成之本發明之具體實施態樣可從而降低電及熱阻抗。

**【0155】** 於一些具體實施態樣中，可使用犧牲層以供化學剝離製程。犧牲層可使用當暴露至HF時高度易於溶解之金屬，諸如鈦(Ti)。於一些具體實施態樣中，犧牲層可包含鈦(Ti)、釩(V)、鉻(Cr)、鉭(Ta)、鎢(W)、銠(Re)、氧化矽、氮化矽、氮氧化矽，或彼等的組合之一者。除了犧牲層，可使用保層。於磊晶GaN生長期間，保護層可防止材料自諸如Ti之犧牲層擴散至磊晶GaN層中。有關移除基板、緩衝層，及半絕緣層之額外的描述係提供於美國專利申請案第15/288,506號中，針對所有目的以引用之形式將其揭示內容全部併入本文。可使用相關垂直半導體二極體而描述之基板移除製程於本文中所描述的任何裝置。所屬技術領域中具有通常知識者將認識許多變化、修飾，及替代方案。

**【0156】** 亦要理解的是，本文中所描述的實例及具體實施態樣為僅供說明目的，以及將建議所屬技術領域中具有通常知識者有鑑於彼等之各種修飾或改變，且各種修飾或改變包括於此申請案之精神及範圍與後附申請專利範圍之範圍內。

### **【符號說明】**

### **【0157】**

100: 工程基板

1 1 0 : 芯  
1 1 2 : 接 著 層  
1 1 4 : 導 電 層  
1 1 6 : 第 二 接 著 層  
1 1 8 : 阻 障 層  
1 2 0 : 工 程 層  
1 2 2 : 工 程 層  
1 3 0 : 磊 晶 材 料  
2 0 2 : 深 度  
2 0 4 : 物 種 濃 度  
2 0 6 : 信 號 強 度  
2 0 8 : 線  
2 1 0 : 鈣  
2 2 0 : 鈇  
2 3 0 : 鋁  
2 4 0 : 虛 線  
3 0 0 : 工 程 基 板  
3 1 4 : 導 電 層  
3 1 6 : 工 程 基 板 結 構  
4 0 0 : 工 程 基 板 結 構  
4 1 2 : 接 著 層  
4 1 4 : 導 電 層  
4 1 6 : 接 著 層  
4 1 8 : 阻 障 層

5 0 0 : 方 法

5 1 0 : 步 驟

5 1 2 : 步 驟

5 1 4 : 步 驟

5 1 6 : 步 驟

5 1 8 : 步 驟

5 2 0 : 步 驟

5 2 2 : 步 驟

6 0 0 : 方 法

6 1 0 : 步 驟

6 1 2 : 步 驟

6 1 4 : 步 驟

6 1 6 : 步 驟

6 1 8 : 步 驟

6 2 0 : 步 驟

6 2 2 : 步 驟

7 0 0 : 磊 晶 / 工 程 基 板 結 構

7 1 0 : 工 程 基 板 結 構

7 2 0 : 磊 晶 單 晶 層

8 0 0 : 雙 磊 晶 結 構

8 0 1 : 頂 表 面

8 1 0 : 工 程 基 板 結 構

8 2 0 : 磊 晶 層

8 2 2 : 磊 晶 層

8 2 4 : 通 孔  
8 2 6 : 通 孔  
8 2 8 : 側 向 通 孔  
8 3 0 : 雙 磊 晶 結 構  
8 4 0 : 雙 磊 晶 結 構  
8 5 0 : 雙 磊 晶 結 構  
8 6 0 : 雙 磊 晶 結 構  
8 6 2 : 邊 緣  
9 0 0 : 工 程 基 板  
9 0 2 : 第 一 裝 置  
9 0 4 : 第 二 裝 置  
9 0 6 : 第 三 裝 置  
9 0 8 : 第 四 裝 置  
1 0 0 0 : 複 數 個 裝 置  
1 0 0 2 : 通 孔  
1 0 0 4 : 第 一 裝 置  
1 0 0 6 : 第 二 裝 置  
1 0 0 8 : 多 晶 陶 瓷 芯  
1 0 1 0 : 工 程 基 板  
1 0 1 2 : 實 質 上 單 晶 層  
1 0 1 4 : 成 核 層  
1 0 1 5 : 背 接 點 層  
1 0 2 0 : 緩 衝 層  
1 0 2 1 : 通 道 層

- 1 0 2 3 : p - G a N 層
- 1 0 2 4 : 第一端
- 1 0 2 5 : 第二緩衝層
- 1 0 2 6 : 第二端
- 1 0 2 7 : 第二通道層
- 1 0 2 8 : 中央部分
- 1 0 2 9 : A l G a N 閘極層
- 1 0 3 0 : 通道區域
- 1 0 3 1 : 源極接點
- 1 0 3 2 : 阻障層
- 1 0 3 3 : 閘極接點
- 1 0 3 4 : 蓋層
- 1 0 3 5 : 汲極接點
- 1 0 3 6 : 薄 2 D E G 層
- 1 0 3 7 : 背接點
- 1 0 3 8 : 通道
- 1 0 3 9 : 源極接點
- 1 0 4 0 : 源極接點
- 1 0 4 1 : 閘極接點
- 1 0 4 2 : 凹部
- 1 0 4 3 : 汲極接點
- 1 0 4 4 : 第二通道區域
- 1 0 4 5 : 背接點
- 1 0 4 6 : 第一端

- 1 0 4 7 : 第 一 閘 極
- 1 0 4 8 : 第 二 端
- 1 0 5 0 : 汲 極 接 點
- 1 0 5 2 : 中 央 部 分
- 1 0 5 4 : 汲 極 接 點
- 1 0 5 6 : 汲 極 接 點
- 1 0 5 8 : 閘 極 接 點
- 1 0 6 0 : 閘 極 接 點
- 1 0 6 2 : 絕 緣 層
- 1 0 6 4 : 通 孔
- 1 0 6 6 : 薄 2 D E G 層
- 1 0 6 8 : 凹 部
- 1 0 7 0 : 鈍 化 層
- 1 0 8 0 : 第 一 場 板 金 屬
- 1 0 9 0 : 第 二 金 屬
- 1 1 0 0 : 方 法
- 1 1 1 0 : 步 驟
- 1 1 1 2 : 步 驟
- 1 1 1 4 : 步 驟
- 1 1 1 6 : 步 驟
- 1 2 0 0 : 複 數 個 裝 置
- 1 2 0 4 : 第 一 裝 置
- 1 2 0 6 : 第 二 裝 置
- 1 2 0 8 : 多 晶 陶 瓷 芯

1 2 1 0 : 工 程 基 板  
1 2 1 2 : 實 質 上 單 晶 層  
1 2 2 0 : N 型 氮 化 鎵 層  
1 2 4 4 : N 型 氮 化 鎵 層  
1 2 4 6 : P 型 氮 化 鎵 層  
1 2 4 8 : 導 電 層  
1 2 6 0 : 陽 極 接 點  
1 2 6 8 : 層  
1 2 7 0 : 陰 極 接 點  
1 2 8 2 : 第 一 場 板  
1 2 8 4 : 第 二 場 板  
1 3 0 0 : 方 法  
1 3 1 0 : 步 驟  
1 3 1 2 : 步 驟  
1 3 1 4 : 步 驟  
1 3 1 6 : 步 驟  
1 3 1 8 : 步 驟  
1 3 2 0 : 步 驟  
1 3 2 2 : 步 驟  
1 3 2 4 : 步 驟  
1 4 0 2 : 工 程 基 板  
1 4 0 4 : 掩 模  
1 4 0 6 : 第 一 緩 衝 層  
1 4 0 8 : 第 一 裝 置 結 構

- 1 4 1 0 : 第 二 緩 衝 層
- 1 4 1 2 : 第 二 裝 置 結 構
- 1 4 1 4 : 第 三 緩 衝 層
- 1 4 1 6 : 第 三 裝 置 結 構
- 1 4 2 0 : 第 二 掩 模
- 1 4 2 4 : 第 三 掩 模
- 1 5 0 0 : 方 法
- 1 5 1 0 : 步 驟
- 1 5 1 2 : 步 驟
- 1 5 1 4 : 步 驟
- 1 5 1 6 : 步 驟
- 1 5 1 8 : 步 驟
- 1 5 2 0 : 步 驟
- 1 5 2 2 : 步 驟
- 1 5 2 4 : 步 驟
- 1 6 0 2 : 工 程 基 板
- 1 6 5 0 : 第 一 表 面
- 1 6 5 2 : 前 表 面
- 1 6 5 4 : 臨 時 載 體
- 1 6 5 6 : 第 二 表 面
- 1 6 5 8 : 導 電 層
- 1 6 6 0 : 載 體 晶 圓

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】 一種半導體設備，包含：

一基板，包含：

一多晶陶瓷芯；

一第一接著殼，包封該多晶陶瓷芯；

一阻障層，包封該第一接著殼；

一黏合層，耦合至該阻障層；及

一實質上單晶層，耦合至該黏合層；

一緩衝層，耦合至該實質上單晶層；

一或更多磊晶層，耦合至該緩衝層，該一或更多磊晶層界定將該一或更多磊晶層劃分成一第一區段及一第二區段之一溝槽；

一第一半導體裝置，形成於該一或更多磊晶層之該第一區段中；以及

一第二半導體裝置，形成於該一或更多磊晶層之該第二區段中。

【請求項 2】 如請求項 1 所述之半導體設備，其中該第一半導體裝置包含一空乏型高電子遷移率電晶體 (HEMT)，及該第二半導體裝置包含一增強型 HEMT。

【請求項 3】 如請求項 1 所述之半導體設備，其中該第一半導體裝置包含一第一空乏型高電子遷移率電晶體 (HEMT)，及該第二半導體裝置包含一第二空乏型 HEMT。

【請求項 4】 如請求項 1 所述之半導體設備，其中該第一

半導體裝置包含一第一增強型高電子遷移率電晶體 (HEMT)，及該第二半導體裝置包含一第二增強型 HEMT。

【請求項 5】 如請求項 1 所述之半導體設備，進一步包含設置於該實質上單晶層與該緩衝層間之一導電層。

【請求項 6】 如請求項 5 所述之半導體設備，其中該第一半導體裝置包含一高電子遷移率電晶體 (HEMT)，及該第二半導體裝置包含一垂直半導體裝置。

【請求項 7】 如請求項 6 所述之半導體設備，其中該垂直半導體裝置包含一垂直 P-N 二極體或一垂直肖特基二極體。

【請求項 8】 如請求項 1 所述之半導體設備，其中該多晶陶瓷芯包含氮化鋁。

【請求項 9】 如請求項 1 所述之半導體設備，其中：

該第一接著殼包含四乙氧基矽烷 (TEOS) 氧化物層；

該阻障層包含氮化矽；

該黏合層包含氧化矽；及

該實質上單晶層包含矽。

【請求項 10】 如請求項 1 所述之半導體設備，其中該一或更多磊晶層包含一或更多第 III-V 族磊晶層。

【請求項 11】 一種形成複數個裝置之方法，包含以下步驟：

藉由以下步驟形成一基板：

提供一多晶陶瓷芯；

以一第一接著殼包封該多晶陶瓷芯；  
以一阻障層包封該第一接著殼；  
於該阻障層上形成一黏合層；及  
形成耦合至該黏合層之一實質上單晶層；  
形成一第一掩模，該第一掩模具有該實質上單晶層之一第一暴露的部分；  
相關於該第一暴露的部分上之一第一裝置結構，形成一第一緩衝層；  
移除該第一掩模；  
形成一第二掩模，該第二掩模具有該實質上單晶層之一第二暴露的部分；  
相關於該第二暴露的部分上之一第二裝置結構，形成一第二緩衝層；  
於該第一緩衝層及該第二緩衝層上形成一或更多磊晶層，其中根據相關於該複數個裝置之需求來形成該一或更多磊晶層；以及  
於該複數個裝置間進行蝕刻。

**【請求項 12】** 如請求項 11 所述之方法，進一步包含以下步驟：平坦化該基板上之該複數個裝置。

**【請求項 13】** 如請求項 12 所述之方法，其中平坦化步驟進一步包含以下步驟：

於該複數個裝置上形成一介電層；及

使用化學機械平坦化加工來平滑化該複數個裝置。

**【請求項 14】** 如請求項 11 所述之方法，進一步包含以下

步驟：於該複數個裝置之一第一裝置與該複數個裝置之一第二裝置間製造一或更多互連。

【請求項 15】如請求項 11 所述之方法，進一步包含以下步驟：

將該複數個裝置之每一者上之一第一表面黏合至一臨時載體，其中該第一表面相對該基板；

移除該基板以暴露各裝置上之一第二表面；

於該第二表面上形成一導電層；及

將一載體晶圓黏合至該導電層。

【請求項 16】如請求項 15 所述之方法，進一步包含以下步驟：移除該載體晶圓之一或更多區段以形成一或更多背面接點。

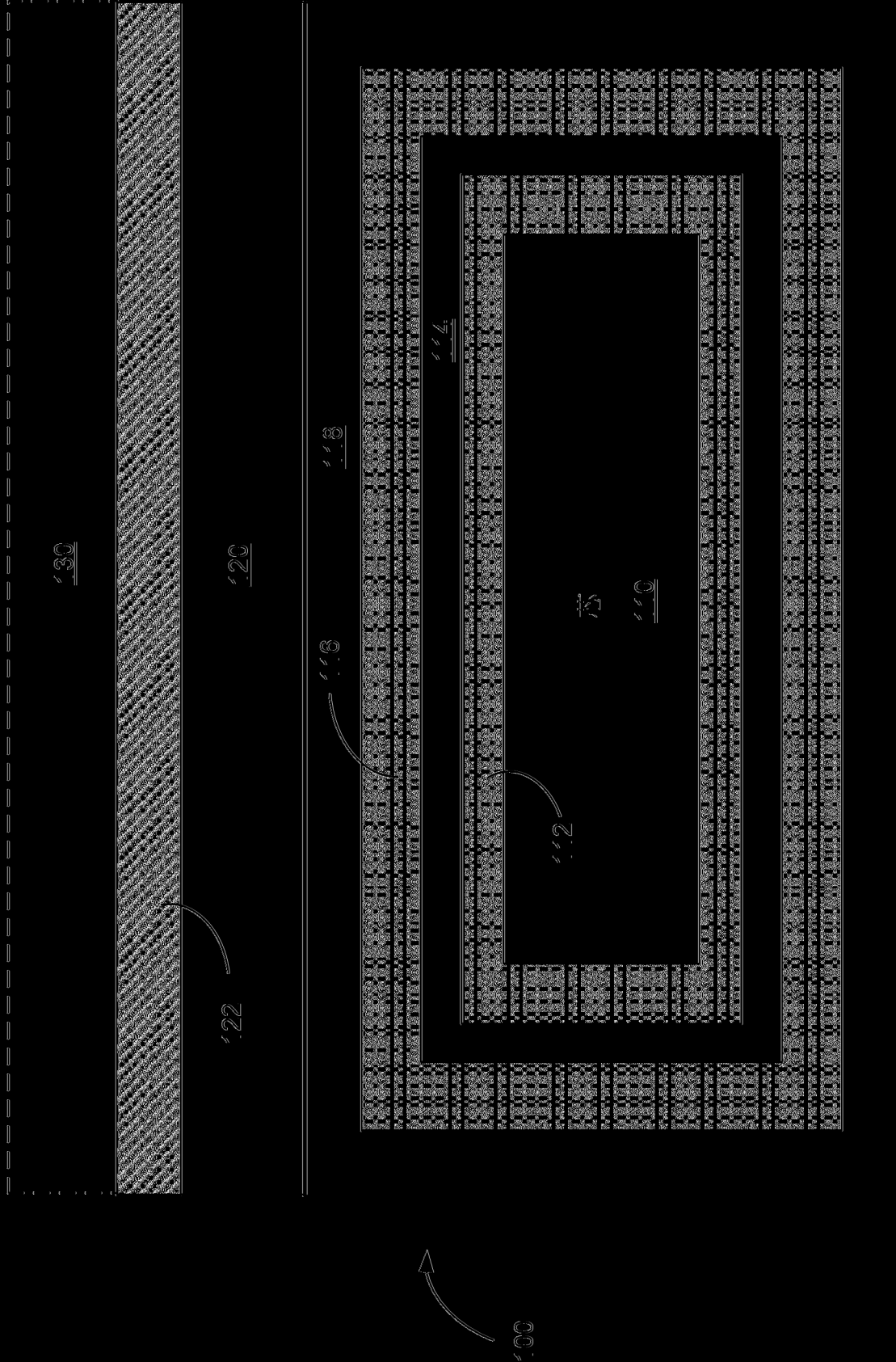
【請求項 17】如請求項 11 所述之方法，進一步包含以下步驟：

形成耦合至該實質上單晶層及該第一緩衝層與該第二緩衝層之至少一者之一導電層；

暴露該導電層的一部分；及

於該導電層之暴露的部分上形成一接點。

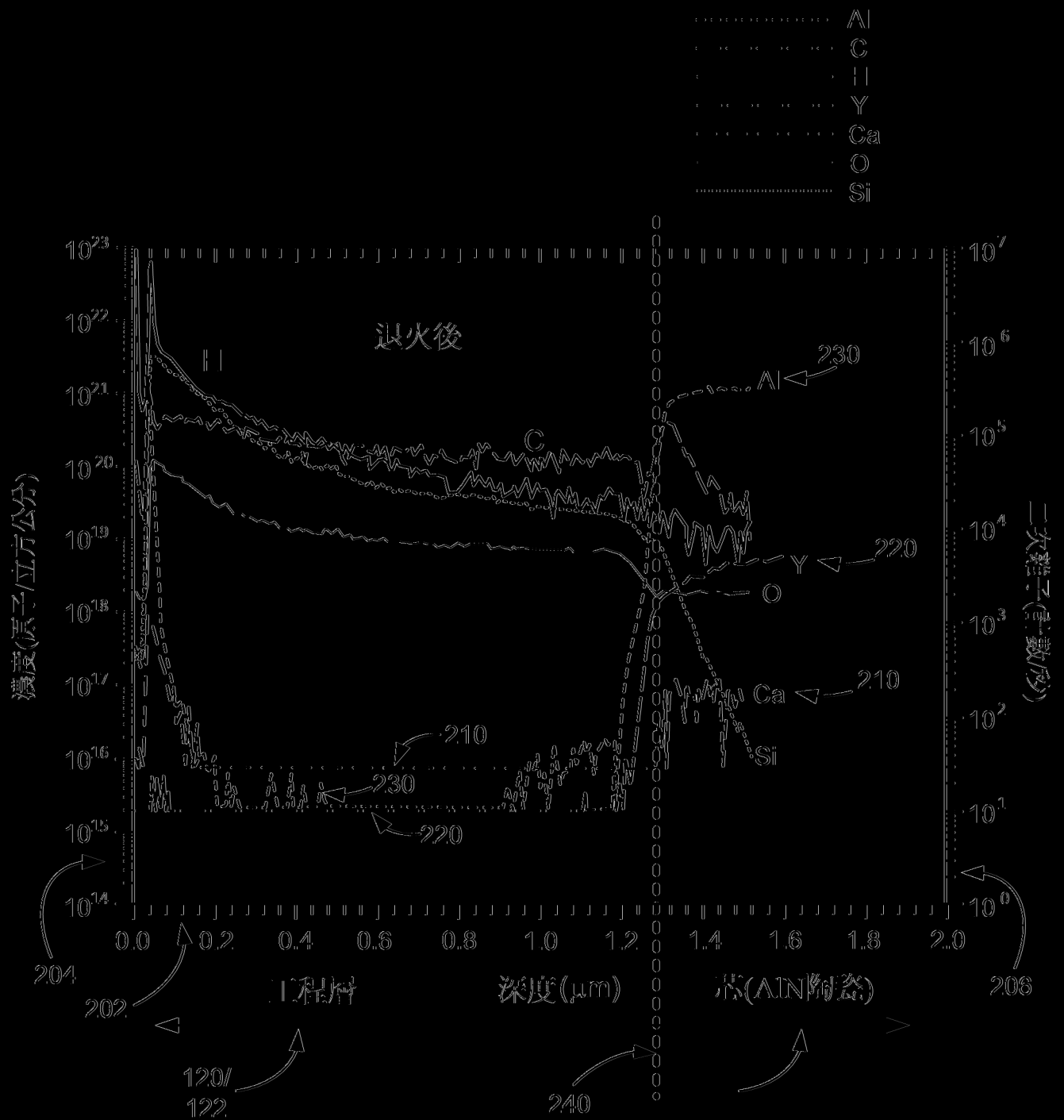
【請求項 18】如請求項 11 所述之方法，其中於該複數個裝置間進行蝕刻進一步包含以下步驟：蝕刻該多晶陶瓷芯。



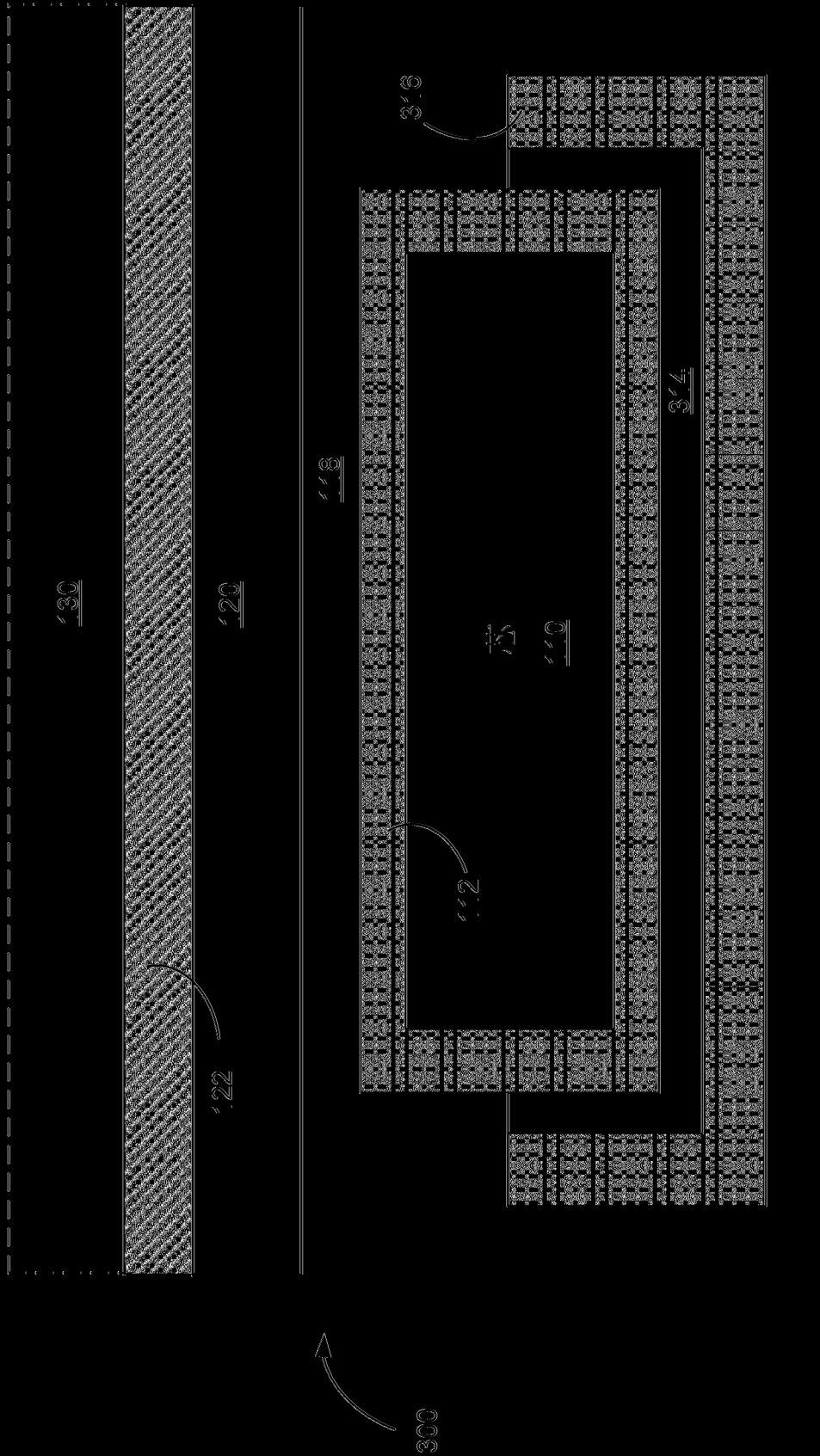
圖一



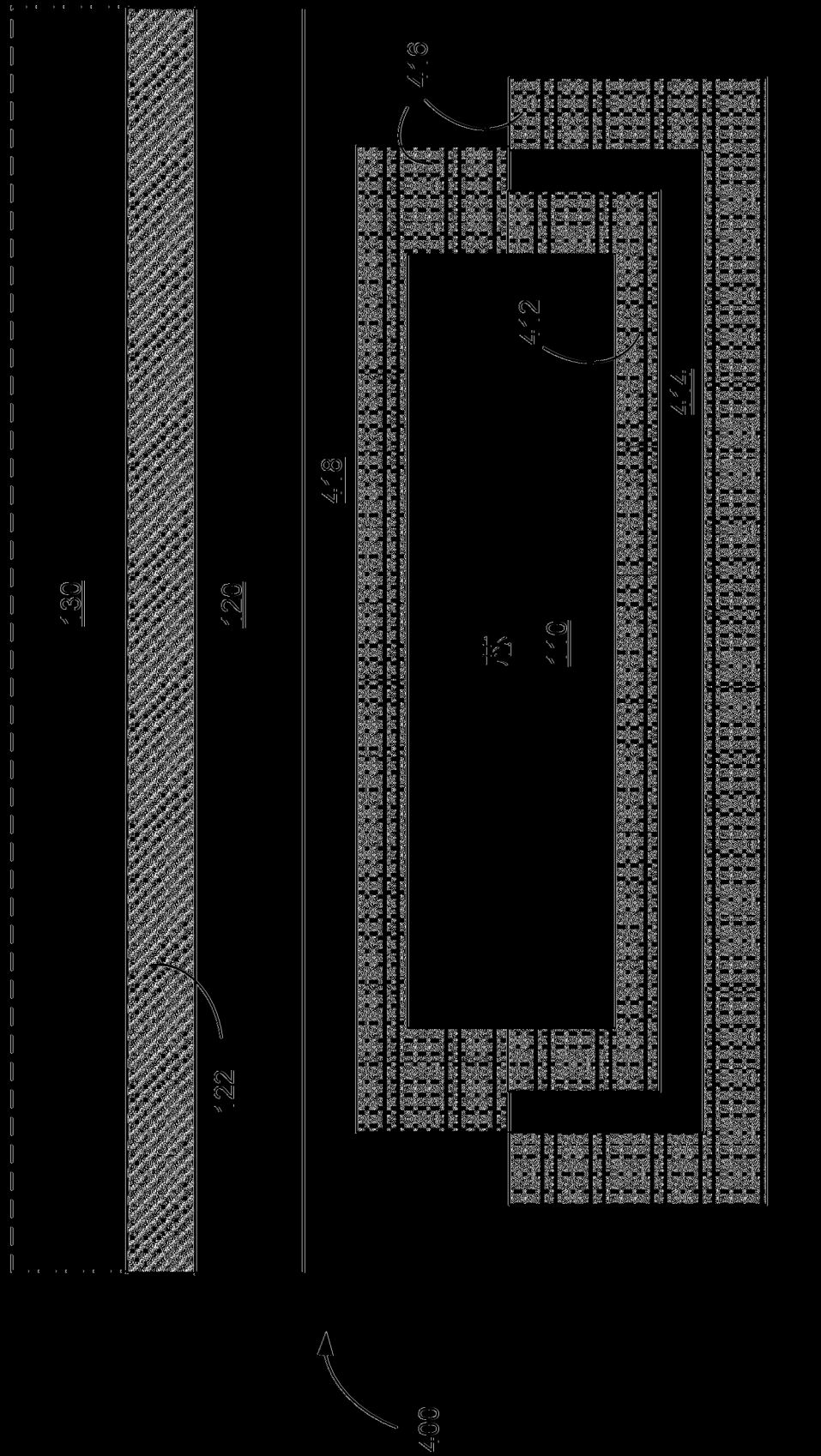




第2.C圖



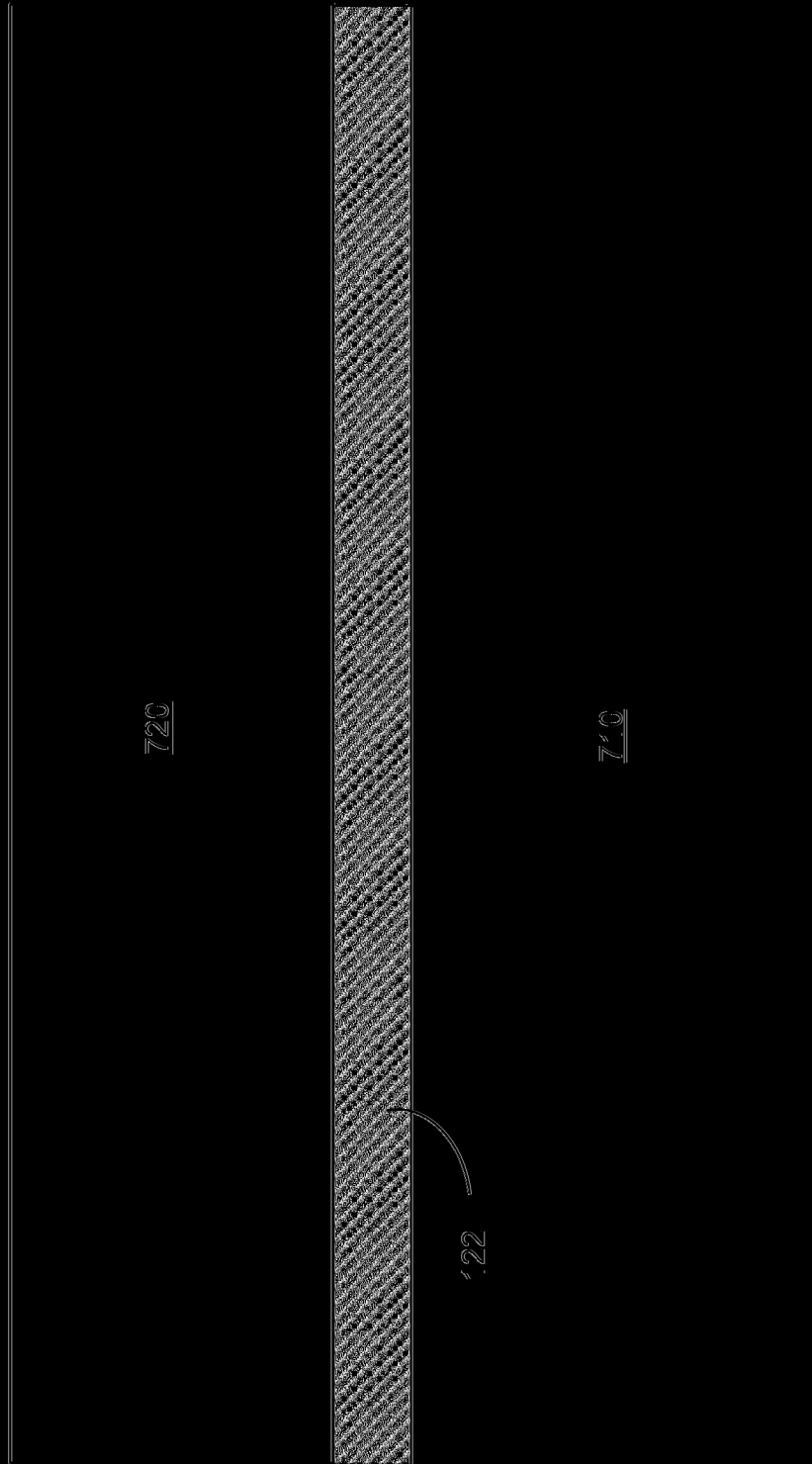
第3頁



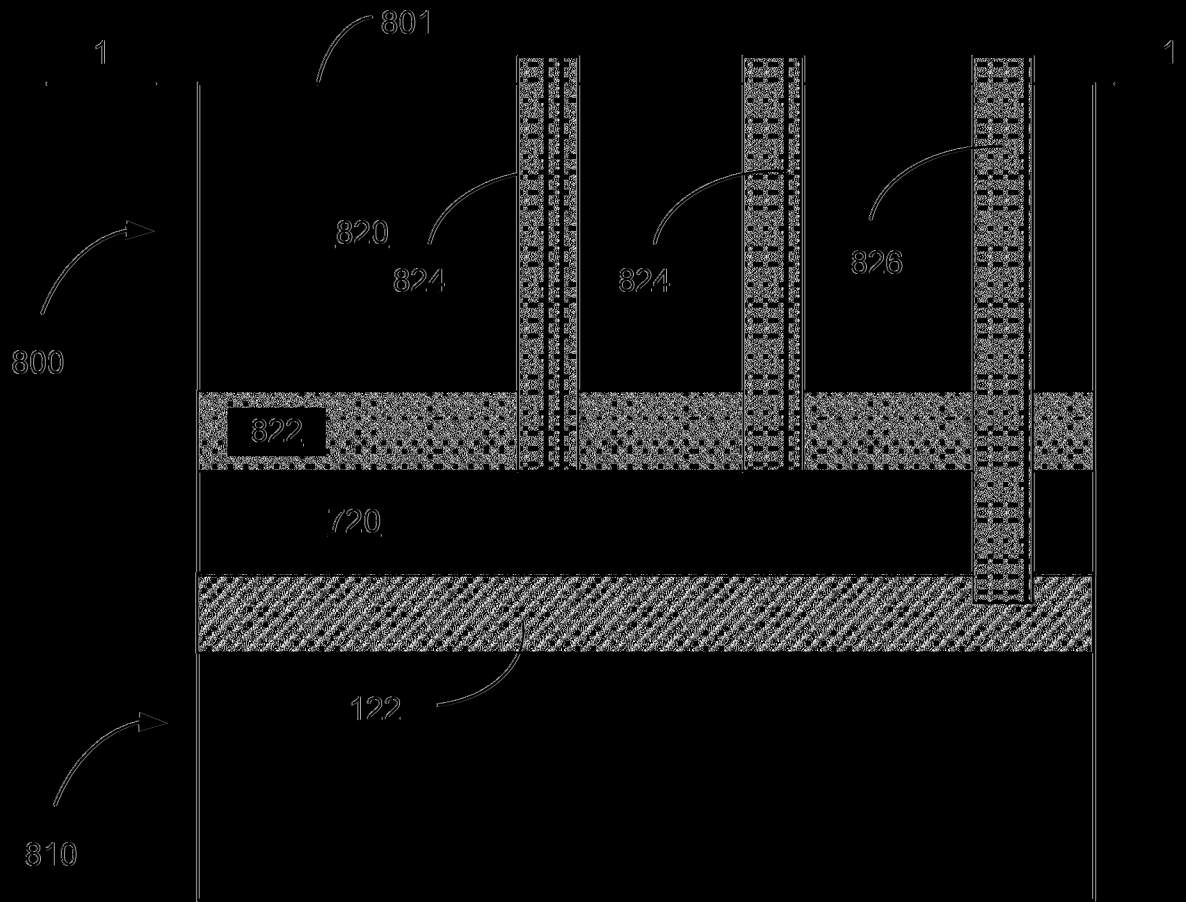
第六圖



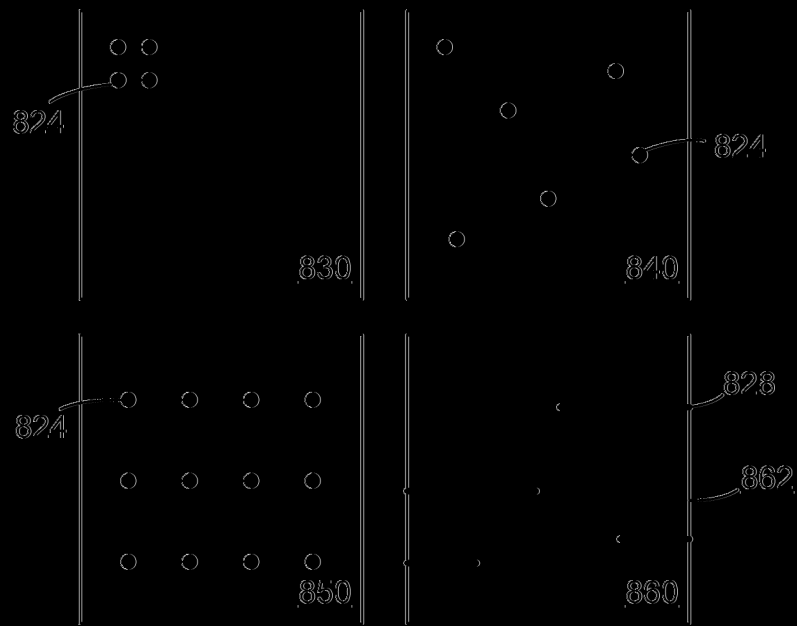




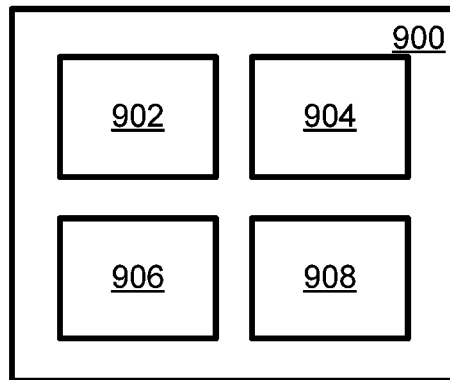
第 7 頁



第8A圖



第8B圖



第9圖

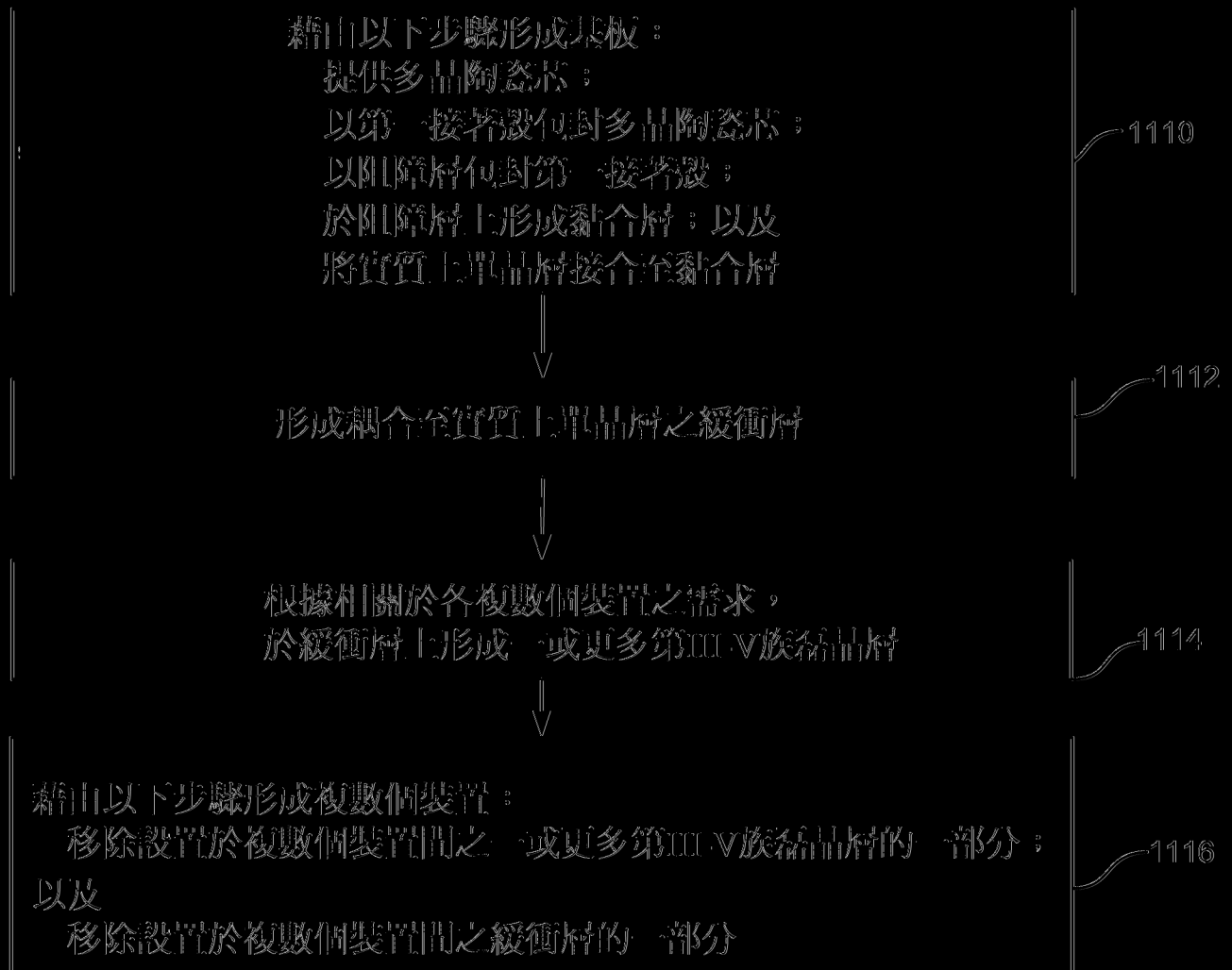




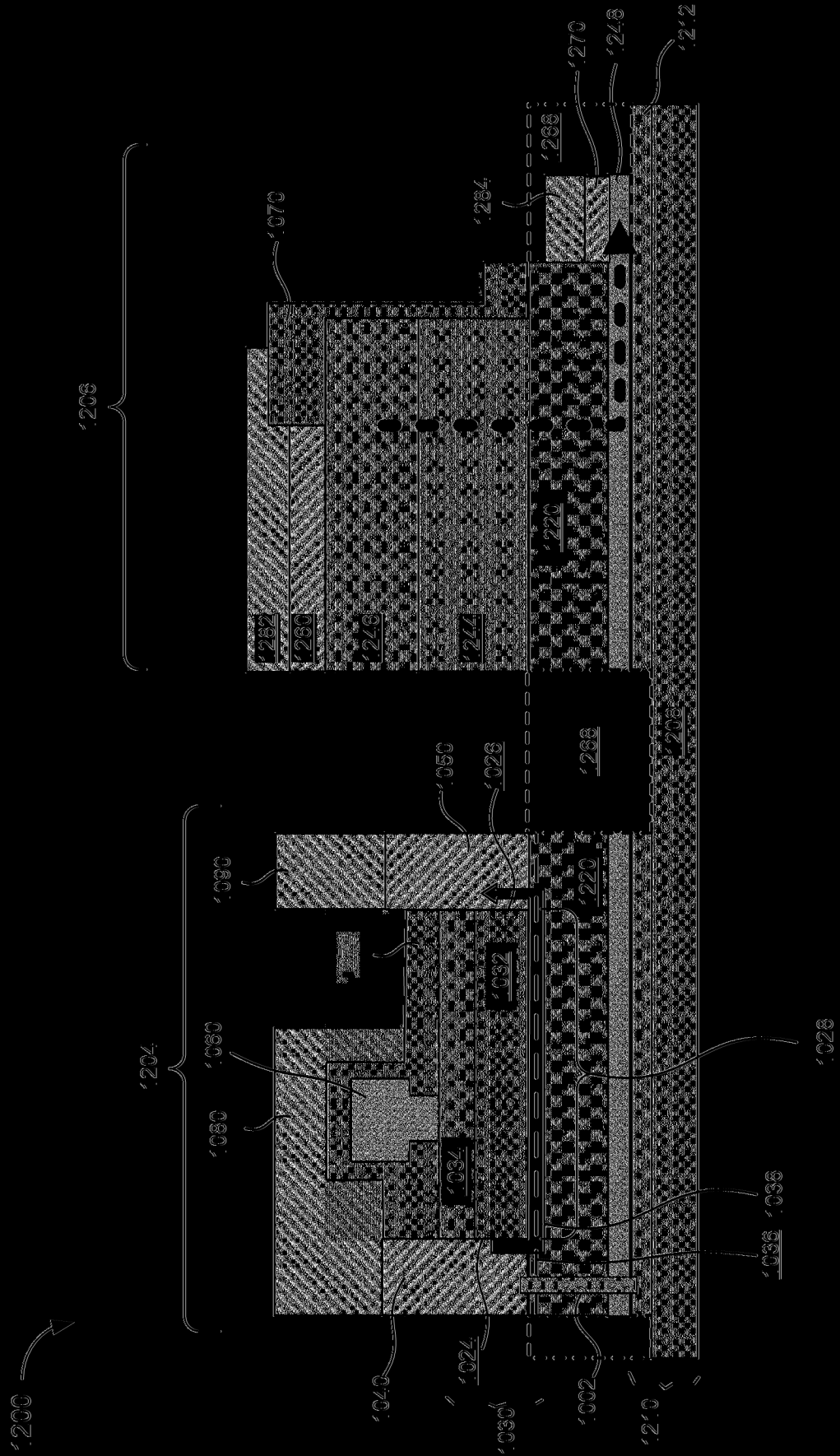
第03頁

第00頁

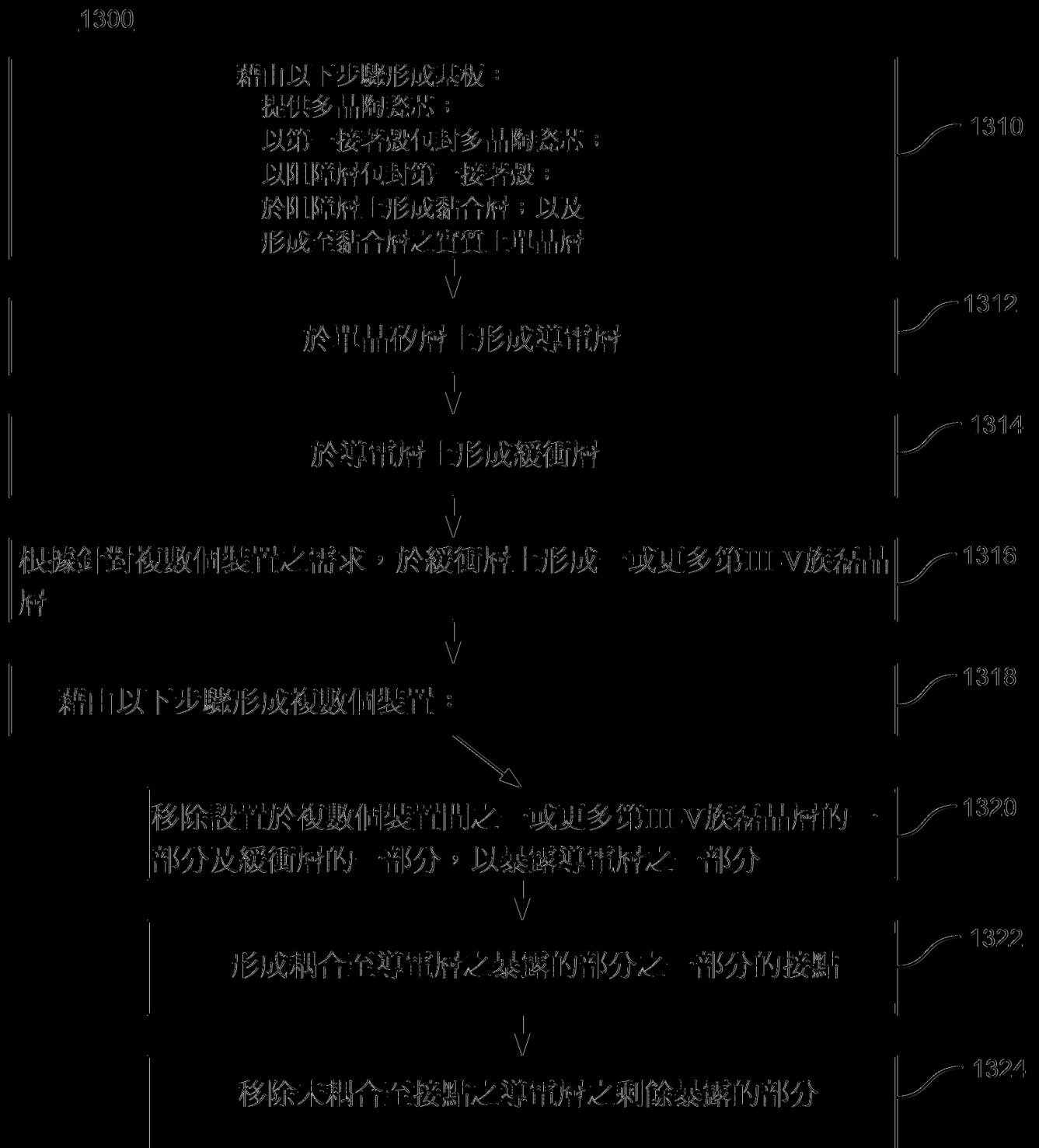
1100



第11圖



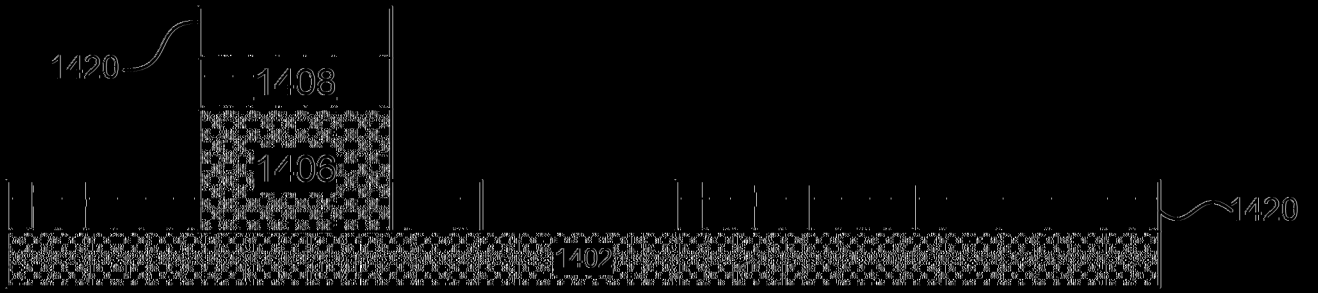
第 2 圖



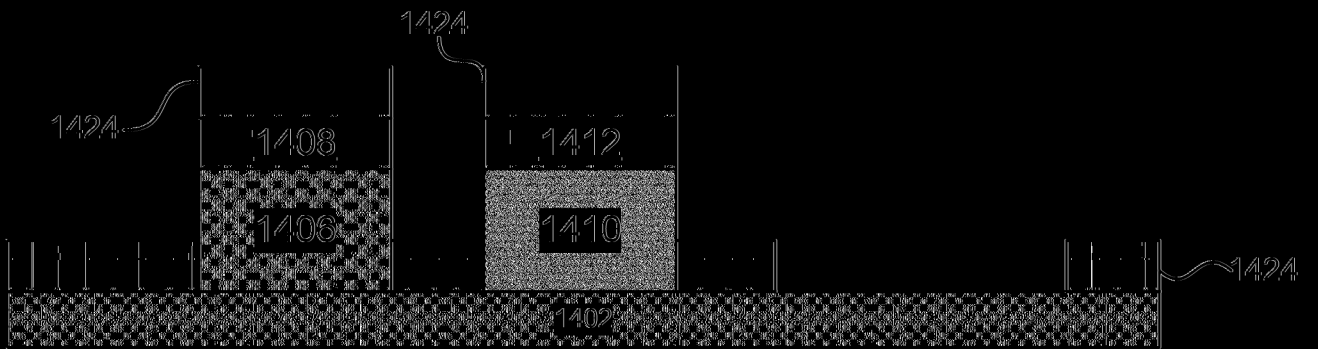
第13圖



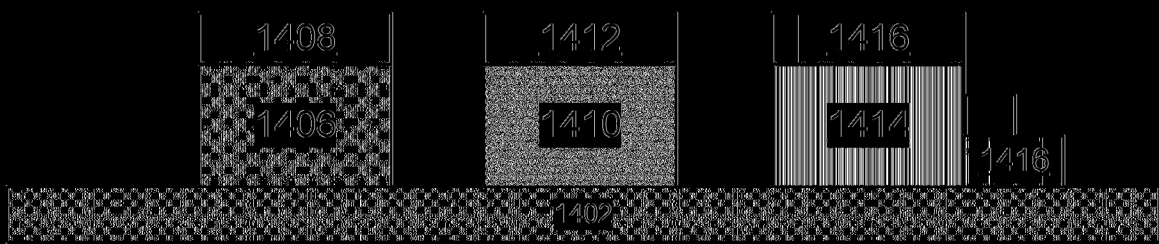
第14A圖



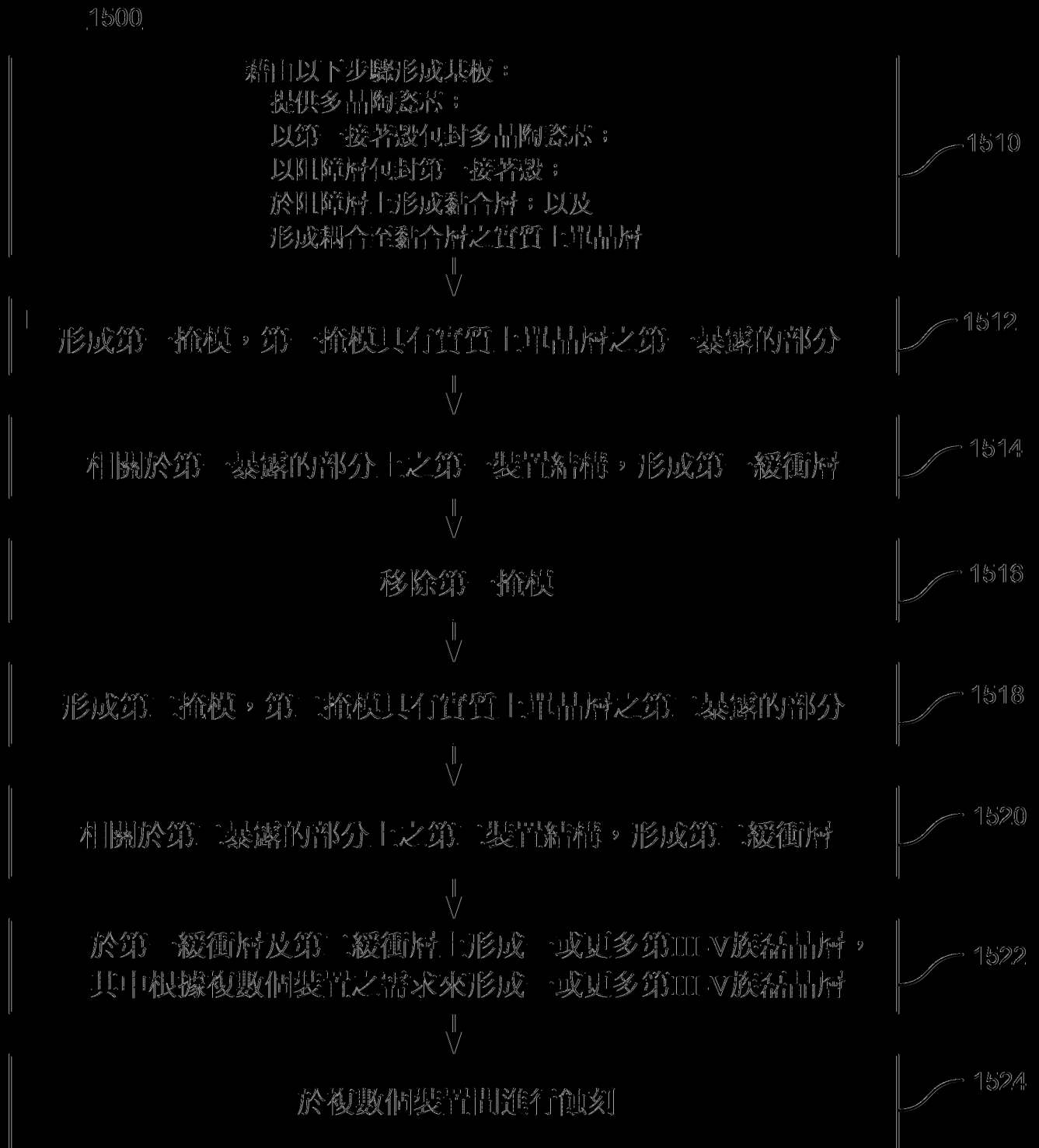
第14B圖



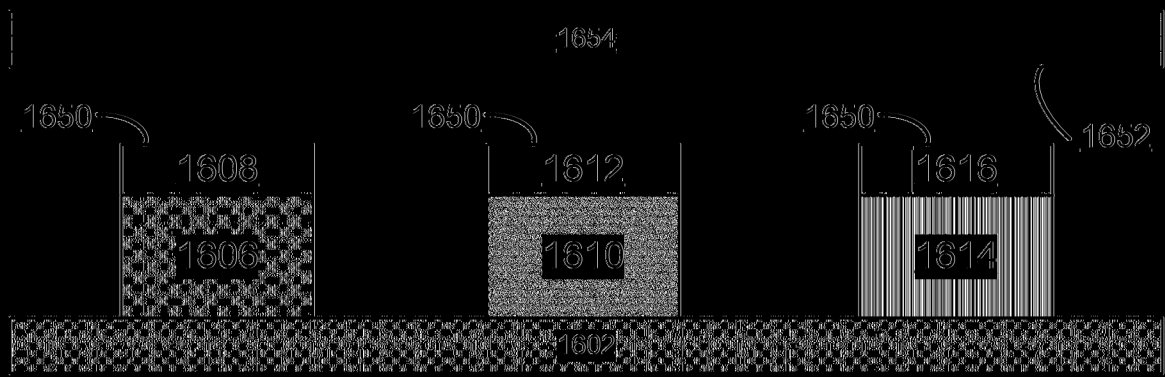
第14C圖



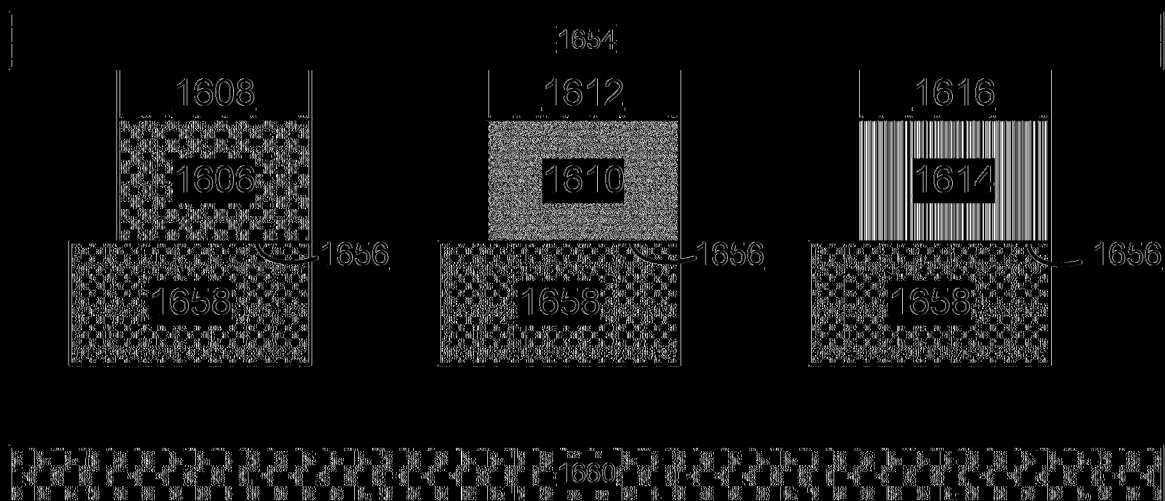
第14D圖



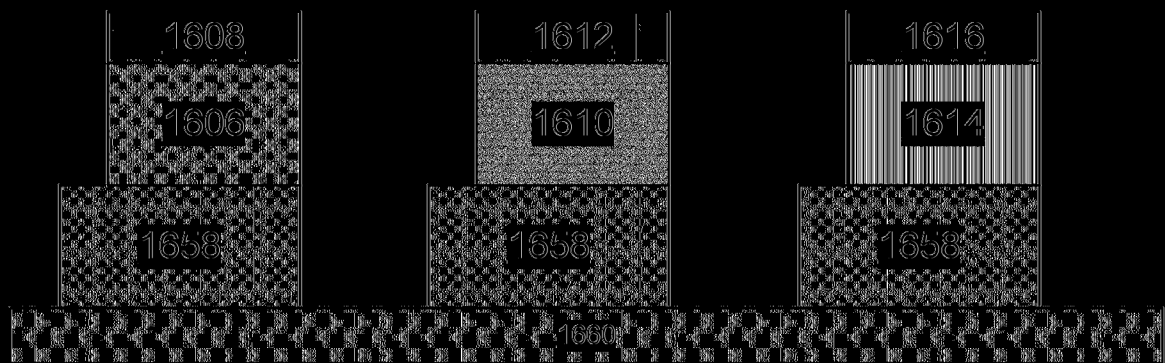
第15圖



第16A圖



第16B圖



第16C圖