

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-208732

(P2012-208732A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 3/044 (2006.01)</b>	G06F 3/044 E	5B068
<b>G06F 3/041 (2006.01)</b>	G06F 3/041 330D	5B087

審査請求 未請求 請求項の数 5 O L (全 22 頁)

(21) 出願番号 特願2011-73854 (P2011-73854)  
 (22) 出願日 平成23年3月30日 (2011.3.30)

(71) 出願人 000010098  
 アルプス電気株式会社  
 東京都大田区雪谷大塚町1番7号  
 (72) 発明者 斉藤 昭次  
 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内  
 (72) 発明者 上村 道夫  
 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内  
 Fターム(参考) 5B068 BB09 BC08  
 5B087 CC16 CC39

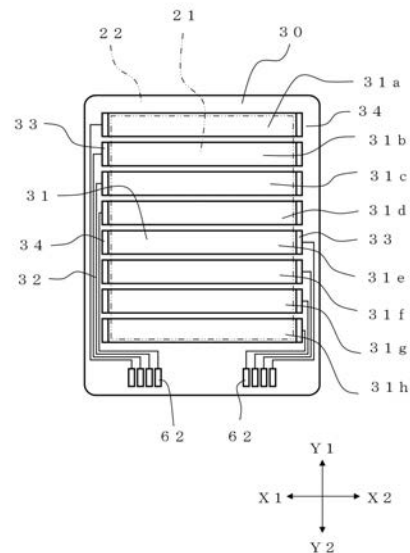
(54) 【発明の名称】 入力装置

(57) 【要約】

【課題】本発明は、透明電極層の電気特性検査を容易に行うことができるとともに、静電容量分布の均一性を向上させることが可能な入力装置を提供することを目的とする。

【解決手段】本発明の入力装置1は、第1透明基材30と、静電容量値の変化を検知する第1透明電極層31と、第1透明電極層31の一端と電氣的に接続された第1引出配線層32とを有し、第1透明電極層31は第1透明基材30の入力領域21に形成され、第1引出配線層32は、入力領域21を囲む非入力領域22に形成され、第1透明電極層31と第1引出配線層32とは、接続用の第1のパッド部33を介して接続され、第1透明電極層31の他端には、電気特性検査用の第2のパッド部34が電氣的に接続されていることを特徴とする。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

透光性の基材と、  
静電容量値の変化を検知する透明電極層と、  
前記透明電極層の一端と電氣的に接続された配線層とを有し、  
前記透明電極層は前記基材の入力領域に形成され、前記配線層は、前記入力領域を囲む非  
入力領域に形成され、  
前記透明電極層と前記配線層とは、接続用の第 1 のパッド部を介して接続され、  
前記透明電極層の他端には、電気特性検査用の第 2 のパッド部が電氣的に接続されている  
ことを特徴とする入力装置。

10

**【請求項 2】**

前記第 1 のパッド部と前記第 2 のパッド部とは、略等しい幅を有して前記透明電極層と  
接続されている事を特徴とする請求項 1 に記載の入力装置。

**【請求項 3】**

前記第 1 のパッド部及び前記第 2 のパッド部は、前記透明電極層と略等しい幅を有して  
前記透明電極層と接続されている事を特徴とする請求項 1 または請求項 2 に記載の入力装  
置。

**【請求項 4】**

前記第 1 のパッド部及び前記第 2 のパッド部は、金属材料を用いて形成されていること  
を特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の入力装置

20

**【請求項 5】**

前記基材の一方の面において、平面内にて交叉する 2 方向を第 1 の方向と第 2 の方向と  
したとき、前記第 1 の方向に延出する複数の前記透明電極層が、前記第 2 の方向に間隔を  
空けて配列されており、  
前記非入力領域には、フレキシブルプリント基板と接続するための接続部が形成されてお  
り、  
複数の前記配線層が前記非入力領域を引き回されて、前記接続部に接続されていることを  
特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の入力装置。

**【発明の詳細な説明】**

30

**【技術分野】****【0001】**

本発明は、入力装置に関し、特に、透明電極層の電気特性検査を容易に行うことができ  
るとともに、静電容量分布の均一性を向上させることが可能な入力装置に関する。

**【背景技術】****【0002】**

現在、携帯用の電子機器などの表示部として、表示画像のメニュー項目やオブジェクト  
を直接、指などで操作して座標入力を行うための透光型の入力装置が用いられている。こ  
のような入力装置の動作方式としていくつかの方式が挙げられるが、その中で静電容量式  
の入力装置が広く使用されている。

40

**【0003】**

図 1 1 には、特許文献 1 に開示されている静電容量式の入力装置 1 0 1 について分解斜  
視図を示す。図 1 1 に示すように、従来例の入力装置 1 0 1 は走査側基板 1 3 0 と検出側  
基板 1 4 0 とを有し構成されている。走査側基板 1 3 0 には、Y 1 - Y 2 方向に延出する  
複数の走査電極 1 3 1 が形成され、検出側基板 1 4 0 には、X 1 - X 2 方向に延出する複  
数の検出電極 1 4 1 が形成されている。走査電極 1 3 1 の Y 2 側の端部にはそれぞれフレ  
キシブルプリント基板（図示しない）と接続するための走査側接続電極 1 3 3 が形成され  
ており、検出電極 1 4 1 の X 1 側の端部には同様に検出側接続電極 1 4 3 が形成されてい  
る。

**【0004】**

50

走査側基板 130 と検出側基板 140 とは、走査電極 131 と検出電極 141 との間で静電容量を有するように対向して配置されている。入力装置 101 の表面に指などを接触させると、その箇所の走査電極 131 と検出電極 141 との間の静電容量値が変化する。この静電容量値の変化によって、入力位置を検出することができる。従来の入力装置 101 において、検出電極 141 を囲むようにシールド層 163 が形成されており、これにより外部ノイズによる誤検出や検出感度が変化するのを防止している。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2010 - 277461 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、走査電極 131 及び検出電極 141 は ITO (Indium Tin Oxide) 等の透明電極膜により形成されており、走査側接続電極 133 及び検出側接続電極 143 は、接続信頼性を確保するために銅や銀などの低抵抗の金属材料により形成される。そのため、走査側接続電極 133 が接続された走査電極 131 の Y2 側の端部付近においては、材料の誘電率の違いや厚みの影響により、走査側基板 130 と検出側基板 140 との間の静電容量値が変化する。

20

【0007】

すなわち、走査電極 131 の Y1 - Y2 方向の両端で異なる静電容量分布を形成するため、入力装置 101 の入力領域における静電容量値が不均一になり、検出感度の低下や誤検出等の課題が生じる場合がある。

【0008】

また、走査側基板 130 について走査電極 131 の電気特性検査を行う場合に、一端には走査側接続電極 133 が形成されているが他端には形成されていないため、走査電極 131 に検査用のプローブピンを接触させる必要がある。しかしながら、透明電極膜は一般的にクラックが発生し易い材料であるため、直接プローブピンを接触させて測定すると、走査電極 131 の電気特性や耐環境性能が劣化するおそれがある。そのため、入力装置 101 として組み立てる前の早期の段階で検査を行うことが難しく、入力装置 101 を組み立てた後で検査が行われることから、不具合の発見が遅れ、製造コストが増大するという課題がある。

30

【0009】

本発明は、上記の課題を解決し、透明電極層の電気特性検査を容易に行うことができるとともに、静電容量分布の均一性を向上させることが可能な入力装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の入力装置は、透光性の基材と、静電容量値の変化を検知する透明電極層と、前記透明電極層の一端と電氣的に接続された配線層とを有し、前記透明電極層は前記基材の入力領域に形成され、前記配線層は、前記入力領域を囲む非入力領域に形成され、前記透明電極層と前記配線層とは、接続用の第 1 のパッド部を介して接続され、前記透明電極層の他端には、電気特性検査用の第 2 のパッド部が電氣的に接続されていることを特徴とする。

40

【0011】

これによれば、透明電極層の一端に第 1 のパッド部を接続し、他端に第 2 のパッド部を接続することにより、透明電極層の両端付近に配置される部材の誘電率や厚みを同等に形成することができるため、透明電極層の両端における静電容量分布の均一性を向上させることができる。したがって、入力装置の入力領域における静電容量分布の均一性を向上させることができることから、検出感度分布の均一性も向上させることが可能である。

50

## 【 0 0 1 2 】

また、透明電極層の両端部に第1のパッド部と第2のパッド部とを形成することにより、第1のパッド部と第2のパッド部とにそれぞれプローブピンを接触させて容易に、かつ、透明電極層にダメージを与えることなく透明電極層の電気特性を測定することが可能となる。

## 【 0 0 1 3 】

また、本発明の入力装置において、前記第1のパッド部と前記第2のパッド部とは、略等しい幅を有して前記透明電極層と接続されていることが好ましい。こうすれば、透明電極層の両端付近に配置される部材の誘電率や厚みをより確実に同等にすることができるため、透明電極層の両端における静電容量値の分布について、より確実に均一性を向上させることができる。したがって、入力領域における静電容量分布の均一性を向上させることが可能となる。

10

## 【 0 0 1 4 】

本発明の入力装置において、前記第1のパッド部及び前記第2のパッド部は、前記透明電極層と略等しい幅を有して前記透明電極層と接続されていることが好適である。これによれば、透明電極層の幅方向についても静電容量分布の均一性が向上されるため、より効果的に静電容量分布の均一性を向上させることが可能となる。また、検査用のプローブピンを接触させるのに十分な幅を有して第1のパッド部と第2のパッド部とが形成されるため、透明電極層の電気特性検査をより容易に行うことが可能となる。

20

## 【 0 0 1 5 】

本発明の入力装置において、前記第1のパッド部及び前記第2のパッド部は、金属材料を用いて形成されていることが好ましい。これによれば、透明電極層と配線層との接続信頼性を確実に得ることができる。また、プローブピンと第1のパッド部及び第2のパッド部との接触抵抗を低く抑えられるため、より確実に電気特性測定を行うことが可能である。

## 【 0 0 1 6 】

さらに、本発明の入力装置は、前記基材の一方の面において、平面内にて交叉する2方向を第1の方向と第2の方向としたとき、前記第1の方向に延出する複数の前記透明電極層が、前記第2の方向に間隔を空けて配列されており、前記非入力領域には、フレキシブルプリント基板と接続するための接続部が形成されており、複数の前記配線層が前記非入力領域を引き回されて、前記接続部に接続されていることが好適である。こうすれば、入力領域での静電容量分布の均一性をより向上させることができる。また、第1のパッド部、第2のパッド部及びフレキシブルプリント基板との接続部に電気特性検査用のプローブピンを接触させることにより、透明電極層及び配線層の電気特性検査を効率よく行うことができるため、製造コストの低減が可能となる。

30

## 【 発明の効果 】

## 【 0 0 1 7 】

本発明の入力装置によれば、透明電極層の一端に第1のパッド部を接続し、他端に第2のパッド部を接続することにより、透明電極層の両端付近に配置される部材の誘電率や厚みを同等に形成することができるため、透明電極層の両端における静電容量分布の均一性を向上させることができる。したがって、入力領域における静電容量分布の均一性を向上させることができることから、検出感度分布の均一性も向上させることが可能である。

40

## 【 0 0 1 8 】

また、透明電極層の両端部に第1のパッド部と第2のパッド部とを形成することにより、第1のパッド部と第2のパッド部とにそれぞれプローブピンを接触させて容易に、かつ、透明電極層にダメージを与えることなく透明電極層の電気特性を測定することが可能となる。

## 【 図面の簡単な説明 】

## 【 0 0 1 9 】

【 図 1 】 本発明の第1の実施形態における入力装置の分解斜視図である。

50

【図 2】図 1 の I I - I I 線で切断したときの入力装置の断面図である。

【図 3】第 1 の実施形態における第 1 透明基材の平面図である。

【図 4】第 1 の実施形態における第 2 透明基材の平面図である。

【図 5】第 1 透明電極層の X 1 - X 2 方向の端部付近における、入力装置の模式断面図である。

【図 6】第 1 の実施形態の変形例を示す、第 1 透明基材の平面図である。

【図 7】第 2 の実施形態における第 1 透明基材の平面図である。

【図 8】第 2 の実施形態における第 2 透明基材の平面図である。

【図 9】実施例における透明電極パターンを示す模式平面透視図である。

【図 10】実施例及び比較例の、第 1 透明電極層と第 2 透明電極層との各交点における I C 出力値を示すグラフである。

10

【図 11】従来例の入力装置における分解斜視図である。

【発明を実施するための形態】

【0020】

< 第 1 の実施形態 >

図 1 には、第 1 の実施形態における入力装置 1 の分解斜視図を示す。図 2 には、図 1 の I I - I I 線で切断したときの入力装置 1 の断面図を示す。なお、図面を見やすくするため、各構成要素の寸法の比率などは適宜異ならせて示してある。

【0021】

図 1 に示すように、本実施形態の入力装置 1 は、第 1 透明電極層 3 1 が形成された第 1 透明基材 3 0 と、第 2 透明電極層 4 1 が形成された第 2 透明基材 4 0 とが積層されて構成される。そして、第 2 透明基材 4 0 の入力面側には表面を保護するための表面部材 1 0 が積層されている。

20

【0022】

第 1 透明電極層 3 1 及び第 2 透明電極層 4 1 は、位置情報を入力可能な入力領域 2 1 に形成されている。入力領域 2 1 の周囲は、枠状の非入力領域 2 2 であり、表面部材 1 0 の非入力領域 2 2 には加飾層 1 1 が形成されている。

【0023】

第 1 透明基材 3 0 の Y 2 側の非入力領域 2 2 には、フレキシブルプリント基板 6 1 (以降 F P C 6 1 と記載する) と接続するための第 1 の F P C 接続部 6 2 が形成されている。そして、第 1 透明基材 3 0 の非入力領域 2 2 には第 1 引出配線層 3 2 が引き回されており、第 1 透明電極層 3 1 と第 1 の F P C 接続部 6 2 とが電氣的に接続されている。同様に、第 2 透明基材 4 0 の Y 2 側の非入力領域 2 2 には第 2 の F P C 接続部 6 3 が形成されており、非入力領域 2 2 に引き回されている第 2 引出配線層 4 2 により、第 2 透明電極層 4 1 と第 2 の F P C 接続部 6 3 とが電氣的に接続されている。

30

【0024】

図 1 に示すように、第 2 の F P C 接続部 6 3 は、第 1 の F P C 接続部 6 2 と平面視で並設する位置に設けられるとともに、第 2 透明基材 4 0 には、第 1 の F P C 接続部 6 2 と重なる位置に切り欠き部 6 4 が形成されている。これにより、F P C 6 1 の一方の面に形成された接続部と、第 1 の F P C 接続部 6 2 及び第 2 の F P C 接続部 6 3 とを容易に接続することができる。また、F P C 6 1 には I C ( I n t e g r a t e d C i r c u i t ) (図示しない) が接続されており、第 1 透明電極層 3 1 と第 2 透明電極層 4 1 との間の静電容量値の変化から入力位置情報を検出することができる。

40

【0025】

図 2 に示すように、第 1 透明基材 3 0 と第 2 透明基材 4 0 とは第 1 光学粘着層 5 1 を介して接着されており、第 2 透明基材 4 0 と表面部材 1 0 とは第 2 光学粘着層 5 2 を介して接着されている。第 1 光学粘着層 5 1 及び第 2 光学粘着層 5 2 は、透光性のアクリル系光学粘着剤、またはアクリル系両面テープを用いることができる。

【0026】

第 1 透明基材 3 0 及び第 2 透明基材 4 0 には、透光性のフィルム状樹脂材料が用いられ

50

、例えば、PET（ポリエチレンテレフタレート）フィルムを用いることができる。その厚みは、それぞれ50 $\mu$ m～200 $\mu$ m程度に形成される。

【0027】

また、第1透明電極層31及び第2透明電極層41は、いずれも可視光領域で透光性を有するITO（Indium Tin Oxide）、SnO<sub>2</sub>、ZnO等の透明電極膜により形成される。第1透明電極層31及び第2透明電極層41は、スパッタ法や蒸着法等の薄膜法により形成され、その厚みはいずれも0.01 $\mu$ m～0.05 $\mu$ m、例えば0.02 $\mu$ m程度に形成される。また、スパッタ法や蒸着法以外の方法では、あらかじめ透明電極膜が形成されたフィルムを用意して、透明電極膜のみを透明基材に転写する方法や、導電性ポリマーやAgナノワイヤ等を塗布する方法により形成することも可能である。

10

【0028】

また、表面部材10は、第1透明基材30及び第2透明基材40よりも厚く、剛性の高い基板であり、例えばPC（ポリカーボネート）等の樹脂基板や、ガラス基板、あるいは樹脂とガラスの複合基板等の透光性基板が用いられる。

【0029】

なお、「透光性」あるいは「透明」とは、可視光の透過率が80%以上の状態を示す。更に、ヘイズ値が6以下であることが好適である。

【0030】

図2に示すように、第1透明電極層31と第2透明電極層41とは、静電容量を形成するように、その間に絶縁性の第1光学粘着層51と第2透明基材40とを介して対向配置されている。静電容量式の入力装置1の入力操作において、指を入力面の入力領域21に近接または接触させると、第1透明電極層31と第2透明電極層41との間の静電容量に、指と第1透明電極層31との間の静電容量が付加され、静電容量に変化が生じる。この静電容量の変化に基づいて入力位置を算出することが可能である。

20

【0031】

次に、第1透明基材30及び第2透明基材40に積層される部材の構成について、図面に基づいて説明する。

【0032】

図3には、入力装置1の第1透明基材30の平面図を示す。図3に示すように、第1透明電極層31はX1-X2方向（第1の方向）に延出した複数の帯状の透明電極層から構成され、X1-X2方向と交叉するY1-Y2方向（第2の方向）に間隔を空けて配列されている。第1透明電極層31を構成する個々の透明電極層について、Y1側からY2方向に向かい、31a～31hのように符号を付して説明する。

30

【0033】

第1引出配線層32は、第1透明電極層31a～31dのX1側の端部とそれぞれ接続されており、X1側の非入力領域22を引き回されて、Y2側の非入力領域22に形成された第1のFPC接続部62に接続される。同様に、第1透明電極層31e～31hのX2側の端部とそれぞれ接続された第1引出配線層32は、X2側の非入力領域22を引き回されて第1のFPC接続部62に接続される。

【0034】

図3に示すように、第1透明電極層31a～31hと第1引出配線層32との接続部には、接続信頼性を向上させるために第1のパッド部33が形成されている。また、第1透明電極層31a～31hにおいて、第1引出配線層32と接続されていない端部には、電気特性検査用の第2のパッド部34が形成されている。本実施形態においては、第1のパッド部33及び第2のパッド部34の幅（Y1-Y2方向の幅）は、第1透明電極層31a～31hのY1-Y2方向の幅と同じく形成されている。

40

【0035】

第1引出配線層32、第1パッド部33及び第2パッド部34は、接続信頼性を確保するために銀や銅などの低抵抗の金属材料を用いて、スパッタ法や蒸着法等の薄膜法で形成することができる。または、銀または銅などから構成される導電性ペーストを用いてスク

50

リーン印刷法やインクジェット印刷法などの印刷法により形成することも可能である。低抵抗の金属材料を用いることにより確実に接続されるとともに、第1引出配線層32の幅を狭くしても十分な導通が得られるため、入力装置の狭額縁化が可能となる。なお、第1引出配線層32、第1パッド部33及び第2パッド部34は、第1透明電極層31と同じ材料で形成された第1配線層と、その上に積層された金属材料からなる第2配線層との積層構造としてもよい。

#### 【0036】

図3に示すように、第1透明電極層31a～31hの両端部に第1のパッド部33と第2のパッド部34とを形成することにより、電気特性を測定する際に、第1のパッド部33と第2のパッド部34にプローブピンを接触させて容易に測定可能である。第1のパッド部33及び第2のパッド部34には金属材料を用いていることから、プローブピンとの接触抵抗が小さく抑えられ、容易に、かつ確実に測定することができる。また、銀や銅などの金属材料は高い靱性を有するため、プローブピンを第1のパッド部33と第2のパッド部34とに接触させても、第1透明電極層31にクラックや打痕が発生することを抑制することができ、第1透明電極層31にダメージを与えることなく測定することが可能となる。

10

#### 【0037】

また、第1のFPC接続部62、第1のパッド部33及び第2のパッド部34に電気特性測定用プローブピンを接触させることにより、第1引出配線層32及び第1透明電極層31の電気特性を短時間で測定することが可能である。したがって、第1透明電極層31や第1引出配線層32の不具合を、入力装置1として組み立てる前に容易に、素早く検査可能であるため、入力装置1の製造工程において歩留まりを向上させることができ、製造コストの低減につながる。

20

#### 【0038】

また、図4には第2透明基材40の平面図を示す。図4に示すように、第2透明電極層41はY1-Y2方向に延出し、X1-X2方向に間隔を空けて配列された複数の帯状の第2透明電極層41a～41fから構成される。第2引出配線層42は、第2透明電極層41a～41fのY2側の端部に接続されて、Y2側の非入力領域22を引き回されて、第2のFPC接続部63と接続される。第2透明電極層41a～41fと第2引出配線層42との接続部には、接続信頼性を確保するために第3のパッド部43が形成されている。また、第2透明電極層41a～41fのY1側の端部には、電気特性検査用の第4のパッド部44が形成されている。

30

#### 【0039】

第2引出配線層42、第3のパッド部43及び第4のパッド部44は、銀または銅などの低抵抗の金属材料から構成される。また、第2透明電極層41の両端部に第3のパッド部43及び第4のパッド部44を形成することにより、容易に電気特性の測定が可能であり、かつ、第2透明電極層41にクラックや打痕などのダメージを与えることなく測定することができる。

#### 【0040】

図3に示した第1透明基材30と図4に示した第2透明基材40とが第1光学粘着層51を介して積層されることにより、第1透明電極層31a～31hと第2透明電極層41a～41fとのそれぞれの交点で静電容量が形成される。静電容量式の入力装置1は、各交点での静電容量の変化から入力位置情報を検出することができる。また、入力操作以外で顔や手などを入力面に近づけたときに誤動作や誤入力が発生することを防ぐために、ある検出閾値を設けて、閾値以下の静電容量変化は入力操作と見なさないように設定する必要がある。しかし、第1透明電極層31a～31hと第2透明電極層41a～41fとの各交点で形成されている静電容量が不均一であるときには、入力領域21の一部では通常の入力操作を検出出来ない場合や、入力操作以外の誤動作が起こりやすくなる可能性が考えられる。

40

#### 【0041】

50

また、図3に示したように、本実施形態の入力装置1において、第1透明電極層31a～31hのX1側またはX2側の一端には引出配線層32が接続されているが、他端は電氣的に開放された状態で配置されている。このような透明電極層端部では電界の挙動が不安定になり、また、非入力領域22に形成される部材の影響や外部ノイズの影響を受けやすくなるため、静電容量値の分布が不均一になりやすくなることが知られている。

【0042】

図5には、第1透明電極層31のX1-X2方向の端部付近における模式断面図を示し、図5(a)には、第1透明電極層31fのX1側の端部付近、図5(b)には第1透明電極層31fのX2側の端部付近、図5(c)には第1透明電極層31cのX1側の端部付近における模式断面図をそれぞれ示す。なお、図5(a)～図5(c)では、第2透明  
10  
基材40及び第1光学粘着層51を省略して示している。

【0043】

図5(a)に示すように、第1透明電極層31fのX1側の端部付近においては、第1透明電極層31fと第2透明電極層41aとで形成される静電容量と、その周辺に配置されている第2のパッド部34と第2透明電極層41aとの静電容量とが結合されて、静電容量が形成される。また、図5(b)に示すように第1透明電極層31fのX2側の端部付近においても同様に、第1透明電極層31fと第2透明電極層41fとで形成される静電容量と、その周辺に配置されている第1のパッド部33と第2透明電極層41fとの静電容量とが結合されて、静電容量が形成される。

【0044】

図5(a)及び図5(b)に示すように、第1透明電極層31fのX2側の端部に第1のパッド部33を形成し、X1側の端部に第2のパッド部34を形成することにより、第1透明電極層31fの両端付近に配置される部材の誘電率や厚みを同等に形成することができる。したがって、第1透明電極層31fの両端における静電容量分布の均一性を向上させることができる。なお図5(a)及び図5(b)では、第1透明電極層31fについて示したが、他の第1透明電極層31a～31hにおいてもそれぞれ第1パッド部33、第2パッド部34が形成されており、静電容量分布の均一性を向上させることが可能である。  
20

【0045】

また、図5(c)に示すように、第1透明電極層31cのX1側の端部付近においても、配置される部材の誘電率や厚みは、図5(a)に示した構成と同等に形成されていることから、静電容量分布の均一性を向上させることができる。すなわち、第1透明電極層31a～31hのX1側の端部、あるいはX2側の端部におけるY1-Y2方向の均一性を向上させることが可能である。  
30

【0046】

なお、対向する第1のパッド部33と第2のパッド部34とは略同等の幅を有するように形成されることが好適であり、これによれば、静電容量値の分布の均一性をより確実に向上させることができる。また、図3に示したように、第1パッド部33及び第2パッド部34は、第1透明電極層31a～31hと同一の幅で形成されることが好ましい。こうすれば、第1透明電極層31端部の幅方向についても静電容量分布の均一性が向上されるため、より効果的に入力領域21の静電容量分布の均一性を向上させることが可能となる。さらに、検査用のプローブピンを第1のパッド部33と第2のパッド部34とに接触させやすくなるため、電気特性検査をより容易に行うことが可能となる。なお、第1パッド部33及び第2パッド部34の形状や大きさは、本実施形態に示した態様に限られるものではない。  
40

【0047】

また、本実施形態では第1透明電極層31a～31dと、第1透明電極層31e～31hとで、異なる方向の端部から第1引出配線層32が接続されているが、このような態様に限定されるものではない。図6に示すように、第1透明電極層31と第1引出配線層32との接続する方向を互い違いに変えた場合であっても、同様の効果が得られる。また、  
50

第1透明電極層31a～31hについて全て同じ方向の端部に、第1のパッド部33を介して第1引出配線層32を接続してもよい。この場合も、第1のパッド33が形成されていない側の第1透明電極層31端部に、第2のパッド34を設けることにより透明電極層の電気特性検査を容易に行うことができ、また、静電容量分布の均一性を向上させることができる。

#### 【0048】

<第2の実施形態>

図7には第2の実施形態における入力装置1の第1透明基材30の平面図を示し、図8には、第2透明基材40の平面図を示す。なお、第1の実施形態と同様の構造、部材に関してはその詳細の説明、図面は省略する。図7に示すように、第2の実施形態における第1透明電極層31は、略菱形形状の第1電極部35がX1-X2方向に細い連結部を介して接続されており、Y1-Y2方向に間隔を空けて配列されている。また、図8に示すように第2透明電極層41は、略菱形形状の第2電極部45がY1-Y2方向に細い連結部を介して接続されており、X1-X2方向に間隔を空けて配列されている。

10

#### 【0049】

本実施形態において、第1電極部35と第2電極部45とは平面視で重ならない位置に配置されている。第1透明基材30と第2透明基材40とを積層して組み立てた入力装置1において、指を入力装置1の入力面に接触または近接させると、指と第1電極部35、指と第2電極部45の間で静電容量値が形成されて静電容量値が変化する。この静電容量変化によって入力位置情報を検出することができる。

20

#### 【0050】

なお、本実施形態では、第1電極部35及び第2電極部45は略菱形形状に形成されているが、この形状に限定されるものではない。

#### 【0051】

本実施形態においても、図7に示すように、第1透明電極層31の一端には、接続用の第1パッド部33を介して第1引出配線層32が接続されており、他端には電気特性検査用の第2パッド部34が形成されている。また、図8に示すように、第2透明電極層41の一端には接続用の第3のパッド部43が形成されており、他端には電気特性検査用の第4のパッド部44が形成されている。

#### 【0052】

このように各パッド部を形成することにより、第1透明電極層31及び第2透明電極層41の電気特性について、各パッド部にプローブピンを接触させて容易に検査することが可能であり、また、測定時に透明電極膜にダメージを与えることを防ぐことができる。また、第1透明電極層31の両端に第1のパッド部33と第2のパッド部34とを形成することにより、第1透明電極層31の両端付近に配置される部材の誘電率や厚みを同等にすることができるため、第1透明電極層31の端部付近における静電容量分布の均一性を向上させることが可能となる。

30

#### 【0053】

なお、対向する第1のパッド部33と第2のパッド部34とは略同等の幅を有するように形成されることが好適であり、こうすれば、第1透明電極層31の両端付近に配置される部材の誘電率や厚みをより確実に同等にすることができるため、静電容量値の分布の均一性をより向上させることができる。また、図7に示すように、第1のパッド部33及び第2のパッド部34と第1透明電極層31とが接続される幅は、第1透明電極層31の端部の幅と略同等で形成されていることが好ましい。こうすれば、第1透明電極層31の幅方向についても静電容量分布の均一性が向上されるため、より確実に静電容量分布の均一性を向上させることができる。

40

#### 【0054】

また、第1の実施形態及び第2の実施形態では、第1透明基材30と第2透明基材40とが積層された構成の入力装置1について示したが、1枚の透明基材の表裏面、あるいは片面に透明電極層を形成して静電容量値の変化を検出する構成の入力装置においても、本

50

発明を適用することが可能であり、同様の効果を得ることができる。

【実施例】

【0055】

図9には、実施例に用いた入力装置における第1透明電極層31及び第2透明電極層41について模式平面透視図を示す。本実施例において、第1透明電極層31(X電極)はX1-X2方向に延出されて、Y1-Y2方向に間隔を空けて計18本形成されている(X1~X18)。第2透明電極層41(Y電極)はY1-Y2方向に延出されて、X1-X2方向に間隔を空けて計10本形成されている(Y1~Y10)。

【0056】

実施例に用いた入力装置において、第1透明電極層31(X電極)の一端には第1引出配線層32(図示しない)との接続のために第1のパッド部33が形成されており、他端には電気特性検査用の第2のパッド部34が形成されている。また、第2透明電極層41(Y電極)においても一端に接続用に第3のパッド部43が形成されており、他端には電気特性検査用の第4のパッド部44が形成されている。第1引出配線層32及び第2引出配線層42は、第1のFPC接続部62、第2のFPC接続部63と接続されて、FPC61と接続される。実施例の入力装置は、FPC61を介して制御用のIC(Integrated Circuit)(図示しない)と接続されている。また、比較例に用いた入力装置は、第1透明電極層31、第2透明電極層41、第1のパッド部33の構成は同じであるが、第2のパッド部34が形成されていない構成となっている。

10

【0057】

図9では一部省略しているが、実施例の入力装置において、第1透明電極層31(X1-X9)のX1方向の端部には第1のパッド部33が形成されており、X2方向の端部には第2のパッド部34が形成されている。また、第1透明電極層31(X10-X18)のX2方向の端部には第1のパッド部33が形成されており、X1方向の端部には第2のパッド部34が形成されている。これに対し、比較例においては、第1透明電極層31(X1-X9)のX2方向の端部、第1透明電極層31(X10-X18)のX1方向の端部には、第2のパッド部34が形成されていない。

20

【0058】

図10(a)及び図10(b)には、実施例及び比較例の入力装置について、第1透明電極層31と第2透明電極層41との各交点における静電容量値から、ICで演算されて出力された値のグラフを示す。図10(a)及び図10(b)は、第2透明電極層41(Y電極)のうち例えばY1電極に沿って、X1~X18との交点を走査して各静電容量値から演算されたIC出力値を示しており、これを各Y電極(Y1~Y10)について繰り返し走査した結果を示す。なお、本実施例においてIC出力値とは、静電容量値を規格化した値であり、図10(a)及び図10(b)のグラフは入力面に指などを触れていない状態で測定しており、入力装置の静電容量の分布を示している。

30

【0059】

図10(a)に示すように、実施例の入力装置では、Y電極に沿って各X電極(X1~X18)との交点を走査して測定されたIC出力値(静電容量値を規格化した値)は、ほぼ一定の値を示している。図10(b)には、比較例の入力装置について同じ方法で測定したグラフを示す。特に点線で囲んだ領域で顕著に表れているように、第1のパッド部33が形成されているX1~X9に対して、第2のパッド部34が形成されていないX10~X18では大きくIC出力値(静電容量値を規格化した値)が低下している。特に、X9とX10とではIC出力値(静電容量値を規格化した値)で約800程度のばらつきが発生している箇所があり、第1のパッド部33が形成されている箇所と、第2のパッド部34が形成されていない箇所とで、静電容量分布が不均一になっているといえる。また、比較例における全交点のIC出力値(静電容量値を規格化した値)の幅は約2000であるのに対し、実施例における全交点のIC出力値(静電容量値を規格化した値)の幅は約1500と小さくなっており、入力領域21全体でのIC出力値(静電容量値を規格化した値)の均一性が向上されているといえる。

40

50

## 【 0 0 6 0 】

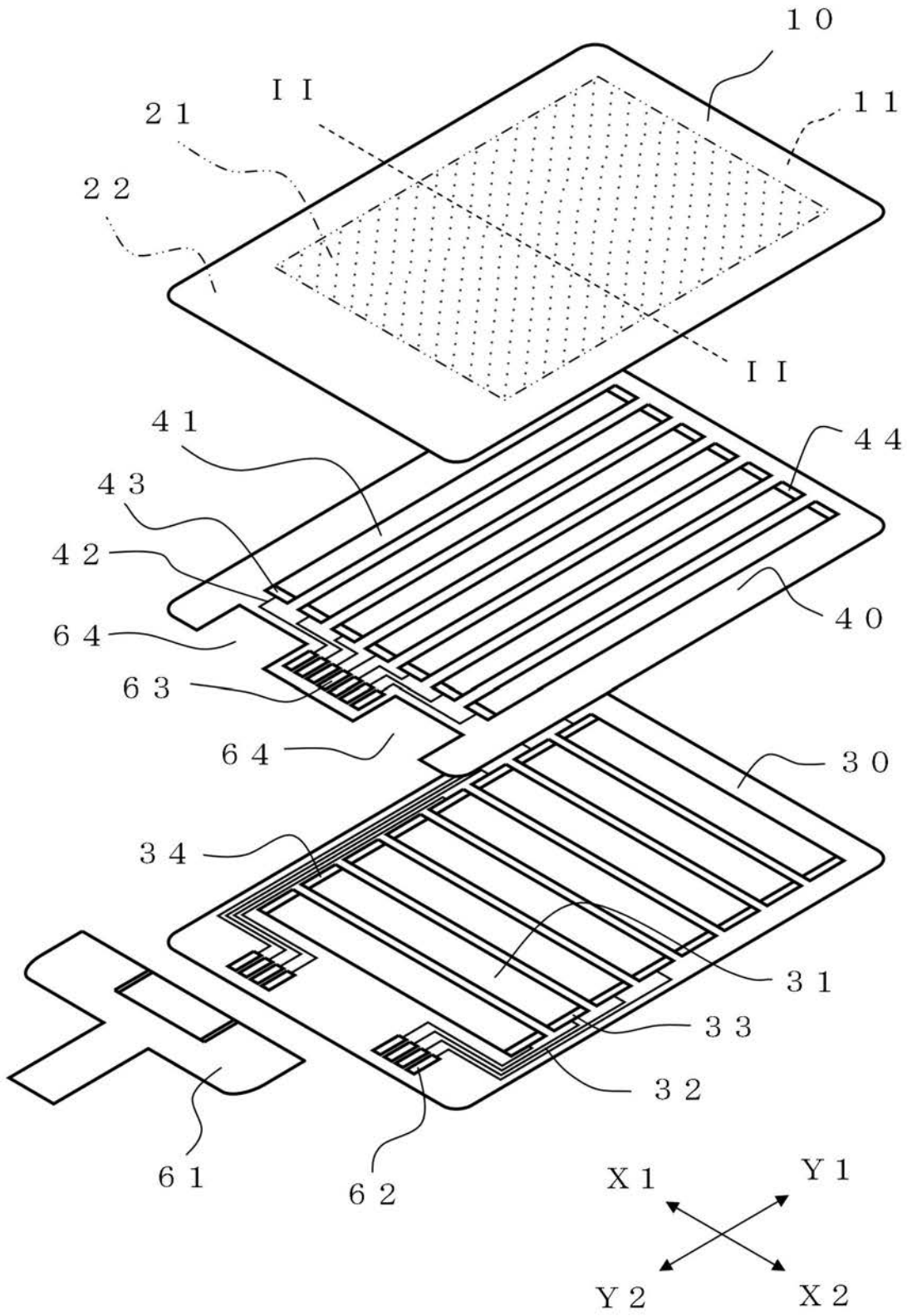
図 1 0 ( a ) 及び図 1 0 ( b ) の結果から、第 1 透明電極層 3 1 の両端に接続用の第 1 パッド部 3 3 と電気特性検査用の第 2 パッド部 3 4 とが形成されたことにより、入力領域 2 1 における静電容量分布の均一性を向上させることが可能であると示された。

## 【 符号の説明 】

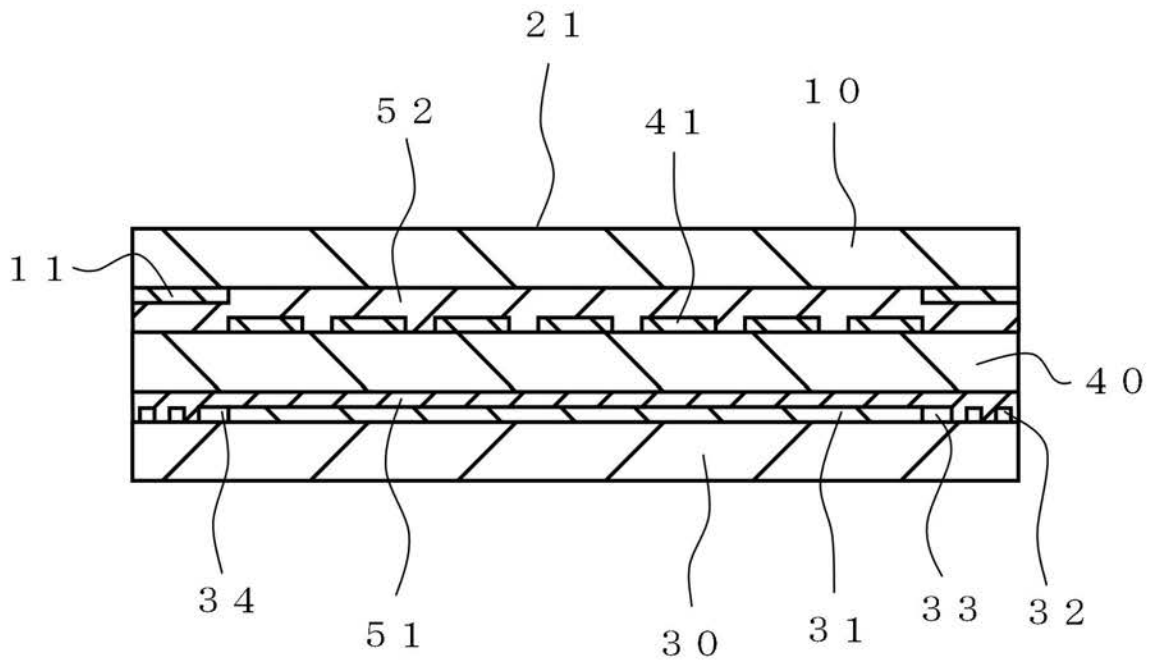
## 【 0 0 6 1 】

- |     |                        |    |
|-----|------------------------|----|
| 1   | 入力装置                   |    |
| 1 0 | 表面部材                   |    |
| 2 1 | 入力領域                   |    |
| 2 2 | 非入力領域                  | 10 |
| 3 0 | 第 1 透明基材               |    |
| 3 1 | 第 1 透明電極層              |    |
| 3 2 | 第 1 引出配線層              |    |
| 3 3 | 第 1 のパッド部              |    |
| 3 4 | 第 2 のパッド部              |    |
| 3 5 | 第 1 電極部                |    |
| 4 0 | 第 2 透明基材               |    |
| 4 1 | 第 2 透明電極層              |    |
| 4 2 | 第 2 引出配線層              |    |
| 4 3 | 第 3 のパッド部              | 20 |
| 4 4 | 第 4 のパッド部              |    |
| 4 5 | 第 2 電極部                |    |
| 5 1 | 第 1 光学粘着層              |    |
| 5 2 | 第 2 光学粘着層              |    |
| 6 1 | フレキシブルプリント基板 ( F P C ) |    |
| 6 2 | 第 1 の F P C 接続部        |    |
| 6 3 | 第 2 の F P C 接続部        |    |

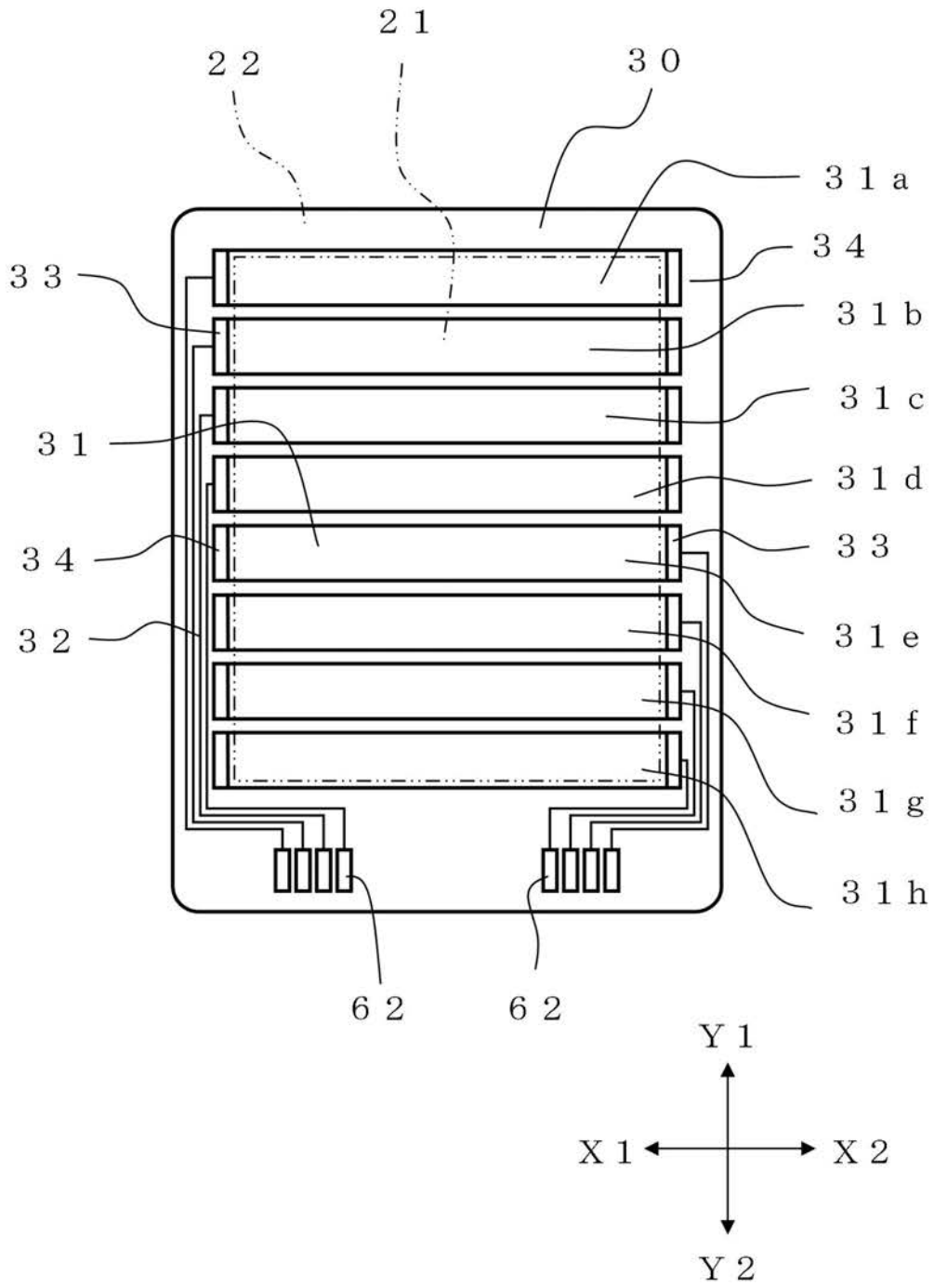
【図1】



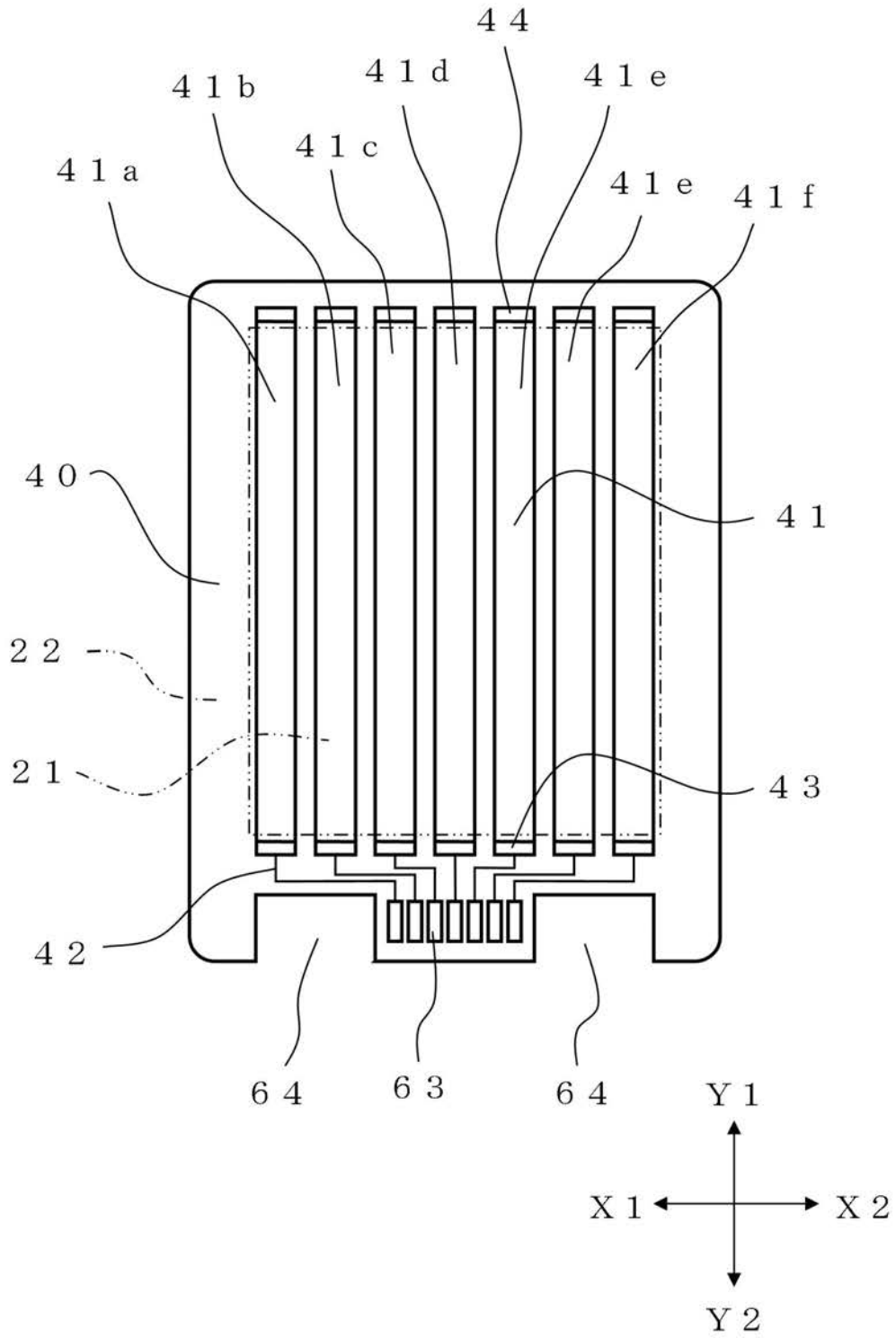
【 図 2 】



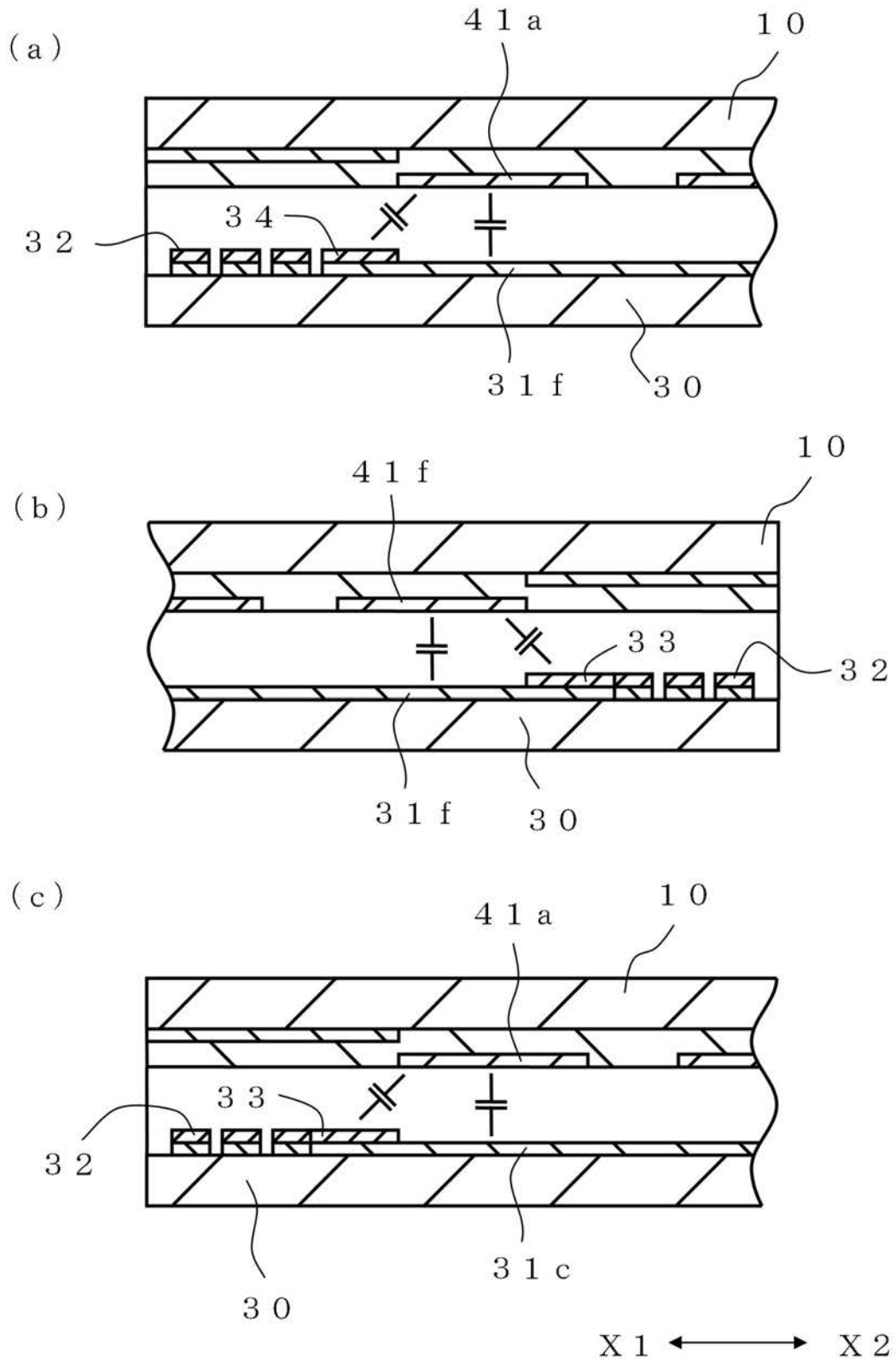
【図 3】



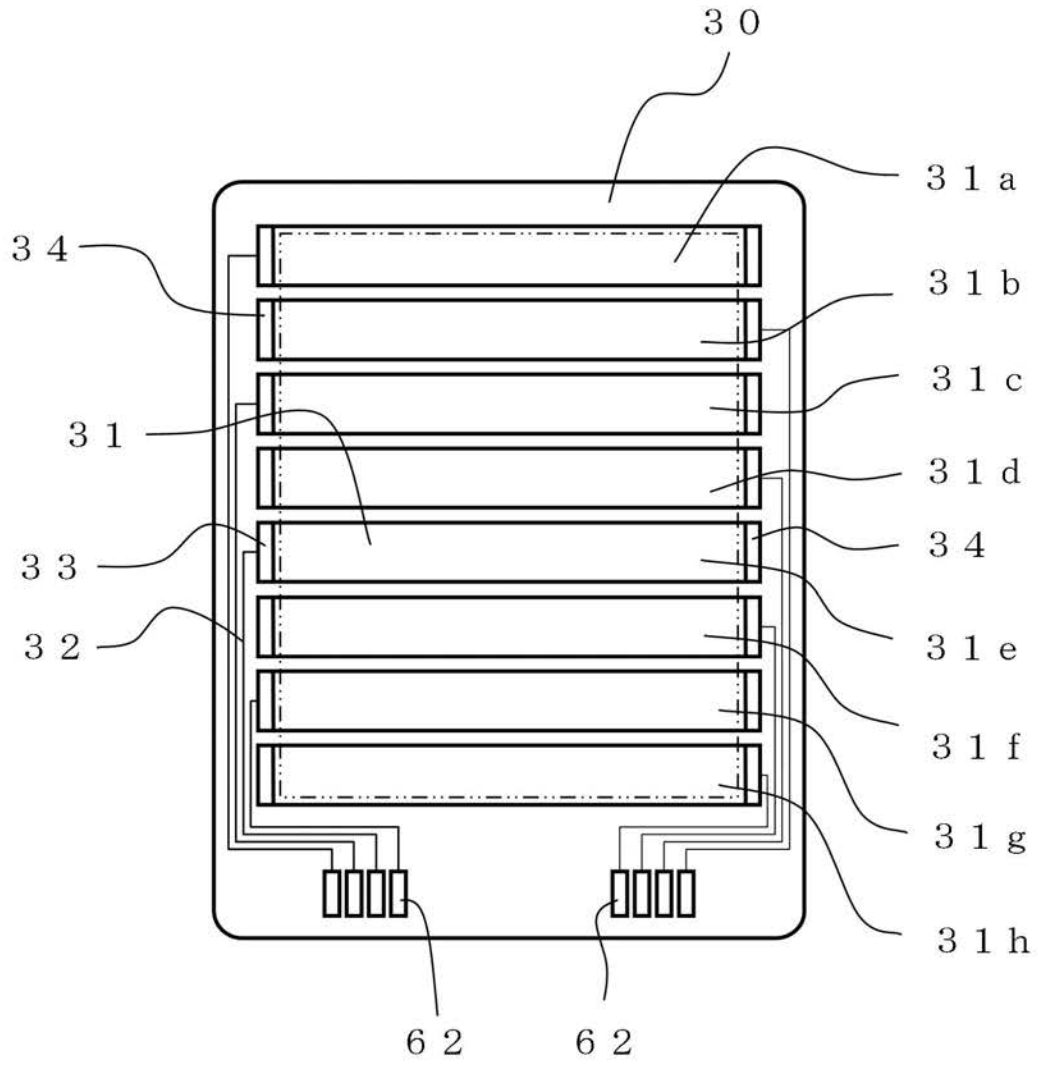
【 図 4 】



【図5】

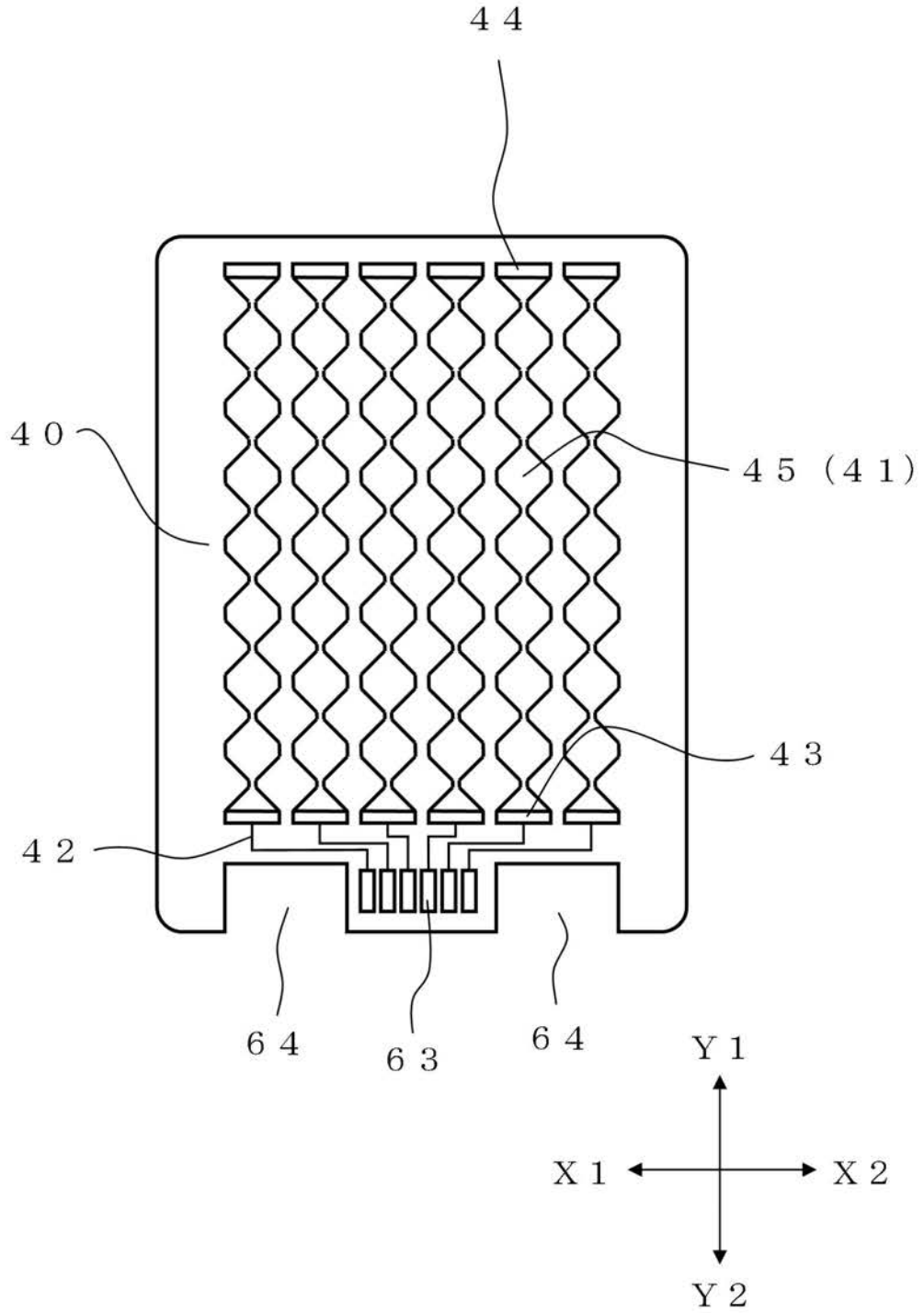


【図 6】

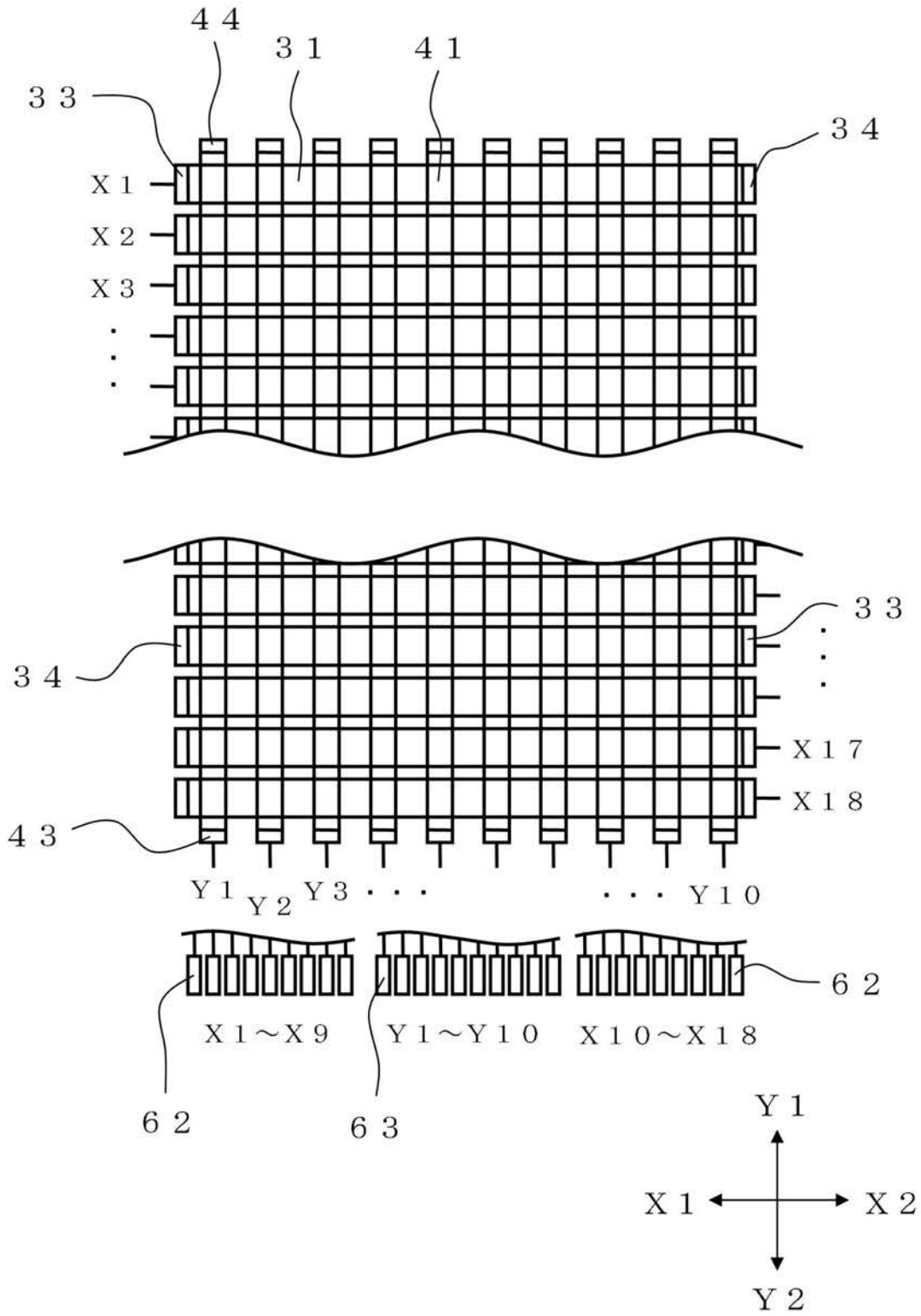




【 図 8 】

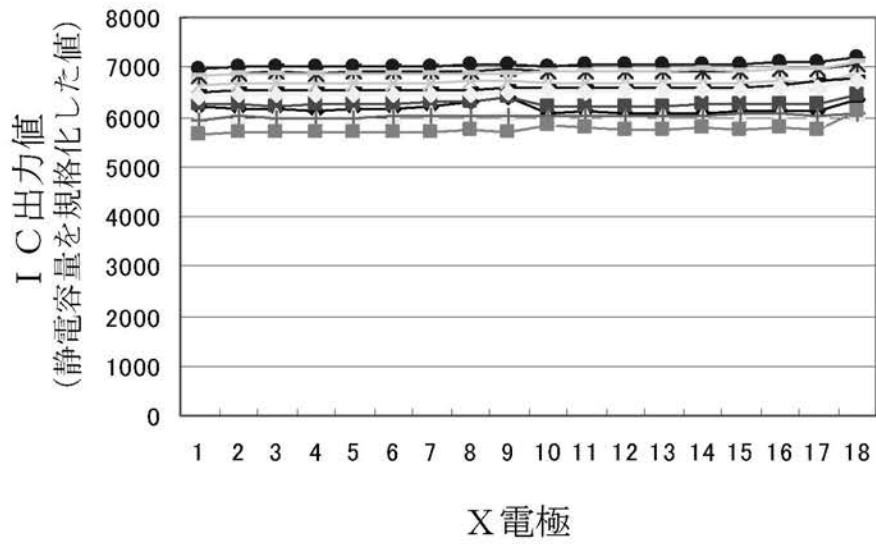


【 図 9 】

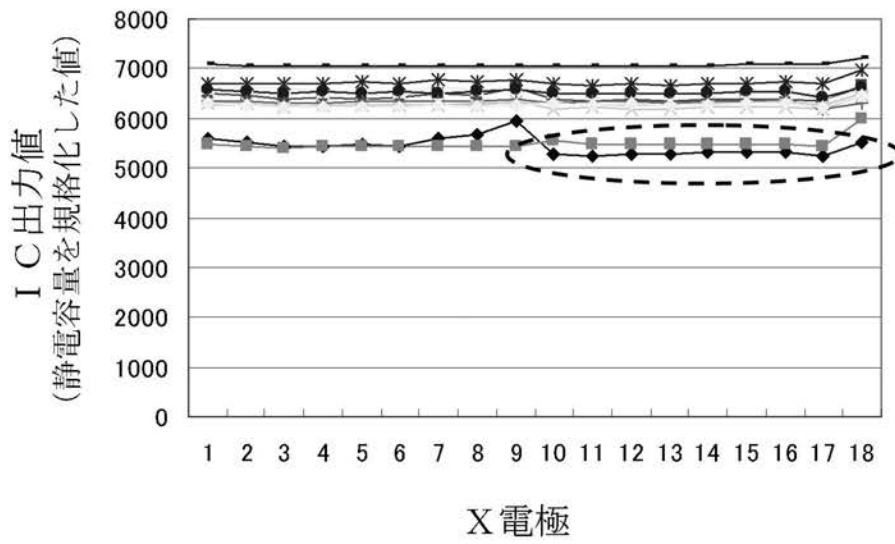


【図 10】

(a)



(b)



【図 11】

