

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6220946号
(P6220946)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int.Cl.	F I				
G09F	9/30	(2006.01)	G09F	9/30	330
G09F	9/00	(2006.01)	G09F	9/00	348Z
G02F	1/1345	(2006.01)	G02F	1/1345	
G02F	1/1368	(2006.01)	G02F	1/1368	
H05K	1/11	(2006.01)	H05K	1/11	D
請求項の数 1 (全 74 頁) 最終頁に続く					

(21) 出願番号	特願2016-197193 (P2016-197193)	(73) 特許権者	000153878
(22) 出願日	平成28年10月5日(2016.10.5)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-94513 (P2015-94513)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	木村 肇
原出願日	平成18年4月25日(2006.4.25)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2017-21377 (P2017-21377A)		半導体エネルギー研究所内
(43) 公開日	平成29年1月26日(2017.1.26)	(72) 発明者	山崎 舜平
審査請求日	平成28年10月19日(2016.10.19)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-133741 (P2005-133741)		半導体エネルギー研究所内
(32) 優先日	平成17年4月28日(2005.4.28)		
(33) 優先権主張国	日本国(JP)	審査官	小野 博之

最終頁に続く

(54) 【発明の名称】 表示パネル

(57) 【特許請求の範囲】

【請求項1】

画素部と、
 複数の接続パッドを有する接続端子部と、
 複数の配線を有するシール領域部と、を有し、
 前記複数の配線は、等しい線幅を有し、
 前記複数の配線は、等しいピッチで配置され、
 前記複数の接続パッドは、第1の接続パッドと、第2の接続パッドと、第3の接続パッドと、を有し、

前記第2の接続パッドは、前記接続端子部において、前記第1の接続パッドと、前記第1及び第2の接続パッドよりも下層の導電層を介して、電氣的に接続され、
 前記第3の接続パッドは、前記複数の配線のうちの一つのみと接続され、
 前記第1の接続パッドは、前記複数の配線のうち二つ以上と接続され、
 前記第1の接続パッドと接続されている配線は、前記接続端子部とは逆方向の領域で、一つの配線に接続され

前記第2の接続パッドは、前記複数の配線のうち二つ以上と接続されていることを特徴とする表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は接続端子を有する半導体装置に関する。特に、画素がマトリクスに配置された画素部を有する表示装置の接続端子の構造や、外部端子と表示装置の接続端子との接続構造に関する。

【背景技術】

【0002】

表示装置においては、表示パネルにフレキシブルプリントサーキットを導電接続した構造を有し、このフレキシブルプリントサーキットから表示パネルに対して信号や電源が供給されることがある。

【0003】

例えば、表示パネルは、基板上に画素部と、画素部を駆動する周辺駆動回路とを有し、基板はシール材によって対向基板とシール領域で張り合わされる。そして、少なくとも画素部は基板と対向基板とシール材によって封入される。

10

【0004】

そして、基板には、対向基板とは重ならない領域があり、その領域に接続端子部が形成される。接続端子部には、電極（接続パッド）がストライプ状に配置されている。そして、その電極は、シール領域内から外側に延びて形成されている配線と接続されている。

【0005】

表示パネルは、接続端子部において、接続端子の電極（接続パッド）とフレキシブルプリントサーキット端子の電極（FPCパッド）とが異方性導電膜などによって熱圧着で電気的に接続される。

20

【0006】

そして、フレキシブルサーキットから供給される信号や電源は、各接続端子や配線を通して基板上の回路に供給される。

【0007】

ここで、基板上の回路の電源となる電源電位が供給される配線や、その配線間の接続部や、FPC端子と基板上の接続端子との接続部などを含めた電源供給ライン（電源供給経路）には、画素や周辺駆動回路などを動作させるため、大量の電流が流れることになる。

【0008】

よって、電源供給ラインにおいての抵抗が大きいと、電源供給ラインでの電圧降下が大きくなってしまふ。すると、画素や周辺駆動回路に供給される電源電位は、所望の電源電位より、低くなってしまふ。すると、画素や周辺駆動回路に入力される電源電位が低下し、表示不良を引き起こしてしまふ。

30

【0009】

そこで、電源の供給をフレキシブルプリントサーキットの複数の配線を介して行い、基板上の回路の電源となる電源電位が入力されている接続端子と接続されている配線を、シール領域内で互いに接続する構成が特許文献1及び特許文献2に記載されている。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2001-109395号公報

40

【特許文献2】特開2001-102169号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかし、上記のような構成によっても、基板とFPCとの貼り合わせにおいて、接続パッドの線幅方向に位置ずれが生じると、FPC端子と接続端子との接続面積が小さくなり、接触抵抗が大きくなってしまふ。とくに、電源となる電源電位が入力されている接続端子での接触抵抗の増加は表示不良の原因となる。

【0012】

そこで、本発明は、電源供給ラインの抵抗を小さくし、電源供給ラインでの電圧降下を抑

50

制し、表示不良を防止することを課題とする。

【課題を解決するための手段】

【0013】

本発明の構成を以下に示す。

【0014】

本発明の半導体装置は、接続端子部を有し、該接続端子部には、複数の接続端子を有し、該複数の接続端子は、それぞれ接続端子の一部を成す接続パッドを備え、該複数の接続パッドには、第1の接続パッドと、該第1の接続パッドと線幅の異なる第2の接続パッドと、が含まれ、該複数の接続パッドのピッチは等しい。

【0015】

また、本発明の半導体装置は、接続端子部を有し、該接続端子部には、線幅の等しい接続パッドが等間隔で複数配置され、該複数の接続パッドのうち、2以上の接続パッドが、該接続端子部において引き回された配線によりつながっている接続端子を有する。

【0016】

また、本発明の半導体装置は、接続端子部を有し、該接続端子部には、線幅の等しい接続パッドが等間隔で複数配置され、該複数の接続パッドのうち、2以上の接続パッドが、該接続端子部において、コンタクトホールを介して下層の電極で接続されている接続端子を有する。

【0017】

また、本発明の半導体装置は、上記構成において、該接続端子部にフレキシブルプリントサーキットが接続されている。

【0018】

また、本発明の半導体装置は、上記構成において、該接続端子部のうち少なくとも一つの接続端子は、該フレキシブルプリントサーキットの複数の端子と接続され、該接続端子と該フレキシブルプリントサーキットの複数の端子との接触抵抗が5以下である。

【0019】

本発明の表示装置は、画素部と周辺駆動回路と接続端子部とを有し、該接続端子部には、複数の接続端子を有し、該複数の接続端子は、それぞれ接続端子の一部を成す接続パッドを備え、該複数の接続パッドには、第1の接続パッドと、該第1の接続パッドと線幅の異なる第2の接続パッドと、が含まれ、該複数の接続パッドのピッチは等しい。

【0020】

また、本発明の表示装置は、画素部と周辺駆動回路と接続端子部とを有し、該接続端子部には、線幅の等しい接続パッドが等間隔で複数配置され、該複数の接続パッドのうち、2以上の接続パッドが、該接続端子部において引き回された配線によりつながっている接続端子を有する。

【0021】

また、本発明の表示装置は、画素部と周辺駆動回路と接続端子部とを有し、該接続端子部には、線幅の等しい接続パッドが等間隔で複数配置され、該複数の接続パッドのうち、2以上の接続パッドが、該接続端子部において、コンタクトホールを介して下層の電極で接続されている接続端子を有する。

【0022】

また、本発明の表示装置は、上記構成において、該接続端子部にフレキシブルプリントサーキットが接続されている。

【0023】

また、本発明の表示装置は、上記構成において、該接続端子部のうち少なくとも一つの接続端子は、該フレキシブルプリントサーキットの複数の端子と接続され、該接続端子と該フレキシブルプリントサーキットの複数の端子との接触抵抗が5以下である。

【0024】

また、本発明の表示装置は、画素部と周辺駆動回路と接続端子部とを有し、該接続端子部には、複数の接続端子を有し、該複数の接続端子は、それぞれ接続端子の一部を成す接続

10

20

30

40

50

パッドを備え、該複数の接続パッドのピッチは等しく、該複数の接続パッドには、第1の接続パッドと、該第1の接続パッドよりも線幅の大きい第2の接続パッドと、が含まれ、該第2の接続パッドには複数の配線が電氣的に接続され、該複数の配線は表示素子の対向電極に電氣的に接続されている。

【0025】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、 GND 、 $0V$ など）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、スイッチを介して出力する電圧（つまりスイッチへの入力電圧）が、出力電圧に対して、高かったり、低かったりして、状況が変化する場合においても、適切に動作させることが出来る。

【0026】

なお、本発明において、接続されているとは、電氣的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が配置されていてもよい。あるいは、間に他の素子を挟まずに、直接接続されて、配置されていてもよい。なお、電氣的な接続を可能とする他の素子を間に介さずに接続されていて、直接接続されている場合のみを含む場合であって、電氣的に接続されている場合を含まない場合には、直接接続されている、と記載するものとする。なお、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合と直接接続されている場合とを含むものとする。

【0027】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、 ZnO 、 $a-InGaZnO$ などの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。

【0028】

なお、本発明においては、一画素とは画像の最小単位を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。

なお、色要素は、三色に限定されず、それ以上でもよく、例えば、R G B W (Wは白)や、R G Bに、イエロー、シアン、マゼンダを追加したものなどがある。なお、一画素に、ある色の色要素のドットが複数あってもよい。そのとき、その複数の色要素は、各々、表示に寄与する領域の大きさが異なってもよい。また、ある色の色要素の複数のドットのうち、それぞれのドットを各々制御することによって、階調を表現してもよい。これを、面積階調方式と呼ぶ。あるいは、ある色の色要素の複数のドットのうち、それぞれのドットを用いて、各々のドットに供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。

【0029】

なお、画素がマトリクスに配置(配列)されているとは、縦縞と横縞を組み合わせたいわゆる格子状にストライプ配置されている場合を含んでいる。そして、三色の色要素(例えばR G B)でフルカラー表示を行う場合に、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、R G B W (Wは白)や、R G Bに、イエロー、シアン、マゼンダを追加したものなどがある。また、色要素のドット毎にその発光領域の大きさが異なってもよい。

【0030】

なお、本発明において、半導体装置とは半導体素子(トランジスタやダイオードなど)を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、表示素子(液晶素子や発光素子など)を有する装置のことを言う。なお、基板上に液晶素子やE L素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体のことでもよい。さらに、フレキシブルプリントサーキット(F P C)やプリント配線基盤(P W B)が取り付けられたもの(I Cや抵抗素子や容量素子やインダクタやトランジスタなど)も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでもよい。さらに、バックライト(導光板やプリズムシートや拡散シートや反射シートや光源(L E Dや冷陰極管など)を含んでもよい)を含んでもよい。

【発明の効果】

【0031】

電源供給ラインの抵抗が小さくなり、電源供給ラインでの電圧降下が抑制されることにより、表示不良を防止することができる。

【図面の簡単な説明】

【0032】

【図1】(A)本発明の表示パネルを示す図。(B)接続端子部を説明する図。

【図2】本発明の表示装置の模式図。

【図3】本発明の表示装置の模式図。

【図4】接続端子部を説明する図。

【図5】接続端子部を説明する図。

【図6】接続端子部を説明する図。

【図7】本発明の表示装置の模式図。

【図8】本発明の表示パネルを示す図。

【図9】本発明の表示装置の模式図。

【図10】接続端子部を説明する図。

【図11】接続端子部を説明する図。

【図12】接続端子部を説明する図。

【図13】本発明の表示装置の模式図。

【図14】本発明の表示装置の模式図。

【図15】本発明の表示装置の模式図。

【図16】本発明の表示装置の模式図。

【図17】本発明の表示装置の模式図。

10

20

30

40

50

【図 1 8】本発明の表示装置の模式図。	
【図 1 9】本発明の表示装置の模式図。	
【図 2 0】本発明の表示装置の模式図。	
【図 2 1】本発明の表示装置の模式図。	
【図 2 2】本発明の表示装置の模式図。	
【図 2 3】本発明の表示装置の模式図。	
【図 2 4】本発明の表示装置の模式図。	
【図 2 5】本発明の表示装置の模式図。	
【図 2 6】本発明の表示装置の模式図。	
【図 2 7】本発明の表示装置の模式図。	10
【図 2 8】本発明の表示装置の模式図。	
【図 2 9】本発明の表示装置の模式図。	
【図 3 0】本発明の表示装置の模式図。	
【図 3 1】本発明の表示装置の模式図。	
【図 3 2】本発明の表示装置の模式図。	
【図 3 3】本発明の表示装置の模式図。	
【図 3 4】本発明の表示装置の模式図。	
【図 3 5】接続端子部を説明する図。	
【図 3 6】接続端子部を説明する図。	
【図 3 7】接続端子部を説明する図。	20
【図 3 8】接続端子部を説明する図。	
【図 3 9】接続端子部を説明する図。	
【図 4 0】本発明の表示装置の模式図。	
【図 4 1】本発明の表示装置の模式図。	
【図 4 2】信号線駆動回路を説明する図。	
【図 4 3】電流源回路を説明する図。	
【図 4 4】接続端子部を説明する図。	
【図 4 5】接続端子部を説明する図。	
【図 4 6】接続端子部を説明する図。	
【図 4 7】接続端子部を説明する図。	30
【図 4 8】接続端子部を説明する図。	
【図 4 9】接続端子部を説明する図。	
【図 5 0】接続端子部を説明する図。	
【図 5 1】接続端子部を説明する図。	
【図 5 2】本発明の表示装置の断面図。	
【図 5 3】本発明の表示装置の断面図。	
【図 5 4】本発明の表示装置の断面図。	
【図 5 5】本発明の表示装置の断面図。	
【図 5 6】本発明の表示装置の断面図。	
【図 5 7】本発明の表示装置の断面図。	40
【図 5 8】本発明の表示装置の断面図。	
【図 5 9】本発明の表示装置の断面図。	
【図 6 0】本発明の表示装置の断面図。	
【図 6 1】接続端子部を説明する図。	
【図 6 2】E L モジュールの例。	
【図 6 3】E L テレビ受像機の主要な構成を示すブロック図。	
【図 6 4】本発明の適用可能な携帯電話機の例。	
【図 6 5】電子機器の例。	
【図 6 6】(a) 本発明の表示パネルの構成を示す模式図。(b) 本発明の表示パネルの構成を示す模式図。	50

【図 6 7】接続端子部を説明する図。

【図 6 8】シフトレジスタ及びバッファ回路への電源の供給を説明する図。

【図 6 9】本発明の表示パネルを示す図。

【図 7 0】本発明の表示パネルを示す図。

【図 7 1】本発明の表示パネルを示す図。

【図 7 2】発光素子を示す図。

【図 7 3】表示装置の断面図。

【図 7 4】表示装置の断面図。

【図 7 5】表示装置の断面図。

【図 7 6】本発明の表示パネルを示す図。

10

【図 7 7】本発明の表示パネルの部分拡大図。

【図 7 8】本発明の表示パネルの部分拡大図。

【図 7 9】発光素子の例。

【図 8 0】発光素子の例。

【発明を実施するための形態】

【0033】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

20

【0034】

本発明の半導体装置は、基板上に回路が形成され、FPC(Flexible Print Circuit:フレキシブルプリントサーキット)と接続される接続端子部を有している。そして、接続端子部は複数の接続端子を有し、その中の少なくとも一つの接続端子が、複数のFPC端子と接続される構造となっている。以下、この接続端子を、複合接続端子という。また、FPC端子と一対の関係で接続される接続端子を以下、基準接続端子という。

【0035】

このように、複数のFPC端子と複合接続端子とを接続することにより、接触抵抗を低くすることができる。

30

【0036】

なお、接続端子において、FPC端子と接続される表面の電極のことを接続パッドという。つまり、接続端子の一部を成す表面の電極を接続パッドという。また、接続端子と接続されるFPC端子の表面の電極をFPCパッドという。つまり、FPC端子の一部を成す表面の電極をFPCパッドという。また、隣り合う接続パッド間の幅を接続ピッチといい、隣り合うFPCパッド間の幅をFPCピッチという。

【0037】

本発明の半導体装置の一つの接続端子部におけるそれぞれの接続パッドは、接続ピッチが等しく配置されているが、これに限定されない。

【0038】

40

よって、FPCはFPC端子配列を変える必要がないため、FPCの仕様変更することなく用いることができる。したがって、FPCを共通化することができる。

【0039】

なお、半導体装置の接続端子部において接続するものとしてFPCを用いて説明したが、これに限定されない。例えば、IC(半導体集積回路)チップ、プリント配線基板(Printed Wiring Board:PWB)、プログラマブルロジックデバイス基板(Field Programmable Gate Array:FPGA)、CPLD(Complex Programmable Logic Device)などのようなものでもよい。

【0040】

50

(実施の形態 1)

本実施の形態において、表示パネルに本発明を適用した場合について説明する。また、本実施の形態では、複合接続端子が複合接続パッドを有する構成について説明する。つまり、複合接続端子が一つの接続パッド(複合接続パッド)を有し、その複合接続パッドが複数の F P C パッドと異方性導電膜を介して電氣的に接続されている構成である。

【0041】

まず、図 1 (A) に本実施の形態における表示パネルと F P C が接続されているモジュールを示す。なお、本明細書において、このようなモジュールや表示パネル本体を含めて表示装置という。

【0042】

基板 1 0 1 上に画素部 1 0 6 と、画素部 1 0 6 を駆動するための周辺駆動回路(走査線駆動回路 1 0 5 及び信号線駆動回路 1 0 4)が形成されている。そして、基板 1 0 1 と対向基板 1 0 2 が張り合わされている。画素部 1 0 6 には、信号線駆動回路 1 0 4 から列方向に延びた複数の信号線が行方向に並んで配列している。また、画素部 1 0 6 には、走査線駆動回路 1 0 5 から行方向に延びた複数の走査線が列方向に並んで配列している。また画素部 1 0 6 には、表示素子を含む複数の画素が配列している。

【0043】

なお、表示素子は、様々な形態を用いることが出来る。例えば、E L 素子(有機 E L 素子、無機 E L 素子又は有機物材料及び無機材料を含む E L 素子)、電子放出素子、液晶素子、電子インク、光回折素子、放電素子、微小鏡面素子(DMD: Digital Micromirror Device)、圧電素子、カーボンナノチューブなど、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、E L 素子を用いた E L パネル方式の表示装置としては E L ディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED: Field Emission Display)や SED 方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた液晶パネル方式の表示装置としては液晶ディスプレイ、電子インクを用いたデジタルペーパー方式の表示装置としては電子ペーパー、光回折素子を用いた表示装置としてはグレーティングライトバルブ(GLV)方式のディスプレイ、放電素子を用いた PDP(Plasma Display Panel)方式のディスプレイとしてはプラズマディスプレイ、微小鏡面素子を用いた DMD パネル方式の表示装置としてはデジタル・ライト・プロセッシング(DLP)方式の表示装置、圧電素子を用いた表示装置としては圧電セラミックディスプレイ、カーボンナノチューブを用いた表示装置としてはナノ放射ディスプレイ(NED: Nano Emissive Display)、などがある。

【0044】

また、基板 1 0 1 は接続端子部において、F P C 1 0 3 と接続されている。そして、走査線駆動回路 1 0 5 や信号線駆動回路 1 0 4 や画素部 1 0 6 に必要な信号や電源が F P C 1 0 3 から表示パネルへ供給される。

【0045】

次に、点線 1 0 7 付近の基板 1 0 1 と F P C 1 0 3 との接続状態を示す模式的な部分断面の斜視図を図 1 (B) に示す。なお、断面方向をわかりやすくするため、図 1 (A) の線 a b に対する方向を図 1 (B) の線 a b として示している。

【0046】

基板 1 0 1 上に複数の接続パッドが形成されている。そして、複数の接続パッドには、基準接続パッド 1 1 2 と複合接続パッド 1 1 3 とが含まれている。そして、複数の接続パッドはそれぞれ概略等しい幅の隔壁 1 1 4 を介して配置されている。なお、ここでは、基準接続パッド 1 1 2 と複合接続パッド 1 1 3 の配列の順番は図 1 (B) に示すものに限定されるものではない。

【0047】

F P C 1 0 3 には、おおよそ幅の等しい F P C パッド 1 1 1 がおおよそ等間隔で設けられ

10

20

30

40

50

ている。そして、基板 101 の接続パッド（基準接続パッド 112 及び複合接続パッド 113）が形成された面と FPC 103 の FPC パッド 111 が形成された面とが向かい合っ

て張り合わされている。

【0048】

なお、基準接続パッド 112 上には、対応する一対の FPC パッド 111 が対向して設けられている。また、複合接続パッド 113 上には、対応する複数の FPC パッド 111 が対向して設けられている。そして、接続パッド（基準接続パッド 112 及び複合接続パッド 113）と、FPC パッド 111 とは異方性導電膜によって電氣的に接続されている。なお、ここでは構造を理解しやすくするため異方性導電膜は図示していない。

【0049】

続いて、図 1 に示した表示パネルの構成の模式図を図 2 に示す。基板 101 上に走査線駆動回路 105 と信号線駆動回路 104 と画素部 106 とを有している。さらに、基板 101 上には、接続端子部 201 を有している。接続端子部 201 には、基準接続端子の一部を成す基準接続パッド 112 や複合接続端子の一部を成す複合接続パッド 113 を備えている。なお、図 2 において、基準接続パッド 112 や複合接続パッド 113 の数や配列は図示されるものに限定されるものではない。

【0050】

また、走査線駆動回路 105 からは、画素部 106 へ複数の走査線 206 が行方向に延びて配置されている。また、信号線駆動回路 104 からは、画素部 106 へ複数の信号線 207 が列方向に延びて配置されている。また、画素部 106 には、走査線 206 と信号線 207 に対応してマトリクス状に複数の画素 205 が配置されている。なお、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状に配置されているストライプ型配列の場合はもちろんのこと、三色の色要素（例えば RGB）を用いてフルカラー表示を行う場合に、画像を構成する最小単位の三つの色要素がいわゆるデルタ状に配置されているデルタ配列の場合も含むものとする。

【0051】

なお、画素 205 は画素電極を備えている。また、画素部 106 を覆うように対向電極 202 が形成されている。そして、画素電極と対向電極 202 により表示媒体を挟み込むことで表示素子が形成されている。さらに、画素部 106 には電源線 208 を有し、電源線 208 から各画素 205 の画素電極に電源が供給される。

【0052】

本実施の形態の表示パネルは、接続端子部 201 に、複合接続端子の一部を成す複合接続パッド 113 を備えているため消費電力の低減を図ることができる。よって、特に電源の電源電位が入力されている接続端子を複合接続端子にすることが望ましい。

【0053】

また、画素 205 の点灯非点灯を制御するビデオ信号が入力される接続端子も複合接続端子にするとさらに表示不良を防止することができる。

【0054】

本実施の形態の表示パネルは、図 2 に示すように、接続端子部 201 が基板の縁から内側に形成されていてもよいし、図 3 に示すように、接続端子部 201 が基板の縁に接するように形成されていてもよい。また、図 7 に示すように、接続端子部 201 の両端に複合接続パッド 113 を有していてもよい。また、接続端子部を複数設けてもよい。例えば、図 40 に示すように、接続端子部 4001 と接続端子部 4002 とを設けてもよい。なお、接続端子部 4001 と接続端子部 4002 には、それぞれ別の FPC が接続される。そしてこれらの接続端子部のいずれかに複合接続パッドを有していてもいいし、どちらにも有していてもよい。

【0055】

なお、図 1 においては、基板上に走査線駆動回路 105、信号線駆動回路 104 及び画素部 106 が一体形成された構成について示したが、図 8 に示すように走査線駆動回路 105 や信号線駆動回路 104 は IC チップに形成し、COG (Chip On Glass

10

20

30

40

50

：チップオンガラス）等で実装していてもよい。なお、ＩＣチップとは、基板上に形成された集積回路をチップ状に切り離したものをいう。特に、ＩＣチップとしては、単結晶シリコンウエハを基板に用いて、素子分離などにより回路を形成し、単結晶シリコンウエハを任意の形状に切り離したものが適している。

【００５６】

さらに、図４（Ｂ）、（Ｃ）を用いて接続パッド（基準接続パッド１１２及び複合接続パッド１１３）と、ＦＰＣパッド１１１との接続構造について詳しく説明する。基準接続パッド１１２とＦＰＣパッド１１１との電氣的接続は異方性導電膜４１１を用いて圧着により行われている。なお、図４（Ｃ）に示すように、異方性導電膜４１１中に導電性粒子４２１を含ませてもよい。導電性粒子４２１は異方性導電膜４１１より低い抵抗の粒子である。よって、基準接続パッド１１２とＦＰＣパッド１１１との接触抵抗を低くすることができる。なお、図４（Ｂ）、（Ｃ）においては、基準接続パッド１１２とＦＰＣパッド１１１との接続箇所を示しているが、複合接続パッド１１３とＦＰＣパッド１１１との接続についても同様である。

10

【００５７】

さらに、基板１０１側の接続端子部の特徴について図４（Ａ）を用いて説明する。図４（Ａ）は、基板１０１の接続端子部の断面を示す図である。幅の異なる複合接続パッド１１３ａや複合接続パッド１１３ｂは、図１（Ｂ）に示した複合接続パッド１１３に相当する。

【００５８】

そして、基準接続パッド１１２の線幅４０１、複合接続パッド１１３ａの線幅４０２、複合接続パッド１１３ｂの線幅４０３、各接続パッド（基準接続パッド１１２や複合接続パッド１１３ａや複合接続パッド１１３ｂ）の隣り合う接続パッドとの間に設けられた隔壁１１４の幅（接続ピッチともいう）４０４とすると、線幅４０２の長さは、おおよそ、線幅４０１が二つ分と幅４０４とを足した分の長さに相当する。また、線幅４０３は、おおよそ、線幅４０１が三つ分と幅４０４が二つ分を足した分の長さに相当する。つまり、図１（Ｂ）複合接続パッド１１３の線幅の長さとしては、 n 個分（ n は２以上の整数）の基準接続パッド１１２の線幅と（ $n - 1$ ）個分の隔壁の幅（接続ピッチともいう）を足した分の長さに相当する。

20

【００５９】

よって、図１（Ｂ）では、複合接続パッド１１３が、二つのＦＰＣパッド１１１と電氣的に接続されている場合について示してあるが、これに限定されないことはいうまでもない。つまり、複合接続パッド１１３は三つのＦＰＣパッド１１１、四つのＦＰＣパッド１１１、又はそれ以上のＦＰＣパッド１１１と電氣的に接続されていてもよい。

30

【００６０】

つまり、複合接続パッド１１３が二つのＦＰＣパッド１１１と電氣的に接続されている場合には、図５（Ａ）のようになる。複合接続パッド１１３ａが異方性導電膜４１１を介して二つのＦＰＣパッド１１１と接続されている。また、複合接続パッド１１３ｂが三つのＦＰＣパッド１１１と電氣的に接続されている場合には、図５（Ｂ）のようになる。複合接続パッド１１３ｂが異方性導電膜４１１を介して三つのＦＰＣパッド１１１と接続されている。なお、図４（Ｃ）に示したように、異方性導電膜４１１に導電性粒子４２１を含ませてもよい。

40

【００６１】

なお、本実施の形態に示した表示パネルは、接続端子部において、複合接続端子の接触抵抗を、基準接続端子の接触抵抗より低くすることができる。よって、電源となる電源電位のように消費電力の大きくなるものを供給する場合には、複数のＦＰＣ端子と接続する複合接続端子を介して表示パネルに供給するようにするとよい。つまり、電源となる電源電位が入力される接続端子を複合接続端子にするとよい。そうすることにより、電源供給ラインの抵抗を小さくし、電源供給ラインでの電圧降下を抑制し、表示不良を防止することができる。

50

【 0 0 6 2 】

また、複合接続端子が複合接続パッドを有することにより、表示パネルと F P C との貼り合わせにおいて、接続端子と F P C 端子との線幅方向の位置ずれが生じて、複合接続端子の接触抵抗の増大は生じない。以下に図 6 (A)、(B) を用いて説明する。

【 0 0 6 3 】

図 6 (A) は、表示パネルと F P C との貼り合わせにおいて、接続端子と F P C 端子との線幅方向の位置ずれが生じていない場合の基準接続パッドと F P C パッドとが異方性導電膜を介して接続されているところの断面図である。つまり、基準接続パッド 1 1 2 と F P C パッド 1 1 1 の線幅の中心がほぼ一致している。そして、図 6 (D) がその上面図に相当する。なお、基準接続パッド 1 1 2 と重畳していない F P C パッド 1 1 1 の領域は幅 s となっている。

10

【 0 0 6 4 】

図 6 (B) は、表示パネルと F P C との貼り合わせにおいて、接続端子と F P C 端子との線幅方向の位置ずれが生じている場合の基準接続パッドと F P C パッドとが異方性導電膜を介して接続されているところの断面図である。そして、図 6 (E) がその上面図に相当する。図 6 (B) 及び (E) に示すように、基準接続パッド 1 1 2 と対応する一対の F P C パッド 1 1 1 が線幅方向にずれているため、基準接続パッド 1 1 2 に非重畳領域が発生し、その非重畳領域は幅 g となる。なお、F P C パッド 1 1 1 に増加する非重畳領域は幅 t となる。この幅 g と幅 t とは、ほぼ等しくなる。よって、幅 g の分、接続面積が減少することになる。

20

【 0 0 6 5 】

一方、図 6 (C) は、表示パネルと F P C との貼り合わせにおいて、接続端子と F P C 端子との線幅方向の位置ずれが生じている場合の複合接続パッドと F P C パッドとが異方性導電膜を介して接続されているところの断面図である。そして、図 6 (F) がその上面図に相当する。図 6 (C) や図 6 (F) に示す複合接続パッド 1 1 3 と F P C パッド 1 1 1 との接続においては、位置ずれが生じて、非重畳領域の発生は、複合接続パッド 1 1 3 と接続される複数の F P C パッド 1 1 1 のうち一つの F P C パッド 1 1 1 に対してのみである。そして、その非重畳領域の幅は t である。さらに、F P C パッド 1 1 1 が基準接続パッド 1 1 2 より幅が広い場合には、位置ずれを生じていないときに、F P C パッド 1 1 1 の隔壁 1 1 4 と重なっていた領域 s が複合接続パッド 1 1 3 と重畳するため、接続面積は増加する。その増加する面積は幅 s となる。そして、一つの複合接続パッド 1 1 3 に対して接続される F P C パッド 1 1 1 の数が多くなればなるほど、非重畳領域の発生による接続面積の減少の影響は小さくなる。また、複合接続パッド 1 1 3 においては接続面積が増大する場合もある。よって、表示パネルと F P C との貼り合わせにおいて、接続端子と F P C 端子との線幅方向の位置ずれが生じて、複合接続端子の F P C 端子との接触抵抗を低くすることができる。

30

【 0 0 6 6 】

よって、本実施の形態に示した複合接続端子と複数の F P C 端子との接触抵抗は 5 以下、好ましくは 1 以下にすることができる。

【 0 0 6 7 】

(実施の形態 2)

本実施の形態においては、実施の形態 1 で示した接続端子 (基準接続端子及び複合接続端子) の一部を構成する接続パッド (基準接続パッド 1 1 2 及び複合接続パッド 1 1 3) と、その接合パッドからシール領域内へ延びる配線の構造について詳しく説明する。

40

【 0 0 6 8 】

なお、本実施の形態において示す表示パネルは、特に、画素部とともに画素を駆動するための周辺駆動回路 (走査線駆動回路や信号線駆動回路) が一体形成された構成の表示パネルに適している。つまり、周辺駆動回路は、画素が有する薄膜トランジスタ (T F T とともにいう) の形成と同時に作り込まれた薄膜トランジスタなどから構成される。そのような構成の表示パネルの模式図を図 9 に示す。なお、接続端子部 2 0 1 は、本構成のように基板

50

１０１の縁から内部に形成しているものに限られず、図３のように基板１０１の縁に接して形成されていてもよい。

【００６９】

本構成の表示パネルは、基板１０１上に形成された画素部１０６や周辺駆動回路が、基板１０１と対向基板とによって挟み込まれ、シール領域９０１で密封されている。なお、封止は、固体封止、真空封止、ガス封止、液体封止などのいずれでもよい。例えば、固体封止には、樹脂などを用いることができる。また、ガス封止にはＨｅ（ヘリウム）やＡｒ（アルゴン）やＮ（窒素）などを用いることができる。また、液体封止には、流動パラフィンやシリコン液体などを用いることができる。

【００７０】

ここで、点線９０２で囲まれた領域の拡大図を図１０に示す。接続端子部には基準接続パッド１１２と複合接続パッド（複合接続パッド１１３ａ及び複合接続パッド１１３ｂ）とを有する。基準接続パッド１１２と配線１００１とは一続きの層の導電膜で形成されている。そして、配線１００１の線幅は、基準接続パッド１１２の線幅より細くなっている。具体的には、配線１００１の線幅は、基準接続パッド１１２の線幅の半分以下となっている。さらに好ましくは３分の１以下である。また、複合接続パッド１１３ａも配線１００２と、複合接続パッド１１３ｂも配線１００３と、それぞれ一続きの層の導電膜で形成されている。そして、配線１００２は複合接続パッド１１３ａと、配線１００３は複合接続パッド１１３ｂとほぼ等しい線幅となっている。

【００７１】

なお、複合接続パッド１１３ａは基準接続パッド１１２の二つ分の線幅と一つの接続ピッチの幅を合わせた幅を有しているがこれに限定されない。また、複合接続パッド１１３ｂは基準接続パッド１１２の三つ分の線幅と二つの接続ピッチの幅を合わせた幅を有しているがこれに限定されない。また、図１０に示すように、線幅の異なる複合接続パッドを有していてもいいし、同じ線幅の複合接続パッドを複数有していてもいい。また、接続端子部の複合接続パッドは一つであってもいいし、複数であってもよい。また、配線部においての配線１００１や配線１００２や配線１００３はシール領域９０１周辺での線幅であって、さらに画素部内側においては、他の線幅を有していてもよい。また、基準接続パッド１１２や複合接続パッド１１３ａや複合接続パッド１１３ｂの数及び配列順序などはこれに限定されない。

【００７２】

つまり、図１０の構成は、基準接続パッドと一続きの層の導電膜で形成された配線は、シール領域で狭幅となっている。一方、複合接続パッドと一続きの層の導電膜で形成された配線は、シール領域においても複合接続パッドの線幅と同じになっていればよい。

【００７３】

よって、基準接続パッド１１２と一続きの層の導電膜で形成された配線の面積が、シール領域で小さくなることから、基板１０１と貼り合わせる対向基板との密着性を向上させることができる。また、複合接続パッド（複合接続パッド１１３ａ及び複合接続パッド１１３ｂ）においては、一続きの層で形成された配線が複合接続パッドの線幅と同じため、配線の低抵抗化を図ることができる。なお、より密着性を高めるため、複合接続パッドは基準接続パッド１１２の数より少ないことが望ましい。

【００７４】

また、点線９０２で囲まれた領域の他の構成の拡大図を図１１に示す。この構成は、基板１０１と貼り合わせる対向基板との密着性をより高めることができる構成である。

【００７５】

図１１の構成は、基準接続パッド１１２と一続きの層の導電膜で形成された配線１００１は図１０と同じである。そして、複合接続パッド１１３ａにおいては、配線部に狭幅の配線部１１０１と幅広の配線部１１０２とを有する。また、複合接続パッド１１３ｂも、配線部に狭幅の配線部１１０３と幅広の配線部１１０４とを有する。

【００７６】

つまり、複合接続パッド（複合接続パッド 1 1 3 a 及び複合接続パッド 1 1 3 b）にはシール領域 9 0 1 をまたがって同一の層の導電膜により配線が形成されている。そして、シール領域 9 0 1 にて、狭幅の配線となり、基板と対向基板とが張り合わされた領域内で幅広の配線となっている。そして好ましくは、狭幅の配線の線幅は、基準接続パッド 1 1 2 の線幅の 3 分の 1 以下であり、幅広の配線の線幅は複合接続パッドの線幅と概略等しくする。また、狭幅の配線の長さはシール領域 9 0 1 の幅の 3 倍以上 1 0 倍以下とする。よって、基板と対向基板との密着性が向上する。また、狭幅の配線は長さが短いため、抵抗の増加を抑制することができる。

【 0 0 7 7 】

また、点線 9 0 2 で囲まれた領域の他の構成の拡大図を図 1 2 に示す。この構成は、配線抵抗の増加を抑制しつつ、基板 1 0 1 と貼り合わせる対向基板との密着性を高めることができる構成である。

【 0 0 7 8 】

図 1 2 の構成は、基準接続パッド 1 1 2 と一続きの層の導電膜で形成された配線 1 0 0 1 は図 1 0 と同じである。そして、複合接続パッド 1 1 3 a においては、配線部に狭幅の配線部 1 2 0 1 と幅広の配線部 1 2 0 2 とを有する。また、複合接続パッド 1 1 3 b も、配線部に狭幅の配線部 1 2 0 3 と幅広の配線部 1 2 0 4 とを有する。

【 0 0 7 9 】

つまり、複合接続パッド（複合接続パッド 1 1 3 a 及び複合接続パッド 1 1 3 b）はシール領域 9 0 1 をまたがって同一の層の導電膜により配線が形成されている。そして、シール領域 9 0 1 にて、複数の狭幅の配線となり、基板と対向基板とが張り合わされた領域内で、複数の狭幅の配線が集束して幅広の配線となっている。そして好ましくは、狭幅の配線のそれぞれの線幅は、複合接続パッドの線幅の 3 分の 1 以下であり、幅広の配線の線幅は複合接続パッドの線幅と概略等しくする。また、狭幅の配線の長さはシール領域 9 0 1 の幅の 3 倍以上 1 0 倍以下とする。よって、基板と対向基板との密着性が向上する。また、狭幅の配線は長さが短いため、抵抗の増加を抑制することができる。

【 0 0 8 0 】

なお、図 1 2 の構成においては、基準接続パッド 1 1 2 の二つ分の線幅と一つの接続ピッチの幅を合わせた幅を有している複合接続パッド 1 1 3 a はシール領域 9 0 1 において、二本の狭幅の配線部 1 2 0 1 となっているがこれに限定されない。また、基準接続パッド 1 1 2 の三つ分の線幅と二つの接続ピッチの幅を合わせた幅を有している複合接続パッド 1 1 3 b はシール領域 9 0 1 において、三本の狭幅の配線部 1 2 0 3 となっているがこれに限定されない。また、図 4 4 に示すように、複合接続パッド 1 1 3 a から同じ幅でなる配線部において、シール領域 9 0 1 をまたがるところの配線の一部くり抜いて狭幅の配線部 4 4 0 1 を複数有し、さらに画素部内では幅広の配線部 4 4 0 2 を有していてもよい。同様に、複合接続パッド 1 1 3 b から同じ幅でなる配線部において、シール領域 9 0 1 をまたがるところの配線の一部くり抜いて狭幅の配線部 4 4 0 3 を複数有し、さらに画素部内では幅広の配線部 4 4 0 4 を有していてもよい。

【 0 0 8 1 】

なお、表示装置が R G B の色要素を用いたフルカラー表示の場合には、電源電位をそれぞれ変えてもよい。その場合には図 4 1 に示すように複合接続パッド 1 1 3 と接続された配線 4 1 0 1 R、とそれに接続された配線 4 2 0 1 R とそれに接続された電源線 2 0 8 R により R の色要素の電源電位を画素に供給する。また、配線 4 1 0 1 G、とそれに接続された配線 4 2 0 1 G とそれに接続された電源線 2 0 8 G により G の色要素の電源電位を画素に供給する。配線 4 1 0 1 B、とそれに接続された配線 4 2 0 1 B とそれに接続された電源線 2 0 8 B により B の色要素の電源電位を画素に供給する。

【 0 0 8 2 】

また、接続端子部での F P C との密着性を向上させるため、図 4 7 に示すように、接続パッド（基準接続パッド 1 1 2、複合接続パッド 1 1 3 a 及び複合接続パッド 1 1 3 b）に凹部 4 7 0 1 を設けてもよい。なお、凹部 4 7 0 1 は一つの接続パッドに対して複数設け

10

20

30

40

50

るとよい。ただし、凹部 4701 の数及び形状は図 47 に示すものに限られない。よって、図 47 に示したような丸い形状に限らず、四角、三角であってもよいし、図 50 に示すように、接続パッドの線幅方向と垂直な方向にストライプ形状に形成された凹部 5001 であってもよいし、図 51 に示すように、接続パッドの線幅方向にストライプ形状に形成された凹部 5101 であってもよい。

【0083】

また、複合接続パッドの構成も上述したものに限定されない。例えば、図 36 に示すように、複合接続パッドは、基準接続パッドと同形状の複数の電極が電極結合部 3601 で結合されたようになっていてもよい。つまり、基準接続パッド 112 と同じ線幅の二つの電極が電極結合部 3601 により結合され複合接続パッド 113a が形成されている。また、基準接続パッド 112 と同じ線幅の三つの電極が電極結合部 3601 により結合され複合接続パッド 113b が形成されている。なお、この複合接続パッドは同じ層の導電膜により、一続きに形成されていてもいいし、電極と電極結合部 3601 が別の導電膜であってもいい。

【0084】

また、接続端子を構成する接続パッド（基準接続パッド 112、複合接続パッド 113a 及び複合接続パッド 113b）となる電極と、それぞれの接続端子から延びる配線とは、別の導電膜によって形成されていてもよい。例えば、図 48 に示すように、接続端子部内の電極 4801 は、シール領域内へ向かって延びた配線 4802 と一続きの導電膜で形成されている。そして、電極 4801 上には、パッドとなる電極が形成されている。つまり、基準接続端子を構成する電極 4801 上には基準接続パッド 112 が形成され、複合接続端子となる複数の電極 4801 上には、それらの電極をまたがって、それぞれ複合接続パッド 113a 及び複合接続パッド 113b が形成されている。

【0085】

このような構造は、下面射出の表示装置の透明導電膜の材料によって接続パッド（基準接続パッド 112、複合接続パッド 113a 及び複合接続パッド 113b）を形成し、金属材料で電極 4801 や配線 4802 を形成する。透明導電膜として、例えば ITO や TZO や CTO などが挙げられる。

【0086】

なお、接続パッドとは、一つの層の導電膜によって形成されている電極に限られない。つまり、図 49 に示すように電極 4901 や電極 4902a 及び電極 4902b 上に電極 4901 より面積の小さい別の導電膜 4903 を有していてもよい。つまり、基準接続パッドは電極 4901 と導電膜 4903 とにより構成されている。また複合接続パッドは電極 4902a と導電膜 4903 によって構成されている。また、複合接続パッドは電極 4902b と導電膜 4903 によって構成されている。このように、接続パッドとは、接続端子部を上面からみたときに、露呈している導電性領域をも含まれる。

【0087】

このような構造は、上面射出の表示装置の透明導電膜の材料によって電極 4901 や電極 4902a 及び電極 4902b を形成し、補助配線の材料で導電膜 4903 を形成する。透明導電膜として、例えば ITO や TZO や CTO などが挙げられる。

【0088】

なお、本発明に適用可能な接続パッドやその接続パッドと接続された配線の構造は、上述したものに限られない。また、上述したものを組み合わせて用いることができる。

【0089】

（実施の形態 3）

本実施の形態において、表示装置の構成について説明する。特に、本実施の形態では、複合接続パッドと対向電極との接続の構成に注目して説明する。

【0090】

まず、本実施の形態の第 1 の構成について図 13 を用いて説明する。なお、図 2 と共通するところは共通の符号を用いてその説明を省略する。第 1 の構成は、対向電極 202 の一

10

20

30

40

50

部を成す幅広配線 1301 が信号線駆動回路 104 上を越えて形成され、複合接続パッド 113 から延びた配線とコンタクトホール 1302 で接続されている。このとき、幅広配線 1301 は、複合接続パッド 113 の線幅よりも広く形成するとよい。すると、コンタクトホール 1302 を大きくすることができるので接触抵抗を小さくすることができる。つまり、図 45 に示すように、複合接続パッド 113b から延びた配線部 1203 が、シール領域 901 をまたいで画素部内でコンタクトホール 4501 を介して対向電極 202 の一部を成す幅広配線 1301 と接続されている。このとき、配線部 1204 は複合接続パッド 113a の線幅と同じにすることができるので、コンタクトホール 4501 の幅も大きくすることができる。つまり、コンタクトホール 4501 の幅を基準接続パッド 112 の線幅よりも大きくすることができる。なお、図 12 と共通しているところは共通の符号を用いてその説明を省略している。また、一つのコンタクトホールでなくともよく、図 46 に示すように複数のコンタクトホール 4601 を介して配線部 1204 と対向電極 202 とを接続してもよい。

10

【0091】

次に、本実施の形態の第 2 の構成について図 14 を用いて説明する。なお、図 2 と共通するところは共通の符号を用いてその説明を省略する。第 2 の構成は、複合接続パッド 113 から延びた配線 1401 は、複合接続パッド 113 とおおよそ同じ線幅を有し、さらに幅の広い配線 1402 を有している。この配線 1402 の幅は信号線駆動回路 104 とおおよそ等しい幅となっている。そして、配線 1402 と接続された配線 1403 は多層配線構造により、信号線駆動回路 104 をくぐり抜けて、対向電極 202 とコンタクトホール 1404 を介して接続されている。なお、コンタクトホール 1404 は、画素部 106 と信号線駆動回路 104 との間の領域に形成される。このように、複合接続パッド 113 と配線抵抗の小さい配線 1401 と配線 1402 とがコンタクトホールを介さずに一続きの導電膜で形成されているため、複合接続パッド 113 から対向電極 202 までのラインの抵抗を小さくすることができる。

20

【0092】

次に、本実施の形態の第 3 の構成について図 15 を用いて説明する。なお、図 2 と共通するところは共通の符号を用いてその説明を省略する。第 3 の構成は、信号線駆動回路 104 が画素部 106 を挟んで接続端子部 201 とは反対側に形成されている。このような構成とすることにより、対向電極 202 が信号線駆動回路 104 上をまたがることなく、複合接続パッド 113 から延びた配線とコンタクトホール 1501 にて接続される。そして、複合接続パッド 113 から対向電極 202 までのラインの距離が短いため、このラインの抵抗を小さくすることができる。

30

【0093】

次に、本実施の形態の第 4 の構成について図 16 を用いて説明する。なお、図 2 と共通するところは共通の符号を用いてその説明を省略する。第 4 の構成は、複合接続パッド 113 と接続された配線 1603 が、信号線駆動回路 104 を囲むように配置された配線 1601 と接続されている。配線 1601 は、少なくとも信号線駆動回路 104 と画素部 106 と挟まれた領域で幅広となっており、そこでコンタクトホール 1602 を介して対向電極 202 と接続されている。なお、複合接続パッド 113、配線 1603 及び配線 1601 を同じ層の導電膜により形成するとコンタクトホールを介さないため、より低抵抗化を図ることができる。

40

【0094】

次に、本実施の形態の第 5 の構成について図 17 を用いて説明する。なお、図 2 と共通するところは共通の符号を用いてその説明を省略する。第 5 の構成は、複合接続パッド 113 と接続された配線 1703 が、信号線駆動回路 104 及び画素部 106 を囲むように配置された配線 1701 と接続されている。配線 1701 は、少なくとも信号線駆動回路 104 と画素部 106 と挟まれた領域及び、その領域と画素部 106 を挟んで反対側の領域で幅広となっており、そこでコンタクトホール 1702 を介して対向電極 202 と接続されている。なお、複合接続パッド 113、配線 1703 及び配線 1701 を同じ層の導電

50

膜により形成するとコンタクトホールを介さないため、より低抵抗化を図ることができる。本構成によれば、画素部 106 の周辺に配線 1701 を引き回しているため、配線 1701 に低抵抗な材料でなる導電膜を用いることにより、対向電極 202 の面内の電位を均一化することができる。なお、対向電極 202 と配線 1701 との接続は、他の領域で行ってもよい。例えば、図 18 に示すように、配線 1701 は、少なくとも走査線駆動回路 105 と画素部 106 とで挟まれた領域及び、その領域と画素部 106 を挟んで反対側の領域で幅広となっており、そこでコンタクトホール 1702 を介して対向電極 202 と接続されているようになっていてもよい。

【0095】

次に、本実施の形態の第 6 の構成について、図 19 を用いて説明する。なお、図 2 と共通するところは、共通の符号を用いてその説明を省略する。第 6 の構成は、複合接続パッド 113 が接続端子部 201 の両端に配置されている。また、幅広の配線 1901a が走査線駆動回路 105 と画素部 106 の間に形成されている。また、画素部 106 を介して配線 1901a とは反対側に幅広の配線 1901b が形成されている。

【0096】

そして、両端に形成された複合接続パッド 113 の一方と接続された配線 1903 が配線 1901a と接続されている。また、両端に形成された複合接続パッド 113 の他方と接続された配線 1903 は配線 1901b と接続されている。

【0097】

そして、配線 1901a 及び配線 1901b はコンタクトホール 1902 を介して対向電極 202 と接続されている。なお、配線 1901a や配線 1901b は、低抵抗な導電膜で形成することが好ましい。すると、電圧降下による影響を小さくし、対向電極 202 の面内の電位を均一にすることができる。また、配線 1901a 又は配線 1901b のいずれかのみを設けてもよいが、図 19 に示すように画素部 106 の両側に配置することで、電圧降下による影響をさらに低減することができる。また、配線 1901a や配線 1901b のように両側に配置する場合に限らず、画素部 106 を囲むように配線を配置してもよい。この場合には、図 20 に示すように、画素部 106 を囲む配線 2001 における、画素部 106 と信号線駆動回路 104 と挟まれた領域、また、画素部 106 を挟んで信号線駆動回路 104 とは反対側の領域、また、走査線駆動回路 105 と画素部 106 で挟まれた領域、また画素部 106 を挟んで反対側の領域のそれぞれにおいて少なくとも一つのコンタクトホール 1902 を有する。そして、そのコンタクトホール 1902 を介して配線 2001 と対向電極 202 が接続される。

【0098】

なお、本発明の適用可能な表示装置の構成は、上述したものに限られない。

【0099】

(実施の形態 4)

本実施の形態において、表示装置の構成について説明する。特に、本実施の形態では、複合接続パッドと画素電極との接続の構成に注目して説明する。

【0100】

まず、本実施の形態の第 1 の構成について図 21 を用いて説明する。なお、図 2 と共通するところは、共通の符号を用いてその説明を省略する。第 1 の構成は、信号線駆動回路 104 を囲むように配線 2102 が形成されている。そして、複合接続パッド 113 と接続された配線 2101 が、さらに配線 2102 と接続されている。また、配線 2102 には、画素部 106 へ延びる電源線 208 が形成されている。このような構成にすることにより、電圧降下の影響を低減し、各電源線 208 の電位を均一にすることができる。さらに、配線 2102 に低抵抗な導電膜を用いることにより、より電圧降下の影響を低減することができる。また、画素部 106 の各行の画素毎に供給される電源電位がばらついてしまうのを低減するため、配線 2102 を画素部 106 の周辺まで引き回してもよい。その場合には、図 22 の配線 2201 のようになる。この場合には、画素部 106 と信号線駆動回路 104 とで挟まれる領域で配線 2201 と電源線 208 を接続し、また、画素部 10

10

20

30

40

50

6を挟んで信号線駆動回路104とは反対側においても配線2201と電源線208を接続する。なお、配線2201は、電源線208の線幅より広くする。又は、配線2201に用いる材料を電源線208に用いる材料より低抵抗なものにする。又はそれらを組み合わせる。こうすることにより、電圧降下の影響をさらに減らすことができる。

【0101】

次に、本実施の形態の第2の構成について、図23を用いて説明する。なお、図2と共通するところは、共通の符号を用いてその説明を省略する。第2の構成は、信号線駆動回路104が画素部106を挟んで接続端子部201とは反対側に形成されている。そして、複合接続パッド113から幅広の配線2301と幅広の配線2302とが一続きの同じ層の導電膜で形成されている。そして、幅広の配線2301の線幅は複合接続パッド113の線幅と概略等しくなっており、幅広の配線2302は、その線幅が画素部106の行方向の幅と概略等しくなっている。そして、幅広の配線2302と接続された電源線208が画素部106に延びて形成されている。本構成によれば、複合接続パッド113から電源線208までをコンタクトホールをかいさずに一続きの配線により形成することができるため低抵抗化を図ることができる。よって、電圧降下の影響をさらに減らすことができる。

10

【0102】

(実施の形態5)

本実施の形態において、表示装置の構成について説明する。特に、本実施の形態では、複合接続パッドと、画素電極及び対向電極との接続の構成に注目して説明する。

20

【0103】

まず、本実施の形態の第1の構成について図24を用いて説明する。なお、図2と共通するところは、共通の符号を用いてその説明を省略する。第1の構成は、信号線駆動回路104が画素部106を挟んで接続端子部201とは反対側に形成されている。このような構成とすることにより、対向電極202が信号線駆動回路104上をまたがることなく、複合接続パッド113から延びた配線とコンタクトホール1501にて接続される。また、複合接続パッド113から幅広の配線2301と幅広の配線2302とが一続きの同じ層の導電膜で形成されている。そして、幅広の配線2301の線幅は複合接続パッド113の線幅と概略等しくなっており、幅広の配線2302は、その線幅が画素部106の行方向の幅と概略等しくなっている。そして、幅広の配線2302と接続された電源線208が画素部106に延びて形成されている。本構成によれば、複合接続パッド113から電源線208までをコンタクトホールをかいさずに一続きの配線により形成することができるため低抵抗化を図ることができる。

30

【0104】

次に、本実施の形態の第2の構成について図25を用いて説明する。なお、図2と共通するところは、共通の符号を用いてその説明を省略する。第2の構成は、少なくとも二つの複合接続パッド113を有している。そして、一方の複合接続パッド113から幅広の配線1401と幅広の配線1402とが一続きの同じ層の導電膜で形成されている。そして、幅広の配線1401は複合接続パッド113の線幅と概略等しくなっており、幅広の配線1402は、その線幅が画素部106の行方向の幅と概略等しくなっている。また、他方の複合接続パッド113と接続されている配線2101は、信号線駆動回路104を囲むように形成された配線2102と接続される。そして、幅広の配線1402は、多層構造の配線1403により、対向電極202とコンタクトホール1404を介して接続される。このコンタクトホール1404は信号線駆動回路104と画素部106の間に形成されている。また、また、配線2102から画素部106へ電源線208が形成されている。

40

【0105】

次に、本実施の形態の第3の構成について図26を用いて説明する。なお、図2と共通するところは、共通の符号を用いてその説明を省略する。第3の構成は、少なくとも二つの複合接続パッド113を有している。対向電極202の一部を成す幅広配線1301が信

50

号線駆動回路 1 0 4 上を越えて形成され、一方の複合接続パッド 1 1 3 から延びた配線とコンタクトホール 1 3 0 2 で接続されている。このとき、幅広配線 1 3 0 1 は、複合接続パッド 1 1 3 の線幅よりも広く形成するとよい。すると、コンタクトホール 1 3 0 2 を大きくすることができるので接触抵抗を小さくすることができる。そして、他方の複合接続パッド 1 1 3 と接続された配線 2 1 0 1 は信号線駆動回路 1 0 4 を囲むように形成された配線 2 1 0 2 と接続されている。また、配線 2 1 0 2 から画素部 1 0 6 へ電源線 2 0 8 が形成されている。

【 0 1 0 6 】

(実施の形態 6)

本実施の形態において、接続端子の断面構造についてさらに詳しく説明する。なお、本実施の形態においては、E L 素子を画素に有する表示装置の画素部と接続端子部の断面構造について示すが、本発明の適用できる表示装置はこれに限定されない。

【 0 1 0 7 】

また、本発明の適用することができる表示装置には、表示パネルに作り込まれた薄膜トランジスタ (T F T とともいう) の半導体層が結晶性半導体膜のものでよいし、非晶質半導体膜のものでよい。結晶性半導体膜としては、例えば、ポリシリコン (p - S i) を用いることができる。また、非晶質半導体膜としては、アモルファスシリコン (a - S i : H) を用いることができる。さらに、微結晶シリコンと呼ばれるものを用いてもよい。また、薄膜トランジスタの構造も、半導体層上にゲート電極が配置されているトップゲートのものや、半導体層下にゲート電極が配置されているボトムゲートのものを用いることができる。

【 0 1 0 8 】

まず、半導体層に結晶性半導体膜を適用した場合において、トップゲート構造のトランジスタを有する表示パネルの接続端子部と画素部の断面を図 5 2 に示す。

【 0 1 0 9 】

基板 5 2 0 1 上に下地膜 5 2 0 2 を有している。基板 5 2 0 1 としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。

【 0 1 1 0 】

下地膜 5 2 0 2 は C V D 法やスパッタ法により形成することができる。例えば S i H ₄、N₂ O、N H₃ を原料に用いた C V D 法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜 5 2 0 2 は基板 5 2 0 1 から不純物が半導体層に拡散することを防ぐために設けるものであり、基板 5 2 0 1 にガラス基板や石英基板を用いている場合には下地膜 5 2 0 2 は設けなくてもよい。

【 0 1 1 1 】

下地膜 5 2 0 2 上に島状の半導体層を有する。半導体層にはチャンネルが形成されるチャンネル形成領域 5 2 0 3、ソース領域又はドレイン領域となる不純物領域 5 2 0 4 が形成されている。そして、チャンネル形成領域 5 2 0 3 上にゲート絶縁膜 5 2 0 5 を介してゲート電極 5 2 0 6 を有している。

【 0 1 1 2 】

ゲート絶縁膜 5 2 0 5 としては C V D 法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極 5 2 0 6 としてはアルミニウム (A l) 膜、銅 (C u) 膜、アルミニウム又は銅を主成分とする薄膜、クロム (C r) 膜、タンタル (T a) 膜、窒化タンタル (T a N) 膜、チタン (T i) 膜、タングステン (W) 膜、モリブデン (M o) 膜等を用いることができる。

【 0 1 1 3 】

なお、ゲート電極 5 2 0 6 の脇にはサイドウォールが形成されていてもよい。ゲート電極 5 2 0 6 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォールを形成することが

10

20

30

40

50

できる。

【0114】

ゲート電極5206、およびゲート絶縁膜5205上には第1の層間絶縁膜5207を有している。第1の層間絶縁膜5207は下層に無機絶縁膜、上層に樹脂膜を有していてもよい。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0115】

また、第1の層間絶縁膜5207上には、配線5208を有し、配線5208はコンタクトホールを介して不純物領域5204と電気的に接続されている。第1の配線5208としては、チタン(Ti)膜やアルミニウム(Al)膜や銅(Cu)膜やTiを含むアルミニウム膜などを用いることができる。より好ましくは、配線5208は、三層構造とし、下層にチタン(Ti)膜、その上にアルミニウム(Al)膜、さらにその上にチタン(Ti)膜という構造とする。こうすることにより、配線抵抗及び、不純物領域5204との接触抵抗も低くすることができる。

10

【0116】

配線5208および第1の層間絶縁膜5207上に第2の層間絶縁膜5209を有する。第2の層間絶縁膜5209としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。なお、より好ましくは、平坦化するため樹脂膜を用いるとよい。

20

【0117】

第2の層間絶縁膜5209上には画素電極5210を有している。画素電極5210に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。そして、基板5201側から光を取り出す下面射出を採用する場合には、画素電極5210には透明導電膜を用いる。若しくは透明導電膜と、光が透過するぐらい薄い金属膜とを積層して用いることができる。また、基板5201とは反対側から光を取り出す上面射出を採用する場合には、画素電極5210は光が反射する金属膜を用いるとよい。

【0118】

例えば、透明導電膜の材料として、酸化インジウムに酸化スズが添加された酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化スズカドミウム(CTO)、酸化亜鉛(ZnO)、酸化スズ(TO)などの材料を用いることができる。ITOを用いることにより、低抵抗な画素電極5210を形成することができる。また、IZOを用いることにより、均一な膜を形成することができ、緻密な加工をすることが可能となる。

30

【0119】

例えば、反射性を有する金属膜として、窒化チタン(TiN)膜、クロム(Cr)膜、タングステン(W)膜、亜鉛(Zn)膜、プラチナ(Pt)膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

40

【0120】

また、画素電極5210の端部を覆うように絶縁物5211を有する。例えば、絶縁物5211としては、ポジ型の感光性アクリル樹脂膜を用いることができる。

【0121】

また、画素電極5210上に有機化合物を含む層5212が形成されている。また、有機化合物を含む層5212上に対向電極5213を有している。

【0122】

50

対向電極 5 2 1 3 に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム (Al)、銀 (Ag)、リチウム (Li)、カルシウム (Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくはCa₃N₂などの金属薄膜を用いることができる。

【0123】

下面射出を採用する場合には、アルミニウム (Al)、銀 (Ag)、リチウム (Li)、カルシウム (Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくはCa₃N₂などの金属薄膜などを用いて光が反射する程度の膜厚にする。また、上面射出を採用する場合には、上述した金属薄膜を光が透過する程度の膜厚にして用いるか、若しくは、光が透過する程度の膜厚の上記金属薄膜と、透明導電膜とを組み合わせ

10

【0124】

対向電極 5 2 1 3 と画素電極 5 2 1 0 とにより有機化合物を含む層 5 2 1 2 が挟まれた領域では発光素子 5 2 1 5 が形成されている。

【0125】

また、ゲート電極 5 2 0 6 と、ソース領域若しくはドレイン領域となる不純物領域 5 2 0 4 と、チャンネル形成領域 5 2 0 3 とを有するトランジスタ 5 2 1 4 が形成されている。

【0126】

続いて、接続端子部の構造について説明する。なお、図 5 2 (A) に示す接続端子部の断面図は接続端子の線幅方向の断面を示している。

20

【0127】

接続端子部においても、基板 5 2 0 1 上に下地膜 5 2 0 2、さらにその上にゲート絶縁膜 5 2 0 5 を有している。しかし、接続端子部においては、下地膜 5 2 0 2 及びゲート絶縁膜 5 2 0 5 は有していなくてもよい。

【0128】

さらに、ゲート絶縁膜 5 2 0 5 上には、第 1 の電極 5 2 2 1、第 1 の電極 5 2 2 3、第 1 の電極 5 2 2 5 を有し、さらに第 1 の電極 5 2 2 1 の上には第 2 の電極 5 2 2 2、第 1 の電極 5 2 2 3 の上には第 2 の電極 5 2 2 4、第 1 の電極 5 2 2 5 の上には第 2 の電極 5 2 2 6 を有している。

30

【0129】

そして、第 1 の電極 5 2 2 1、第 1 の電極 5 2 2 3 及び第 1 の電極 5 2 2 5 並びに、第 2 の電極 5 2 2 2、第 2 の電極 5 2 2 4 及び第 2 の電極 5 2 2 6 は第 1 の層間絶縁膜 5 2 0 7 と第 2 の層間絶縁膜 5 2 0 9 により構成される隔壁により電氣的に絶縁されている。

【0130】

なお、第 1 の電極 5 2 2 1、第 1 の電極 5 2 2 3 及び第 1 の電極 5 2 2 5 は、ゲート電極 5 2 0 6 と同じ材料で形成されている。また、第 2 の電極 5 2 2 2、第 2 の電極 5 2 2 4 及び第 2 の電極 5 2 2 6 は配線 5 2 0 8 と同じ材料で形成されている。そして、より好ましくは、第 2 の電極 5 2 2 2、第 2 の電極 5 2 2 4 及び第 2 の電極 5 2 2 6 は三層構造とし、チタン膜の上にアルミニウム膜、さらにその上にチタン膜とするとよい。

40

【0131】

そして、第 1 の電極 5 2 2 1 と第 2 の電極 5 2 2 2 とにより基準接続端子 5 2 2 7 を構成している。また、第 1 の電極 5 2 2 3 と第 2 の電極 5 2 2 4 とにより複合接続端子 5 2 2 8 を構成している。また、第 1 の電極 5 2 2 5 と第 2 の電極 5 2 2 6 とにより基準接続端子 5 2 2 9 を構成している。そして、図 5 2 (A) のような構成の場合には、第 2 の電極 5 2 2 2 及び第 2 の電極 5 2 2 6 が基準接続パッドに相当し、第 2 の電極 5 2 2 4 が複合接続パッドに相当する。

【0132】

なお、図 5 2 (A) の構成において、第 2 の電極 5 2 2 2 上に第 3 の電極 5 2 3 1、第 2 の電極 5 2 2 4 上に第 3 の電極 5 2 3 2、第 2 の電極 5 2 2 6 上に第 3 の電極 5 2 3 3 を

50

有する図52(B)のような構成でもよい。つまり、第1の電極5221と第2の電極5222と第3の電極5231とにより基準接続端子5234を構成し、第1の電極5223と第2の電極5224と第3の電極5232とにより複合接続端子5235を構成し、第1の電極5225と第2の電極5226と第3の電極5233とにより基準接続端子5236を構成している。そして、図52(B)のような構成の場合には、第3の電極5231及び第3の電極5232が基準接続パッドに相当し、第3の電極5233が複合接続パッドに相当する。

【0133】

なお、第3の電極5231、第3の電極5232及び第3の電極5233は、画素電極5210と同じ材料で形成されている。そして、より好ましくは、第3の電極5231、第3の電極5232及び第3の電極5233は酸化インジウムに酸化スズが添加された酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化スズカドミウム(CTO)、酸化亜鉛(ZnO)、酸化スズ(TO)などの酸化物の電極とするとよい。これらの酸化物の電極は化学的安定性に優れているため電極を保護することができる。

10

【0134】

また、図52(A)の構成において、第1の電極5222下に半導体膜5311、第1の電極5223下に半導体膜5312、第1の電極5225下に半導体膜5313を有する図53(B)のような構成でもよい。つまり、第1の電極5221と第2の電極5222と半導体膜5311とにより基準接続端子5314を構成し、第1の電極5223と第2の電極5224と半導体膜5312とにより複合接続端子5315を構成し、第1の電極5225と第2の電極5226と半導体膜5313とにより基準接続端子5316を構成している。

20

【0135】

また、接続端子部は図53(A)のような構成でもよい。つまり、第1の層間絶縁膜5207上に第1の電極5301、第1の電極5303、第1の電極5305を有し、さらに第1の電極5301の上には第2の電極5302、第1の電極5303の上には第2の電極5304、第1の電極5305の上には第2の電極5306を有している。

【0136】

そして、第1の電極5301、第1の電極5303及び第1の電極5305並びに、第2の電極5302、第2の電極5304及び第2の電極5306は第2の層間絶縁膜5209により構成される隔壁により電氣的に絶縁されている。

30

【0137】

なお、第1の電極5301、第1の電極5303及び第1の電極5305は、配線5208と同じ材料で形成されている。また、第2の電極5302、第2の電極5304及び第2の電極5306は画素電極5210と同じ材料で形成されている。そして、より好ましくは、第2の電極5302、第2の電極5304及び第2の電極5306は酸化インジウムに酸化スズが添加された酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化スズカドミウム(CTO)、酸化亜鉛(ZnO)、酸化スズ(TO)などの酸化物の電極とするとよい。これらの酸化物の電極は化学的安定性に優れているため電極を保護することができる。

40

【0138】

そして、第1の電極5301と第2の電極5302とにより基準接続端子5307を構成している。また、第1の電極5303と第2の電極5304とにより複合接続端子5308を構成している。また、第1の電極5305と第2の電極5306とにより基準接続端子5309を構成している。そして、図53(A)のような構成の場合には、第2の電極5302及び第2の電極5306が基準接続パッドに相当し、第2の電極5304が複合接続パッドに相当する。

【0139】

また、第2の層間絶縁膜5209はなくてもよい。まず、画素部の断面について図54(A)を用いて説明する。第1の層間絶縁膜5207上に配線5208を有するところまで

50

は図 5 2 (A) と同様である。

【 0 1 4 0 】

また、画素電極 5 4 0 1 の端部を覆うように絶縁物 5 4 0 2 を有する。例えば、絶縁物 5 4 0 2 としては、ポジ型の感光性アクリル樹脂膜を用いることができる。

【 0 1 4 1 】

また、画素電極 5 4 0 1 上に有機化合物を含む層 5 4 0 3 が形成されている。また、有機化合物を含む層 5 4 0 3 上に対向電極 5 4 0 4 を有している。

【 0 1 4 2 】

続いて、接続端子部の構造について説明する。なお、図 5 4 (A) に示す接続端子部の断面図は接続端子の線幅方向の断面を示している。

10

【 0 1 4 3 】

接続端子部においても、基板 5 2 0 1 上に下地膜 5 2 0 2、さらにその上にゲート絶縁膜 5 2 0 5 を有している。しかし、接続端子部においては、下地膜 5 2 0 2 及びゲート絶縁膜 5 2 0 5 は有していなくてもよい。

【 0 1 4 4 】

さらに、ゲート絶縁膜 5 2 0 5 上には、第 1 の電極 5 4 1 1、第 1 の電極 5 4 1 3、第 1 の電極 5 4 1 5 を有し、さらに第 1 の電極 5 4 1 1 の上には第 2 の電極 5 4 1 2、第 1 の電極 5 4 1 3 の上には第 2 の電極 5 4 1 4、第 1 の電極 5 4 1 5 の上には第 2 の電極 5 4 1 6 を有している。

【 0 1 4 5 】

20

そして、第 1 の電極 5 4 1 1、第 1 の電極 5 4 1 3 及び第 1 の電極 5 4 1 5 並びに、第 2 の電極 5 4 1 2、第 2 の電極 5 4 1 4 及び第 2 の電極 5 4 1 6 は第 1 の層間絶縁膜 5 2 0 7 により電気的に絶縁されている。

【 0 1 4 6 】

なお、第 1 の電極 5 4 1 1、第 1 の電極 5 4 1 3 及び第 1 の電極 5 4 1 5 は、ゲート電極 5 2 0 6 と同じ材料で形成されている。また、第 2 の電極 5 4 1 2、第 2 の電極 5 4 1 4 及び第 2 の電極 5 4 1 6 は配線 5 2 0 8 と同じ材料で形成されている。そして、より好ましくは、第 2 の電極 5 4 1 2、第 2 の電極 5 4 1 4 及び第 2 の電極 5 4 1 6 は三層構造とし、チタン膜の上にアルミニウム膜、さらにその上にチタン膜とするとよい。

【 0 1 4 7 】

30

そして、第 1 の電極 5 4 1 1 と第 2 の電極 5 4 1 2 とにより基準接続端子 5 4 2 1 を構成している。また、第 1 の電極 5 4 1 3 と第 2 の電極 5 4 1 4 とにより複合接続端子 5 4 2 2 を構成している。また、第 1 の電極 5 4 1 5 と第 2 の電極 5 4 1 6 とにより基準接続端子 5 4 2 3 を構成している。そして、図 5 4 (A) のような構成の場合には、第 2 の電極 5 4 1 2 及び第 2 の電極 5 4 1 6 が基準接続パッドに相当し、第 2 の電極 5 4 1 4 が複合接続パッドに相当する。

【 0 1 4 8 】

なお、図 5 4 (A) の構成において、第 2 の電極 5 4 1 2 上に第 3 の電極 5 4 3 1、第 2 の電極 5 4 1 4 上に第 3 の電極 5 4 3 2、第 2 の電極 5 4 1 6 上に第 3 の電極 5 4 3 3 を有する図 5 4 (B) のような構成でもよい。つまり、第 1 の電極 5 4 1 1 と第 2 の電極 5 4 1 2 と第 3 の電極 5 4 3 1 とにより基準接続端子 5 4 4 1 を構成し、第 1 の電極 5 4 1 3 と第 2 の電極 5 4 1 4 と第 3 の電極 5 4 3 2 とにより複合接続端子 5 4 4 2 を構成し、第 1 の電極 5 4 1 5 と第 2 の電極 5 4 1 6 と第 3 の電極 5 4 3 3 とにより基準接続端子 5 4 4 3 を構成している。そして、図 5 4 (B) のような構成の場合には、第 3 の電極 5 4 3 1 及び第 3 の電極 5 4 3 2 が基準接続パッドに相当し、第 3 の電極 5 4 3 3 が複合接続パッドに相当する。

40

【 0 1 4 9 】

なお、第 3 の電極 5 4 3 1、第 3 の電極 5 4 3 2 及び第 3 の電極 5 4 3 3 は、画素電極 5 4 0 1 と同じ材料で形成されている。そして、より好ましくは、第 3 の電極 5 4 3 1、第 3 の電極 5 4 3 2 及び第 3 の電極 5 4 3 3 は酸化インジウムに酸化スズが添加された酸化

50

インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、酸化スズカドミウム（CTO）、酸化亜鉛（ZnO）、酸化スズ（TO）などの酸化物の電極とするとよい。これらの酸化物の電極は化学的安定性に優れているため電極を保護することができる。

【0150】

また、接続端子部は図55（A）のような構成でもよい。つまり、第1の層間絶縁膜5207上に第1の電極5501、第1の電極5503、第1の電極5505を有し、さらに第1の電極5501の上には第2の電極5502、第1の電極5503の上には第2の電極5504、第1の電極5505の上には第2の電極5506を有している。

【0151】

そして、第1の電極5501、第1の電極5503及び第1の電極5505並びに、第2の電極5502、第2の電極5504及び第2の電極5506は絶縁物5402により電気的に絶縁されている。

10

【0152】

なお、第1の電極5501、第1の電極5503及び第1の電極5505は、配線5208と同じ材料で形成されている。また、第2の電極5502、第2の電極5504及び第2の電極5506は画素電極5401と同じ材料で形成されている。そして、より好ましくは、第2の電極5502、第2の電極5504及び第2の電極5506は酸化インジウムに酸化スズが添加された酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、酸化スズカドミウム（CTO）、酸化亜鉛（ZnO）、酸化スズ（TO）などの酸化物の電極とするとよい。これらの酸化物の電極は化学的安定性に優れているため電極を保護することができる。

20

【0153】

そして、第1の電極5501と第2の電極5502とにより基準接続端子5511を構成している。また、第1の電極5503と第2の電極5504とにより複合接続端子5512を構成している。また、第1の電極5505と第2の電極5506とにより基準接続端子5513を構成している。そして、図55（A）のような構成の場合には、第2の電極5502及び第2の電極5506が基準接続パッドに相当し、第2の電極5504が複合接続パッドに相当する。

【0154】

また、図55（B）の構成のように、図55（A）の構成において第2の電極5502、第2の電極5504、第2の電極5506を設けない構成としてもよい。つまり、第1の電極5501により基準接続端子、5521を構成している。また、第1の電極5503により複合接続端子、5522を構成している。また、第1の電極5505により基準接続端子、5523を構成している。そして、図55（B）のような構成の場合には、第1の電極5501及び第1の電極5505が基準接続パッドに相当し、第1の電極5503が複合接続パッドに相当する。

30

【0155】

また、半導体層にポリシリコン（p-Si）を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタ5653を適用した表示パネルの部分断面を図56に示す。

40

【0156】

基板5601上に下地膜5602が形成されている。さらに下地膜5602上にゲート電極5603が形成されている。ゲート電極5603の材料には金属膜、又はリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0157】

また、ゲート電極5603を覆うようにゲート絶縁膜5604が形成されている。ゲート絶縁膜5604としては酸化珪素膜や窒化珪素膜などが用いられる。

【0158】

50

また、ゲート絶縁膜 5604 上に、半導体膜が形成されている。半導体膜は、チャネル形成領域 5606 及び不純物領域 5605 を有する。なお、チャネル形成領域 5606 はチャネルドープが行われていても良い。

【0159】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 5602 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO_2)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0160】

半導体膜を覆って第 1 の層間絶縁膜 5600 が形成され、第 1 の層間絶縁膜 5600 上にコンタクトホールを介して配線 5607 が不純物領域 5605 と接している。

10

【0161】

また、第 1 の層間絶縁膜 5600 には開口部 5608 が形成されている。

【0162】

第 1 の層間絶縁膜 5600、配線 5607 及び開口部 5608 を覆うように第 2 の層間絶縁膜 5609 が形成され、第 2 の層間絶縁膜 5609 上にコンタクトホールを介して、画素電極 5610 が形成されている。また、画素電極 5610 の端部を覆って絶縁物 5611 が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極 5610 上に有機化合物を含む層 5612 及び対向電極 5613 が形成され、画素電極 5610 と対向電極 5613 とで有機化合物を含む層 5612 が挟まれた領域では発光素子 5614 が形成されている。そして、発光素子 5614 の下部に開口部 5608 が位置している。つまり、発光素子 5614 からの発光を基板側から取り出すときには開口部 5608 を有するため透過率を高めることができる。

20

【0163】

続いて、接続端子部の構造について説明する。なお、図 56 (A) に示す接続端子部の断面図は接続端子の線幅方向の断面を示している。

【0164】

接続端子部においても、基板 5601 上に下地膜 5602、さらにその上にゲート絶縁膜 5604 を有している。しかし、接続端子部においては、下地膜 5602 及びゲート絶縁膜 5604 は有していなくてもよい。

【0165】

さらに、ゲート絶縁膜 5604 上には、半導体膜 5615、半導体膜 5617、半導体膜 5619 を有し、さらに半導体膜 5615 の上には第 1 の導電膜 5616、半導体膜 5617 の上には第 1 の導電膜 5618、半導体膜 5619 の上には第 1 の導電膜 5620 を有している。

30

【0166】

そして、半導体膜 5615、半導体膜 5617 及び半導体膜 5619 並びに、第 1 の導電膜 5616、第 1 の導電膜 5618 及び第 1 の導電膜 5620 は第 1 の層間絶縁膜 5600 と第 2 の層間絶縁膜 5609 とにより構成される隔壁により電氣的に絶縁されている。

【0167】

なお、半導体膜 5615、半導体膜 5617 及び半導体膜 5619 は、トランジスタの半導体層と同じ材料で形成されている。また、第 1 の導電膜 5616、第 1 の導電膜 5618 及び第 1 の導電膜 5620 は配線 5607 と同じ材料で形成されている。

40

【0168】

そして、半導体膜 5615 と第 1 の導電膜 5616 とにより基準接続端子 5621 を構成している。また、半導体膜 5617 と第 1 の導電膜 5618 とにより複合接続端子 5622 を構成している。また、半導体膜 5619 と第 1 の導電膜 5620 とにより基準接続端子 5623 を構成している。そして、図 56 (A) のような構成の場合には、第 1 の導電膜 5616 及び第 1 の導電膜 5620 が基準接続パッドに相当し、第 1 の導電膜 5618 が複合接続パッドに相当する。

【0169】

50

なお、図56(A)の構成において、第1の導電膜5616上に第2の導電膜5631、第1の導電膜5618上に第2の導電膜5632、第1の導電膜5620上に第2の導電膜5633を有する図56(B)のような構成でもよい。つまり、半導体膜5615と第1の導電膜5616と第2の導電膜5631とにより基準接続端子5641を構成し、半導体膜5617と第1の導電膜5618と第2の導電膜5632とにより複合接続端子5642を構成し、半導体膜5619と第1の導電膜5620と第2の導電膜5633とにより基準接続端子5643を構成している。そして、図56(B)のような構成の場合には、第2の導電膜5631及び第2の導電膜5632が基準接続パッドに相当し、第2の導電膜5633が複合接続パッドに相当する。

【0170】

10

なお、第2の導電膜5631、第2の導電膜5632及び第2の導電膜5633は、画素電極5610と同じ材料で形成されている。そして、より好ましくは、第2の導電膜5631、第2の導電膜5632及び第2の導電膜5633は酸化インジウムに酸化スズが添加された酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化スズカドミウム(CTO)、酸化亜鉛(ZnO)、酸化スズ(TO)などの酸化物の電極とするとよい。これらの酸化物の電極は化学的安定性に優れているため電極を保護することができる。

【0171】

また、図57(B)の構成のように、図56(B)の構成において半導体膜5615、半導体膜5617、半導体膜5619を設けない構成としてもよい。つまり、第1の導電膜5616及び第2の導電膜5631により基準接続端子5711を構成している。また、第1の導電膜5618及び第2の導電膜5632により複合接続端子5712を構成している。また、第1の導電膜5620及び第2の導電膜5633により基準接続端子5713を構成している。そして、図57(B)のような構成の場合には、第2の導電膜5631及び第2の導電膜5633が基準接続パッドに相当し、第2の導電膜5632が複合接続パッドに相当する。

20

【0172】

また、接続端子部は図57(A)のような構成でもよい。つまり、第1の層間絶縁膜5600上に第1の導電膜5701、第1の導電膜5703、第1の導電膜5705を有し、さらに第1の導電膜5701の上には第2の導電膜5702、第1の導電膜5703の上には第2の導電膜5704、第1の導電膜5705の上には第2の導電膜5706を有している。

30

【0173】

そして、第1の導電膜5701、第1の導電膜5703及び第1の導電膜5705並びに、第2の導電膜5702、第2の導電膜5704及び第2の導電膜5706は第2の層間絶縁膜5609により構成される隔壁により電氣的に絶縁されている。

【0174】

なお、第1の導電膜5701、第1の導電膜5703及び第1の導電膜5705は、配線5607と同じ材料で形成されている。また、第2の導電膜5702、第2の導電膜5704及び第2の導電膜5706は画素電極5610と同じ材料で形成されている。そして、より好ましくは、第2の導電膜5702、第2の導電膜5704及び第2の導電膜5706は酸化インジウムに酸化スズが添加された酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)、酸化スズカドミウム(CTO)、酸化亜鉛(ZnO)、酸化スズ(TO)などの酸化物の電極とするとよい。これらの酸化物の電極は化学的安定性に優れているため電極を保護することができる。

40

【0175】

そして、第1の導電膜5701と第2の導電膜5702とにより基準接続端子5707を構成している。また、第1の導電膜5703と第2の導電膜5704とにより複合接続端子5708を構成している。また、第1の導電膜5705と第2の導電膜5706とにより基準接続端子5709を構成している。そして、図57(A)のような構成の場合には

50

、第2の導電膜5702及び第2の導電膜5706が基準接続パッドに相当し、第2の導電膜5704が複合接続パッドに相当する。

【0176】

次に、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。

【0177】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図58(A)に示すように、基板5801上に下地膜5802が形成されている。さらに下地膜5802上に画素電極5803が形成されている。

【0178】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜5802としては、窒化アルミニウム(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0179】

また、下地膜5802上に配線5804が形成され、画素電極5803の端部が配線5804で覆われている。配線5804の上部にN型の導電性を有するN型半導体層5806が形成されている。また、N型半導体層5806及び下地膜5802上に半導体層5805が形成されている。なお、この半導体層はアモルファスシリコン(a-Si:H)、微結晶半導体(μ-Si:H)等の非結晶性を有する半導体膜で形成されている。また、半導体層5805上にゲート絶縁膜5807が形成されている。なお、ゲート絶縁膜5807としては酸化珪素膜や窒化珪素膜などが用いられる。

【0180】

また、ゲート絶縁膜5807上に、ゲート電極5808が形成されている。また、画素電極5803の端部、トランジスタ5812を覆い、絶縁物5809が形成されている。

【0181】

絶縁物5809及びその開口部に位置する画素電極5803上に有機化合物を含む層5810及び対向電極5811が形成され、画素電極5803と対向電極5811とで有機化合物を含む層5810が挟まれた領域では発光素子5813が形成されている。

【0182】

続いて、接続端子部の構造について説明する。なお、図58(A)に示す接続端子部の断面図は接続端子の線幅方向の断面を示している。

【0183】

接続端子部においても、基板5801上に下地膜5802を有している。しかし、接続端子部においては、下地膜5802は有していなくてもよい。

【0184】

さらに、下地膜5802上には、第1の導電膜5814、第1の導電膜5816、第1の導電膜5818を有し、さらに第1の導電膜5814上には第2の導電膜5815、第1の導電膜5816上には第2の導電膜5817、第1の導電膜5818上には第2の導電膜5819を有している。

【0185】

そして、第1の導電膜5814、第1の導電膜5816及び第1の導電膜5818並びに、第2の導電膜5815、第2の導電膜5817及び第2の導電膜5819は絶縁物5809により電氣的に絶縁されている。

【0186】

なお、第1の導電膜5814、第1の導電膜5816及び第1の導電膜5818は配線5804と同じ材料で形成されている。また、第2の導電膜5815、第2の導電膜5817及び第2の導電膜5819はゲート電極5808と同じ材料で形成されている。

【0187】

そして、第1の導電膜5814と第2の導電膜5815とにより基準接続端子5820を構成している。また、第1の導電膜5816と第2の導電膜5817とにより複合接続端

10

20

30

40

50

子 5 8 2 1 を構成している。また、第 1 の導電膜 5 8 1 8 と第 2 の導電膜 5 8 1 9 とにより基準接続端子 5 8 2 2 を構成している。そして、図 5 8 (A) のような構成の場合には、第 2 の導電膜 5 8 1 5 及び第 2 の導電膜 5 8 1 9 が基準接続パッドに相当し、第 2 の導電膜 5 8 1 7 が複合接続パッドに相当する。

【 0 1 8 8 】

また、図 5 8 (A) の構成において、第 1 の導電膜 5 8 1 4 下に第 3 の導電膜 5 8 2 3 、第 1 の導電膜 5 8 1 6 下に第 3 の導電膜 5 8 2 4 、第 1 の導電膜 5 8 1 8 下に第 3 の導電膜 5 8 2 5 を有する図 5 8 (B) のような構成でもよい。つまり、第 1 の導電膜 5 8 1 4 と第 2 の導電膜 5 8 1 5 と第 3 の導電膜 5 8 2 3 とにより基準接続端子 5 8 2 0 を構成し、第 1 の導電膜 5 8 1 6 と第 2 の導電膜 5 8 1 7 と第 3 の導電膜 5 8 2 4 とにより複合接続端子 5 8 2 1 を構成し、第 1 の導電膜 5 8 1 8 と第 2 の導電膜 5 8 1 9 と第 3 の導電膜 5 8 2 5 とにより基準接続端子 5 8 2 2 を構成している。

【 0 1 8 9 】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図 5 9 に示す。

【 0 1 9 0 】

基板 5 9 0 1 上に下地膜 5 9 0 2 が形成されている。さらに下地膜 5 9 0 2 上にゲート電極 5 9 0 3 が形成されている。ゲート電極 5 9 0 3 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【 0 1 9 1 】

また、ゲート電極 5 9 0 3 を覆うようにゲート絶縁膜 5 9 0 4 が形成されている。ゲート絶縁膜 5 9 0 4 としては酸化珪素膜や窒化珪素膜などが用いられる。

【 0 1 9 2 】

また、ゲート絶縁膜 5 9 0 4 上に、半導体層 5 9 0 5 が形成されている。

【 0 1 9 3 】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 5 9 0 2 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO_2) 、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【 0 1 9 4 】

半導体層 5 9 0 5 上には N 型の導電性を有する N 型半導体層 5 9 0 6 が形成されている。

【 0 1 9 5 】

N 型半導体層 5 9 0 6 上には配線 5 9 0 7 が形成されている。

【 0 1 9 6 】

また、配線 5 9 0 7 の一方の端部は延在し、その延在した配線 5 9 0 7 上部に接して画素電極 5 9 0 8 が形成されている。

【 0 1 9 7 】

また、画素電極 5 9 0 8 の端部、トランジスタ 5 9 1 2 を覆うように絶縁物 5 9 0 9 が形成されている。

【 0 1 9 8 】

画素電極 5 9 0 8 及び絶縁物 5 9 0 9 上には有機化合物を含む層 5 9 1 0 及び対向電極 5 9 1 1 形成され、画素電極 5 9 0 8 と対向電極 5 9 1 1 とで有機化合物を含む層 5 9 1 0 が挟まれた領域では発光素子 5 9 1 3 が形成されている。

【 0 1 9 9 】

続いて、接続端子部の構造について説明する。なお、図 5 9 (A) に示す接続端子部の断面図は接続端子の線幅方向の断面を示している。

【 0 2 0 0 】

接続端子部においても、基板 5 9 0 1 上に下地膜 5 9 0 2 を有している。しかし、接続端子部においては、下地膜 5 9 0 2 は有していなくてもよい。

【 0 2 0 1 】

さらに、下地膜 5 9 0 2 上には、第 1 の導電膜 5 9 1 4、第 1 の導電膜 5 9 1 5、第 1 の導電膜 5 9 1 6 を有している。

【 0 2 0 2 】

そして、第 1 の導電膜 5 9 1 4、第 1 の導電膜 5 9 1 5 及び第 1 の導電膜 5 9 1 6 は絶縁物 5 9 0 9 により電氣的に絶縁されている。

【 0 2 0 3 】

なお、第 1 の導電膜 5 9 1 4、第 1 の導電膜 5 9 1 5 及び第 1 の導電膜 5 9 1 6 は配線 5 9 0 7 と同じ材料で形成されている。

【 0 2 0 4 】

そして、第 1 の導電膜 5 9 1 4 により基準接続端子 5 9 1 7 を構成している。また、第 1 の導電膜 5 9 1 5 により複合接続端子 5 9 1 8 を構成している。また、第 1 の導電膜 5 9 1 6 により基準接続端子 5 9 1 9 を構成している。そして、図 5 9 (A) のような構成の場合には、第 1 の導電膜 5 9 1 4 及び第 1 の導電膜 5 9 1 6 が基準接続パッドに相当し、第 1 の導電膜 5 9 1 5 が複合接続パッドに相当する。

【 0 2 0 5 】

また、図 5 9 (A) の構成において、第 1 の導電膜 5 9 1 4 上に第 2 の導電膜 5 9 2 0、第 1 の導電膜 5 9 1 5 上に第 2 の導電膜 5 9 2 1、第 1 の導電膜 5 9 1 6 上に第 2 の導電膜 5 9 2 2 を有する図 5 9 (B) のような構成でもよい。つまり、第 1 の導電膜 5 9 1 4 と第 2 の導電膜 5 9 2 0 とにより基準接続端子 5 9 2 3 を構成し、第 1 の導電膜 5 9 1 5 と第 2 の導電膜 5 9 2 1 とにより複合接続端子 5 9 2 4 を構成し、第 1 の導電膜 5 9 1 6 と第 2 の導電膜 5 9 2 2 とにより基準接続端子 5 9 2 5 を構成している。

【 0 2 0 6 】

なお、図 5 9 (A)、(B) では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。なお、チャネル保護構造のトランジスタの場合について、図 6 0 (A)、(B) を用いて説明する。

【 0 2 0 7 】

図 6 0 (A)、(B) に示すチャネル保護型構造のトランジスタ 6 0 0 2 は、図 5 9 (A)、(B) に示したチャネルエッチ構造のトランジスタ 5 9 1 2 と、半導体層 5 9 0 5 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 6 0 0 1 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【 0 2 0 8 】

本発明の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。

【 0 2 0 9 】

なお、本発明の適用できる表示パネルは上述したものに限られるものではない。

（実施の形態 7）

本実施の形態においては、実施の形態 1 とは異なる複合接続端子の構成について説明する。

【 0 2 1 0 】

まず、本実施の形態の第 1 の構成について図 3 9 (A)、(B) を用いて説明する。接続パッド 3 9 0 1 a と、複数の接続パッド 3 9 0 2 と、接続パッド 3 9 0 1 b が等しい間隔で基板 1 0 1 上の接続端子部に配置されている。そしてこれらの接続パッドの線幅もほぼ等しくなっている。

【 0 2 1 1 】

また、接続パッド 3 9 0 2 の下層には、絶縁膜を介して電極 3 9 0 3 を有している。この電極 3 9 0 3 は、接続パッド 3 9 0 1 a から接続パッド 3 9 0 1 b にわたって形成されている。そして、接続パッド 3 9 0 1 a と電極 3 9 0 3 はコンタクトホール 3 9 0 4 a を介して電氣的に接続され、接続パッド 3 9 0 1 b と電極 3 9 0 3 はコンタクトホール 3 9 0 4 b を介して電氣的に接続されている。こうして、接続パッド 3 9 0 1 a と接続パッド 3 9 0 1 b とが電氣的に接続されている。そして、この接続パッド 3 9 0 1 a と接続パッド

3901bと電極3903により複合接続端子が構成されている。そして、この複合接続端子がFPC端子と接続される箇所は接続パッド3901aと接続パッド3901bである。

【0212】

なお、図39では、接続端子部の両端の接続パッドが電氣的に接続され、これらにより複合接続端子を構成しているが、これに限定されない。つまり、接続端子部の任意の接続パッド同士を電氣的に接続することにより、複合接続端子を構成することができる。よって、電氣的に接続する接続パッドは2つに限らず、3つや4つ又はそれ以上であってもよい。数を増やすことにより、FPCパッドとの接続面積をより大きくすることができるため接触抵抗を低くすることができる。

10

【0213】

また、本構成によれば、接続端子部の下層において、それぞれの接続パッドが電氣的に接続されるため、シール領域901で囲まれた内部で配線を引き回すことなく、離れた接続パッド間の接続が可能となる。

【0214】

なお、本構成は実施の形態2で示した様々な構成の接続端子部の構成と組み合わせることができる。一例を図61に示す。

【0215】

図61では、複合接続パッド6101aと複合接続パッド6101bと複合接続パッド6102と、基準接続パッド6103が等しい間隔で基板101上の接続端子部に配置されている。

20

【0216】

また、複合接続パッド6101a及び複合接続パッド6101bの下層には、絶縁膜を介して電極6104を有している。この電極6104は、複合接続パッド6101aから複合接続パッド6101bにわたって形成されている。そして、複合接続パッド6101aと電極6104はコンタクトホール6105aを介して電氣的に接続され、複合接続パッド6101bと電極6104はコンタクトホール6105bを介して電氣的に接続されている。こうして、複合接続パッド6101aと複合接続パッド6101bとが電氣的に接続されている。そして、この複合接続パッド6101aと複合接続パッド6101bと電極6104により複合接続端子が構成されている。そして、この複合接続端子がFPC端子と接続される箇所は複合接続パッド6101aと複合接続パッド6101bである。

30

【0217】

なお、この場合には、コンタクトホール6105aの幅を基準接続パッド6103の線幅よりも大きくすることができるので、接触抵抗を小さくすることができる。

【0218】

なお、図61では、接続端子部の両端の複合接続パッドが電氣的に接続され、これらにより複合接続端子を構成しているが、これに限定されない。つまり、接続端子部の任意の接続パッド同士を電氣的に接続することにより、複合接続端子を構成することができる。よって、電氣的に接続する接続パッドは2つに限らず、3つや4つ又はそれ以上であってもよい。数を増やすことにより、FPCパッドとの接続面積をより大きくすることができるため接触抵抗を低くすることができる。

40

【0219】

また、複合接続パッド同士を接続しているが、複合接続パッドと基準接続パッドと電氣的に接続して複合接続端子を構成してもよい。

【0220】

また、本構成によれば、接続端子部の下層において、それぞれの接続パッドが接続されるため、シール領域901で囲まれた内部で配線を引き回すことなく、離れた接続パッド間の接続が可能となる。

【0221】

次に、本実施の形態の第2の構成について図37を用いて説明する。接続パッド3701

50

aと、複数の接続パッド3702と、接続パッド3701bが等しい間隔で基板101上の接続端子部に配置されている。そしてこれらの接続パッドの線幅もほぼ等しくなっている。

【0222】

また、接続パッド3701a及び接続パッド3701bは、接続端子部において基板101の縁側に形成された配線3703により接続されている。なお、配線3703は接続パッド3701a及び接続パッド3701bと一続きの導電膜で形成されているため、コンタクトホールを介さずに配線3703と接続パッド3701aと接続パッド3701bとは電氣的に接続されている。よって、この接続パッド3701aと接続パッド3701bと配線3703により複合接続端子が構成されている。そして、この複合接続端子がFPC端子と接続される箇所は接続パッド3701aと接続パッド3701bである。

10

【0223】

なお、図37では、接続端子部の両端の接続パッドが電氣的に接続され、これらにより複合接続端子を構成しているが、これに限定されない。つまり、接続端子部の任意の接続パッド同士を電氣的に接続することにより、複合接続端子を構成することができる。よって、電氣的に接続する接続パッドは2つに限らず、3つや4つ又はそれ以上であってもよい。数を増やすことにより、FPCパッドとの接続面積をより大きくすることができるため接触抵抗を低くすることができる。

【0224】

また、本構成によれば、コンタクトホールを介さずに、それぞれの接続パッドが接続されるため、接触抵抗の増加を招くことなく離れた接続パッド間の接続が可能となる。よって低抵抗化を図ることができる。

20

【0225】

なお、本構成は実施の形態2で示した様々な構成の接続端子部の構成と組み合わせることができる。一例を図38に示す。

【0226】

図38では、複合接続パッド3801aと複合接続パッド3801bと複合接続パッド3802と、基準接続パッド3803が等しい間隔で基板101上の接続端子部に配置されている。

【0227】

また、複合接続パッド3801a及び複合接続パッド3801bは、接続端子部において基板101の縁側に形成された配線3804により接続されている。なお、配線3804は複合接続パッド3801a及び複合接続パッド3801bと一続きの導電膜で形成されているため、コンタクトホールを介さずに配線3804と複合接続パッド3801aと複合接続パッド3801bとは電氣的に接続されている。よって、この複合接続パッド3801aと複合接続パッド3801bと配線3804により複合接続端子が構成されている。そして、この複合接続端子がFPC端子と接続される箇所は複合接続パッド3801aと複合接続パッド3801bである。

30

【0228】

なお、図38では、接続端子部の両端の複合接続パッドが電氣的に接続され、これらにより複合接続端子を構成しているが、これに限定されない。つまり、接続端子部の任意の複合接続パッド同士を電氣的に接続することにより、複合接続端子を構成することができる。よって、電氣的に接続する接続パッドは2つに限らず、3つや4つ又はそれ以上であってもよい。また、複合接続パッドと基準接続パッドを基板の縁に設けた配線で電氣的に接続してもよい。なお、数を増やすことにより、FPCパッドとの接続面積をより大きくすることができるため接触抵抗を低くすることができる。

40

【0229】

(実施の形態8)

本実施の形態においては、表示装置の表示不良をさらに改善することができる構成について説明する。

50

【 0 2 3 0 】

本実施の形態においては、周辺駆動回路（走査線駆動回路や信号線駆動回路など）内の電流源回路や、その電流源回路と電流源とを接続する配線が、対向電極と重ならない構成とする。

【 0 2 3 1 】

まず、本実施の形態の第 1 の構成を図 2 7 に示す。なお、図 1 3 と共通するところは共通の符号を用いて説明を省略する。図 2 7 の構成においては、信号線駆動回路 1 0 4 内にラッチ回路 2 7 0 1 とシフトレジスタ 2 7 0 2 を有する。そして、ラッチ回路 2 7 0 1 がシフトレジスタ 2 7 0 2 と比較して、画素部 1 0 6 より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路 1 0 4 と画素部 1 0 6 との間隔は小さくしてある。よって、画素部 1 0 6 からはみ出した対向電極 2 0 2 がシフトレジスタ 2 7 0 2 と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路 2 7 0 1 は、対向電極 2 0 2 とは重なっていない。

10

【 0 2 3 2 】

このような構成にすることにより、表示パネルの面積を有効利用しつつ、配線と対向電極 2 0 2 とにより形成される寄生容量影響で起こる表示不良を防止することができる。

【 0 2 3 3 】

なぜなら、ラッチ回路 2 7 0 1 に入力されるビデオ信号を各段のラッチ回路に保持する時間は、ラッチ回路 2 7 0 1 から画素へビデオ信号を書き込む時間に比べ短い。そのため、ビデオ信号に相当する信号電流が小さいと、寄生容量による影響が大きくなり、ラッチ回路 2 7 0 1 へ正常にビデオ信号の書き込みが行われなくなってしまうからである。

20

【 0 2 3 4 】

ここで、信号線駆動回路 1 0 4 の構成例を図 4 2 に示す。シフトレジスタ 2 7 0 2 は、複数のフリップフロップ 4 2 0 1 とフリップフロップ 4 2 0 2 で構成されている。そして、シフトレジスタ 2 7 0 2 には、クロック信号（CLK）とクロック反転信号（CLKB）が入力されている。そして、シフトレジスタ 2 7 0 2 の最初の段のフリップフロップ 4 2 0 1 にスタートパルス（S_{SP}）が入力される。すると、2 段目のフリップフロップ 4 2 0 2 から出力されるパルスは、スタートパルスが 1 パルス分遅れる。つまり、フリップフロップ 4 2 0 1 に入力されたパルスがフリップフロップ 4 2 0 2 から出力される際に 1 パルス分遅れるため、フリップフロップ 4 2 0 2 からの出力は 1 パルス分ずつ遅れて出力される。これがビデオ信号（Video Data）の保持を行うタイミングをとるサンプリングパルスとなる。

30

【 0 2 3 5 】

また、ラッチ回路 2 7 0 1 は各信号線に対応して、それぞれ書き込み選択スイッチ 4 2 0 3 a、書き込み選択スイッチ 4 2 0 3 b、サンプリングスイッチ 4 2 0 4 a、サンプリングスイッチ 4 2 0 4 b、電流源回路 4 2 0 5 a、電流源回路 4 2 0 5 b、読み出し選択スイッチ 4 2 0 6 a 及び読み出し選択スイッチ 4 2 0 6 b を有している。

【 0 2 3 6 】

そして、書き込み選択スイッチ 4 2 0 3 a 又は書き込み選択スイッチ 4 2 0 3 b の一方がオンし、他方がオフしている。そして、書き込み選択スイッチ 4 2 0 3 a がオンしているときには、書き込み選択スイッチ 4 2 0 3 b はオフし、ビデオ信号の書き込みを行う電流源回路として電流源回路 4 2 0 5 a が選択されることになる。つまり、ラッチ回路 2 7 0 1 にサンプリングパルスが入力されるタイミングにしたがってサンプリングスイッチ 4 2 0 4 a がオンし、ビデオ信号に相当する電流が電流源回路 4 2 0 5 a に書き込まれる。同様に、書き込み選択スイッチ 4 2 0 3 b がオンしているときには、書き込み選択スイッチ 4 2 0 3 a はオフし、ビデオ信号の書き込みを行う電流源回路として電流源回路 4 2 0 5 b が選択されることになる。つまり、ラッチ回路 2 7 0 1 にサンプリングパルスが入力されるタイミングにしたがってサンプリングスイッチ 4 2 0 4 b がオンし、ビデオ信号に相当する電流が電流源回路 4 2 0 5 b に書き込まれる。

40

【 0 2 3 7 】

50

また、書き込み選択スイッチ4203aがオンしているときには、読み出し選択スイッチ4206bがオンし、読み出し選択スイッチ4206aがオフする。そして、電流源回路4205bに書き込まれたビデオ信号に相当する電流が信号線へ出力される。同様に、書き込み選択スイッチ4203bがオンしているときには、読み出し選択スイッチ4206aがオンし、読み出し選択スイッチ4206bがオフする。そして、電流源回路4205aに書き込まれたビデオ信号に相当する電流が信号線へ出力される。

【0238】

ここで、ビデオ信号(V i d e o D a t a)が入力されているビデオ線4207が対向電極と重なっていると、寄生容量が発生する。そして、ビデオ信号に相当する電流値が小さいときには、寄生容量に電流が流れてしまい、電流源回路へのビデオ信号の書き込みは十分に行われないことになる。すると表示不良を起こしてしまう。

10

【0239】

しかし、本実施の形態の図27に示すような構成とすることにより、表示パネルの面積の有効利用を図っても対向電極202がラッチ回路2701と重ならないため、表示不良を防止することができる。

【0240】

なお、電流源回路としては、図43(a)、(b)、(c)に示すような構成のいずれも適用することができる。図43(a)の電流源回路はスイッチ4304とトランジスタ4302と容量素子4303で構成される。そして、電流源4301によって、電流源回路に書き込まれる。図43(b)の電流源回路はスイッチ4313とトランジスタ4311と容量素子4312で構成される。そして、電流源4301によって、電流源回路に書き込まれる。図43(c)の電流源回路はスイッチ4324とトランジスタ4321とトランジスタ4322と容量素子4323とスイッチ4325で構成される。そして、電流源4301によって、電流源回路に書き込まれる。

20

【0241】

次に、本実施の形態の第2の構成を図28に示す。なお、図14と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。

30

【0242】

また、本構成においては、シフトレジスタ2702の中で配線1403と対向電極202がコンタクトホール1404を介して接続されている。

【0243】

次に、本実施の形態の第3の構成を図29に示す。なお、図15と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。

40

【0244】

また、本構成においては、ラッチ回路2701が信号や電源の供給される接続端子部201とは画素部106を挟んで反対側に配置されているため、寄生容量の発生する原因となる配線がラッチ回路2701をまたぐことがない。よって、より、表示不良の防止を図ることが可能となる。

50

【 0 2 4 5 】

次に、本実施の形態の第4の構成を図30に示す。なお、図16と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。よって、表示不良を防止することができる。

10

【 0 2 4 6 】

次に、本実施の形態の第5の構成を図31に示す。なお、図17と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。よって、表示不良を防止することができる。

20

【 0 2 4 7 】

次に、本実施の形態の第6の構成を図32に示す。なお、図18と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。よって、表示不良を防止することができる。

30

【 0 2 4 8 】

次に、本実施の形態の第7の構成を図33に示す。なお、図19と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。よって、表示不良を防止することができる。

40

【 0 2 4 9 】

次に、本実施の形態の第8の構成を図34に示す。なお、図20と共通するところは共通の符号を用いてその説明を省略する。本構成においても、信号線駆動回路104内にラッチ回路2701とシフトレジスタ2702を有する。そして、ラッチ回路2701がシフトレジスタ2702と比較して、画素部106より離れた位置に配置されている。そして、表示パネルの面積有効利用のため、信号線駆動回路104と画素部106との間隔は小さくしてある。よって、画素部106からはみ出した対向電極202がシフトレジスタ2702と一部重なっている。しかし、電流源や電流源回路又はそれらを接続している配線など、を有するラッチ回路2701は、対向電極202とは重なっていない。よって、表示不良を防止することができる。

50

【実施例 1】

【0250】

本実施例において、実施の形態 1 に示した、基準接続パッドの線幅、複合接続パッドの線幅、接続ピッチ、FPCパッドの線幅及びFPCピッチの好適な大小関係について図35(A)、(B)、(C)を用いて説明する。

【0251】

図35(A)では、回路が形成された基板101とFPC103とが接続されている様子を示している。そして、点線3501で囲まれた領域の部分拡大図を図35(b)に示す。また、その断面を図35(C)に示す。

【0252】

まず、図35(C)を用いて説明する。基板101上に、接続パッド(基準接続パッド112及び複合接続パッド113)を有し、それぞれ接続パッド間には隔壁114が形成されている。隔壁114は絶縁性を有しており、接続パッド間の絶縁を保っている。そして、接続パッド(基準接続パッド112及び複合接続パッド113)は異方性導電膜411を介してそれぞれ対応するFPCパッド111と接続されている。なお、ここでは、複合接続パッド113が二つのFPCパッド111と接続する場合の構成を示しているがこれに限定されない。また、図4(C)に示すように、異方性導電膜411の中に導電性粒子421が混入してあってもよい。そうすることにより、接触抵抗を低くすることができる。

【0253】

そして、FPC103と基板101との貼り合わせにおいて、パッドの線幅方向に位置ずれがない場合には、基準接続パッド112の中心軸と、FPCパッド111の中心軸が一致しており、図35(B)、(C)のようになっている。

【0254】

次に図35(B)を用いて説明する。線3502はFPCの縁を示している。

【0255】

基準接続パッド112の線幅L1は、接続ピッチL3よりも小さく構成されている。また、FPCパッド111の線幅L2は、FPCピッチL4よりも大きく構成されている。さらに、基準接続パッド112の線幅L1は、FPCパッド111の線幅L2より小さく構成されている。つまり、 $L1 < L3$ 、 $L2 > L4$ 、 $L1 < L2$ の条件を満たすように各パッドを構成することにより、FPC103と基板101との貼り合わせにおいて、パッドの線幅方向に多少の位置ずれが生じて、対応するパッド間での電氣的接続を可能にし、隣接するパッドとの短絡の発生を低減することができる。

【0256】

さらに、本構成によれば、複合接続パッド113の線幅L5は、FPCパッド111の線幅L2と基準接続パッド112の線幅L1とFPCピッチL4とを合わせた大きさにほぼ等しい。つまり、 $L5 = L2 + L1 + L4$ となる。そして、複合接続パッド113と二つのFPCパッド111との接続領域の線幅は、 $L2 + L1$ となる。すると、 $L2 > L1$ であるため、二つのFPCパッド111と接続する複合接続パッド113の接続面積は、基準接続パッド112とFPCパッド111との接続面積の2倍以上の面積となる。よって、複合接続パッド113での接触抵抗を大幅に低減することができる。なお、複合接続パッド113が三つ以上のFPCパッド111と接続する場合においても、同様に接続面積が大幅に増えるので接触抵抗の低減を図ることが可能となる。

【実施例 2】

【0257】

本実施例では、表示素子に発光素子を用いた場合の表示パネルの構成について説明する。

【0258】

本実施例では、本発明の表示装置に適用可能な表示パネルについて図66を用いて説明する。なお、図66(A)は、表示パネルを示す上面図、図66(B)は図66(A)をa-a'で切断した断面図である。点線で示された信号線駆動回路6601、画素部660

10

20

30

40

50

2、第2の走査線駆動回路6603、第1の走査線駆動回路6606を有する。また、封止基板6604、シール材6605を有し、シール材6605で囲まれた内側は、空間6607になっている。

【0259】

なお、配線6608は第2の走査線駆動回路6603、第1の走査線駆動回路6606及び信号線駆動回路6601に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)6609からビデオ信号、クロック信号、スタート信号等を受け取る。FPC6609と表示パネルとの接合部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)6619がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0260】

次に、断面構造について図66(B)を用いて説明する。基板6610上には画素部6602とその周辺駆動回路(第2の走査線駆動回路6603、第1の走査線駆動回路6606及び信号線駆動回路6601)が形成されているが、ここでは、信号線駆動回路6601と、画素部6602が示されている。

【0261】

なお、信号線駆動回路6601はNチャネル型TFT6620やPチャネル型TFT6621を用いてCMOS回路を構成している。また、本実施例では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。

【0262】

また、画素部6602はTFT6611と、TFT6612とを含む画素を構成する複数の回路を有している。なお、TFT6612のソース電極は第1の電極6613と接続されている。また、第1の電極6613の端部を覆って絶縁物6614が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0263】

また、カバレッジを良好なものとするため、絶縁物6614の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物6614の材料としてポジ型の感光性アクリルを用いた場合、絶縁物6614の上端部のみに曲率半径($0.2\mu\text{m} \sim 3\mu\text{m}$)を有する曲面を持たせることが好ましい。また、絶縁物6614として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0264】

第1の電極6613上には、有機化合物を含む層6616、および第2の電極6617がそれぞれ形成されている。ここで、陽極として機能する第1の電極6613に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

【0265】

また、有機化合物を含む層6616は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層6616には、元素周期律第4族金属錯体をその一部に用いることとし、その他、組み合わせ用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用

10

20

30

40

50

いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施例においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0266】

さらに、有機化合物を含む層6616上に形成される第2の電極(陰極)6617に用いる材料としては、仕事関数の小さい材料(Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)を用いればよい。なお、有機化合物を含む層6616で生じた光が第2の電極6617を透過させる場合には、第2の電極(陰極)6617として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In₂O₃ ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。

10

【0267】

さらにシール材6605で封止基板6604を基板6610と貼り合わせることで、基板6610、封止基板6604、およびシール材6605で囲まれた空間6607に発光素子6618が備えられた構造になっている。なお、空間6607には、不活性気体(窒素やアルゴン等)が充填される場合のほか、シール材6605で充填される構成も含むものとする。

【0268】

なお、シール材6605にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板6604に用いる材料としてガラス基板や石英基板のほか、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

20

【0269】

以上のようにして、表示パネルを得ることができる。

【0270】

さらに、発光素子6618に適用可能なEL素子の例を図72に示す。

【0271】

基板7201の上に陽極7202、正孔注入材料からなる正孔注入層7203、その上に正孔輸送材料からなる正孔輸送層7204、発光層7205、電子輸送材料からなる電子輸送層7206、電子注入材料からなる電子注入層7207、そして陰極7208を積層させた素子構造である。ここで、発光層7205は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

30

【0272】

また、図72(A)で示した各機能層を積層した積層構造のほか、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色表示素子などにも応用可能である。

40

【0273】

図72(A)に示す本発明の素子作製方法は、まず、陽極7202を有する基板7201に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極7208を蒸着で形成する。

【0274】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0275】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン(以下「H₂Pc」と記す)、銅フタロシアニン(以下「CuPc」と記す)などが有効で

50

ある。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下「PSS」と記す）をドーピングしたポリエチレンジオキシチオフェン（以下「PEDOT」と記す）や、ポリアニンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド（以下「PI」と記す）がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム（以下「アルミナ」と記す）の超薄膜などがある。

【0276】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系（すなわち、ベンゼン環・窒素の結合を有するもの）の化合物である。広く用いられている材料として、4, 4'-ビス（ジフェニルアミノ）-ビフェニル（以下、「TAD」と記す）や、その誘導体である4, 4'-ビス[N-（3-メチルフェニル）-N-フェニル-アミノ]-ビフェニル（以下、「TPD」と記す）、4, 4'-ビス[N-（1-ナフチル）-N-フェニル-アミノ]-ビフェニル（以下、「NPD」と記す）がある。4, 4', 4''-トリス（N, N-ジフェニル-アミノ）-トリフェニルアミン（以下、「TDATA」と記す）、4, 4', 4''-トリス[N-（3-メチルフェニル）-N-フェニル-アミノ]-トリフェニルアミン（以下、「MTDATA」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

【0277】

電子輸送材料としては、金属錯体がよく用いられ、Alq₃、BALq、トリス（4-メチル-8-キノリノラト）アルミニウム（以下、「Almq」と記す）、ビス（10-ヒドロキシベンゾ[h]-キノリナト）ベリリウム（以下、「BeBq」と記す）などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-（2-ヒドロキシフェニル）-ベンゾオキサゾラト]亜鉛（以下、「Zn（BOX）₂」）と記す）、ビス[2-（2-ヒドロキシフェニル）-ベンゾチアゾラト]亜鉛（以下、「Zn（BTZ）₂」）と記す）などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-（4-ビフェニル）-5-（4-tert-ブチルフェニル）-1, 3, 4-オキサジアゾール（以下、「PBD」と記す）、OXD-7などのオキサジアゾール誘導体、TAZ、3-（4-tert-ブチルフェニル）-4-（4-エチルフェニル）-5-（4-ビフェニル）-1, 2, 4-トリアゾール（以下、「p-EtTAZ」と記す）などのトリアゾール誘導体、バソフェナントロリン（以下、「BPhen」と記す）、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

【0278】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート（以下、「Li（cac）」と記す）や8-キノリノラト-リチウム（以下、「Li q」と記す）などのアルカリ金属錯体も有効である。

【0279】

発光材料としては、先に述べたAlq₃、Almq、BeBq、BALq、Zn（BOX）₂、Zn（BTZ）₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4, 4'-ビス（2, 2'-ジフェニル-ビニル）-ビフェニルや、赤橙色の4-（ジシアノメチレン）-2-メチル-6-（p-ジメチルアミノスチリル）-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス（2-フェニルピリジン）イリジウム、ビス（2-（4'-トリル）ピリジナト-N, C^{2'}）アセチルアセトナトイリジウム（以下「cacIr（tpy）₂」）と記す）、2, 3, 7, 8, 12, 13, 17, 18-オクタエチル-21H, 23Hポルフィリン-白金などが知られて

10

20

30

40

50

いる。

【0280】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の表示素子を作製することができる。

【0281】

また、図72(B)に示すように図72(A)とは逆の順番に層を形成した表示素子を用いることができる。つまり、基板7211の上に陰極7218、電子注入材料からなる電子注入層7217、その上に電子輸送材料からなる電子輸送層7216、発光層7215、正孔輸送材料からなる正孔輸送層7214、正孔注入材料からなる正孔注入層7213、そして陽極7212を積層させた素子構造である。

10

【0282】

また、表示素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTFT及び表示素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の表示素子があり、本発明の画素構成はどの射出構造の表示素子にも適用することができる。

【0283】

上面射出構造の発光素子について図73(A)を用いて説明する。

【0284】

基板7300上にTFT7301が形成され、TFT7301のソース電極に接して第1の電極7302が形成され、その上に有機化合物を含む層7303と第2の電極7304が形成されている。

20

【0285】

また、第1の電極7302は発光素子の陽極である。そして第2の電極7304は発光素子の陰極である。つまり、第1の電極7302と第2の電極7304とで有機化合物を含む層7303が挟まれているところが発光素子となる。

【0286】

また、ここで、陽極として機能する第1の電極7302に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

30

【0287】

また、陰極として機能する第2の電極7304に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

40

【0288】

こうして、図73(A)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図71の表示パネルに適用した場合には、基板7145側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には基板7145は光透過性を有する基板を用いる。

【0289】

また、光学フィルムを設ける場合には、基板7145に光学フィルムを設ければよい。

【0290】

なお、実施の形態7に示す画素構成の場合には、第1の電極7302を陰極として機能す

50

る $MgAg$ 、 $MgIn$ 、 $AlLi$ 等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第 2 の電極 7304 には ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0291】

また、下面射出構造の発光素子について図 73 (B) を用いて説明する。射出構造以外は図 73 (A) と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0292】

ここで、陽極として機能する第 1 の電極 7302 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、 ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

10

【0293】

また、陰極として機能する第 2 の電極 7304 に用いる材料としては、仕事関数の小さい材料 (Al 、 Ag 、 Li 、 Ca 、またはこれらの合金 $MgAg$ 、 $MgIn$ 、 $AlLi$ 、 CaF_2 、または Ca_3N_2) からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0294】

こうして、図 73 (B) の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図 71 の表示パネルに適用した場合には、基板 7100 側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板 7100 は光透過性を有する基板を用いる。

20

【0295】

また、光学フィルムを設ける場合には、基板 7100 に光学フィルムを設ければよい。

【0296】

両面射出構造の発光素子について図 73 (C) を用いて説明する。射出構造以外は図 73 (A) と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0297】

ここで、陽極として機能する第 1 の電極 7302 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、 ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

30

【0298】

また、陰極として機能する第 2 の電極 7304 に用いる材料としては、仕事関数の小さい材料 (Al 、 Ag 、 Li 、 Ca 、またはこれらの合金 $MgAg$ 、 $MgIn$ 、 $AlLi$ 、 CaF_2 、または Ca_3N_2) からなる金属薄膜と、透明導電膜 (ITO (インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金 (In_2O_3 、 ZnO)、酸化亜鉛 (ZnO) 等) との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0299】

こうして、図 73 (C) の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図 71 の表示パネルに適用した場合には、基板 7100 側と基板 7145 側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には基板 7100 および基板 7145 は、ともに光透過性を有する基板を用いる。

40

【0300】

また、光学フィルムを設ける場合には、基板 7100 および基板 7145 の両方に光学フィルムを設ければよい。

【0301】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

50

【 0 3 0 2 】

図 7 4 に示すように、基板 7 4 0 0 上に T F T 7 4 0 1 が形成され、T F T 7 4 0 1 のソース電極に接して第 1 の電極 7 4 0 3 が形成され、その上に有機化合物を含む層 7 4 0 4 と第 2 の電極 7 4 0 5 が形成されている。

【 0 3 0 3 】

また、第 1 の電極 7 4 0 3 は発光素子の陽極である。そして第 2 の電極 7 4 0 5 は発光素子の陰極である。つまり、第 1 の電極 7 4 0 3 と第 2 の電極 7 4 0 5 とで有機化合物を含む層 7 4 0 4 が挟まれているところが発光素子となる。図 7 4 の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター 7 4 0 6 R、緑色のカラーフィルター 7 4 0 6 G、青色のカラーフィルター 7 4 0 6 B を設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス (B M と も い う) 7 4 0 7 が設けられている。

10

【 0 3 0 4 】

上述した発光素子の構成は組み合わせて用いることができ、本発明の表示パネルに適宜用いることができる。また、発光素子は例示であり他の構成の発光素子を適用することもできる。

【 実施例 3 】

【 0 3 0 5 】

本発明の表示パネルは様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (D V D) 等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置) などが挙げられる。

20

【 0 3 0 6 】

図 6 5 (A) は発光装置であり、筐体 6 5 0 0 1、支持台 6 5 0 0 2、表示部 6 5 0 0 3、スピーカー部 6 5 0 0 4、ビデオ入力端子 6 5 0 0 5 等を含む。本発明の表示装置を表示部 6 5 0 0 3 に用いることができる。なお、発光装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明の表示パネルを表示部 6 5 0 0 3 に用いた発光装置は、表示不良を防止することができる。

30

【 0 3 0 7 】

図 6 5 (B) はカメラであり、本体 6 5 1 0 1、表示部 6 5 1 0 2、受像部 6 5 1 0 3、操作キー 6 5 1 0 4、外部接続ポート 6 5 1 0 5、シャッター 6 5 1 0 6 等を含む。

【 0 3 0 8 】

本発明の表示パネルを表示部 6 5 1 0 2 に用いたカメラは、表示不良を防止することができる。

【 0 3 0 9 】

図 6 5 (C) はコンピュータであり、本体 6 5 2 0 1、筐体 6 5 2 0 2、表示部 6 5 2 0 3、キーボード 6 5 2 0 4、外部接続ポート 6 5 2 0 5、ポインティングマウス 6 5 2 0 6 等を含む。本発明の表示パネルを表示部 6 5 2 0 3 に用いたコンピュータは、表示不良を防止することができる。

40

【 0 3 1 0 】

図 6 5 (D) はモバイルコンピュータであり、本体 6 5 3 0 1、表示部 6 5 3 0 2、スイッチ 6 5 3 0 3、操作キー 6 5 3 0 4、赤外線ポート 6 5 3 0 5 等を含む。本発明の表示パネルを表示部 6 5 3 0 2 に用いたモバイルコンピュータは、表示不良を防止することができる。

【 0 3 1 1 】

図 6 5 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的には D V D 再生装置) で

50

あり、本体 6 5 4 0 1、筐体 6 5 4 0 2、表示部 A 6 5 4 0 3、表示部 B 6 5 4 0 4、記録媒体（DVD 等）読み込み部 6 5 4 0 5、操作キー 6 5 4 0 6、スピーカー部 6 5 4 0 7 等を含む。表示部 A 6 5 4 0 3 は主として画像情報を表示し、表示部 B 6 5 4 0 4 は主として文字情報を表示することができる。本発明の表示パネルを表示部 A 6 5 4 0 3 や表示部 B 6 5 4 0 4 に用いた画像再生装置は、表示不良を防止することができる。

【0312】

図 6 5（F）はゴーグル型ディスプレイであり、本体 6 5 5 0 1、表示部 6 5 5 0 2、アーム部 6 5 5 0 3 を含む。本発明の表示パネルを表示部 6 5 5 0 2 に用いたゴーグル型ディスプレイは、表示不良を防止することができる。

【0313】

図 6 5（G）はビデオカメラであり、本体 6 5 2 0 0 1、表示部 6 5 2 0 0 2、筐体 6 5 2 0 0 3、外部接続ポート 6 5 2 0 0 4、リモコン受信部 6 5 2 0 0 5、受像部 6 5 2 0 0 6、バッテリー 6 5 2 0 0 7、音声入力部 6 5 2 0 0 8、操作キー 6 5 2 0 0 9 等を含む。本発明の表示パネルを表示部 6 5 2 0 0 2 に用いたビデオカメラは、表示不良を防止することができる。

【0314】

図 6 5（H）は携帯電話機であり、本体 6 5 7 0 1、筐体 6 5 7 0 2、表示部 6 5 7 0 3、音声入力部 6 5 7 0 4、音声出力部 6 5 7 0 5、操作キー 6 5 7 0 6、外部接続ポート 6 5 7 0 7、アンテナ 6 5 7 0 8 等を含む。本発明の表示パネルを表示部 6 5 7 0 3 に用いた携帯電話機は表示不良を防止することができる。

【0315】

このように本発明の表示パネルは、あらゆる電子機器に適用することが可能である。

【実施例 4】

【0316】

本実施例において、本発明の表示パネルを表示部に有する携帯電話の構成例について図 6 4 を用いて説明する。

【0317】

表示パネル 6 4 1 0 はハウジング 6 4 0 0 に脱着自在に組み込まれる。ハウジング 6 4 0 0 は表示パネル 6 4 1 0 のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル 6 4 1 0 を固定したハウジング 6 4 0 0 はプリント基板 6 4 0 1 に嵌入されモジュールとして組み立てられる。

【0318】

表示パネル 6 4 1 0 は F P C 6 4 1 1 を介してプリント基板 6 4 0 1 に接続される。プリント基板 6 4 0 1 には、スピーカ 6 4 0 2、マイクロフォン 6 4 0 3、送受信回路 6 4 0 4、CPU 及びコントローラなどを含む信号処理回路 6 4 0 5 が形成されている。このようなモジュールと、入力手段 6 4 0 6、バッテリー 6 4 0 7 を組み合わせ、筐体 6 4 0 9 に収納する。表示パネル 6 4 1 0 の画素部は筐体 6 4 1 2 に形成された開口窓から視認できよう配置する。

【0319】

また、本実施例に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【実施例 5】

【0320】

図 6 2 は表示パネル 6 2 0 1 と、回路基板 6 2 0 2 を組み合わせた E L モジュールを示している。表示パネル 6 2 0 1 は画素部 6 2 0 3、走査線駆動回路 6 2 0 4 及び信号線駆動回路 6 2 0 5 を有している。回路基板 6 2 0 2 には、例えば、コントロール回路 6 2 0 6 や信号分割回路 6 2 0 7 などが形成されている。表示パネル 6 2 0 1 と回路基板 6 2 0 2 は接続配線 6 2 0 8 によって接続されている。接続配線には F P C 等を用いることができる。

【0321】

このELモジュールによりELテレビ受像機を完成させることができる。図63は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ6301は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路6302と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路6303と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路6206により処理される。コントロール回路6206は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路6207を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0322】

チューナ6301で受信した信号のうち、音声信号は音声信号増幅回路6304に送られ、その出力は音声信号処理回路6305を経てスピーカー6306に供給される。制御回路6307は受信局（受信周波数）や音量の制御情報を入力部6308から受け、チューナ6301や音声信号処理回路6305に信号を送出する。

【0323】

図65(A)に示すように、図62のELモジュールを筐体65001に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部65003が形成される。また、スピーカー部65004、ビデオ入力端子65005などが適宜備えられている。

【0324】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【実施例6】

【0325】

本実施例においては、複合接続パッドを接続端子部に有する表示パネルの好適な構成について説明する。

【0326】

まず、図67を用いて表示パネルの接続端子部の接続パッド（基準接続パッド及び複合接続パッド）の構成について説明する。

【0327】

基板6701上に一続きの導電膜が形成され、接続端子部の領域の導電膜は接続パッドとして機能し、配線部の領域の導電膜は配線として機能する。図67において、基準接続パッド6703及び配線6706は一続きの導電膜で形成されている。また、複合接続パッド6704、配線6707及び配線6708は一続きの導電膜で形成されている。また、複合接続パッド6705、配線6709、配線6710及び配線6711は一続きの導電膜で形成されている。

【0328】

また、シール領域6702において、基板6701と対向して設けられた対向基板がシール材によって貼り合わせられる。

【0329】

なお、複合接続パッド6704は二つのFPCパッドと接続され、複合接続パッド6705は三つのFPCパッドと接続される。

【0330】

ここで、基準接続パッド6703の線幅をWとし、複合接続パッド6704の線幅をW'とし、複合接続パッド6705の線幅をW''とする。また、隣り合う基準接続パッド同士の線幅中心の距離をLとする。

【0331】

ここで、複合接続パッド6704の線幅中心と基準接続パッドの線幅中心との距離はLの1.5倍となり、複合接続パッド6705の線幅中心と基準接続パッドの線幅中心との距離はLの2倍となる。よって、FPCはFPC端子配列を変える必要がないため、FPC

10

20

30

40

50

の仕様変更することなく用いることができる。

【 0 3 3 2 】

なお、複合接続パッド 6 7 0 4 の線幅 W' は隣り合う基準接続パッド同士の線幅中心の距離 L よりも大きいことが好ましい。また、複合接続パッド 6 7 0 5 の線幅 W'' は L の 2 倍よりも大きいことが好ましい。こうすることにより、接続パッドと F P C パッドとの接触抵抗を小さくすることができる。

【 0 3 3 3 】

続いて、複合接続パッドと電氣的に接続された複数の配線の表示パネル内での役割について説明する。

【 0 3 3 4 】

例えば、二つの走査線駆動回路を有する表示パネルにおいて、図 6 7 の配線 6 7 0 7 は一方の走査線駆動回路に電氣的に接続され、図 6 7 の配線 6 7 0 8 は他方の走査線駆動回路に電氣的に接続されている。つまり、二つの走査線駆動回路へ、共通の信号又は共通の電源を供給するそれぞれの配線が、一つの接続パッドと電氣的に接続されている。よって、二つの走査線駆動回路の動作不良を防止することができる。

【 0 3 3 5 】

また、他の構成として、画素部と、画素を駆動する周辺駆動回路を備え、周辺駆動回路にシフトレジスタ及びバッファ回路を有する表示パネルにおいて、図 6 7 の配線 6 7 0 7 はシフトレジスタに電氣的に接続され、図 6 7 の配線 6 7 0 8 はバッファ回路に電氣的に接続されている。つまり、シフトレジスタとバッファ回路へ、共通の電源を供給するそれぞれの配線が、一つの接続パッドと電氣的に接続されている。つまり、図 6 8 (B) に示すように配線 6 8 0 4 はシフトレジスタ 6 8 0 1 の電源を供給する配線であり、図 6 7 の配線 6 7 0 7 に電氣的に接続されている。また、配線 6 8 0 5 はバッファ回路 6 8 0 2 の電源を供給する配線であり、図 6 7 の配線 6 7 0 8 に電氣的に接続されている。ここで、図、図 6 8 (A) のように配線 6 8 0 3 からシフトレジスタ 6 8 0 1 及びバッファ回路 6 8 0 2 に電源を供給するようにすると、バッファ回路 6 8 0 2 で大電流を出力するときに配線 6 8 0 3 の電源電位が下がってしまう。よって、シフトレジスタ 6 8 0 1 が正常に動作しなくなってしまう。よって、図 6 8 (B) のようにすることで、シフトレジスタ 6 8 0 1 の誤動作を防止することができる。

【 0 3 3 6 】

また、他の構成として、画素に液晶素子を有する液晶表示パネルにおいて、図 6 7 の配線 6 7 0 7 及び配線 6 7 0 8 が対向電極に電氣的に接続されている。つまり、対向電極へ、電源となる電源電位を供給するそれぞれの配線が、一つの接続パッドと電氣的に接続されている。特に液晶表示パネルにおいては、液晶素子に印加する電圧を極性反転させて液晶素子の長寿命化を図るため対向電極の電位を変化させる。よって、本構成のようにして電源供給ラインの抵抗を小さくすることで低消費電力化を図ることができる。

【 0 3 3 7 】

また、他の構成として、画素に E L 素子を有する E L 表示パネルにおいて、図 6 7 の配線 6 7 0 7 及び配線 6 7 0 8 が電源線又は対向電極に電氣的に接続されている。つまり、対向電極又は電源線へ、電源となる電源電位を供給するそれぞれの配線が、一つの接続パッドと電氣的に接続されている。特に E L 表示パネルにおいては、E L 素子に大量の電流が流れるため、電源供給ラインの抵抗が大きいと電圧降下により所望の電源電位を得られなくなってしまう。よって、本構成のようにして電源供給ラインの抵抗を小さくして表示不良を防止することができる。

【 0 3 3 8 】

また、他の構成として、画素に発光素子を有する表示パネルにおいて、図 6 7 の配線 6 7 0 7 は対向電極に電氣的に接続され、図 6 7 の配線 6 7 0 8 は対向電極と接して設けられた配線（補助配線という）に電氣的に接続されている。つまり、対向電極と補助配線へ、共通の電源を供給するそれぞれの配線が、一つの接続パッドと電氣的に接続されている。なお、この場合の表示パネルの構成の断面構造について図 7 5 を用いて説明する。

10

20

30

40

50

【0339】

基板7501上に下地膜7502を有している。基板7501としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。下地膜7502はCVD法やスパッタ法により形成することができる。例えば SiH_4 、 N_2O 、 NH_3 を原料に用いたCVD法により形成した酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を適用することができる。また、これらの積層を用いても良い。なお、下地膜7502は基板7501から不純物が半導体層に拡散することを防ぐために設けるものであり、基板7501にガラス基板や石英基板を用いている場合には下地膜7502は設けなくてもよい。

【0340】

下地膜7502上に島状の半導体層を有する。半導体層にはトランジスタ7503のチャネル形成領域7505、ソース領域又はドレイン領域となる不純物領域7506及び低濃度不純物領域(LDD領域)7507、並びにトランジスタ7504のチャネル形成領域7508、ソース又はドレイン領域となる不純物領域7509、低濃度不純物領域(LDD領域)7510が形成されている。そして、チャネル形成領域7505及びチャネル形成領域7508上にゲート絶縁膜7511を介してゲート電極7512及びゲート電極7513を有している。ゲート絶縁膜7511としてはCVD法やスパッタ法により形成される酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。また、ゲート電極7512及びゲート電極7513としてはアルミニウム(Al)膜、銅(Cu)膜、アルミニウム又は銅を主成分とする薄膜、クロム(Cr)膜、タンタル(Ta)膜、窒化タンタル(TaN)膜、チタン(Ti)膜、タングステン(W)膜、モリブデン(Mo)膜等を用いることができる。

【0341】

ゲート電極7512の脇にはサイドウォール7514、ゲート電極7513の脇にはサイドウォール7515が形成されている。ゲート電極7512及びゲート電極7513を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール7514及びサイドウォール7515を形成することができる。

【0342】

なお、低濃度不純物領域7507、低濃度不純物領域7510はそれぞれサイドウォール7514、サイドウォール7515の下部に位置している。つまり、自己整合的に低濃度不純物領域7507及び低濃度不純物領域7510が形成されている。なお、サイドウォール7514及びサイドウォール7515は、低濃度不純物領域7507及び低濃度不純物領域7510を自己整合的に形成するために設けているのであって、必ずしも設けなくともよい。

【0343】

ゲート電極7512、ゲート電極7513、サイドウォール7514、サイドウォール7515およびゲート絶縁膜7511上には第1の層間絶縁膜を有している。第1の層間絶縁膜は下層に無機絶縁膜7516、上層に樹脂膜7517を有している。無機絶縁膜7516としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜7517としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0344】

第1の層間絶縁膜上には、配線7518、配線7519及び配線7520を有し、配線7518はコンタクトホールを介して不純物領域7506と、配線7519はコンタクトホールを介して不純物領域7506及び不純物領域7509と、配線7520はコンタクトホールを介して不純物領域7509と電気的に接続されている。配線7518、配線7519及び配線7520としては、チタン(Ti)膜やアルミニウム(Al)膜や銅(Cu)膜やTiを含むアルミニウム膜などを有することができる。なお、配線7518、配線7519及び配線7520と同じ層に信号線などの配線を設ける場合には低抵抗な銅を

10

20

30

40

50

用いるとよい。

【0345】

配線7518、配線7519及び配線7520および第1の層間絶縁膜上に第2の層間絶縁膜7521を有する。第2の層間絶縁膜7521としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0346】

第2の層間絶縁膜7521上には画素電極7522および配線7523を有している。画素電極7522および配線7523は同じ材料により形成されている。つまり、同じ層に同時に形成されている。画素電極7522や配線7523に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン(TiN)膜、クロム(Cr)膜、タングステン(W)膜、亜鉛(Zn)膜、プラチナ(Pt)膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0347】

画素電極7522および配線7523の端部を覆うように絶縁物7524を有する。例えば、絶縁物7524としては、ポジ型の感光性アクリル樹脂膜を用いることができる。

【0348】

画素電極7522上に有機化合物を含む層7525が形成され、有機化合物を含む層7525の一部は絶縁物7524上に重なっている。なお、有機化合物を含む層7525は、配線7523上には形成されていない。

【0349】

有機化合物を含む層7525、絶縁物7524および配線7523上に対向電極7526を有している。対向電極7526に用いる材料としては、仕事関数の小さい材料を用いることが望ましい。例えば、アルミニウム(Al)、銀(Ag)、リチウム(Li)、カルシウム(Ca)、若しくはこれらの合金又は、MgAg、MgIn、AlLi、CaF₂、若しくはCa₃N₂などの金属薄膜を用いることができる。こうして薄い金属薄膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0350】

対向電極7526と画素電極7522とにより有機化合物を含む層7525が挟まれた領域では発光素子7527が形成されている。

【0351】

また、絶縁物7524により有機化合物を含む層7525が隔離されている領域では、接合部7528が形成され、対向電極7526と配線7523とが接している。よって、配線7523が対向電極7526の補助電極として機能し、対向電極7526を低抵抗化することができる。よって、対向電極7526の膜厚を薄くすることができ、透過率を高くすることができる。したがって、発光素子7527から得られる光を上面から取り出す構造の表示パネルにおいて、より高い輝度を得ることができる。

【0352】

なお、対向電極7526をより低抵抗化するため、金属薄膜と透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いてもよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることによっても光を透過させることが可能な陰極を形成することができる。

【0353】

なお、不純物領域7506及び不純物領域7509にはN型の不純物がドーピングされている。よって、トランジスタ7503及びトランジスタ7504はNチャネル型のトラン

10

20

30

40

50

ジスタである。

【0354】

なお、図75で説明した表示パネルは対向電極7526の膜を薄くすることができ、上面から射出する光の透光性がよい。よって、上面からの輝度が高くすることができる。また、対向電極7526に配線7523を接続することにより、対向電極7526を低抵抗化することができる。よって、消費電力の低減を図ることができる。なお配線7523が補助配線である。

【0355】

次に上面からみた表示パネルの模式図76(a)、(b)を用いて表示パネルの構成について説明する。基板7600上に信号線駆動回路7601、走査線駆動回路7602、画素部7603が形成されている。なお、基板7600はFPC(フレキシブルプリントサーキット)7604と接続され、信号線駆動回路7601や走査線駆動回路7602に入力されるビデオ信号、クロック信号、スタート信号等の信号をFPC7604から受け取る。FPC7604と基板7600との接合部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)7605がCOG(Chip On Glass)等で実装されている。なお、ここではFPC7604しか図示されていないが、このFPC7604にはプリント配線基盤(PWB)が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0356】

図76(a)に示す表示パネルの画素部7603には画素がマトリクスに配置されている。そして、それぞれの色要素毎の画素列となっている。そして、有機化合物を含む層7607は色毎に一行分の画素に渡って設けられている。そして、画素部において、有機化合物を含む層7607の設けられていない領域7606にて、画素電極と同じ材料で形成された配線と対向電極との接合部を形成する。つまり、図75の断面図における接合部7528を図76(a)における領域7606に形成する。また、画素部における上面の模式図を図77に示す。図77は、画素電極7701と同じ材料にて配線7702が形成されている。そして、画素電極7701は図75の画素電極7522に相当し、配線7702が図75の配線7523に相当する。一行分の画素電極7701に渡って有機化合物を含む層が形成され、画素電極7701と対向電極で挟まれる領域にそれぞれ発光素子が形成される。そして、接合部では対向電極に配線7702が接しているため対向電極の低抵抗化を図ることができる。つまり、配線7702が対向電極の補助電極として機能する。なお、図77のような画素部の構成とすることで開口率が高く、且つ対向電極の低抵抗化を図った表示パネルを提供することが可能となる。

【0357】

図76(b)に示す表示パネルの画素部7603には画素がマトリクスに配置されている。そして、それぞれの色要素毎の画素列となっている。そして、有機化合物を含む層7617は色毎に一行分の画素にそれぞれ設けられている。そして、画素部において、有機化合物を含む層7617の設けられていない領域7616にて、画素電極と同じ材料で形成された配線と対向電極との接合部を形成する。つまり、図75の断面図における接合部7528を図76(b)における領域7616に形成する。また、画素部における上面の模式図を図78に示す。図78は、画素電極7801と同じ材料にて配線7802が形成されている。そして、画素電極7801は図75の画素電極7522に相当し、配線7802が図75の配線7523に相当する。画素電極7801のそれぞれに有機化合物を含む層が形成され、画素電極7801と対向電極で挟まれる領域にそれぞれ発光素子が形成される。そして、接合部では対向電極に配線7802が接しているため対向電極の低抵抗化を図ることができる。つまり、配線7802が対向電極の補助電極として機能する。なお、図78のような画素部の構成とすることでより対向電極の低抵抗化を図った表示パネルを提供することが可能となる。

【 0 3 5 8 】

本実施の形態に示した表示パネルは、対向電極の透光性がよく、画素の開口率が高いため、輝度を低くしても必要な光度を得ることができる。よって、発光素子の信頼性を向上させることができる。また、対向電極の低抵抗化も図れるため消費電力も低減することができる。

【 0 3 5 9 】

また、表示パネルの模式図を用いて説明する。

【 0 3 6 0 】

図 6 9 の表示パネルは、基板 6 9 0 1 上に信号線駆動回路 6 9 0 3 と、第 1 の走査線駆動回路 6 9 0 4 と、第 2 の走査線駆動回路 6 9 0 5 と、画素部 6 9 0 6 と、接続端子部 6 9 0 7 と、を有している。そして、基板 6 9 0 1 と対向基板とがシール領域 6 9 0 2 において張り合わされ、信号線駆動回路 6 9 0 3 と、第 1 の走査線駆動回路 6 9 0 4 と、第 2 の走査線駆動回路 6 9 0 5 とが密封される。

10

【 0 3 6 1 】

接続端子部 6 9 0 7 は複数の接続パッドを有している。複数の接続パッドのうち、基準接続パッド 6 9 0 8 は配線 6 9 1 0 と電氣的に接続されている。また、複合接続パッド 6 9 0 9 は配線 6 9 1 1 及び配線 6 9 1 2 と電氣的に接続されている。また、配線 6 9 1 1 及び配線 6 9 1 2 は信号線駆動回路 6 9 0 3 に電氣的に接続されている。例えば、図 6 8 (B) で示したように配線 6 9 1 1 又は配線 6 9 1 2 の、一方が信号線駆動回路 6 9 0 3 内のシフトレジスタの電源を供給する配線と電氣的に接続され、他方が信号線駆動回路 6 9 0 3 内のバッファ回路の電源を供給する配線と電氣的に接続されている。

20

【 0 3 6 2 】

また、図 7 0 に示す表示パネルの構成は、基板 7 0 0 1 上に信号線駆動回路 7 0 0 3 と、第 1 の走査線駆動回路 7 0 0 4 と、第 2 の走査線駆動回路 7 0 0 5 と、画素部 7 0 0 6 と、接続端子部 7 0 0 7 と、を有している。そして、基板 7 0 0 1 と対向基板とがシール領域 7 0 0 2 において張り合わされ、信号線駆動回路 7 0 0 3 と、第 1 の走査線駆動回路 7 0 0 4 と、第 2 の走査線駆動回路 7 0 0 5 とが密封される。

【 0 3 6 3 】

接続端子部 7 0 0 7 は複数の接続パッドを有している。複数の接続パッドのうち、基準接続パッド 7 0 0 8 は配線 7 0 1 0 と電氣的に接続されている。また、複合接続パッド 7 0 0 9 は配線 7 0 1 1 及び配線 7 0 1 2 と電氣的に接続されている。また、配線 7 0 1 1 は第 1 の走査線駆動回路 7 0 0 4 と電氣的に接続され、配線 7 0 1 2 は第 2 の走査線駆動回路 7 0 0 5 と電氣的に接続されている。

30

【 実施例 7 】

【 0 3 6 4 】

本実施の例では、本発明の発光素子に適用することのできる他の構成を、図 7 9 及び図 8 0 を用いて説明する。

【 0 3 6 5 】

エレクトロルミネセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E L 素子、後者は無機 E L 素子と呼ばれている。

40

【 0 3 6 6 】

無機 E L 素子は、その素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機 E L 素子ではドナー - アクセプター再結合型発光、薄膜型無機 E L 素子では局在型発光である場合が多い。

【 0 3 6 7 】

50

本発明で用いることのできる発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法や液相法（共沈法）などの様々な方法を用いることができる。また、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【0368】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、700～1500 が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

10

【0369】

液相方法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

【0370】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ ZnS ）、硫化カドミウム（ CdS ）、硫化カルシウム（ CaS ）、硫化イットリウム（ Y_2S_3 ）、硫化ガリウム（ Ga_2S_3 ）、硫化ストロンチウム（ SrS ）、硫化バリウム（ BaS ）等を用いることができる。また、酸化物としては、例えば、酸化亜鉛（ ZnO ）、酸化イットリウム（ Y_2O_3 ）等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム（ AlN ）、窒化ガリウム（ GaN ）、窒化インジウム（ InN ）等を用いることができる。さらに、セレン化亜鉛（ $ZnSe$ ）、テルル化亜鉛（ $ZnTe$ ）等も用いることができ、硫化カルシウム - ガリウム（ $CaGa_2S_4$ ）、硫化ストロンチウム - ガリウム（ $SrGa_2S_4$ ）、硫化バリウム - ガリウム（ $BaGa_2S_4$ ）、等の3元系の混晶であってもよい。

20

【0371】

局在型発光の発光中心として、マンガン（ Mn ）、銅（ Cu ）、サマリウム（ Sm ）、テルビウム（ Tb ）、エルビウム（ Er ）、ツリウム（ Tm ）、ユーロピウム（ Eu ）、セリウム（ Ce ）、プラセオジウム（ Pr ）などを用いることができる。なお、電荷補償として、フッ素（ F ）、塩素（ Cl ）などのハロゲン元素が添加されていてもよい。

30

【0372】

一方、ドナー - アクセプター再結合型発光の発光中心として、ドナー準位を形成する第1の不純物元素及びアクセプター準位を形成する第2の不純物元素を含む発光材料を用いることができる。第1の不純物元素は、例えば、フッ素（ F ）、塩素（ Cl ）、アルミニウム（ Al ）等を用いることができる。第2の不純物元素としては、例えば、銅（ Cu ）、銀（ Ag ）等を用いることができる。

【0373】

40

ドナー - アクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第1の不純物元素又は第1の不純物元素を含む化合物と、第2の不純物元素又は第2の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第1の不純物元素又は第1の不純物元素を含む化合物としては、例えば、フッ素（ F ）、塩素（ Cl ）、硫化アルミニウム（ Al_2S_3 ）等を用いることができ、第2の不純物元素又は第2の不純物元素を含む化合物としては、例えば、銅（ Cu ）、銀（ Ag ）、硫化銅（ Cu_2S ）、硫化銀（ Ag_2S ）等を用いることができる。焼成温度は、700～1500 が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うこ

50

とが好ましい。

【0374】

また、固相反応を利用する場合の不純物元素として、第1の不純物元素と第2の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第1の不純物元素と第2の不純物元素で構成される化合物としては、例えば、塩化銅(CuCl)、塩化銀(AgCl)等を用いることができる。

【0375】

なお、これらの不純物元素の濃度は、母体材料に対して0.01~10atom%であればよく、好ましくは0.05~5atom%の範囲である。

10

【0376】

また、ドナー-アクセプター再結合型発光の発光中心を有する発光材料に、第3の不純物元素を含む発光材料を用いてもよい。この場合、第3の不純物元素の濃度は、母体材料に対して0.05~5atom%であることが好ましい。このような構成の発光材料では、低電圧での発光が可能となる。よって、低駆動電圧で発光可能な発光素子を得ることができ、消費電力が低減された発光素子を得ることができる。また、さらに上述した局在型発光の発光中心となる不純物元素が含まれていてもよい。

【0377】

このような発光材料として、例えば、母体材料としてZnS、第1の不純物元素としてCl、第2の不純物元素としてCu、第3の不純物元素としてGa及びAsを含み、さらに局在型発光の発光中心としてMnを含む発光材料を用いることも可能である。このような発光材料を形成するには、以下に示す方法を用いることができる。発光材料(ZnS:Cu, Cl)にMnを加え、真空中で2~4時間程度焼成する。焼成温度は700~1500であることが好ましい。この焼成したものを粉碎して粒径5~20μmにし、粒径1~3μmのGaAsを加え攪拌する。この混合物を硫黄ガスを含む窒素気流中で約500~800で2~4時間焼成することにより、発光材料を得ることができる。この発光材料を用いて、蒸着法などにより薄膜を形成することにより、発光素子の発光層として用いることができる。

20

【0378】

薄膜型無機EL素子の場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着(EB蒸着)法等の真空蒸着法、スパッタリング法等の物理気相成長法(PVD)、有機金属CVD法、ハイドライド輸送減圧CVD法等の化学気相成長法(CVD)、原子層エピタキシ法(ALD)等を用いて形成することができる。

30

【0379】

図79(A)乃至(C)に発光素子として用いることのできる薄膜型無機EL素子の一例を示す。図79(A)乃至(C)において、発光素子は、第1の電極層50、電界発光層51、第2の電極層53を含む。

【0380】

図79(B)及び図79(C)に示す発光素子は、図79(A)の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図79(B)に示す発光素子は、第1の電極層50と電界発光層52との間に絶縁層54を有し、図79(C)に示す発光素子は、第1の電極層50と電界発光層52との間に絶縁層54a、第2の電極層53と電界発光層52との間に絶縁層54bとを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

40

【0381】

また、図79(B)では第1の電極層50に接するように絶縁層54が設けられているが、絶縁層と電界発光層の順番を逆にして、第2の電極層53に接するように絶縁層54を設けてもよい。

50

【0382】

分散型無機EL素子の場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。粒子状に加工する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉碎などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【0383】

分散型無機EL素子の場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、10～1000nmの範囲である。また、発光材料及びバインダを含む電界発光層において、発光材料の割合は50wt%以上80wt%以下とするよい。

10

【0384】

図80(A)乃至(C)に発光素子として用いることのできる分散型無機EL素子の一例を示す。図80(A)における発光素子は、第1の電極層60、電界発光層62、第2の電極層63の積層構造を有し、電界発光層62中にバインダによって保持された発光材料61を含む。

【0385】

本実施例に用いることのできるバインダとしては、絶縁材料を用いることができ、有機材料や無機材料を用いることができ、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。また、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラルなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂(ポリベンゾオキサゾール)等の樹脂材料を用いてもよい。また、例えば光硬化型の樹脂材料などを用いることができる。これらの樹脂に、チタン酸バリウム(BaTiO₃)やチタン酸ストロンチウム(SrTiO₃)などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

20

30

【0386】

バインダに含まれる無機絶縁材料としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸素及び窒素を含む珪素、窒化アルミニウム(AlN)、酸素及び窒素を含むアルミニウムまたは酸化アルミニウム(Al₂O₃)、酸化チタン(TiO₂)、BaTiO₃、SrTiO₃、チタン酸鉛(PbTiO₃)、ニオブ酸カリウム(KNbO₃)、ニオブ酸鉛(PbNbO₃)、酸化タンタル(Ta₂O₅)、タンタル酸バリウム(BaTa₂O₆)、タンタル酸リチウム(LiTaO₃)、酸化イットリウム(Y₂O₃)、酸化ジルコニウム(ZrO₂)、ZnSその他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる(添加等によって)ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

40

【0387】

作製工程において、発光材料はバインダを含む溶液中に分散されるが本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層

50

を形成する方法（各種ウェットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。有機溶媒等を用いることができ、例えばバインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（PGMEAともいう）、3-メトシキ-3メチル-1-ブタノール（MMBともいう）などを用いることができる。

【0388】

図80（B）及び図80（C）に示す発光素子は、図80（A）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図80（B）に示す発光素子は、第1の電極層60と電界発光層62との間に絶縁層64を有し、図80（C）に示す発光素子は、第1の電極層60と電界発光層62との間に絶縁層64a、第2の電極層63と電界発光層62との間に絶縁層64bとを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

10

【0389】

また、図80（B）では第1の電極層60に接するように絶縁層64が設けられているが、絶縁層と電界発光層の順番を逆にして、第2の電極層63に接するように絶縁層64を設けてもよい。

【0390】

図79における絶縁層54、図80における絶縁層64のような絶縁層は、特に限定されることはないが、絶縁耐性が高く、緻密な膜質であることが好ましく、さらには、誘電率が高いことが好ましい。例えば、酸化シリコン（ SiO_2 ）、酸化イットリウム（ Y_2O_3 ）、酸化チタン（ TiO_2 ）、酸化アルミニウム（ Al_2O_3 ）、酸化ハフニウム（ HfO_2 ）、酸化タンタル（ Ta_2O_5 ）、チタン酸バリウム（ BaTiO_3 ）、チタン酸ストロンチウム（ SrTiO_3 ）、チタン酸鉛（ PbTiO_3 ）、窒化シリコン（ Si_3N_4 ）、酸化ジルコニウム（ ZrO_2 ）等やこれらの混合膜又は2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVD等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10～1000nmの範囲である。

20

30

【0391】

本実施例で示す発光素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

【0392】

なお、本実施例に示す発光素子は本明細書の発光素子に適用することが可能であり、例えば実施例2の表示パネルの発光素子に適用することもできる。その場合には、本実施例の電界発光層が実施例2の図66における有機化合物を含む層6616に相当する。

【実施例8】

【0393】

本実施例では、表示素子に液晶素子を用いた場合の表示パネルの構成について説明する。

40

【0394】

図71（A）には、第1の基板7100上に信号線駆動回路7130、走査線駆動回路7138、及び画素部7131が形成された液晶表示パネルを示す。

【0395】

図71（B）は液晶表示パネルのA-A'の断面図を示し、第1の基板7100上に、nチャネル型TFT7121とpチャネル型TFT7122とを有するCMOS回路を備えた信号線駆動回路7130を示す。nチャネル型TFT7121とpチャネル型TFT7122は、結晶性半導体膜を有するように形成するとよい。信号線駆動回路7130や走査線駆動回路7138を形成するTFTは、CMOS回路、PMOS回路又はNMOS回路で形成してもよい。

50

【0396】

画素部7131は、TFT7123及び容量素子7158を有する。TFT7123は、結晶性半導体膜を有するように形成するとよい。容量素子7158は、不純物が添加された半導体膜と、ゲート電極とに挟まれたゲート絶縁膜により構成される。

【0397】

なお、画素部7131のTFTは信号線駆動回路7130や走査線駆動回路7138と比べると、高い結晶性を有する必要はない。

【0398】

また画素部7131は、TFT7123の一方の電極と接続された画素電極7111を有する。そして、nチャネル型TFT7121、pチャネル型TFT7122、画素電極7111、及びTFT7123等を覆うように第3の絶縁膜7109が設けられている。

10

【0399】

また対向基板となる第2の基板7145を用意する。第2の基板7145には、少なくとも信号線駆動回路7130に相当する位置にブラックマトリクス7151が設けられ、少なくとも画素部に相当する位置にカラーフィルタ7152が設けられ、さらに対向電極7153が設けられている。本発明は必ずしも、第2の基板7145にブラックマトリクス、カラーフィルタ、又は対向電極を設ける必要はなく、第1の基板7100側へ設けてもよい。この後、基板間隔を保持するためのスペーサ7156を形成しても良い。また液晶材料に混合した有機強誘電体微粒子の分布の偏りを防止することを目的とした液晶材料の対流防止のための突起物7150を同時に形成してもよい。スペーサ7156は球状のものを利用してよいし、絶縁膜をエッチングして形成される所謂柱状スペーサを用いることができる。さらに突起物7150の高さを液晶層7154の厚みと同じにして、スペーサ7156と同じ機能を持たせても良く、スペーサ7156と突起物7150を別にするか同じにするかは適宜選択する。

20

【0400】

次に第2の基板7145に、配向処理を施し、第1の基板7100とシール材7143を用いて張り合わせる。シール材7143はエポキシ系樹脂を用いるのが好ましい。またシール材7143を形成する位置に、第3の絶縁膜7109を一部残しておいてもよい。その結果、接着面積が大きくなり、接着強度を高めることができる。なお、基板間隔を保持するためのスペーサ7156は配向膜に配向処理を行った後に形成しても良い。

30

【0401】

第1の基板7100、及び第2の基板7145の間に液晶層7154を注入する。液晶層7154を注入する場合は、真空中で行うとよい。また第1の基板7100へ液晶層を滴下した後、第2の基板7145を張り合わせてもよい。特に、大型基板になると液晶層を注入するより、滴下する方が好ましい。

【0402】

また、第1の基板7100や第2の基板7145に適宜、偏光板又は円偏光板を設け、コントラストを高めるとよい。

【0403】

また、第1の接着領域7132に設けられた導電膜7108には、異方性導電膜(ACF)によりフレキシブルプリントサーキット(FPC)7146が接続されている。そして、FPC7146を介して外部入力信号となるビデオ信号やクロック信号を受け取る。ここではFPCしか図示されていないが、このFPCを介して、プリント配線基板(PWB)が取り付けられている。そしてプリント配線基盤には、外部信号生成回路が搭載されている。

40

【0404】

また加圧や加熱によりACFを接着するときに、基板のフレキシブル性や加熱による軟化のため、クラックが生じないように注意する。例えば、少なくとも第1の接着領域7132の下方に硬性の高い基板を補助として配置すればよい。

【0405】

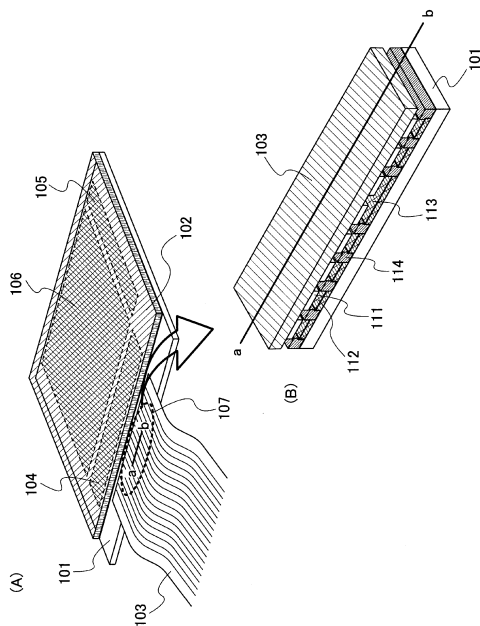
50

本実施例では、第１の基板７１００上に信号線駆動回路７１３０及び走査線駆動回路７１３８を設けた、ドライバー型発光装置を示すが、信号線駆動回路及び走査線駆動回路はＩＣにより形成し、ＳＯＧ法やＴＡＢ法により信号線、又は走査線等と接続しても構わない。

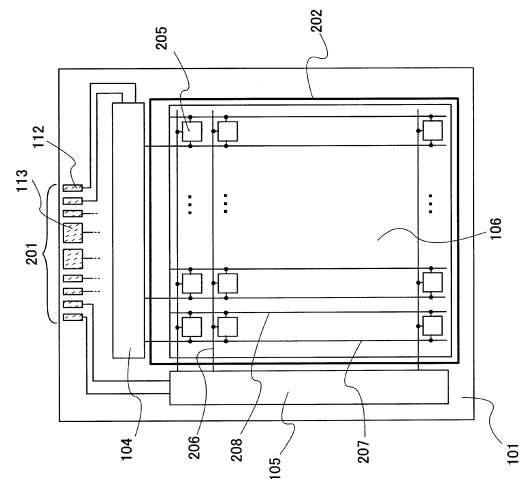
【０４０６】

以上のように、液晶表示パネルを作製することができる。

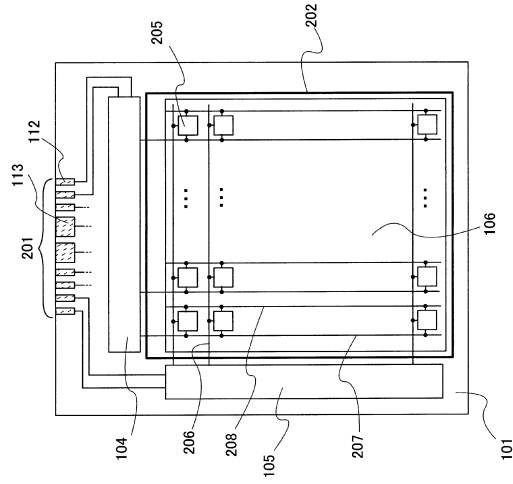
【図１】



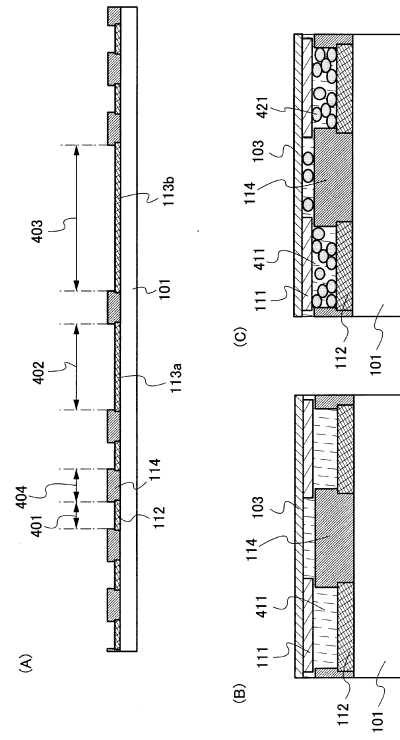
【図２】



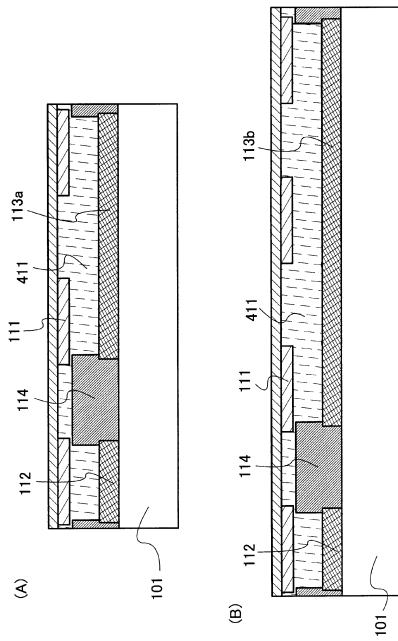
【図 3】



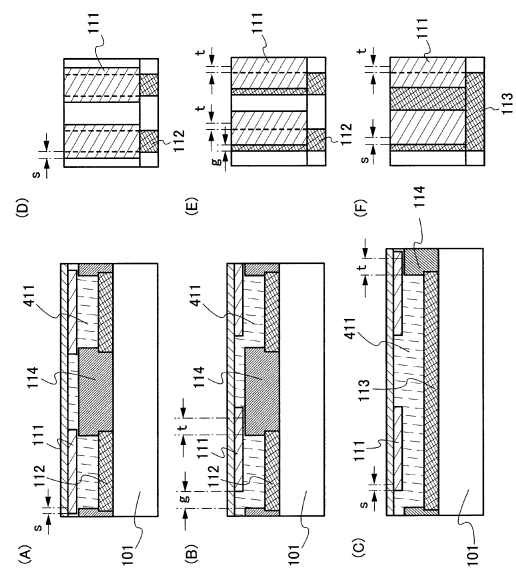
【図 4】



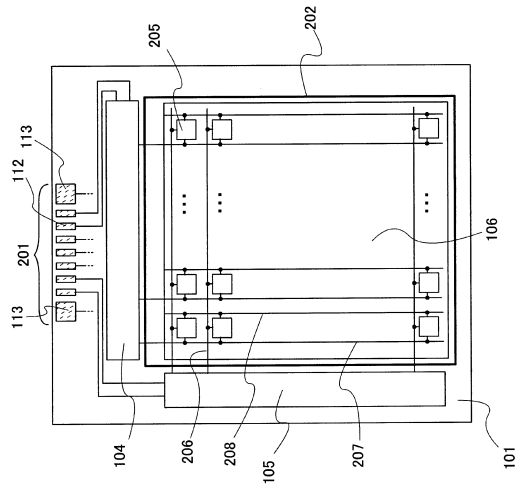
【図 5】



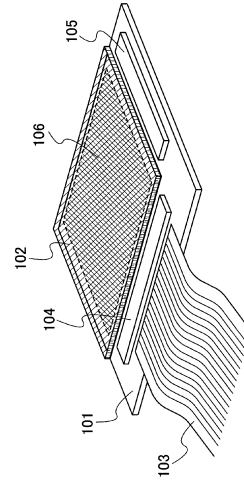
【図 6】



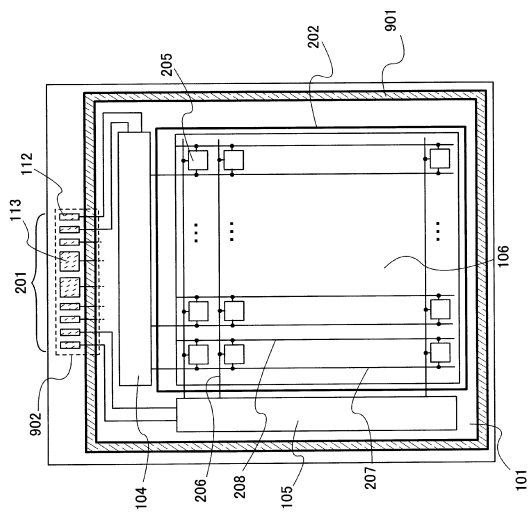
【図 7】



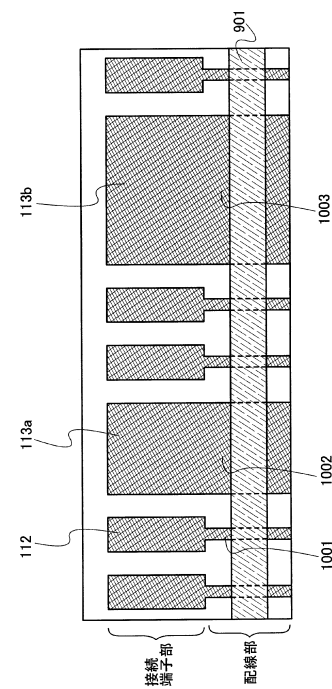
【図 8】



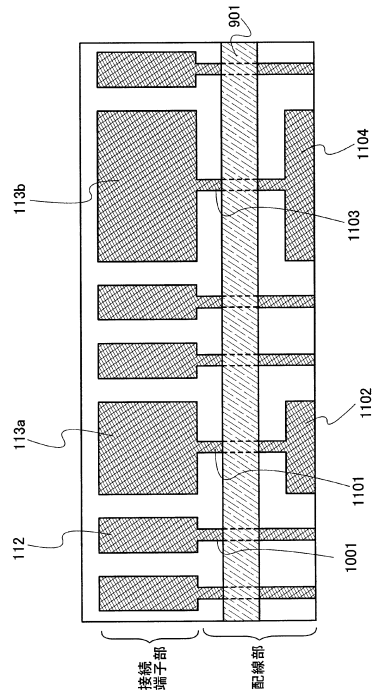
【図 9】



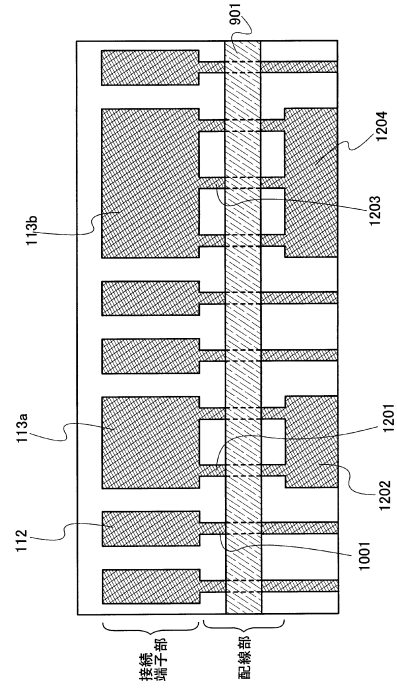
【図 10】



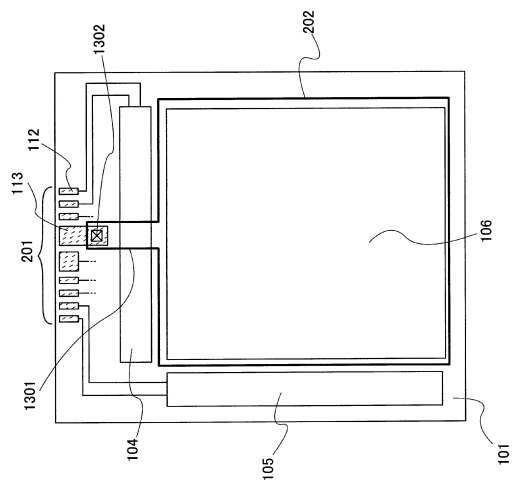
【図 1 1】



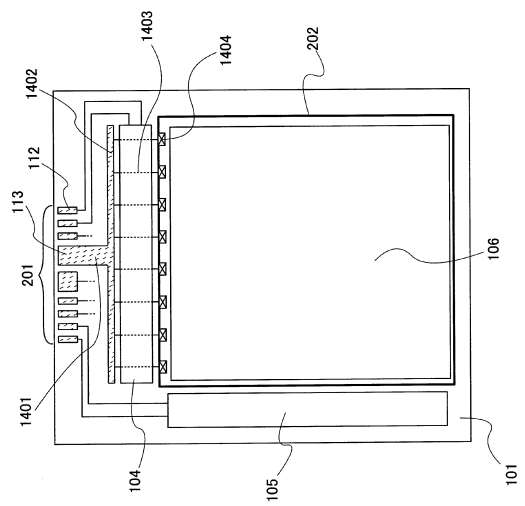
【図 1 2】



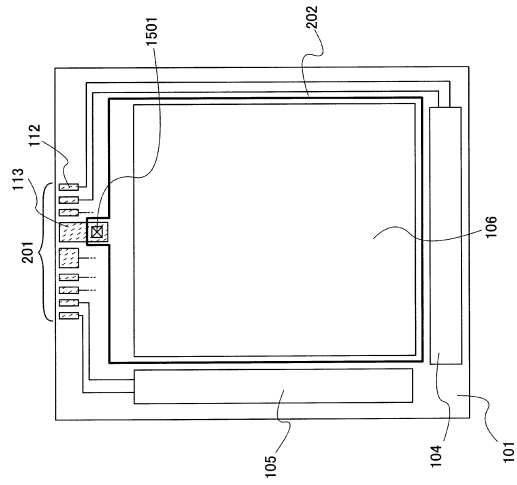
【図 1 3】



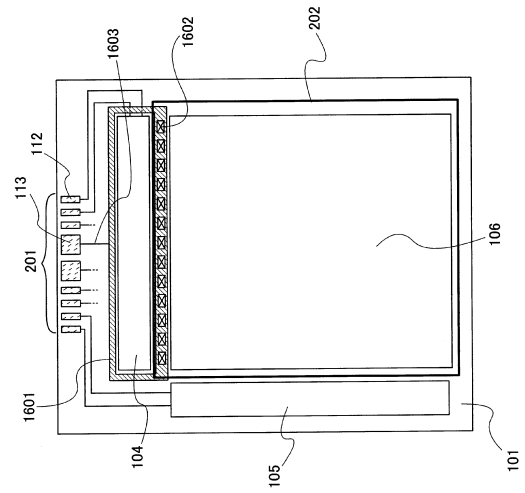
【図 1 4】



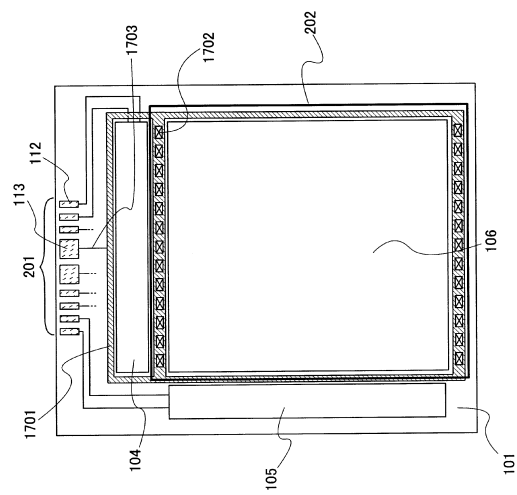
【図 15】



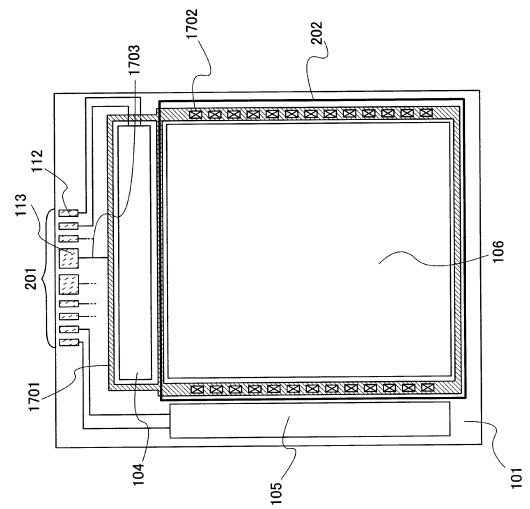
【図 16】



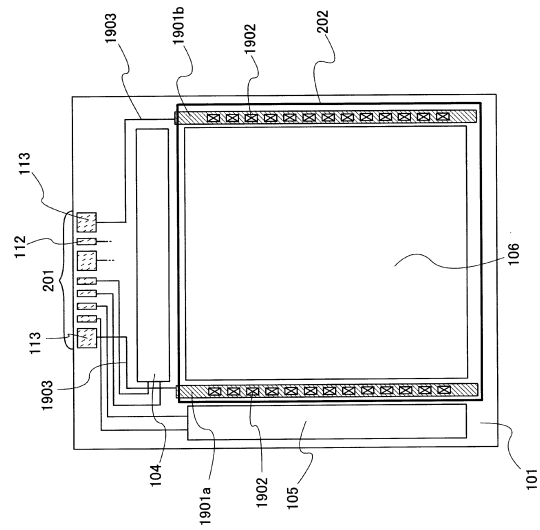
【図 17】



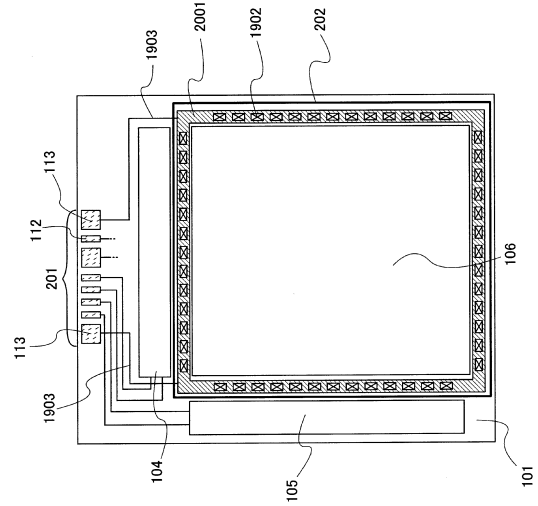
【図 18】



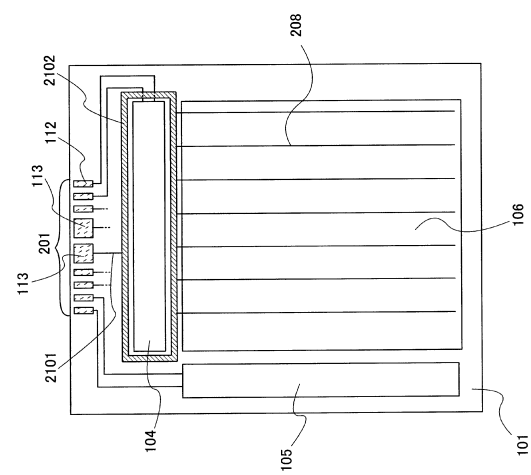
【図 19】



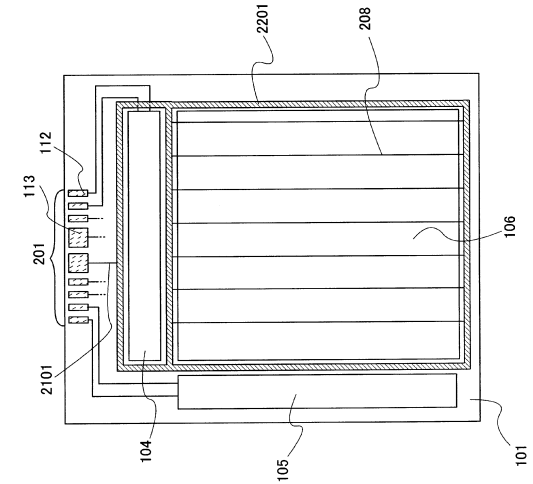
【図 20】



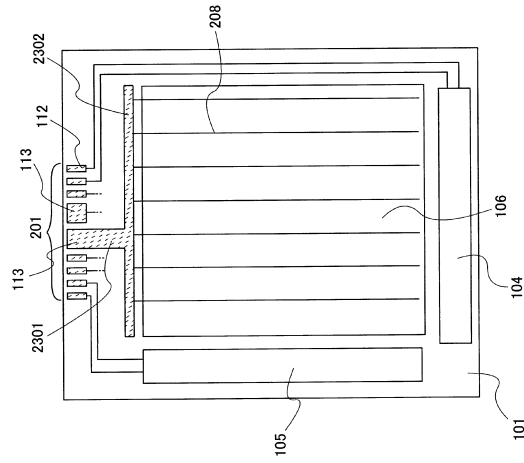
【図 21】



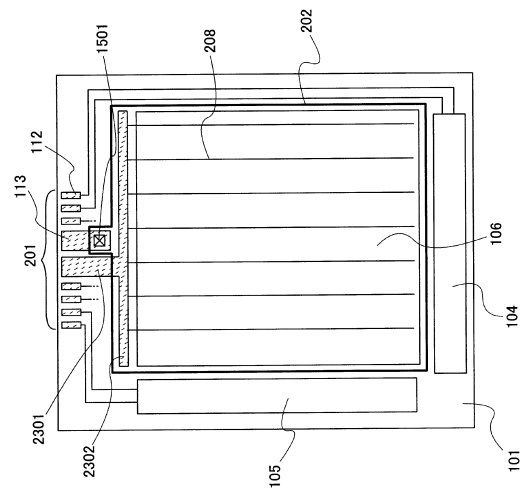
【図 22】



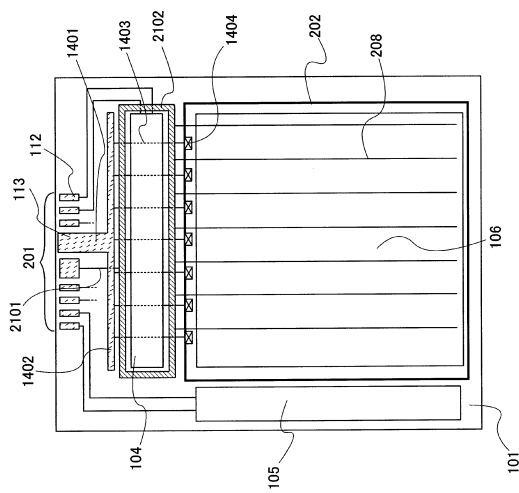
【図 2 3】



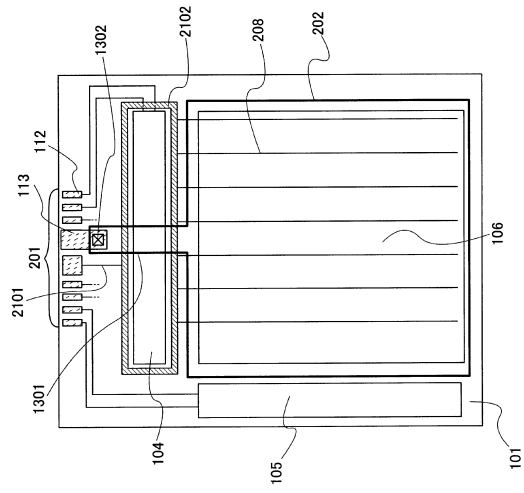
【図 2 4】



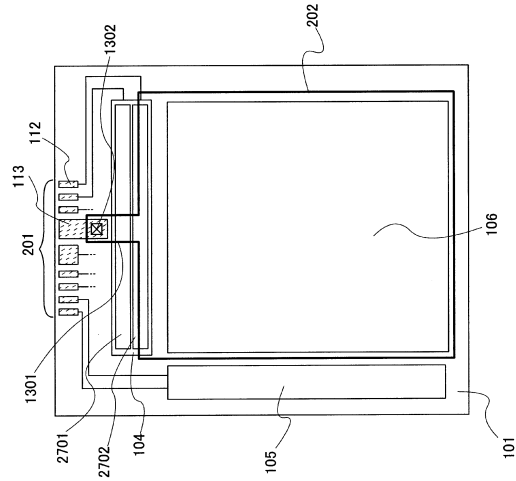
【図 2 5】



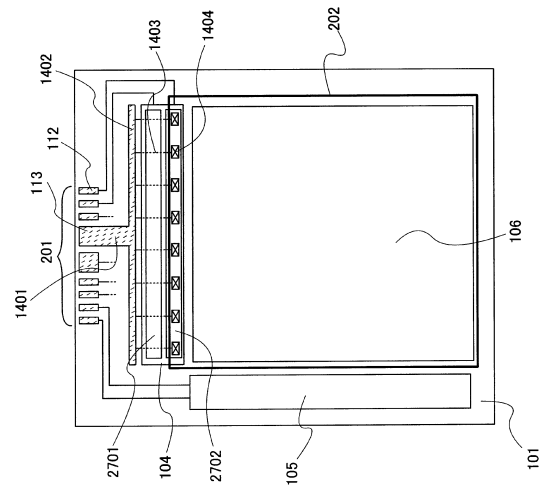
【図 2 6】



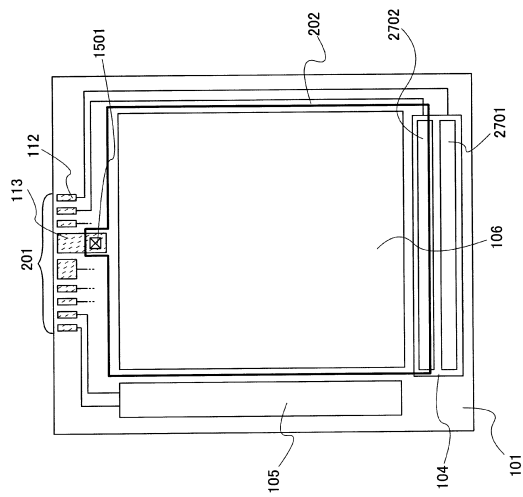
【図 27】



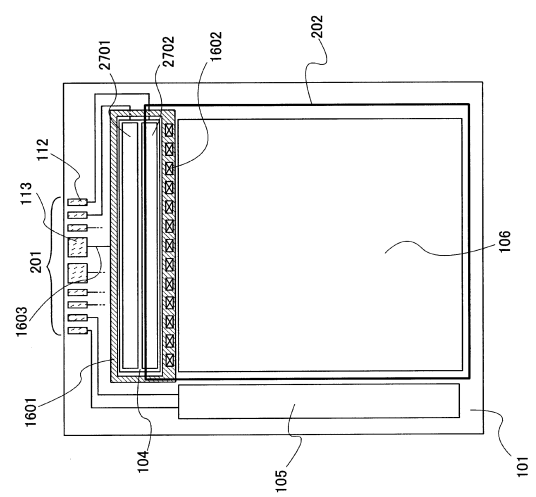
【図 28】



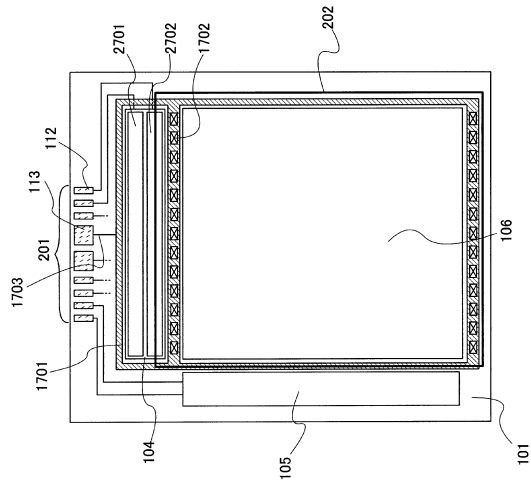
【図 29】



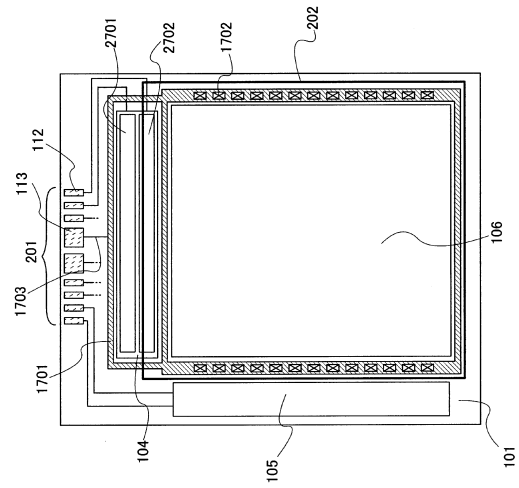
【図 30】



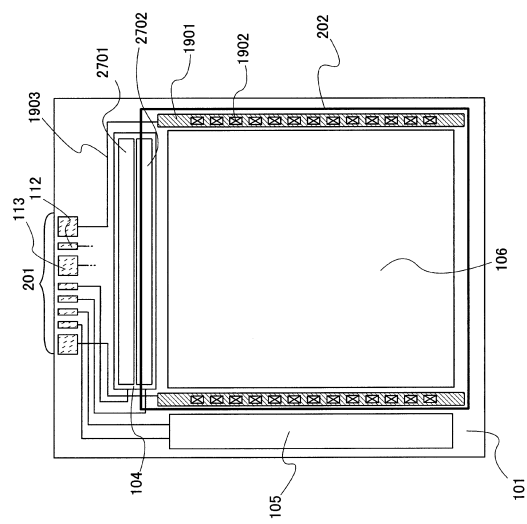
【図 3 1】



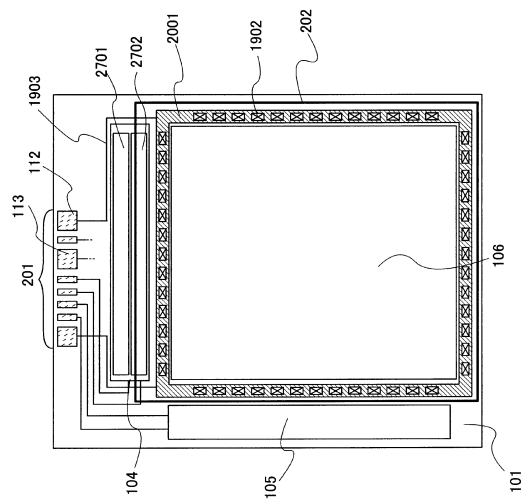
【図 3 2】



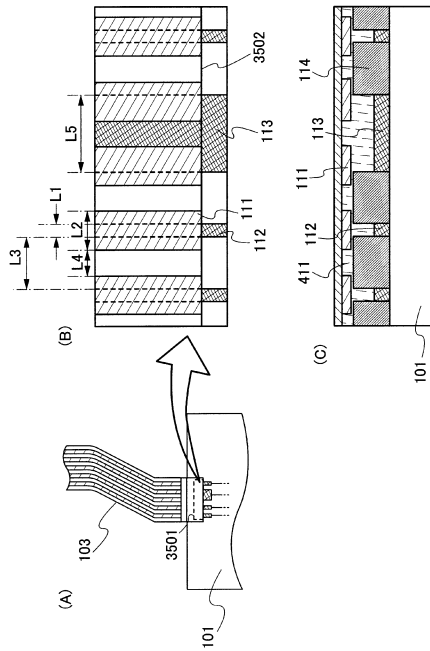
【図 3 3】



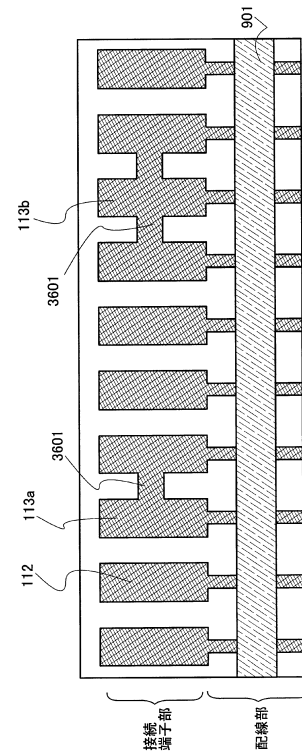
【図 3 4】



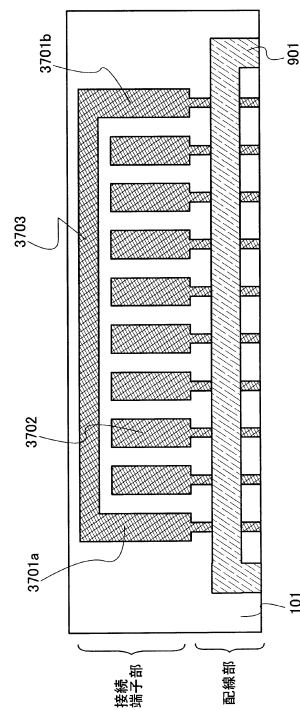
【図 35】



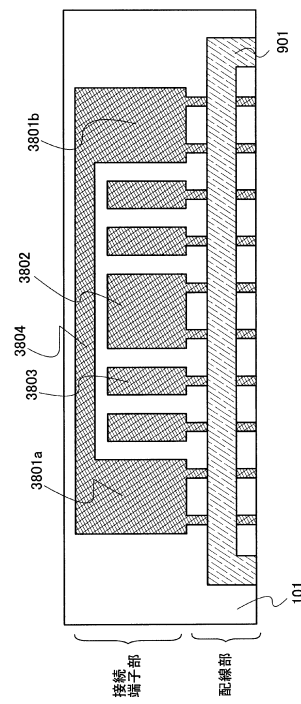
【図 36】



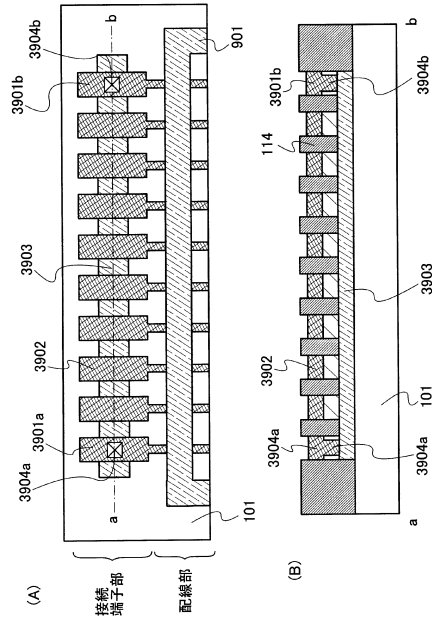
【図 37】



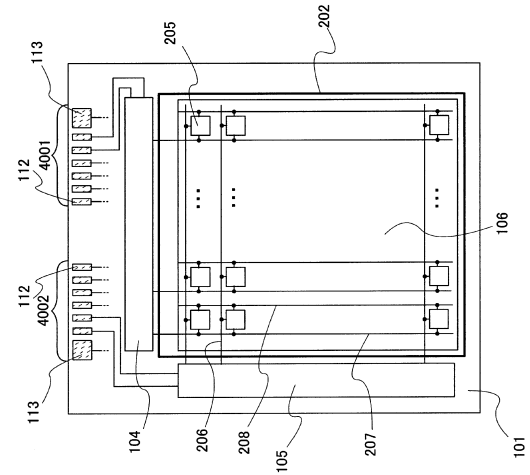
【図 38】



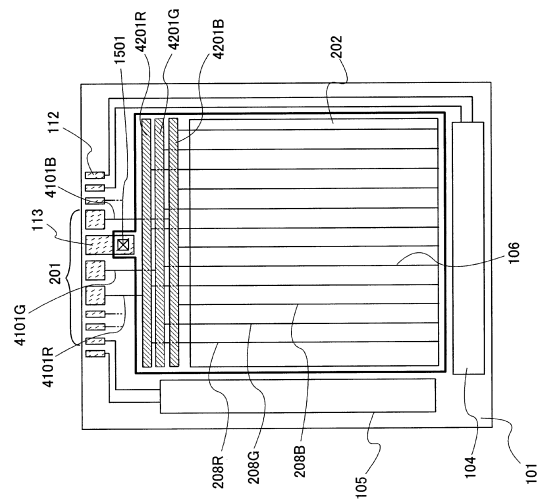
【図 39】



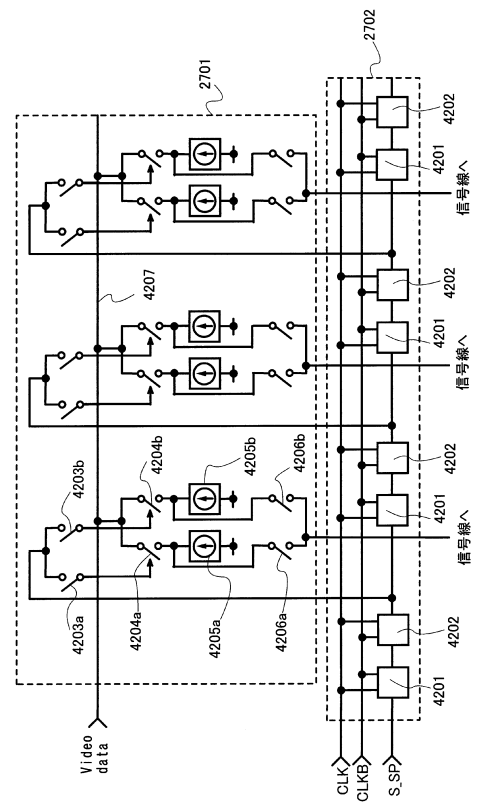
【図 40】



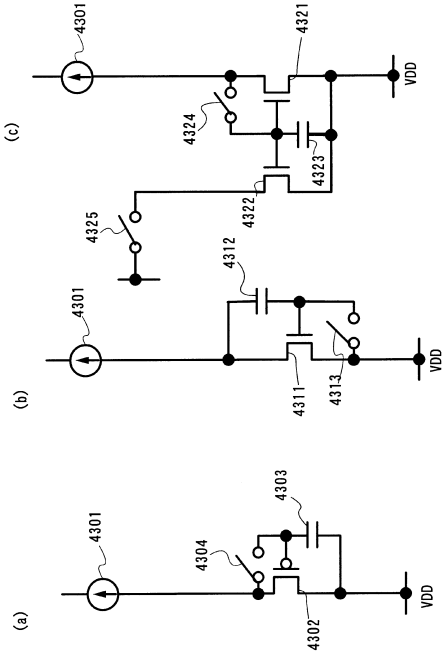
【図 41】



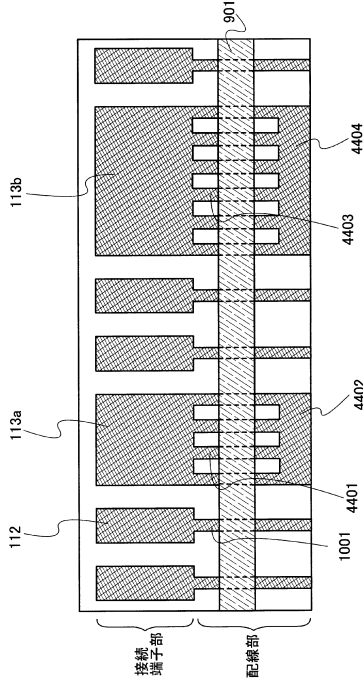
【図 42】



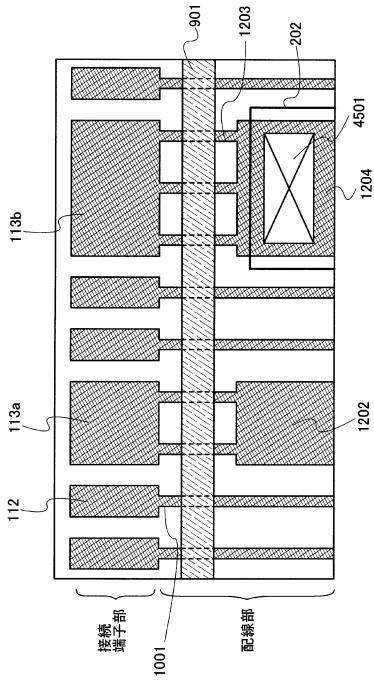
【図 4 3】



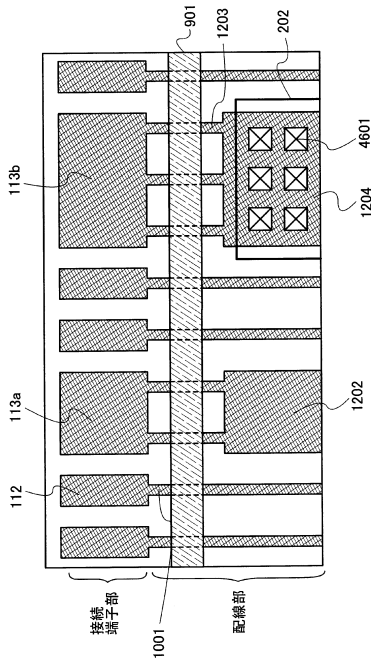
【図 4 4】



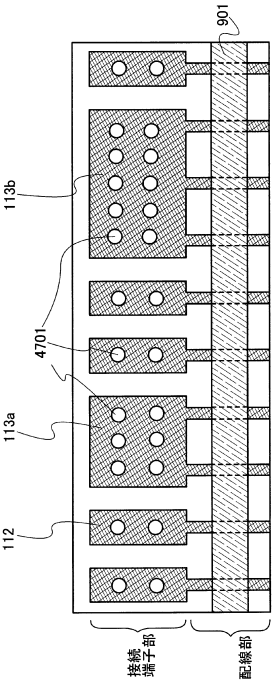
【図 4 5】



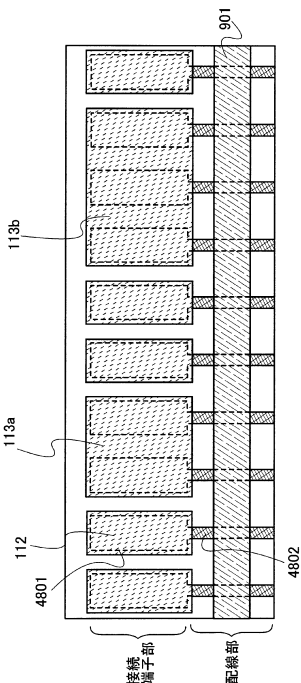
【図 4 6】



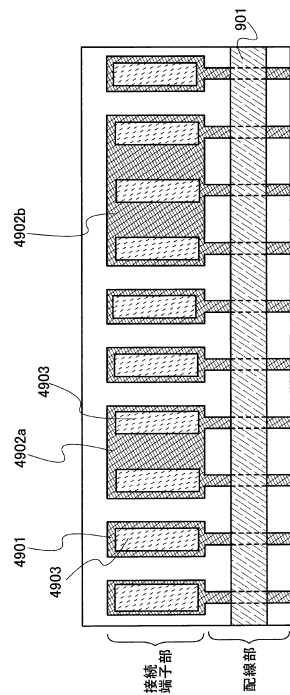
【図 47】



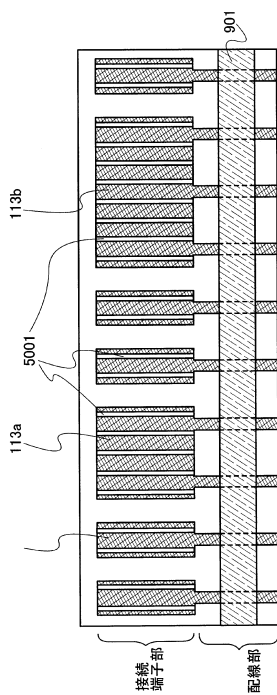
【図 48】



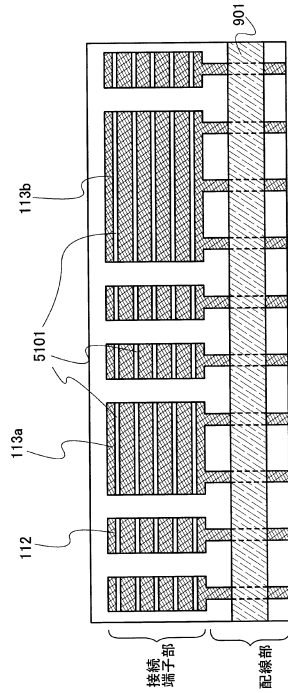
【図 49】



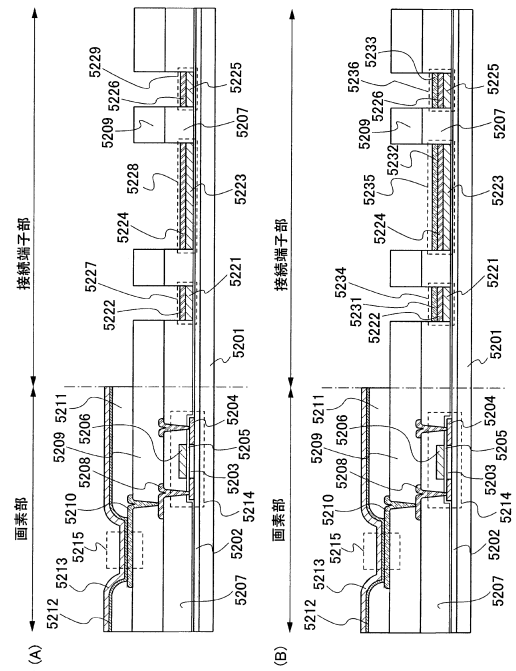
【図 50】



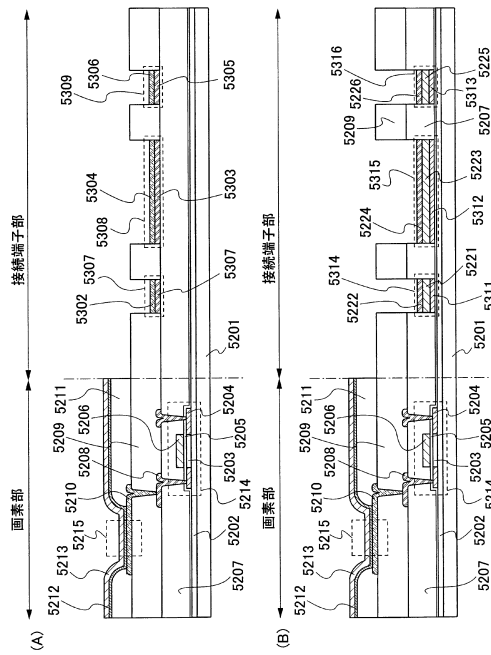
【 図 5 1 】



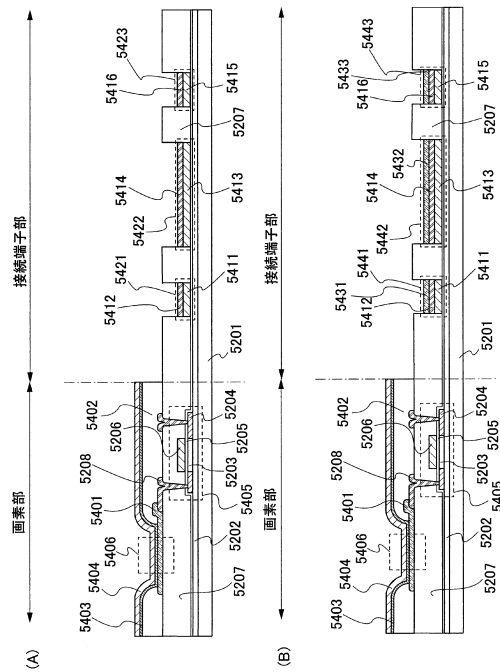
【 図 5 2 】



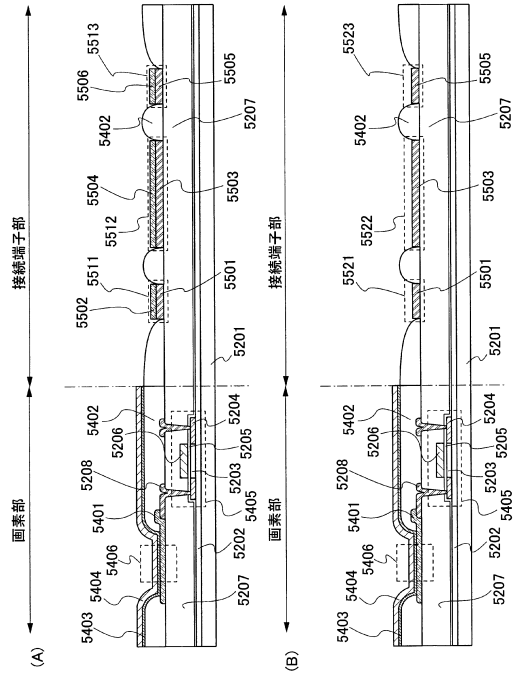
【 図 5 3 】



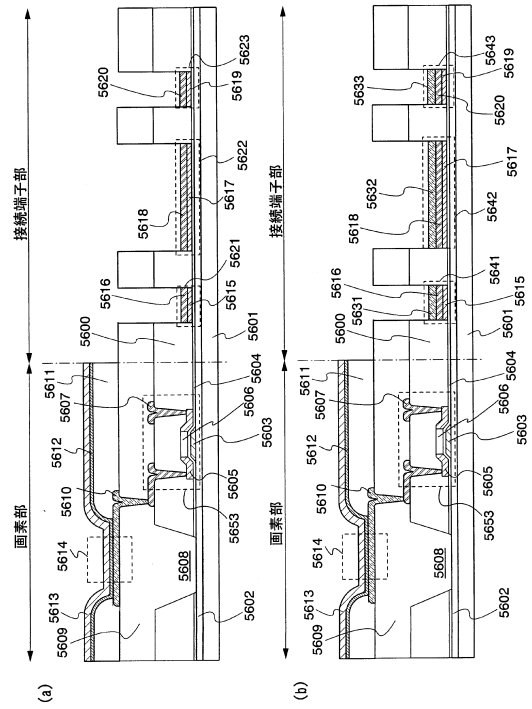
【 図 5 4 】



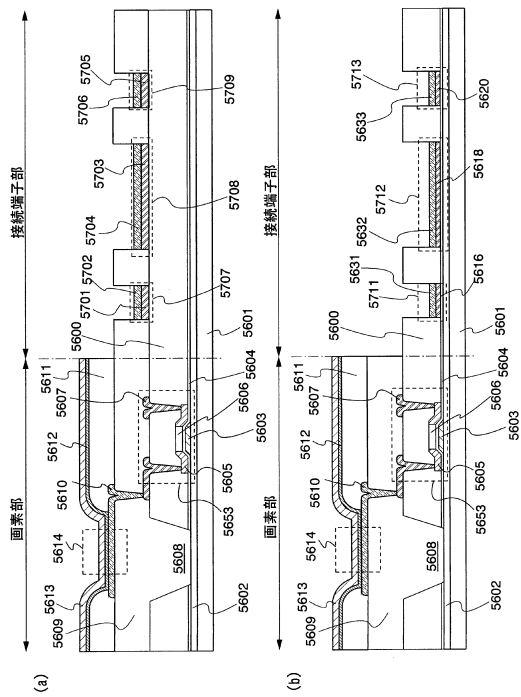
【 図 5 5 】



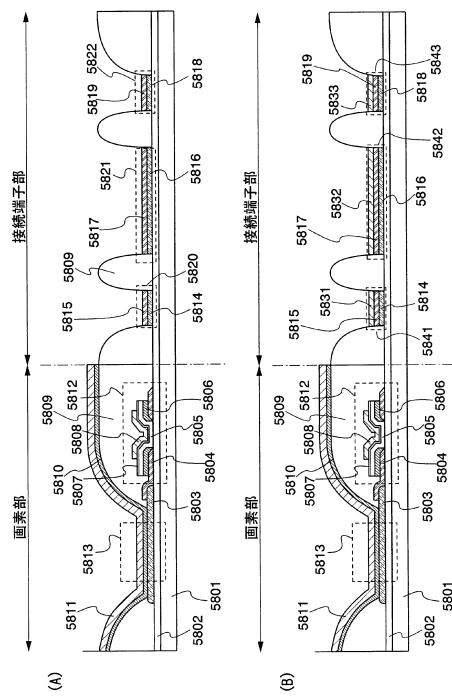
【 図 5 6 】



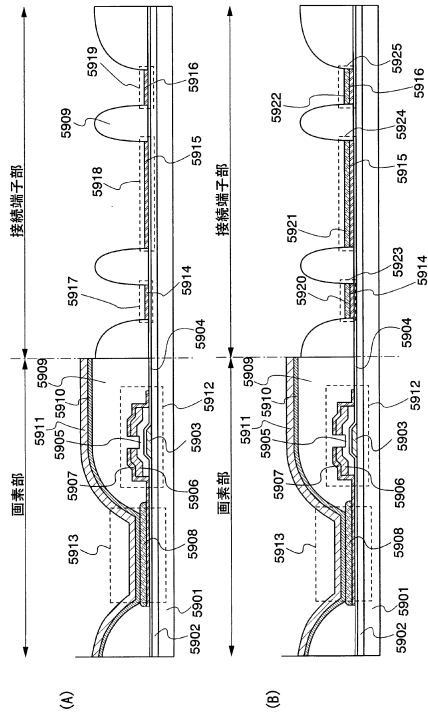
【 図 5 7 】



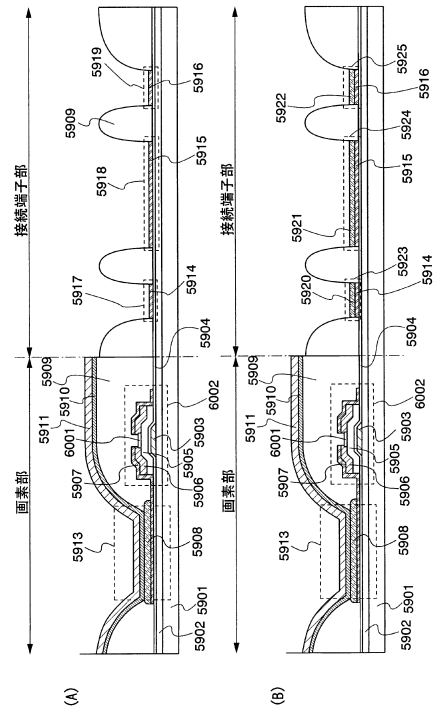
【 図 5 8 】



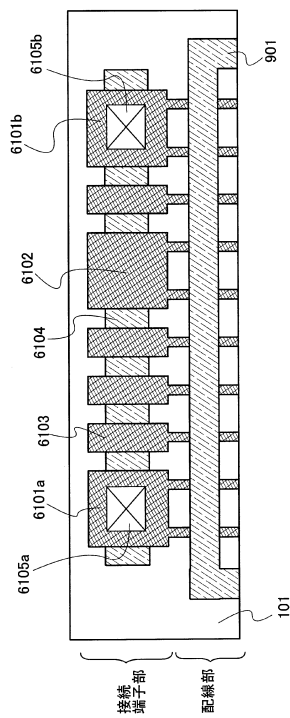
【図 59】



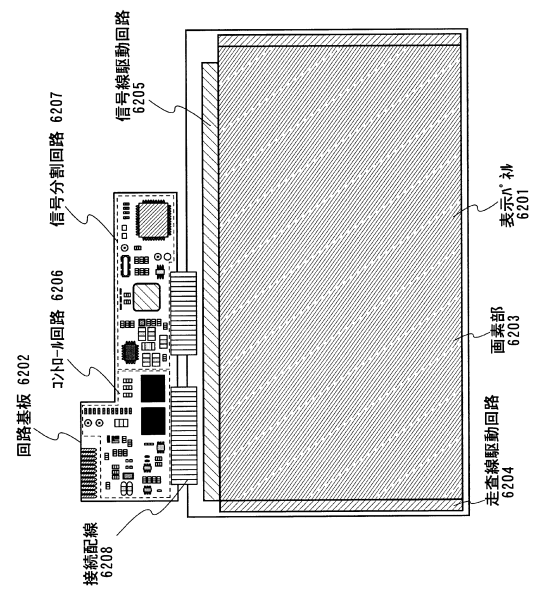
【図 60】



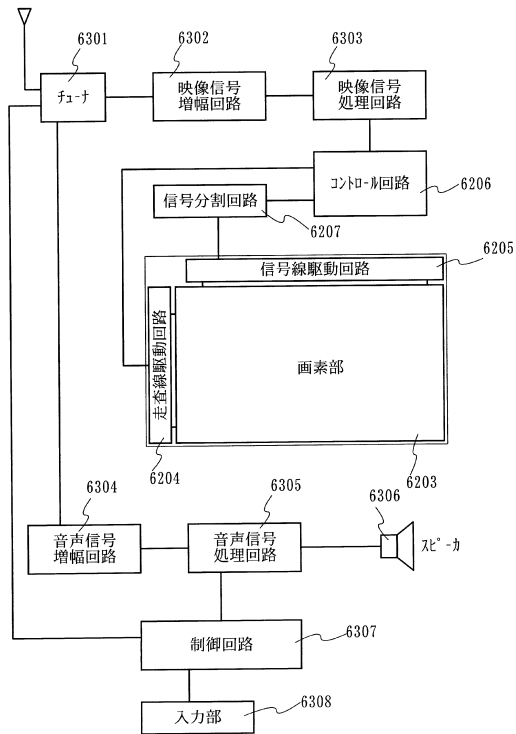
【図 61】



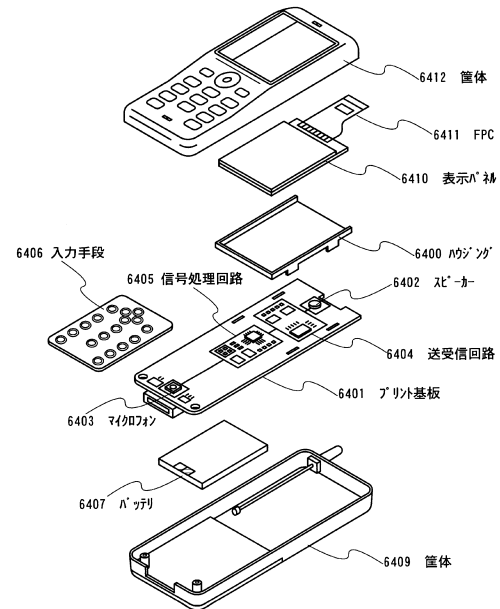
【図 62】



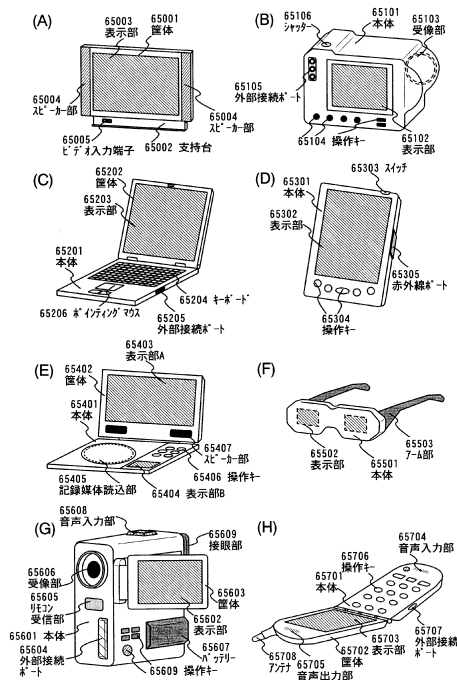
【図 63】



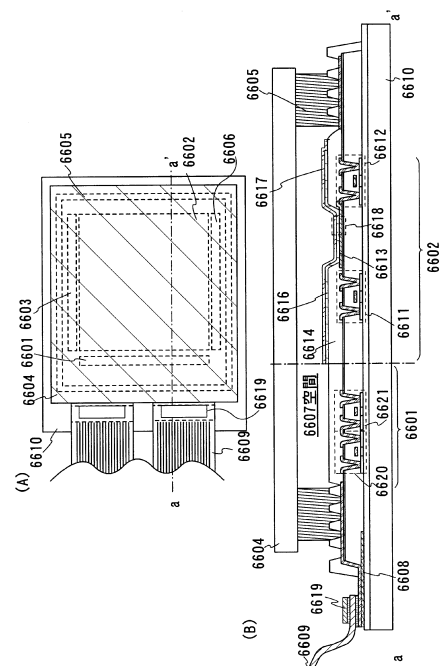
【図 64】



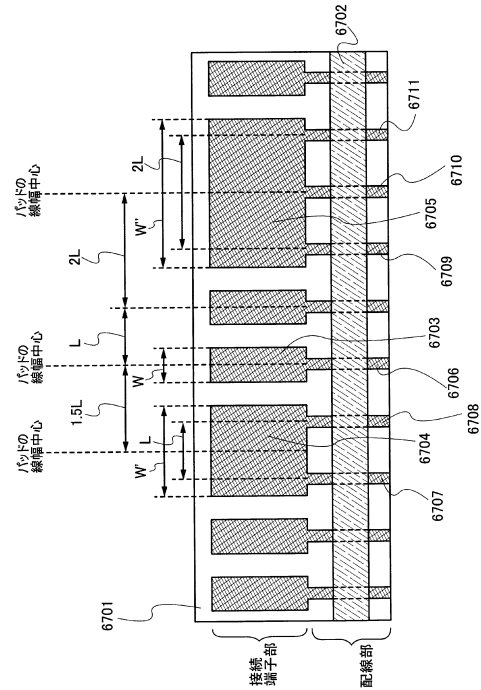
【図 65】



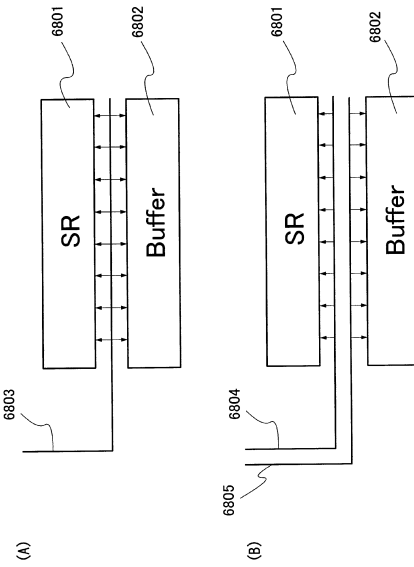
【図 66】



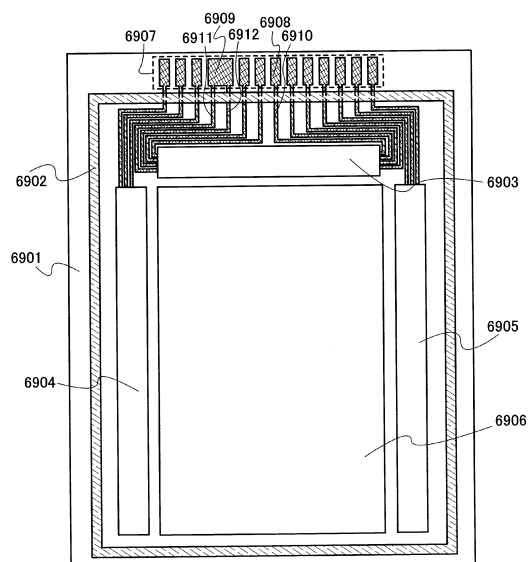
【図 67】



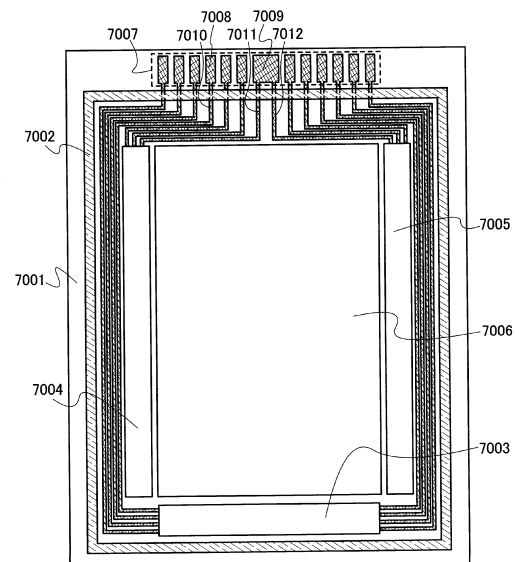
【図 68】



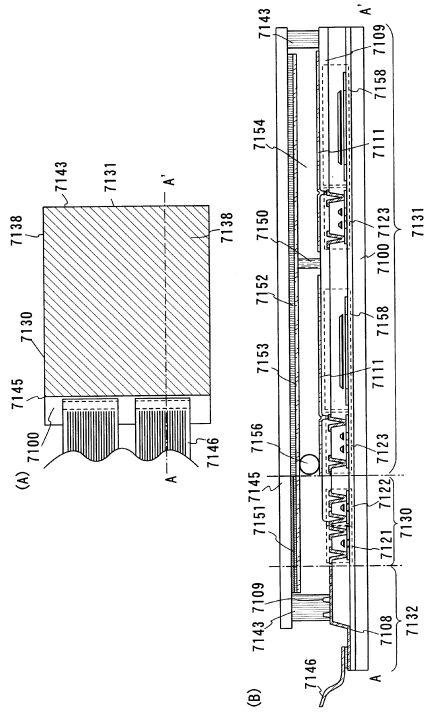
【図 69】



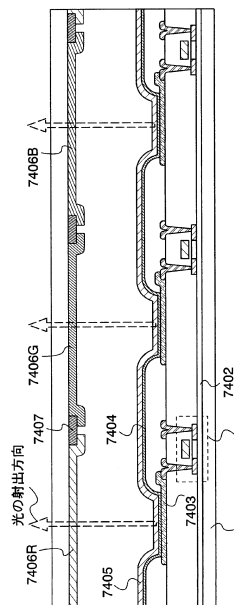
【図 70】



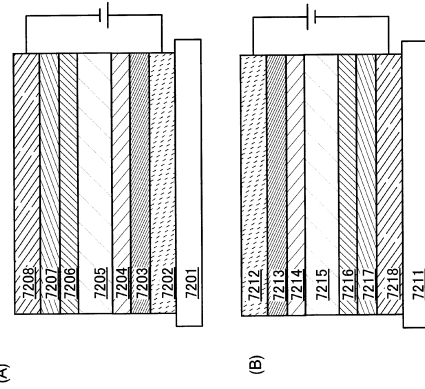
【 図 7 1 】



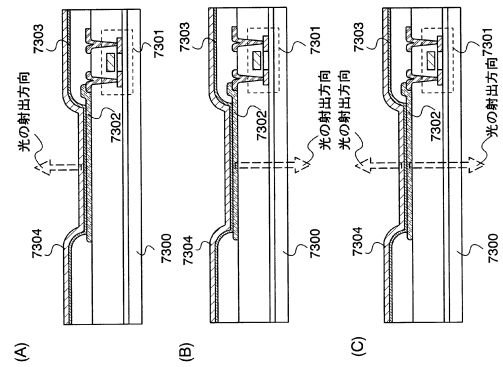
【圖 7 4】



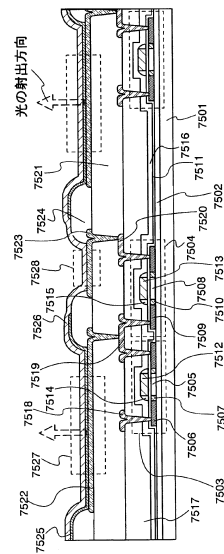
【圖 7 2】



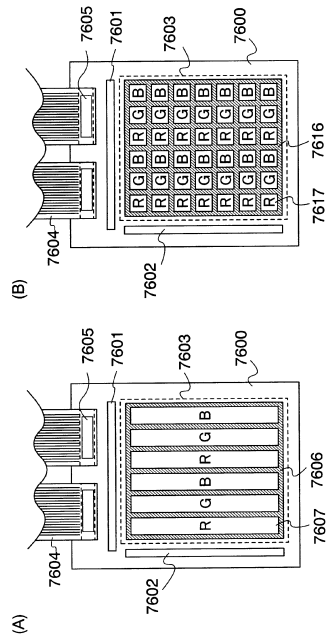
【 図 7 3 】



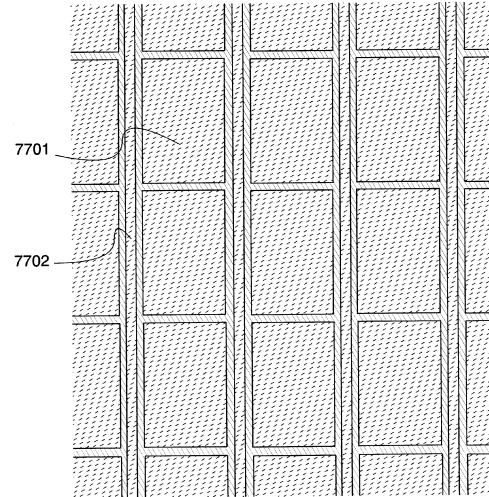
【 図 7 5 】



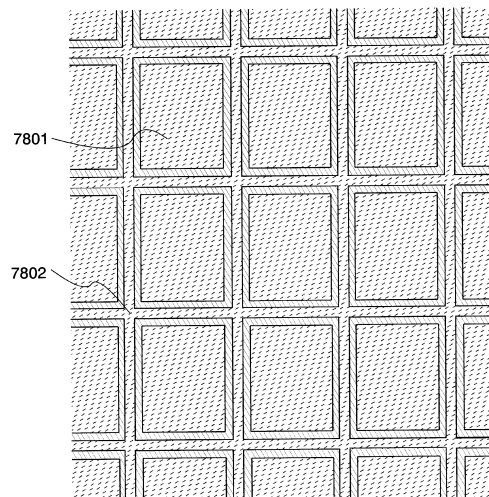
【図 76】



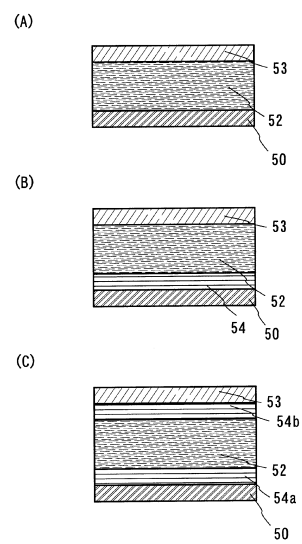
【図 77】



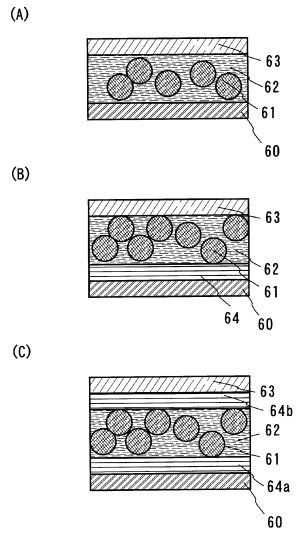
【図 78】



【図 79】



【図 80】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 1/14 (2006.01) H 0 5 K 1/14 C

(56)参考文献 米国特許出願公開第2005/0029937(US,A1)
特開平6-202132(JP,A)
特開2005-18031(JP,A)
特開2001-109395(JP,A)
特開2001-313308(JP,A)
特開2001-264799(JP,A)
実開平3-29828(JP,U)

(58)調査した分野(Int.Cl.,DB名)
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
1 / 1 3 5 - 1 / 1 3 6 8
G 0 9 F 9 / 0 0 - 9 / 4 6
H 0 1 L 2 7 / 3 2
5 1 / 5 0
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
H 0 5 K 1 / 1 4
3 / 3 6