

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 28 年 3 月 17 日 (2016.3.17)

【公開番号】特開 2014-229227 (P2014-229227A)  
 【公開日】平成 26 年 12 月 8 日 (2014.12.8)  
 【年通号数】公開・登録公報 2014-067  
 【出願番号】特願 2013-110560 (P2013-110560)  
 【国際特許分類】

G 0 6 T 1/60 (2006.01)

【F I】

G 0 6 T 1/60 4 5 0 F

【手続補正書】

【提出日】平成 28 年 1 月 28 日 (2016.1.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正の内容】

【0 0 3 6】

撮像素子 3 1 からの 1 ライン目の画素データのリード後、わずかなブランクを挟み水平同期信号のパルスが生成されると (タイミング t 2)、2 ライン目の画素データが、並列化部 1 1 で並列データとなり、図 4 のようなセンサ入力 I N 1 ~ I N 4 として R A M 4 1 にライトされる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 1

【補正方法】変更

【補正の内容】

【0 0 4 1】

これに対して、第 1 の実施の形態の画像データ処理装置 1 0 では、N × N 個の記憶部 1 2 , 1 2 a , 1 2 b を用いて、前述したようなライト及びリードの制御を行うことで、データ破壊の発生を抑制できる。また、記憶部 1 2 a , 1 2 b 以外の大部分の記憶部 1 2 に 1 ポート R A M を用いることができる。そのため、並列の画素データの並べ替え時のデータ破壊の発生を小規模な回路で抑制できる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 3

【補正方法】変更

【補正の内容】

【0 0 4 3】

撮像装置 5 0 は、撮像部 6 0、画像データ処理装置 7 0 を有している。

撮像部 6 0 は、レンズや反射鏡などの撮像光学系 6 1、C C D (Charge Coupled Device) などである撮像素子 6 2、アンプやフィルタ、A D C (Analog to Digital Converter) などを含むアナログフロントエンド 6 3 (図 6 では A F E と表記されている) を有する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 4

【補正方法】変更

【補正の内容】

【0044】

画像データ処理装置70は、たとえば、ISPであり、CPU (Central Processing Unit) 71により各部が制御される。画像データ処理装置70は、並列データ生成/処理部72、色処理部73、他画像処理部74、表示インターフェース(以下表示I/Fと表記する)75、メモリカードI/F76、静止画コーデック部77、DMA (Direct Memory Access) 調停部78、SDRAM (Synchronous Dynamic Random Access Memory) コントローラ79を有している。また、並列データ生成/処理部72、色処理部73、他画像処理部74、表示I/F75、メモリカードI/F76、静止画コーデック部77は、DMAコントローラ72a, 73a, 74a, 75a, 76a, 77aを有しており、内部バス80に接続されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

WCNTカウンタ用レジスタ91eは、比較部91dがイネーブル信号をアサートするごとにカウント値WCNTをインクリメントする。カウント値WCNTは、ライトが行われるRAMを示す。また、WCNTカウンタ用レジスタ91eは、N回ライトアドレスWADが閾値RAMTHに達すると1ライン分の書き込みが完了したことになるので、ライトイネーブル信号WENをネゲートさせる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

読み出し制御部92は、REN生成部92a、タイミング調整用カウンタ92b、AND回路92c、RADカウンタ用レジスタ92d、比較部92e、RCNTカウンタ用レジスタ92fを有する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

RCNTカウンタ用レジスタ92fは、比較部92eがイネーブル信号をアサートするごとにカウント値RCNTをインクリメントする。カウント値RCNTは、リードが行われるRAMを示す。また、RCNT用レジスタ92fは、N回、リードアドレスRADが閾値RAMTHに達すると読み出しが完了したことになるので、リードイネーブル信号RENをネゲートさせる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

入力信号制御部90bは、STATEカウンタ用レジスタ91aの3ビットのカウント

値  $STATE$  を入力する。また、入力信号制御部 90b は、 $WCNT$  カウント用レジスタ 91e の 2 ビットのカウンタ値  $WCNT$ 、 $RCNT$  カウント用レジスタ 92f の 2 ビットのカウンタ値  $RCNT$ 、ライトイネーブル信号  $WEN$ 、リードイネーブル信号  $REN$  を入力する。入力信号制御部 90b は、これらの信号をもとに、それぞれ 4 ビットの、ライト用の列選択信号  $WSEL\_C$ 、行選択信号  $WSEL\_L$ 、リード用の列選択信号  $RSEL\_C$ 、行選択信号  $RSEL\_L$  を生成して出力する。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

たとえば、カウンタ値  $STATE$  が “001” のときは、ライト用の列選択信号  $WSEL\_C$  は “1000”、行選択信号  $WSEL\_L$  は、カウンタ値  $WCNT$  となる。また、リード用の列選択信号  $RSEL\_C$  は、カウンタ値  $RCNT$ 、行選択信号  $RSEL\_L$  “1111” となる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正の内容】

【0082】

$RAMI/F120$  は、AND 回路 121、122、OR 回路 123、インバータ回路 124、ビット連結回路 125、選択回路 126 を有している。

AND 回路 121 の 2 つの入力端子には、ライト用の列選択信号  $WSEL\_C$  と行選択信号  $WSEL\_L$  が入力される。AND 回路 122 の 2 つの入力端子には、リード用の列選択信号  $RSEL\_C$  と行選択信号  $RSEL\_L$  が入力される。OR 回路 123 の 2 つの入力端子には、AND 回路 121、122 の出力信号が入力され、OR 回路 123 の出力信号は、 $RAM100$  のチップイネーブル端子  $CE$  に入力される。インバータ回路 124 には、AND 回路 121 の出力信号が入力され、インバータ回路 124 の出力信号は、 $RAM100$  のライトイネーブル端子  $WE$  に入力される。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0083

【補正方法】変更

【補正の内容】

【0083】

ビット連結回路 125 は、AND 回路 121、122 の出力信号を連結して 2 ビットの選択信号を選択回路 126 に供給する。選択回路 126 は、ライトアドレス  $WAD$  とリードアドレス  $RAD$  と値 “0” を入力し、入力される選択信号が “10” のときにはライトアドレス  $WAD$  を出力し、選択信号が “01” のときにはリードアドレス  $RAD$  を出力する。また、選択回路 126 は、選択信号が “10”、“01” 以外の値  $def$  のときには、“0” を出力する。選択回路 126 の出力信号は、 $RAM100$  のアドレス端子  $IA$  に入力される。その他、 $RAM100$  のクロック端子  $CK$  には、図示しないクロック供給部からのクロック  $SROCK$  が入力され、ライトデータ入力端子  $I$  には、入力データ  $DI$  が入力される。また、 $RAM100$  のリードデータ出力端子  $A$  から読み出されたリードデータは、出力信号制御部 90c に供給される。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0116

## 【補正方法】変更

## 【補正の内容】

## 【0116】

一方、4行目のRAM112～115に対するライトが完了し、次に、タイミングt20において、水平同期信号のパルスが生成されると、9ライン目の画素データが、リードが完了した1列目のRAM100, 104, 108, 112に順にライトされる。つまり、ライトされるRAMの選択方向が、行方向から列方向に変わる。

## 【手続補正13】

## 【補正対象書類名】明細書

## 【補正対象項目名】0126

## 【補正方法】変更

## 【補正の内容】

## 【0126】

RAMに関してはプロセスによりサイズが異なるが、一例として65nmテクノロジー、水平方向最大サイズ=6784画素、1画素=14ビットとしたとき、1ライン分の1RWの容量は7Mバイトである。たとえば、2並列処理を行う場合に、2ライン分の1RWのRAMを用いると、 $7 \times 2 = 14$  Mバイトの容量となる。4並列処理を行う場合に、データ破壊を回避するために、6ライン分の画素データを保持するように、1RWのRAMを6つ使用すると、 $7 \times 6 = 42$  Mバイトの容量となる。

## 【手続補正14】

## 【補正対象書類名】明細書

## 【補正対象項目名】0127

## 【補正方法】変更

## 【補正の内容】

## 【0127】

これに対し、本実施の形態の画像データ処理装置70において4並列処理を行う場合、RAM100～115は、それぞれ1/4ライン分の画素データを保持し、容量は1RWのRAMで1.7Mバイト、1RWのRAMで0.9Mバイトとなる。前述したように16個のRAM100～115のうち、RAM103, 112以外は、1RWのRAMを適用できるので、トータルの容量は、 $1.7 \times 2 + 0.9 \times 14 = 16$  Mバイトとなる。このように、1RWのRAMを6つ使用する場合よりも大幅に、RAM容量を削減でき、面積を小さくすることができる。また、2並列処理を行うために、2ライン分の1RWのRAMを使う場合に対しても、4並列処理を行っても、本実施の形態の画像データ処理装置70によれば14%の容量増加に抑えることができる。

## 【手続補正15】

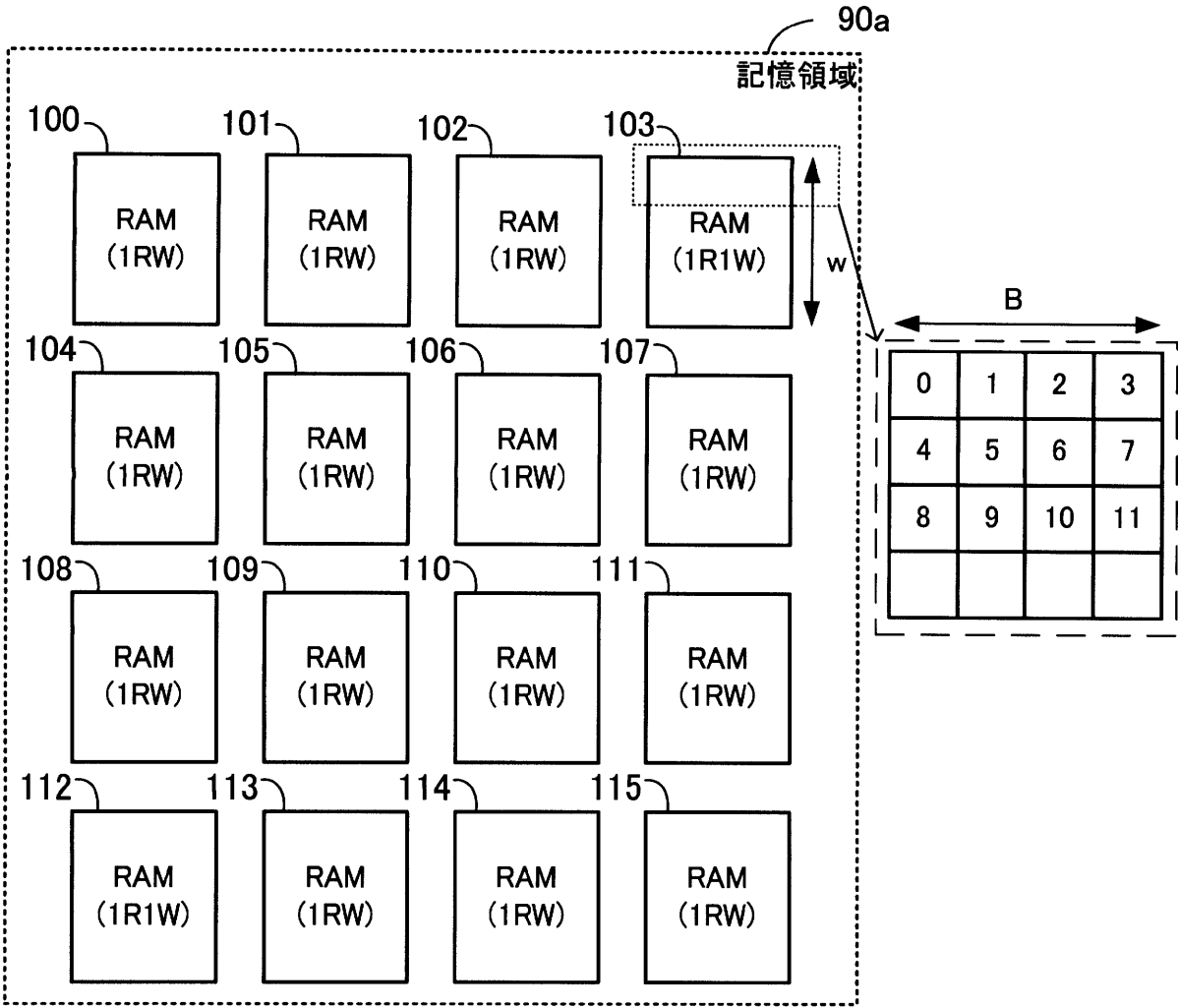
## 【補正対象書類名】図面

## 【補正対象項目名】図11

## 【補正方法】変更

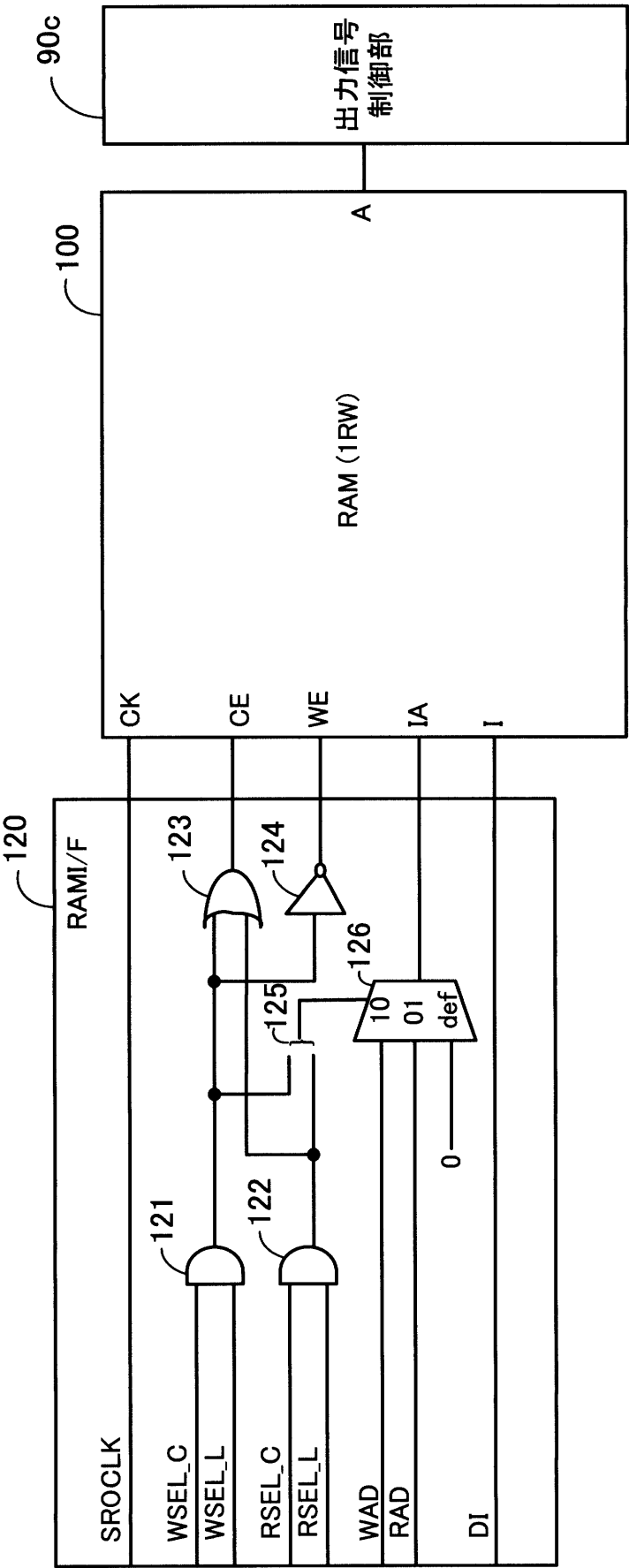
## 【補正の内容】

【図 1 1】



【手続補正 1 6】  
【補正対象書類名】図面  
【補正対象項目名】図 1 2  
【補正方法】変更  
【補正の内容】

【 図 1 2 】



【 手続補正 1 7 】

【 補正対象書類名 】 図面

【補正対象項目名】図 1 9

【補正方法】変更

【補正の内容】

【図 1 9】

