

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 3 月 6 日 (06.03.2014)



(10) 国际公布号
WO 2014/032361 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 21/8232* (2006.01)
- (21) 国际申请号: PCT/CN2012/082797
- (22) 国际申请日: 2012 年 10 月 11 日 (11.10.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210313475.7 2012 年 8 月 29 日 (29.08.2012) CN
- (71) 申请人: 北京大学 (PEKING UNIVERSITY)
[CN/CN]; 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。
- (72) 发明人: 黄如 (HUANG, Ru); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。樊捷闻 (FAN, Jiewen); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。许晓燕 (XU, Xiaoyan); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。李佳 (LI, Jia); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。王润声 (WANG, Runsheng); 中国北京市海淀区颐和园路 5 号, Beijing 100871 (CN)。
- (74) 代理人: 北京弘权知识产权代理事务所 (普通合伙) (CHINABLE IP); 中国北京市朝阳区安定路 35 号六层 35-10-2 内 620 室, Beijing 100029 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: METHOD FOR PREPARING INDEPENDENT BIGRID FINFET ON BULK SILICON

(54) 发明名称: 在体硅上制备独立双栅 FinFET 的方法

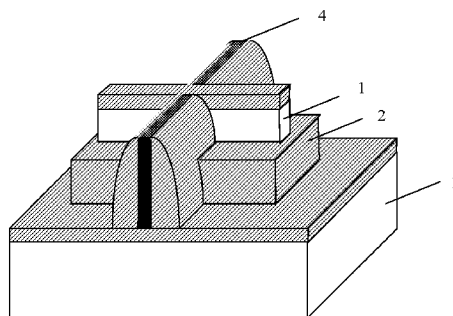


图 12 / Fig. 12

(57) Abstract: Disclosed is a method for preparing an independent bigrid FinFET on bulk silicon, comprising: forming a source and a drain and a thin strip-shaped graphic structure connecting the source and the drain; forming an oxide isolating layer; forming a gate structure and a source and drain structure; and forming metal contacts and metal connections. With the method, the independent bigrid FinFET can be easily formed on bulk silicon, the entire technological process is completely compatible with the conventional silicon-based super-large-scale integrated circuit manufacturing technology and has the characteristics of simplicity, convenience and short period, and the cost of silicon wafers is greatly economized. Moreover, because the independent bigrid FinFET prepared by the method is adopted, the short-channel effect can be well inhibited, and the power consumption of the device is further reduced by using the peculiar multi-threshold characteristic of the independent bigrid device.

(57) 摘要: 提供一种在体硅上制备独立双栅 FinFET 的方法, 包括: 形成源漏和连接源漏的细条状的图形结构; 形成氧化隔离层; 形成栅结构和源漏结构; 形成金属接触和金属互连。通过采用此方法可以在体硅上形成独立双栅 FinFET, 而且整个工艺流程完全与常规硅基超大规模集成电路制造技术兼容, 具有简单、方便、周期短的特点, 节省了硅片成本。且采用该方法制备形成的独立双栅 FinFET 场效应晶体管, 能够很好的抑制短沟道效应, 并通过独立双栅器件特有的多阈值特点进一步降低器件的功耗。

WO 2014/032361 A1

在体硅上制备独立双栅 FinFET 的方法

技术领域

5 本发明涉及一种湿法腐蚀制备场效应晶体管的方法，属于超大规模集成电路制造技术领域。

背景技术

当今半导体制造业在摩尔定律的指导下迅速发展，不断地提高集成电路的性能和集成密度，同时尽可能的减小集成电路的功耗。因此，制备高性能，低功耗的超短沟器件将成为未来半导体制造业的焦点。当进入到 22 纳米技术节点以后，传统平面场效应晶体管的泄漏电流不断增加，以及日益严重的短沟道效应，漏致势垒降低(DIBL)效应，不能很好的适应半导体制造的发展。为了克服上述一系列问题，一大批新结构半导体器件开始崭露头角，如 Double Gate FET，FinFET，Tri-Gate FET，Gate-all-around(GAA) Nanowire(NW) FET 等，逐渐引起广泛的关注。通过多栅结构，能够很好的加强栅对于沟道的控制能力，使得电场线难以从漏端直接穿过沟道到达源端，这样就能大幅度的改善漏致势垒降低效应，减小泄漏电流，并且很好的抑制短沟道效应。正是由于栅结构导致良好的栅控能力，沟道区域不需要像传统平面场效应晶体管一样进行重掺杂来抑制短沟道效应，轻掺杂沟道区域的优势在于减小了散射带来的迁移率的下降，从而使多栅结构器件的迁移率得到大幅度改善。因此，FinFET 作为一种新结构器件，将是一个很有潜力的能够替代传统平面场效应晶体管的选择。

20 Hasimoto 等人在 1998 年的 IEDM 会议上提出了“folded-channel MOSFETs”的概念。1999 年，Heang 等人在 IEDM 会议上公布 50nm 以下沟道长度的 FinFET。这是 FinFET 第一次采用传统硅工艺，被成功的集成在衬底上。

25 Hu 等人的 U.S. Pat. No. 6413802 中揭开了 FinFET 的结构，以及制备 FinFET 的工艺。在 SOI 衬底上最容易形成 FinFET，工艺相对简单，只需要在 SOI 衬底的顶硅层上光刻刻蚀出 Fin 条形状，然后再经过一系列栅工艺，源漏工艺以及后端的介质层和金属互联就可以形成 FinFET。但是它的缺点是：(1) 工艺成本太高，SOI 衬底相当昂贵；(2) 需要进行源漏抬升技术，否则源漏的扩展电阻过大导致开态电流过小，器件性能较差；(3) 没有体引出，这样就无法通过衬底偏置效应调节阈值电压。在体硅衬底上形成 FinFET，避免了源漏扩展电阻过大的问题，同时也使得体端能够加载

-2-

电压,获得衬底偏置效应,从而可以更加容易的把阈值电压调整到一个更加合适的值。但是它的缺点是:(1)工艺相对复杂,对工艺的控制要求更高,因为需要对 FinFET 增加一层氧化隔离层,抑制底部平面晶体管的开启,减小泄漏电流;(2)尽管增加了氧化隔离层,但是由于存在除 Fin 条以外的另外一条从源到漏的电流路径,栅控能力并没有 SOI 衬底上制备的器件来的出色,导致在超短沟器件中泄漏电流导致的功耗仍然较大。

发明内容

本发明的目的在于提供与常规硅基超大规模集成电路制造技术兼容的在体硅上制备独立双栅 FinFET 方法。

10 本发明通过如下技术方案予以实现:一种在体硅上制备独立双栅 FinFET 方法,包括如下步骤:

a) 形成源漏和连接源漏的细条状的图形结构

该步骤主要目的是利用电子束光刻在硬掩膜上形成源漏和连接源漏的细条状图形结构,利用电子束光刻可以使形成的细条状结构宽度 20-40 纳米左右。

15 i. 在硅衬底上淀积氧化硅、氮化硅作为硬掩膜;

ii. 通过一次电子束光刻,刻蚀氮化硅、氧化硅工艺,在硬掩膜上形成源漏和连接源漏的细条状的图形结构;

iii. 去掉电子束光刻胶;

iv. 刻蚀硅工艺,将硬掩膜上的图形结构转移到硅材料上;

20 b) 形成氧化隔离层

该步骤主要目的是在 Fin 条下面和 Fin 条两侧衬底表面形成氧化层,使得这层氧化隔离层能够起到抑制了衬底平面晶体管的开启,防止电流从源端通过衬底到达漏端的作用。从而降低泄露电流,降低器件的功耗。

i. 淀积一层新的氮化硅;

25 ii. 利用各项异性干法刻蚀刻蚀新的氮化硅,在 Fin 条两侧形成氮化硅侧墙;

iii. 利用各项异性干法刻蚀刻蚀 Fin 条两侧裸露出来的硅衬底;

iv. 通过湿法氧化在 Fin 条下面和 Fin 条两侧衬底表面形成氧化层;

c) 制备栅结构和源漏结构

该步骤主要目的是形成栅结构,其中栅结构需要用电子束光刻来定义,这主要是因为电子束光刻能容易的将栅线条宽度控制在 22 纳米左右,这是我们需要的沟道长

—3—

度。而且 CMP 化学机械抛光使得 Fin 条两侧的栅结果分离，相互独立，从而得到独立双栅结构的 FinFET。

i. 湿法腐蚀去掉氮化硅侧墙和氮化硅硬掩膜；

ii. 热氧化生长一层很薄的栅氧化层；

5 iii. 淀积一层多晶硅作为栅材料；

iv. CMP 化学机械抛光，使多晶硅平坦化，并且停止在 Fin 条顶部氧化硅硬掩膜表面；

v. 通过电子束光刻，刻蚀多晶硅栅材料，形成多晶硅栅线条，Fin 条两侧的栅线条不连接在一起，相互独立；

10 vi. 通过离子增强化学气相淀积以及回刻，形成氧化硅侧墙；

vii. 进行离子注入和高温退火，形成源漏结构；

d) 形成金属接触和金属互联

该步骤主要目的是引出源漏端和栅端，方便测试和形成大规模电路结构。

本发明具有如下技术效果：

15 首先，在体硅衬底上制备器件大大节省了硅片的成本；其次，利用一种简单的新工艺克服了在体硅衬底上制备 FinFET 工艺复杂，工艺控制要求高的困难，而整个工艺流程完全与常规硅基超大规模集成电路制造技术兼容；最后，此方法制备形成的独立双栅 FinFET 场效应晶体管，能够很好的抑制短沟道效应，并通过独立双栅器件特有的多阈值特点进一步降低器件的功耗。这主要有两个原因：一是因为 Fin 条下面和
20 Fin 条两侧衬底表面形成氧化层起到隔离作用，抑制了衬底寄生平面晶体管的开启，防止电流从源端通过衬底到达漏端；二是因为独立双栅结构可以很容易的进行阈值调节，多阈值器件能够在保持高性能的同时进一步降低功耗。

附图说明

图 1-12 是本发明提出的在体硅上制备独立双栅 FinFET 方法的工艺流程示意图。

25 工艺流程的简要说明如下：图 1 为淀积氧化硅氮化硅薄膜作为硬掩膜以后的结构示意图；图 2 为进行电子束光刻 Fin 条图形，并通过各项异性干法刻蚀将图形转移到硅衬底上之后的结构示意图；图 3 为淀积氮化硅刻蚀氮化硅，形成氮化硅侧墙之后的结构示意图；图 4 为各项异性干法刻蚀硅衬底，使 Fin 条底下的硅材料裸露出来，以便进行接下来的氧化工艺；图 5 为通过氧化工艺在 Fin 条底部形成氧化隔离层之后的结构
30 示意图；图 6 为图 5 结构中 AA 方向上的截面示意图；图 7 为去掉氮化硅层以后的结

构示意图；图 8 为图 7 结构中 AA 方向上的截面示意图；图 9 为经过栅氧化层淀积，栅材料淀积以及后续的 CMP 工艺之后的结构示意图；图 10 为进行电子束光刻栅线条图形，并通过各项异性干法刻蚀将图形转移之后的结构示意图；图 11 为图 10 结构中 AA 方向上的截面示意图；图 12 为进行侧墙工艺以及源漏注入、退火工艺之后的最终器件结构示意图；

图中：1—硅；2—氧化硅；3—氮化硅；4—多晶硅。

具体实施方式

下面结合附图和具体实施例对本发明进行详细说明，具体给出一实现本发明提出的在体硅上制备独立双栅 FinFET 的工艺方案，但不以任何方式限制本发明的范围。

- 10 根据下列步骤制备 Fin 条宽度约为 20 纳米，沟道长度约为 32 纳米的 n 型独立双栅 FinFET：
1. 在硅衬底上低压化学气相沉积氧化硅 300 Å；
 2. 在氧化硅上低压化学气相沉积氮化硅 1000 Å，如图 1 所示，淀积的氧化硅和氮化硅作为硬掩膜；
 - 15 3. 光学光刻、定义 Fin 条，在硬掩膜上形成源漏和连接源漏的细条状的图形结构；
 4. 各项异性干法刻蚀 1000 Å 氮化硅；
 5. 各向异性干法刻蚀 300 Å 氧化硅；
 6. 各向异性干法刻蚀 1000 Å 硅衬底，如图 2 所示，将硬掩膜上的图形结构转移
 - 20 到硅材料上；
 7. 在硅衬底上低压化学气相沉积氮化硅 500 Å；
 8. 各向异性干法刻蚀 500 Å 氮化硅，形成侧墙，如图 3 所示；
 9. 各项异性干法刻蚀 1000 Å 硅衬底，使 Fin 条底下的硅材料裸露出来，如图 4 所示；
 - 25 10. 湿氧氧化 300 Å，在在 Fin 条下面和 Fin 条两侧衬底表面形成氧化隔离层，如图 5 所示；
 11. 各向同性湿法腐蚀 1000 Å 氮化硅，如图 7 所示；
 12. 热氧化生长 15 Å 氧化硅，作为栅氧化层；
 13. 低压化学气相沉积多晶硅 3000 Å，作为栅材料；
 - 30 14. CMP 化学机械研磨将多晶硅平坦化，停止在氧化硅硬掩膜层上，如图 9 所示；

—5—

15. 电子束光刻定义栅细线条，栅条的宽度为 32 纳米；

16. 各项异性干法刻蚀 3000Å 多晶硅，形成栅细线条，如图 10 所示，Fin 条两侧的栅线条不连接在一起，相互独立；

17. 低压化学气相沉积氧化硅 200Å，作为侧墙材料；

5 18. 各向异性干法刻蚀 200Å 氧化层，形成侧墙；

19. 源漏离子注入，注 As，注入能量为 50keV，注入剂量为 $4 \times 10^{15} \text{cm}^{-2}$ ；

20. RTP 退火，1050 度，5 秒，在氮气氛围下，如图 12 所示，形成源漏结构；

21. 形成金属接触和金属互联，引出源漏端和栅端，形成大规模电路结构。

10 最后需要注意的是，公布实施方式的目的在于帮助进一步理解本发明，但是本领域的技术人员可以理解：在不脱离本发明及所附的权利要求的精神和范围内，各种替换和修改都是可能的。因此，本发明不应局限于实施例所公开的内容，本发明要求保护的范围以权利要求书界定的范围为准。

15

权 利 要 求

1、一种在体硅上制备独立双栅 FinFET 的方法，包括如下步骤：

a) 形成源漏和连接源漏的细条状的图形结构

i. 在硅衬底上淀积氧化硅、氮化硅作为硬掩膜；

5 ii. 通过一次电子束光刻，刻蚀氮化硅、氧化硅工艺，在硬掩膜上形成源漏和连接源漏的细条状的图形结构；

iii. 去掉电子束光刻胶；

iv. 刻蚀硅工艺，将硬掩膜上的图形结构转移到硅材料上；

b) 形成氧化隔离层

10 i. 淀积一层新的氮化硅；

ii. 利用各项异性干法刻蚀刻蚀新的氮化硅，在 Fin 条两侧形成氮化硅侧墙；

iii. 利用各项异性干法刻蚀刻蚀 Fin 条两侧裸露出来的硅衬底；

iv. 通过湿法氧化在 Fin 条下面和 Fin 条两侧衬底表面形成氧化层；

15 c) 形成栅结构和源漏结构

i. 湿法腐蚀去掉氮化硅侧墙和氮化硅硬掩膜；

ii. 热氧化生长一层栅氧化层；

iii. 淀积一层多晶硅作为栅材料；

20 iv. CMP 化学机械抛光，使多晶硅平坦化，并且停止在 Fin 条顶部氧化硅硬掩膜表面；

v. 通过电子束光刻，刻蚀多晶硅栅材料，形成多晶硅栅线条，Fin 条两侧的栅线条不连接在一起，相互独立；

vi. 通过离子增强化学气相淀积以及回刻，形成氧化硅侧墙；

vii. 进行离子注入和高温退火，形成源漏结构。

25 2. 如权利要求 1 所述的在体硅上制备独立双栅 FinFET 的方法，其特征在于：所属步骤 c) 中，热氧化栅介质和多晶硅栅材料是 High-k 栅介质和金

- 7 -

属栅材料。

3. 如权利要求 1 所述的在体硅上制备独立双栅 FinFET 的方法，其特征在于：所属步骤 c) 中，进一步将 Fin 条两侧的栅连接起来形成同一个栅。

5 4. 如权利要求 1 所述的在体硅上制备独立双栅 FinFET 的方法，其特征在于：所述步骤 a)、c) 中，采用电子束光刻形成源漏和连接源漏的细条状图形结构。

5. 如权利要求 1 所述的在体硅上制备独立双栅 FinFET 的方法，其特征在于：所述步骤 b) 中，生长氧化隔离层采用湿氧氧化热生长氧化硅的方法。

10 6. 如权利要求 1 所述的在体硅上制备独立双栅 FinFET 的方法，其特征在于：所述步骤 b) 中，生长的氧化隔离层完全隔离或者部分隔离 Fin 条与衬底的连接。

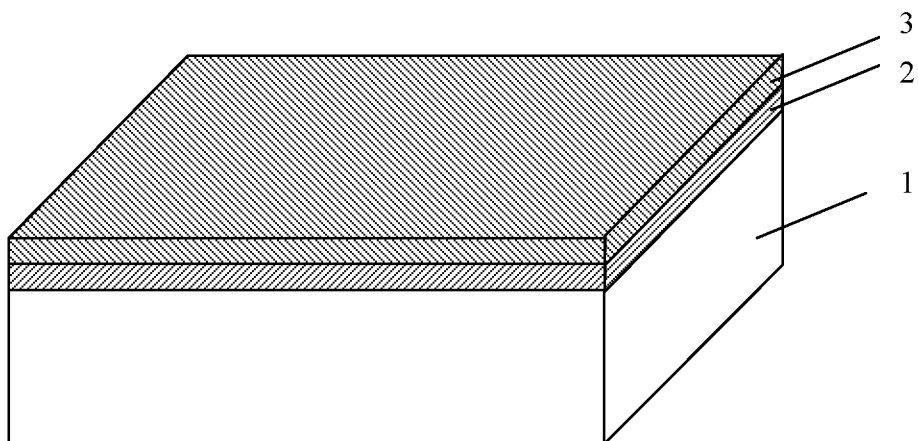


图 1

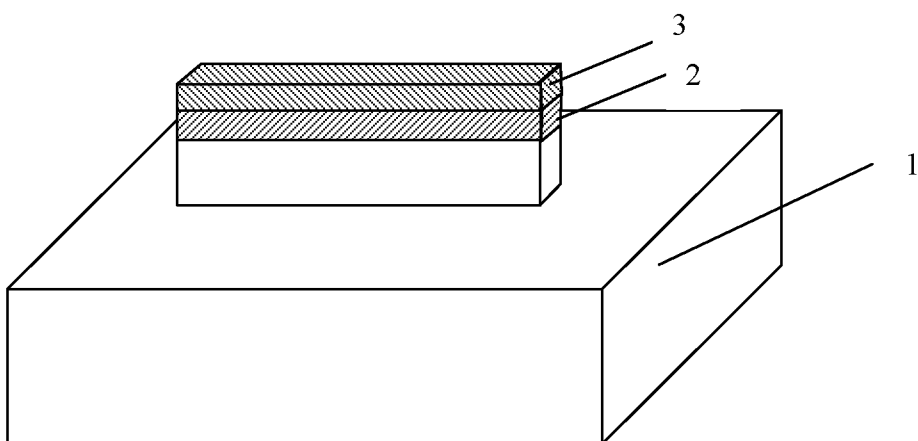


图 2

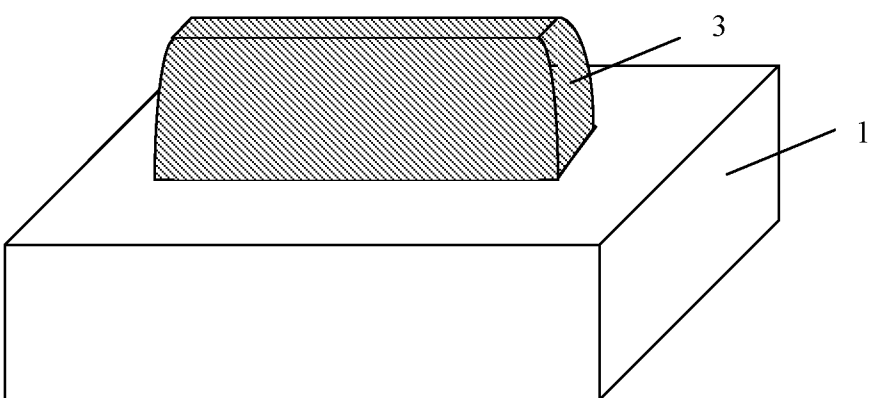


图 3

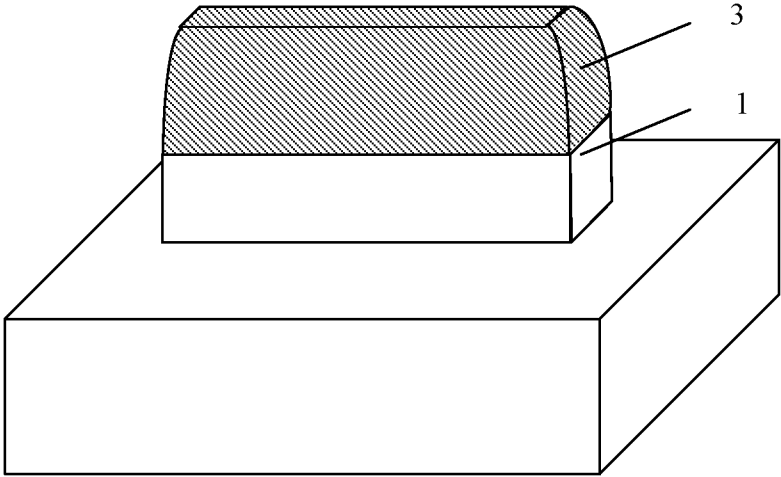


图 4

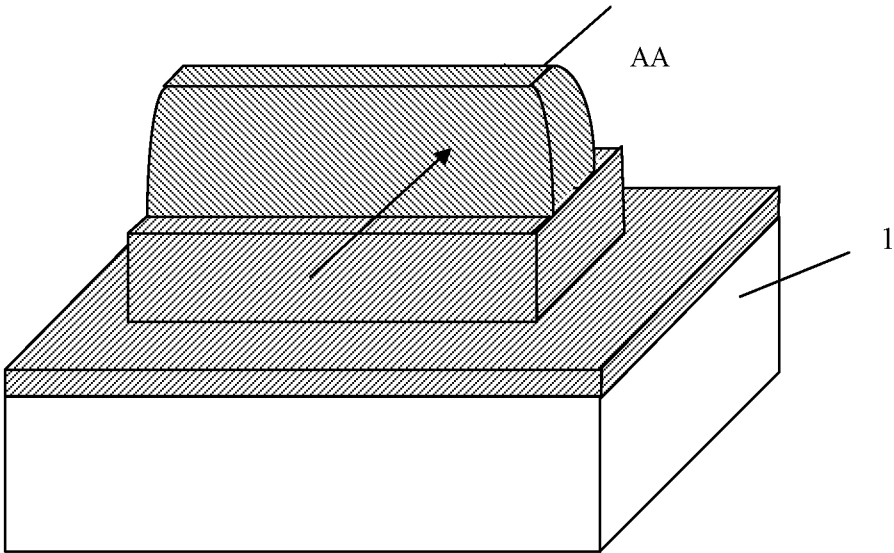


图 5

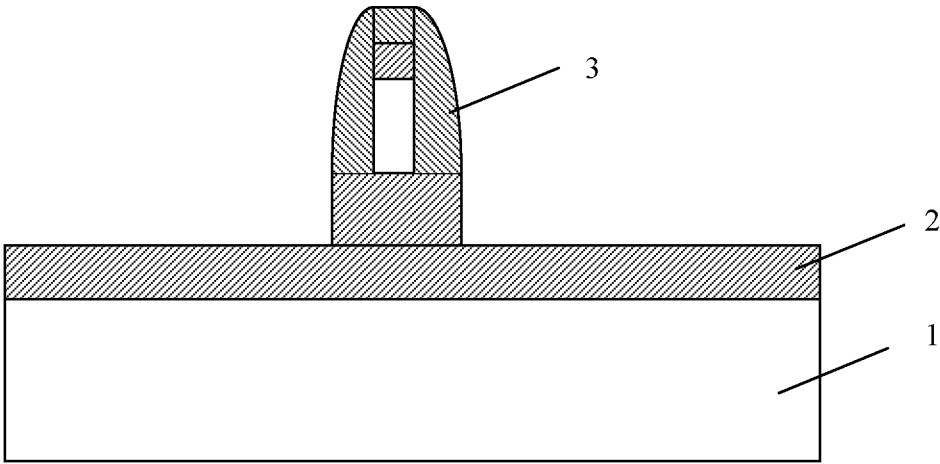


图 6

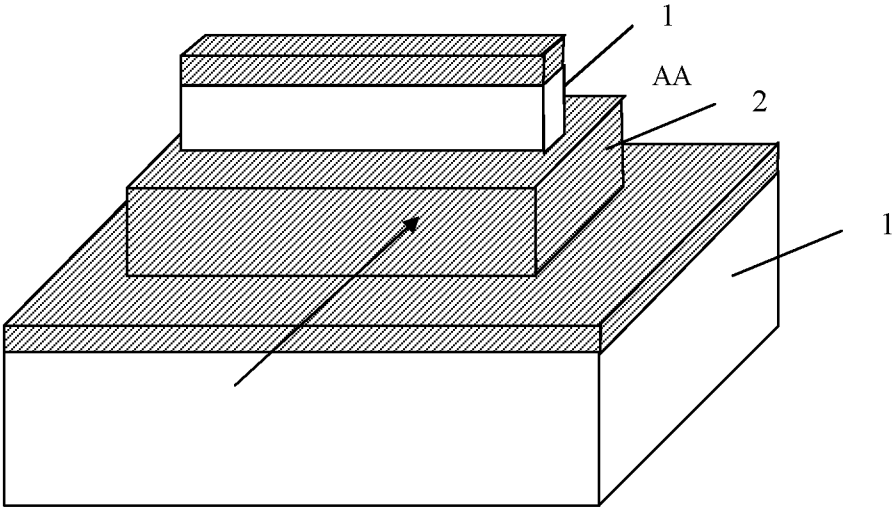


图 7

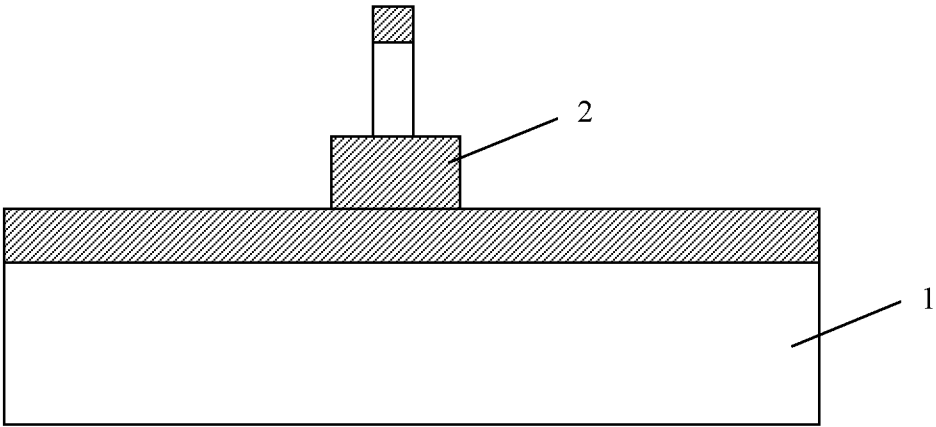


图 8

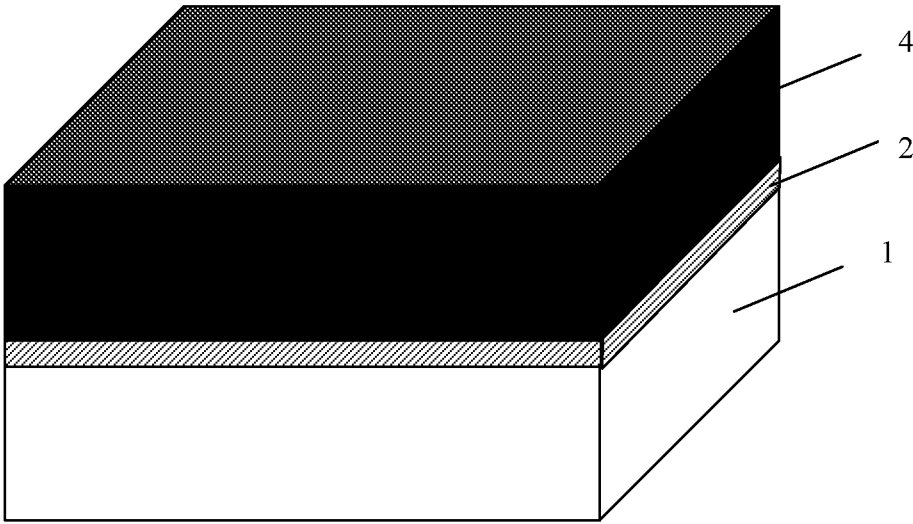


图 9

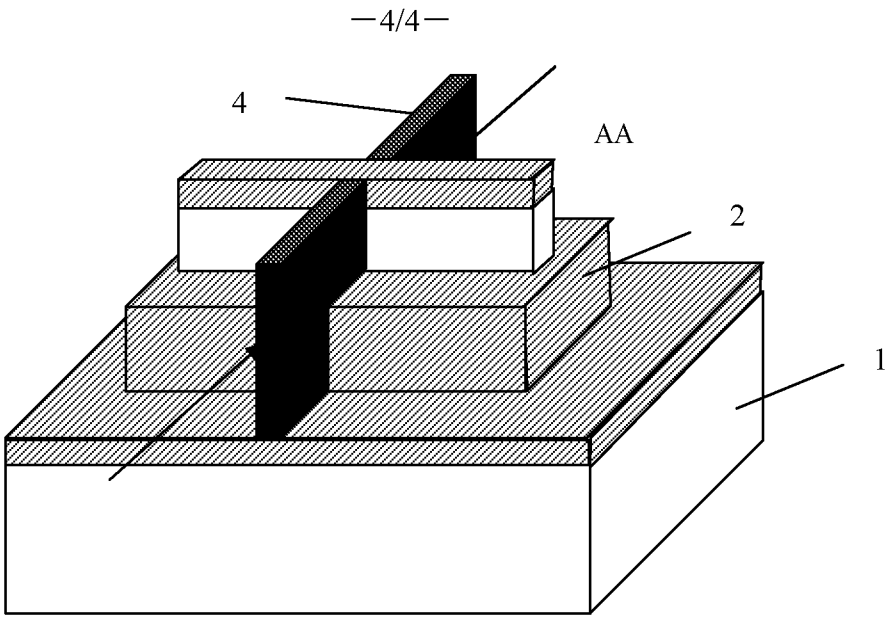


图 10

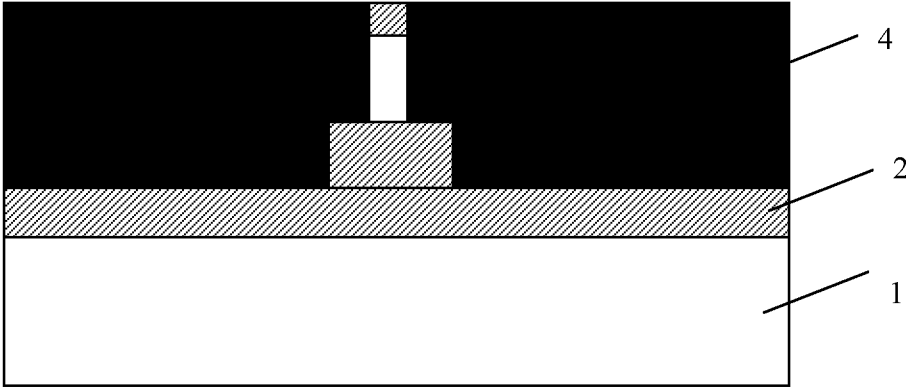


图 11

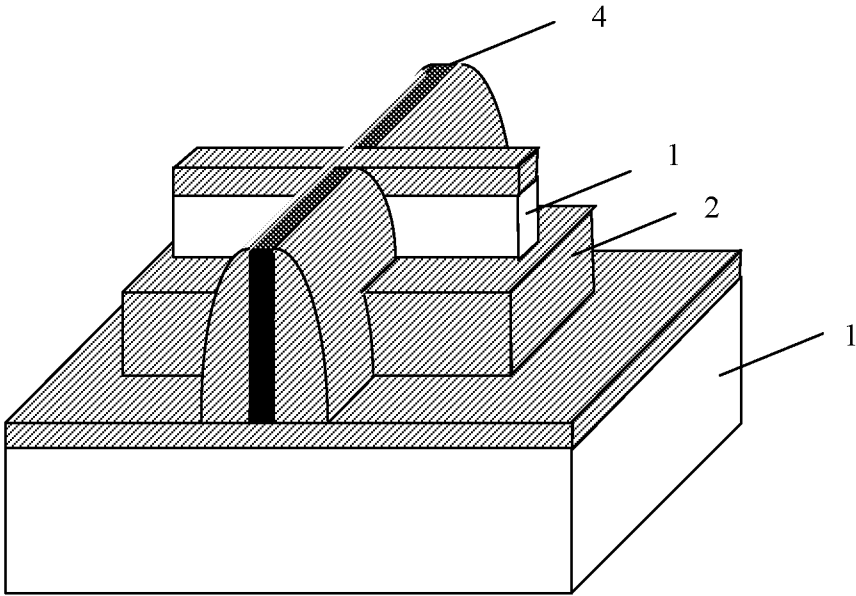


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/082797

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, CNTXT, EPODOC, CNPAT, CNKI: bulk silicon, bulk semiconductive, silicon nitride, side wall, bulk, bigrid, bigate, double gate, fin, transistor, silicon oxide, nitride, isolation

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102832133 A (PEKING UNIVERSITY), 19 December 2013 (19.12.2012), the whole document	1-6
X	CN 1653608 A (INTERNATIONAL BUSINESS MACHINES CORP.), 10 August 2005 (10.08.2005), description, pages 5-12, and figures 2-7	1-6
A	CN 1622301 A (PEKING UNIVERSITY), 01 June 2005 (01.06.2005), the whole document	1-6
A	US 2004150029 A1 (LEE, J.H.), 05 August 2004 (05.08.2004), the whole document	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed		“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family
Date of the actual completion of the international search 16 May 2013 (16.05.2013)		Date of mailing of the international search report 06 June 2013 (06.06.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer HAN, Bing Telephone No.: (86-10) 62411941

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/082797

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102832133 A	19.12.2012	None	
CN 1653608 A	10.08.2005	KR 20050003401 A	10.01.2005
		CN 1296991 C	24.01.2007
		KR 100702553 B1	04.04.2007
		WO 03103019 A3	18.03.2004
		EP 1532659 B1	02.03.2011
		JP 4425130 B2	03.03.2010
		IN 200402705 P4	10.02.2006
		US 6642090 B1	04.11.2003
		AU 2003237320 A8	27.10.2005
		DE 60336237 D	14.04.2011
		JP 2005528793 A	22.09.2005
		TWI 235457 B	01.07.2005
		AU 2003237320 A1	19.12.2003
		TW 200411833 A	01.07.2004
		WO 03103019 A2	11.12.2003
		EP 1532659 A2	25.05.2005
CN 1622301 A	01.06.2005	None	
US 2004150029 A1	05.08.2004	US 6885055 B2	26.04.2005

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/082797

CONTINUATION OF CLASSIFICATION OF SUBJECT MATTER:

H01L 21/336 (2006.01) i

H01L 21/8232 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/082797

A. 主题的分类

参加附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, CNTXT,EPODOC ,CNPAT,CNKI:体硅,体半导,双栅,鳍,翅,Fin,晶体管,氧化硅,氮化硅,侧墙,隔离,隔绝,bulk, bigrid, bigate, double gate, fin, transistor, silicon oxide,nitride,isolation

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102832133 A (北京大学) 19.12 月 2013 (19.12.2012) 全文	1-6
X	CN1653608 A (国际商业机器公司) 10.8 月 2005 (10.08.2005) 说明书 5-12 页, 说明书附图 2-7	1-6
A	CN1622301 A (北京大学) 01.6 月 2005 (01.06.2005) 全文	1-6
A	US2004150029 A1 (Jong-Ho Lee) 05.8 月 2004 (05.08.2004) 全文	1-6



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

16.5 月 2013 (16.05.2013)

国际检索报告邮寄日期

06.6 月 2013 (06.06.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

韩冰

电话号码: (86-10) 62411941

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/082797

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102832133 A	19. 12. 2012	无	
CN1653608 A	10.08.2005	KR20050003401A	10.01.2005
		CN1296991C	24.01.2007
		KR100702553B1	04.04.2007
		WO03103019A3	18.03.2004
		EP1532659B1	02.03.2011
		JP4425130B2	03.03.2010
		IN200402705P4	10.02.2006
		US6642090B1	04.11.2003
		AU2003237320A8	27.10.2005
		DE60336237D	14.04.2011
		JP2005528793A	22.09.2005
		TWI235457B	01.07.2005
		AU2003237320A1	19.12.2003
		TW200411833A	01.07.2004
		WO03103019A2	11.12.2003
		EP1532659A2	25.05.2005
CN1622301 A	01.06.2005	无	
US2004150029 A1	05.08.2004	US6885055 B2	26.04.2005

续 主题的分类:

H01L 21/336 (2006.01) i

H01L 21/8232 (2006.01) i