



(21) 申请号 202421097951.0

(22) 申请日 2024.05.20

(73) 专利权人 南京博锐半导体有限公司

地址 210000 江苏省南京市江宁区苏源大道19号江宁九龙湖国际企业总部园内A1号楼23层(江宁开发区)

(72) 发明人 吴虹

(74) 专利代理机构 南京经纬专利商标代理有限公司 32200

专利代理师 田凌涛

(51) Int. Cl.

H01L 25/07 (2006.01)

H01L 23/498 (2006.01)

H01L 23/49 (2006.01)

H01L 23/488 (2006.01)

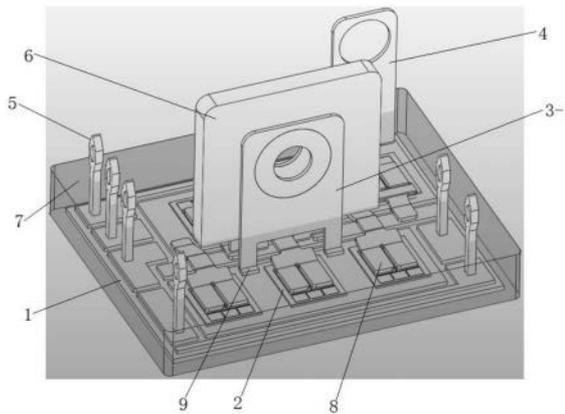
权利要求书2页 说明书4页 附图7页

(54) 实用新型名称

一种顶部出脚的叠层母排封装模组

(57) 摘要

本实用新型涉及一种顶部出脚的叠层母排封装模组,以基板(1)上走线层功率区与非功率区的划分为基础,针对功率区应用顶部出脚的铜排构成各个功率管脚,并具体设计独立铜排结构、以及叠层铜排结构,针对非功率区应用顶部出脚的Pin针(5)构成各个信号管脚,进而实现所设计叠层母排封装模组,具有低寄生、效率更高、电流能力更强的优点,并且在实际应用中,散热更好、可靠性更好、组装更容易。



1. 一种顶部出脚的叠层母排封装模组,其特征在于:包括第一铜排(3)、第二铜排(4)、各个芯片(2)、各个Pin针(5)、以及上表面布设走线层的基板(1),其中,基于基板(1)上走线层划分为功率区、以及非功率区,各个芯片(2)分别布设连接于基板(1)上走线层的功率区;进一步基于走线层的功率区划分为功率输入区、功率输出区,第一铜排(3)、第二铜排(4)依次与功率输入区、功率输出区一一对应,第一铜排(3)以垂直于基板(1)表面的姿态、连接于基板(1)上走线层对应的功率输入区,第二铜排(4)以垂直于基板(1)表面的姿态、连接于基板(1)上走线层对应的功率输出区,由第一铜排(3)、第二铜排(4)构成各个功率管脚;各个Pin针(5)分别以垂直于基板(1)表面的姿态、连接于基板(1)上走线层的非功率区的各个相应连接点,由各Pin针(5)构成各个信号管脚。

2. 根据权利要求1所述一种顶部出脚的叠层母排封装模组,其特征在于:所述第一铜排(3)包括第一子铜排(3-1)、第二子铜排(3-2),第一子铜排(3-1)、第二子铜排(3-2)依次与基板(1)上走线层功率输入区的功率正极输入区、功率负极输入区一一对应,第一子铜排(3-1)以垂直于基板(1)表面的姿态、连接于功率正极输入区,第二子铜排(3-2)以垂直于基板(1)表面的姿态、连接于功率负极输入区,第一子铜排(3-1)与第二子铜排(3-2)之间绝缘。

3. 根据权利要求2所述一种顶部出脚的叠层母排封装模组,其特征在于:还包括绝缘片(6)、以及通过塑封或者灌封方式覆盖基板(1)走线层与各芯片(2)的外壳(7),所述第一子铜排(3-1)、第二子铜排(3-2)、第二铜排(4)、以及各个Pin针(5)均凸出外壳(7)上表面预设大于0的高度,绝缘片(6)置于第一子铜排(3-1)与第二子铜排(3-2)之间,且绝缘片(6)的底端伸入外壳(7)内预设深度,以及在垂直于绝缘片(6)表面的方向上,第一子铜排(3-1)的投影、第二子铜排(3-2)的投影均位于绝缘片(6)表面内。

4. 根据权利要求3所述一种顶部出脚的叠层母排封装模组,其特征在于:所述第一子铜排(3-1)、第二子铜排(3-2)、第二铜排(4)、以及各Pin针(5)的顶部分别设置贯穿其两面的通孔,第一子铜排(3-1)顶部通孔与第二子铜排(3-2)顶部通孔彼此尺寸相同、且彼此位置相对,绝缘片(6)上对应第一子铜排(3-1)顶部通孔的位置设置通孔,且绝缘片(6)上通孔尺寸小于第一子铜排(3-1)顶部通孔尺寸,以及在垂直于绝缘片(6)表面的方向上,绝缘片(6)上通孔的投影位于第一子铜排(3-1)顶部通孔的投影内。

5. 根据权利要求3或4所述一种顶部出脚的叠层母排封装模组,其特征在于:所述第一子铜排(3-1)与第二子铜排(3-2)平行,且第一子铜排(3-1)与第二子铜排(3-2)分别设置于绝缘片(6)的两面上。

6. 根据权利要求2至4中任意一项所述一种顶部出脚的叠层母排封装模组,其特征在于:所述各芯片(2)的各引脚分别通过铜Clip(8)连接基板(1)上走线层功率区各相应位置,并且所述第一子铜排(3-1)、第二子铜排(3-2)、第二铜排(4)与各个铜Clip(8)之间绝缘,基板(1)上走线层功率正极输入区中所设各芯片(2)上各引脚分别所连铜Clip(8)的另一端连接走线层功率输出区各相应位置,走线层功率输出区中所设各芯片(2)上各引脚分别所连铜Clip(8)的另一端连接走线层功率负极输入区各相应位置。

7. 根据权利要求2至4中任意一项所述一种顶部出脚的叠层母排封装模组,其特征在于:所述第一子铜排(3-1)的底端、第二子铜排(3-2)的底端、第二铜排(4)的底端分别均设置至少两个铜弯折件(9),由各个铜弯折件(9)用于连接基板(1)上走线层的相应位置,其

中,第一子铜排(3-1)底端的各铜弯折件(9)、第二子铜排(3-2)底端的各铜弯折件(9)分别均折向第一子铜排(3-1)与第二子铜排(3-2)的外侧,第二铜排(4)底端各铜弯折件(9)折向第二铜排(4)的两侧。

8.根据权利要求6所述一种顶部出脚的叠层母排封装模组,其特征在于:所述基板(1)上走线层功率正极输入区中所设各芯片(2)及其所连各铜Clip(8)分别与功率输出区中所设各芯片(2)及其所连各铜Clip(8)之间交错排布。

9.根据权利要求1所述一种顶部出脚的叠层母排封装模组,其特征在于:所述基板(1)为陶瓷基板。

一种顶部出脚的叠层母排封装模组

技术领域

[0001] 本实用新型涉及一种顶部出脚的叠层母排封装模组,属于芯片封装技术领域。

背景技术

[0002] 大功率的功率模组技术持续演进,产生了很多的互连方式,大体划分为外部互联与内部互联,其中外部互联主要有两种方式,顶部出脚如图1所示,侧边出脚如图2所示;内部互连主要有引线键合如图3所示和铜片绑定如图4所示。

[0003] 如图1所示顶部出脚的模组,一般为固定孔阵列外壳+灌硅凝胶+PIN针的方式,电流路径较短,设计较为灵活,无需额外的塑封模具,但是当电流较大的时候,Pin针直接和PCB互连的方式会占用比较大的面积,同时寄生参数稍大一点;如图2所示侧边出脚的模组,一般采用塑封+Pin+铜排的方式,电流路径较长,并且受限于塑封模具,设计稍微复杂一点;如图3和图4所示内部互连方面,采用引线键合成本低,设计灵活,但寄生较大,对大电流的适应性较差。

实用新型内容

[0004] 本实用新型所要解决的技术问题是提供一种顶部出脚的叠层母排封装模组,采用叠层铜排的方式从顶部出脚,结合内部布局,实现性能和可靠性最佳化。

[0005] 本实用新型为了解决上述技术问题采用以下技术方案:本实用新型设计了一种顶部出脚的叠层母排封装模组,包括第一铜排、第二铜排、各个芯片、各个Pin针、以及上表面布设走线层的基板,其中,基于基板上走线层划分为功率区、以及非功率区,各个芯片分别布设连接于基板上走线层的功率区;进一步基于走线层的功率区划分为功率输入区、功率输出区,第一铜排、第二铜排依次与功率输入区、功率输出区一一对应,第一铜排以垂直于基板表面的姿态、连接于基板上走线层对应的功率输入区,第二铜排以垂直于基板表面的姿态、连接于基板上走线层对应的功率输出区,由第一铜排、第二铜排构成各个功率管脚;各个Pin针分别以垂直于基板表面的姿态、连接于基板上走线层的非功率区的各个相应连接点,由各Pin针构成各个信号管脚。

[0006] 作为本实用新型的一种优选技术方案:所述第一铜排包括第一子铜排、第二子铜排,第一子铜排、第二子铜排依次与基板上走线层功率输入区的功率正极输入区、功率负极输入区一一对应,第一子铜排以垂直于基板表面的姿态、连接于功率正极输入区,第二子铜排以垂直于基板表面的姿态、连接于功率负极输入区,第一子铜排与第二子铜排之间绝缘。

[0007] 作为本实用新型的一种优选技术方案:还包括绝缘片、以及通过塑封或者灌封方式覆盖基板走线层与各芯片的外壳,所述第一子铜排、第二子铜排、第二铜排、以及各个Pin针均凸出外壳上表面预设大于0的高度,绝缘片置于第一子铜排与第二子铜排之间,且绝缘片的底端伸入外壳内预设深度,以及在垂直于绝缘片表面的方向上,第一子铜排的投影、第二子铜排的投影均位于绝缘片表面内。

[0008] 作为本实用新型的一种优选技术方案:所述第一子铜排、第二子铜排、第二铜排、

以及各Pin针的顶部分别设置贯穿其两面的通孔,第一子铜排顶部通孔与第二子铜排顶部通孔彼此尺寸相同、且彼此位置相对,绝缘片上对应第一子铜排顶部通孔的位置设置通孔,且绝缘片上通孔尺寸小于第一子铜排顶部通孔尺寸,以及在垂直于绝缘片表面的方向上,绝缘片上通孔的投影位于第一子铜排顶部通孔的投影内。

[0009] 作为本实用新型的一种优选技术方案:所述第一子铜排与第二子铜排平行,且第一子铜排与第二子铜排分别设置于绝缘片的两面上。

[0010] 作为本实用新型的一种优选技术方案:所述各芯片的各引脚分别通过铜Clip连接基板上走线层功率区各相应位置,并且所述第一子铜排、第二子铜排、第二铜排与各个铜Clip之间绝缘,基板上走线层功率正极输入区中所设各芯片上各引脚分别所连铜Clip的另一端连接走线层功率输出区各相应位置,走线层功率输出区中所设各芯片上各引脚分别所连铜Clip的另一端连接走线层功率负极输入区各相应位置。

[0011] 作为本实用新型的一种优选技术方案:所述第一子铜排的底端、第二子铜排的底端、第二铜排的底端分别均设置至少两个铜弯折件,由各个铜弯折件用于连接基板上走线层的相应位置,其中,第一子铜排底端的各铜弯折件、第二子铜排底端的各铜弯折件分别均折向第一子铜排与第二子铜排的外侧,第二铜排底端各铜弯折件折向第二铜排的两侧。

[0012] 作为本实用新型的一种优选技术方案:所述基板上走线层功率正极输入区中所设各芯片及其所连各铜Clip分别与功率输出区中所设各芯片及其所连各铜Clip之间交错排布。

[0013] 作为本实用新型的一种优选技术方案:所述基板为陶瓷基板。

[0014] 本实用新型所述一种顶部出脚的叠层母排封装模组,采用以上技术方案与现有技术相比,具有以下技术效果:

[0015] 本实用新型所设计一种顶部出脚的叠层母排封装模组,以基板上走线层功率区与非功率区的划分为基础,针对功率区应用顶部出脚的铜排构成各个功率管脚,并具体设计独立铜排结构、以及叠层铜排结构,针对非功率区应用顶部出脚的Pin针构成各个信号管脚,进而实现所设计叠层母排封装模组,具有低寄生、效率更高、电流能力更强的优点,并且在实际应用中,散热更好、可靠性更好、组装更容易。

附图说明

[0016] 图1是现有技术中顶部出脚模组设计示意图;

[0017] 图2是现有技术中侧边出脚模组设计示意图;

[0018] 图3是现有技术中引线键合设计示意图;

[0019] 图4是现有技术中铜片(Cu Clip)绑定设计示意图;

[0020] 图5、图6是本实用新型设计顶部出脚的叠层母排封装模组的3D示意图;

[0021] 图7是本实用新型设计顶部出脚的叠层母排封装模组俯视区域划分示意图;

[0022] 图8是本实用新型设计顶部出脚的叠层母排封装模组侧视示意图;

[0023] 图9至图10是本实用新型设计顶部出脚的叠层母排封装模组中铜排底部结构示意图。

[0024] 其中,1. 基板,2. 芯片,3. 第一铜排,3-1. 第一子铜排,3-2. 第二子铜排,4. 第二铜排,5. Pin针,6. 绝缘片,7. 外壳,8. 铜Clip,9. 铜弯折件。

具体实施方式

[0025] 下面结合说明书附图对本实用新型的具体实施方式作进一步详细的说明。

[0026] 本实用新型设计顶部出脚的叠层母排封装模组,实际应用当中,如图5和图6所示,具体设计包括第一铜排3、第二铜排4、各个芯片2、各个Pin针5、以及基于陶瓷基板上表面布设走线层的基板1,其中,基于基板1上走线层划分为功率区、以及非功率区,各个芯片2分别布设连接于基板1上走线层的功率区,如图7所示,进一步基于走线层的功率区划分为功率输入区、功率输出区,第一铜排3、第二铜排4依次与功率输入区、功率输出区一一对应,第一铜排3以垂直于基板1表面的姿态、连接于基板1上走线层对应的功率输入区,第二铜排4以垂直于基板1表面的姿态、连接于基板1上走线层对应的功率输出区,由第一铜排3、第二铜排4构成各个功率管脚;各个Pin针5分别以垂直于基板1表面的姿态、连接于基板1上走线层的非功率区的各个相应连接点,由各Pin针5构成各个信号管脚。

[0027] 针对上述所设计叠层母排封装模组结构,在进一步的实际应用当中,分别就各个局部进行具体设计,如图5、图6、图8所示,其中第一铜排3为叠层铜排结构,针对第一铜排3具体设计包括第一子铜排3-1、第二子铜排3-2,第一子铜排3-1、第二子铜排3-2依次与基板1上走线层功率输入区的功率正极输入区、功率负极输入区一一对应,第一子铜排3-1以垂直于基板1表面的姿态、连接于功率正极输入区,第二子铜排3-2以垂直于基板1表面的姿态、连接于功率负极输入区,第一子铜排3-1与第二子铜排3-2之间绝缘。

[0028] 实际应用中,针对第一子铜排3-1与第二子铜排3-2之间的绝缘设计,如图5、图6、图8所示,具体设计加入绝缘片6,并配合加入通过塑封或者灌封方式覆盖基板1走线层与各芯片2的外壳7,所述第一子铜排3-1、第二子铜排3-2、第二铜排4、以及各个Pin针5均凸出外壳7上表面预设大于0的高度,绝缘片6置于第一子铜排3-1与第二子铜排3-2之间,且绝缘片6的底端伸入外壳7内预设深度,以及在垂直于绝缘片6表面的方向上,第一子铜排3-1的投影、第二子铜排3-2的投影均位于绝缘片6表面内;实际实施过程中,具体设计第一子铜排3-1与第二子铜排3-2平行,且第一子铜排3-1与第二子铜排3-2分别设置于绝缘片6的两面上。

[0029] 实际实施中,针对各铜排进一步进行结构设计,如图5、图6所示,针对第一子铜排3-1、第二子铜排3-2、第二铜排4、以及各Pin针5的顶部分别设置贯穿其两面的通孔,第一子铜排3-1顶部通孔与第二子铜排3-2顶部通孔彼此尺寸相同、且彼此位置相对,绝缘片6上对应第一子铜排3-1顶部通孔的位置设置通孔,且绝缘片6上通孔尺寸小于第一子铜排3-1顶部通孔尺寸,以及在垂直于绝缘片6表面的方向上,绝缘片6上通孔的投影位于第一子铜排3-1顶部通孔的投影内。

[0030] 关于本专利申请文件所设计叠层母排封装模组的内部结构,实际应用当中,如图5、图6所示,具体设计各芯片2的各引脚分别通过铜Clip8连接基板1上走线层功率区各相应位置,并且所述第一子铜排3-1、第二子铜排3-2、第二铜排4与各个铜Clip8之间绝缘,基板1上走线层功率正极输入区中所设各芯片2上各引脚分别所连铜Clip8的另一端连接走线层功率输出区各相应位置,走线层功率输出区中所设各芯片2上各引脚分别所连铜Clip8的另一端连接走线层功率负极输入区各相应位置。

[0031] 并且在铜排与基板1走线层的连接设计结构中,如图9和图10所示,具体设计第一子铜排3-1的底端、第二子铜排3-2的底端、第二铜排4的底端分别均设置至少两个铜弯折件9,由各个铜弯折件9用于连接基板1上走线层的相应位置,其中,第一子铜排3-1底端的各铜

弯折件9、第二子铜排3-2底端的各铜弯折件9分别均折向第一子铜排3-1与第二子铜排3-2的外侧,第二铜排4底端各铜弯折件9折向第二铜排4的两侧。

[0032] 并且在实际应用当中,关于走线层功率正极输入区中各器件布局设计、以及功率输出区中所设各芯片2及其所连各铜Clip8中各器件布局设计,如图7所示,具体设计基板1上走线层功率正极输入区中所设各芯片2及其所连各铜Clip8分别与功率输出区中所设各芯片2及其所连各铜Clip8之间交错排布。

[0033] 上述技术方案所设计一种顶部出脚的叠层母排封装模组,以基板1上走线层功率区与非功率区的划分为基础,针对功率区应用顶部出脚的铜排构成各个功率管脚,并具体设计独立铜排结构、以及叠层铜排结构,针对非功率区应用顶部出脚的Pin针5构成各个信号管脚,进而实现所设计叠层母排封装模组,具有低寄生、效率更高、电流能力更强的优点,并且在实际应用中,散热更好、可靠性更好、组装更容易。

[0034] 上面结合附图对本实用新型的实施方式作了详细说明,但是本实用新型并不限于上述实施方式,在本领域普通技术人员所具备的知识范围内,还可以在不脱离本实用新型宗旨的前提下做出各种变化。



图1

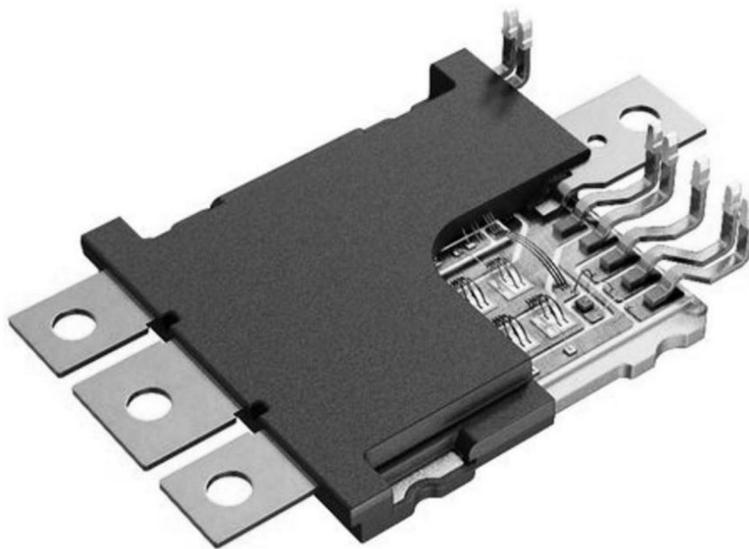


图2

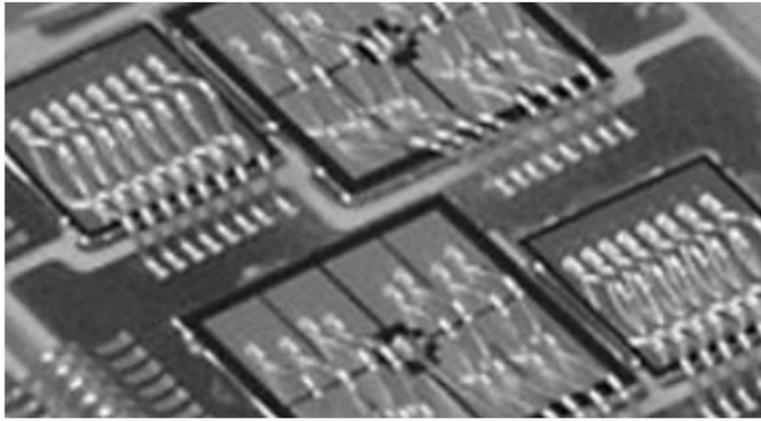


图3

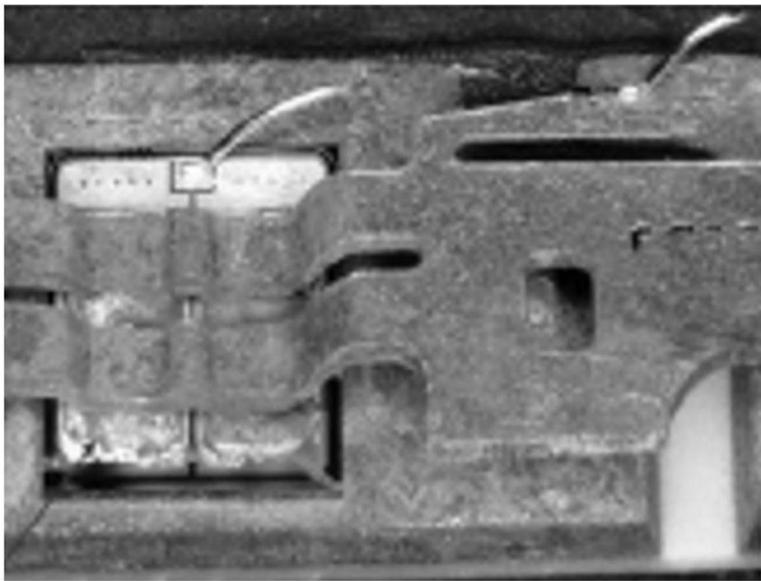


图4

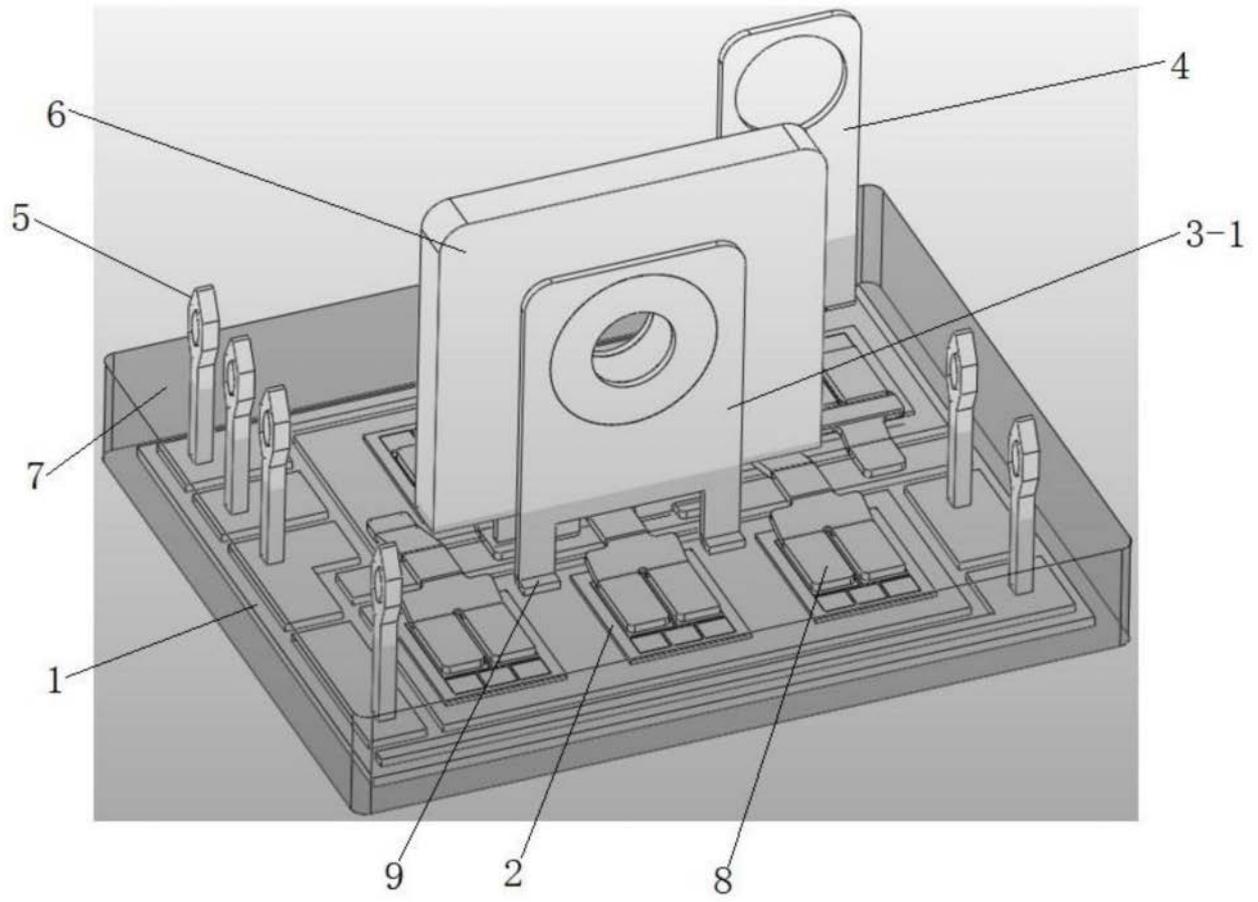


图5

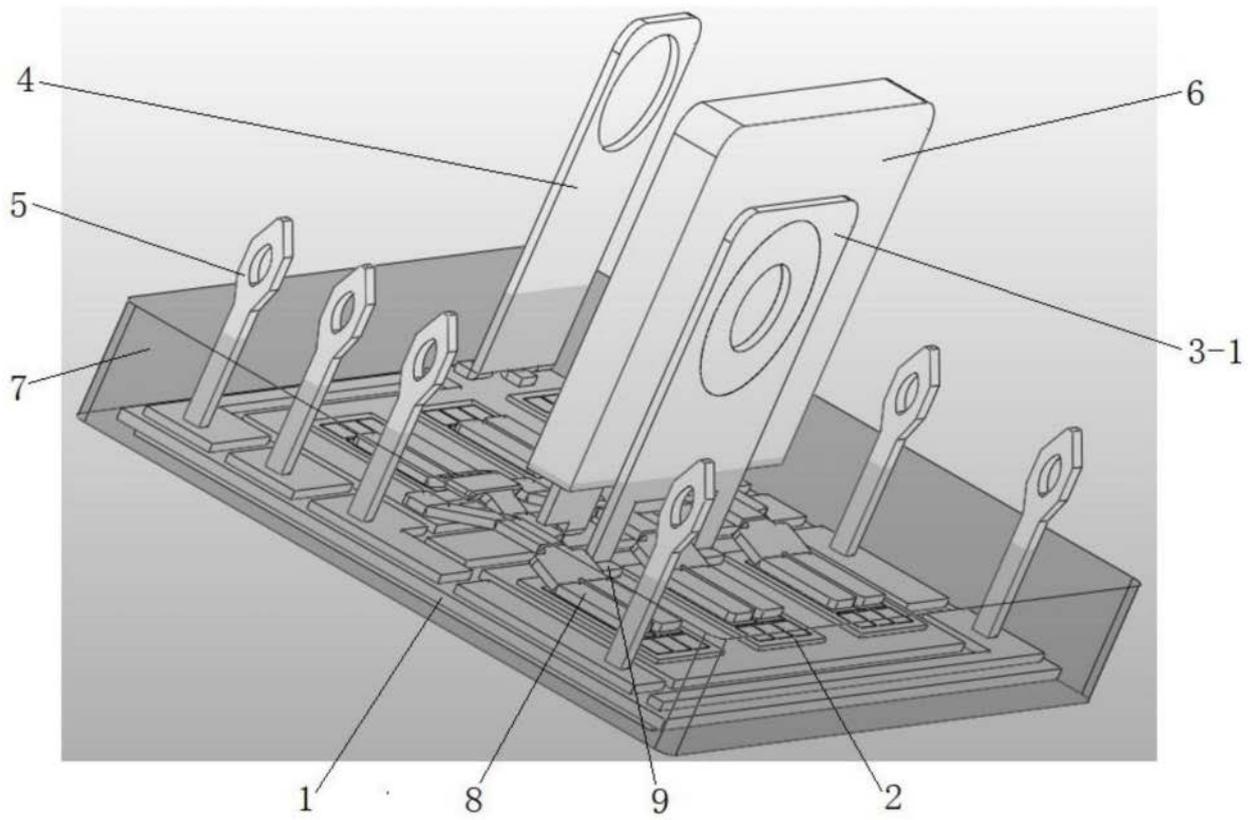


图6

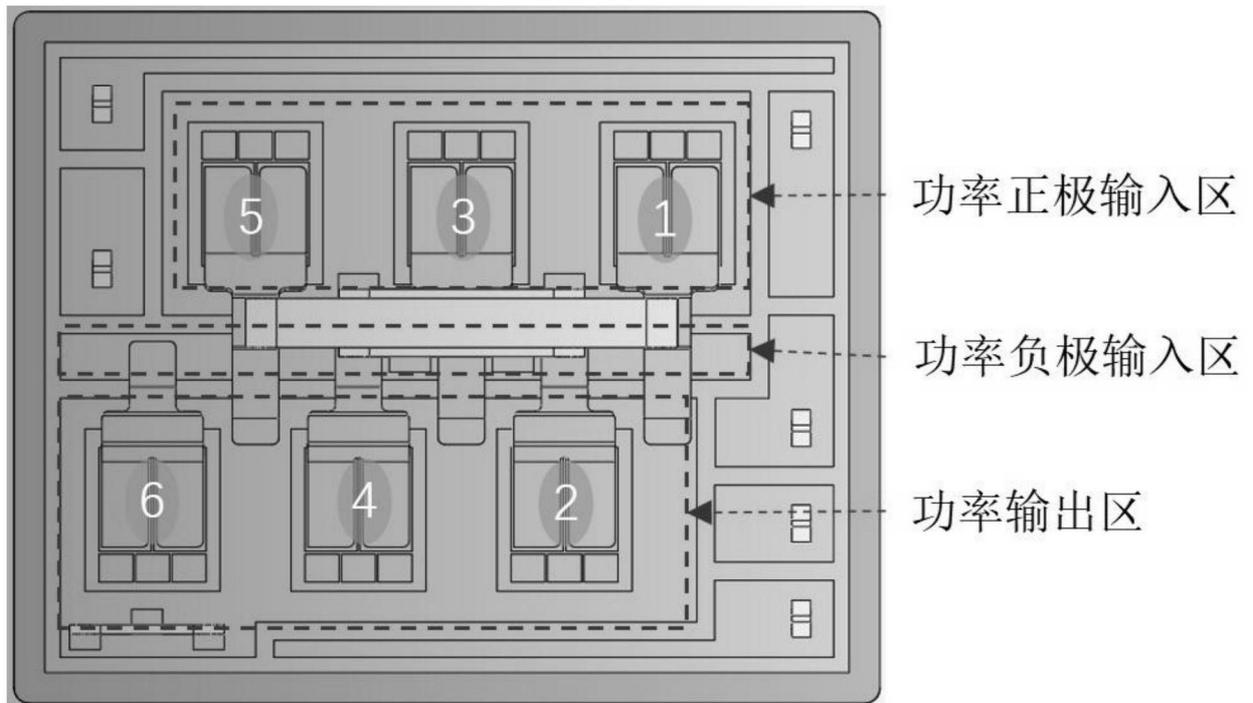


图7

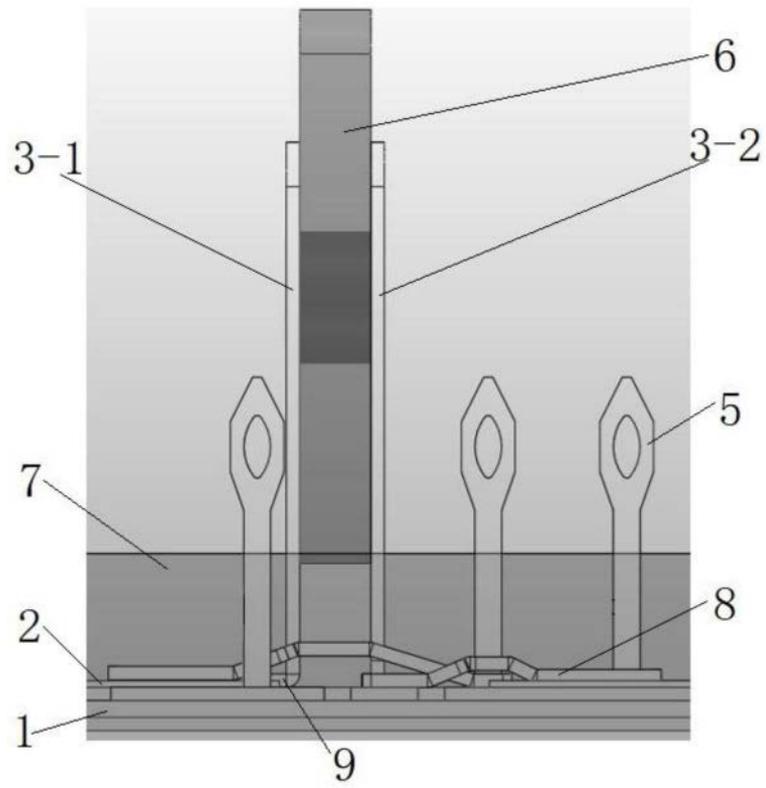


图8

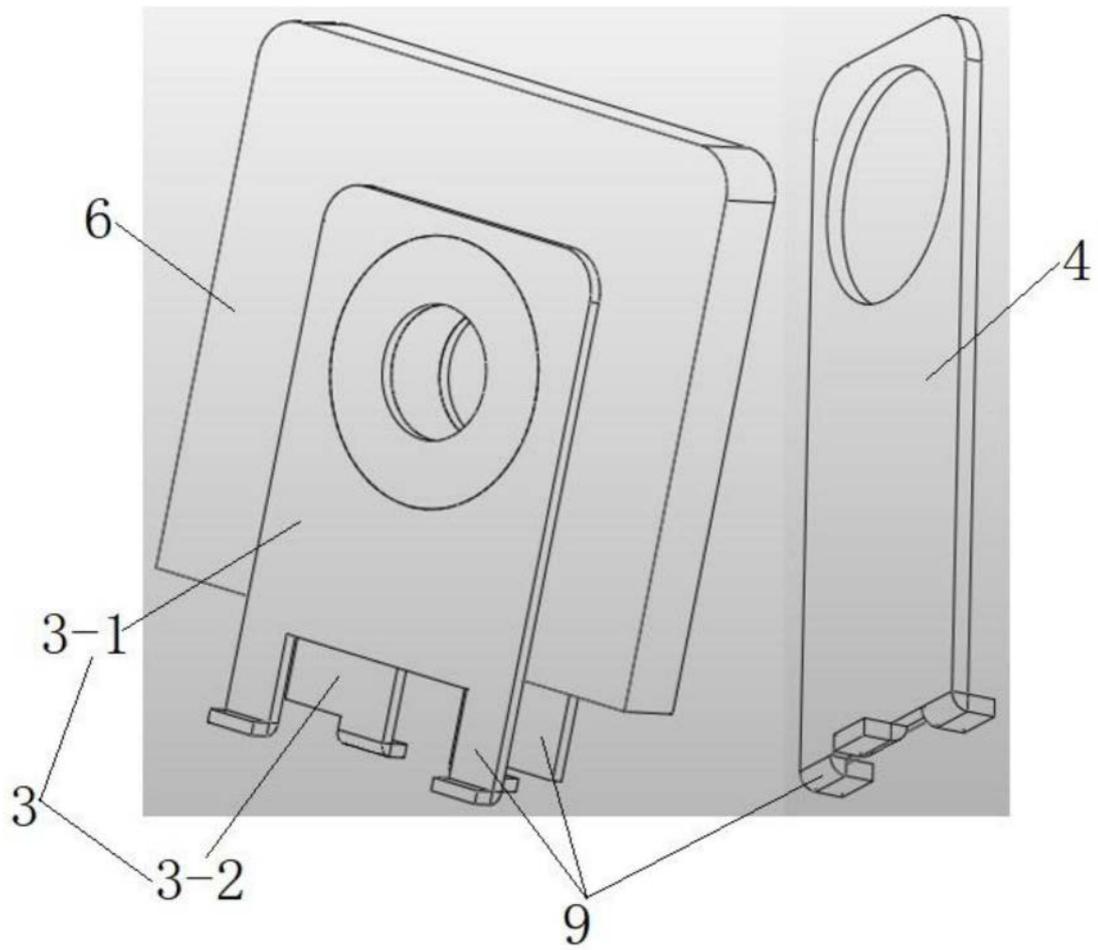


图9

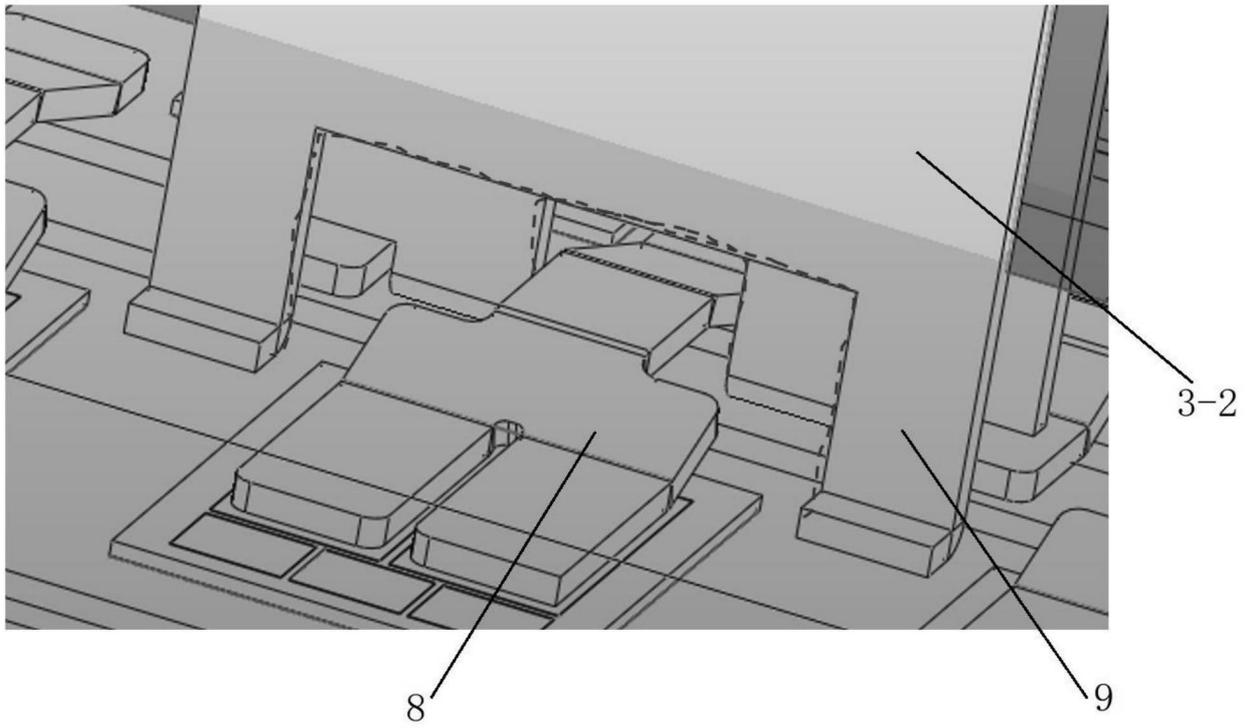


图10