

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94105066

※申請日期：94年02月21日

※IPC分類：G11C13/00

一、發明名稱：

(中) 記憶裝置

(英)

二、申請人：(共 1 人)

1. 姓名：(中) 新力股份有限公司
(英) SONY CORPORATION

代表人：(中) 1. 安藤國威
(英) 1. ANDO, KUNITAKE

地址：(中) 日本國東京都品川區北品川六丁目七番三五號
(英) 7-35, Kitashinagawa 6-Chome, Shinagawa-Ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 4 人)

1. 姓名：(中) 石田實
(英) ISHIDA, MINORU

國籍：(中) 日本
(英) JAPAN

2. 姓名：(中) 荒谷勝久
(英) ARATANI, KATSUHISA

國籍：(中) 日本
(英) JAPAN

3. 姓名：(中) 河內山彰
(英) KOUCHIYAMA, AKIRA

國籍：(中) 日本
(英) JAPAN

4. 姓名：(中) 對馬朋人
(英) TSUSHIMA, TOMOHITO

國籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/03/05 ; 2004-062131 ☒ 有主張優先權

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/03/05 ; 2004-062131 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關於一種藉由讓在 2 個電極間之電極間物質層的電氣的特性產生變化而進行資料（資訊）的寫入的記憶裝置。

【先前技術】

以往之構造簡單、且容易形成的記憶元件則已知有微電子可程式元件（micro electronic programmable element）（專利文獻 1）。該元件則藉由施加一定的電壓而使在 2 個電極間的電極間物質層中的銀（Ag）產生離子化，藉由讓其移動而形成電子等的傳導路徑（pass），藉此，藉由讓在上述電極間的電阻產生變化而進行資料的寫入。

在該元件中，爲了方便起見乃將在施加電壓前的 2 個電極間處於高電阻的狀態設爲資料「0」的記憶狀態、將被施加電壓而金屬離子朝著對向的電極方向擴散的結果而導致 2 個電極間成爲低電阻的狀態設爲資料「1」的記憶狀態，而將元件從高電阻狀態變成低電阻狀態的動作稱爲寫入動作，而將從低電阻狀態回到高電阻狀態的動作稱爲消去動作。

（專利文獻 1）特公表 2002-536840

在以往的記憶元件中，則揭露了在寫入後成爲低電阻狀態的傳導路徑的電阻值約爲 200Ω 、或在消去後成爲高

(2)

電阻狀態的電極間物質層的電阻值為 $1\text{M}\Omega$ 以上。又，藉由任意地限制在寫入時流經記憶元件的電流值則可以任意地作出位於該約 200Ω 的低電阻狀態與 $1\text{M}\Omega$ 以上的高電阻狀態之間的電阻值。

然而藉由寫入所作出的電阻值，若例如由寫入所造成的電阻變化率即已足夠，則其電阻值也不是說要無條件地加大。

亦即，以往的記憶元件，在施加寫入電壓時，則會產生該電阻變化的電壓（臨限值電壓）為 0.2V ，而在讀取該被寫入的資料時，則為了針對記憶元件不要產生未期待的電阻變化，乃必須將所施加的電壓（讀取電壓）設為不足 0.2V 。因此，當構成一例如電阻值高的狀態（資料「0」的記憶狀態）為 $10\text{M}\Omega$ ，而電阻值低的狀態（資料「1」的記憶狀態）為 $1\text{M}\Omega$ 的記憶元件時，則即使將最大為 0.2V 的電壓施加在此，則所流經的電流也只是分別為 $0.02\mu\text{A}$ 與 $0.2\mu\text{A}$ 。該電流即使是流到 $1\text{k}\Omega$ 的負載電阻而進行電壓轉換，則兩者間的電壓差也僅有 0.2mV 而已。但是在習知的技術中，則很難藉由檢測出如此小的電壓差而來讀取所寫入的資料。

【發明內容】

本發明即是有鑑於此而提出，其目的在於提供一藉由特定寫入時的條件，可以很容易且精確地讀取所寫入的資料的記憶裝置。



(3)

本發明之記憶裝置，其特徵在於：具備有：記憶格陣列：將由電阻值至少會變化成高電阻及低電阻的 2 個狀態而可記憶多個資料的記憶元件、與可控制對該記憶元件之存取的電晶體所構成的記憶格呈多行多列配置而成、控制手段：具有經由字元線而被連接到上述記憶格陣列內的多個的記憶格的列位址解碼器及經由位元線而被連接到上述多個的記憶格的行位址解碼器，而針對上述記憶格進行存取控制、電源供給手段：包含有第 1 及第 2 電源線，而針對上述記憶格施加一定的（讀取）電壓、感測放大器：用來檢測被記憶在上述記憶格的資料、及負載電路：在讀取時會通過上述記憶格將流到位元線的電流轉換為電壓，當將上述記憶元件處於高電阻狀態時的電阻值設為 R_mem_high 、將上述記憶元件處於低電阻狀態時的電阻值設為 R_mem_low1 、將上述負載電路的電阻值設為 R_load 、將上述第 1 電源線的電壓設為基準電壓、將為了要讀取而施加在第 1 電源線與第 2 電源線之間的讀取電壓設為 $Vread$ 、將上述記憶元件發生電阻值變化的臨限值電壓設為 $Vth_critical$ 時，當針對上述記憶格進行資料的寫入時，則如滿足次式（1）、（2）的關係般地形成低電阻狀態。

$$R_mem_low1 \leq \{Vread * R_mem_high / (R_mem_high + R_load) - 0.01\} * Rload / \{Vread * R_mem_high / (R_mem_high + R_load) * Rload / R_mem_high + M \text{ (M爲任意的值,例如0.01)} \} \quad \dots (1)$$

$$\text{且} \\ Vread * R_mem_high / (R_mem_high + R_load) \leq Vth_critical \quad \dots (2)$$

(4)

構成記憶格的記憶元件除了具備有：第 1 電極，面向上述第 1 電極而被配置的第 2 電極、及被設在上述第 1 電極與第 2 電極之間，而能進行電子或離子的傳導的電極間物質層外，也包含有氧化還原反應活性物質，藉由將電壓施加在上述第 1 電極與第 2 電極，而使得在上述第 1 電極與第 2 電極之間的電氣的特性產生變化而進行資訊的記錄。

此外也可以取代上述（1）、（2）式，而改採以下的（3）式

$$R_mem_low1 \leq \{Vth_critical - M\} * Rload / \{Vth_critical * Rload / R_mem_high + M \quad (M \text{ 爲任意的值}) \quad \dots (3)$$

本發明的記憶裝置，在針對所選擇的記憶格進行寫入時，則藉由滿足上述的（1）、（2）、或（3）的關係能夠精確地讀取所寫入的資料。

若根據本發明的記憶裝置，由於在針對所選擇的記憶格進行寫入時設定特定的條件，因此能夠容易且精確地來讀取資料。

【實施方式】

以下請參照圖面詳細地說明本發明的實施形態。

（第 1 實施形態）

圖 1A 爲表示本發明之第 1 實施形態相關的記憶裝置

(5)

之主要部分構成的說明圖。該記憶裝置雖然未圖示，但是藉由例如被配置成矩陣狀的多個的記憶元件所構成。一個記憶元件具有將電極間物質層 13 挾持在呈對向地被配置在基板 10 上的一對的電極 11（第 1 電極）及電極 12（第 2 電極）之間的構造。又，具備有用來將一定的電壓施加在電極 11 及電極 12 的電壓施加手段（未圖示）。在電極 11 與電極 12 之間，則電極間物質層 13 的周圍為層間絕緣膜（未圖示）所包圍。此外，對應於多個的記憶元件則分別配置用來控制針對各元件之電氣存取的主動元件（電晶體）（未圖示），藉此構成一個記憶格。

電極間物質層 13 是一位於電極 11 及電極 12 之間而具有離子傳導性的層，例如由以包含了在由氧（O）、硫（S）、硒（Se）、碲（Te）等的硫屬材料、鎵（Ge）、矽（Si）、銻（Sb）及銦（In）所構成的群中的至少 1 種的非晶體薄膜作為母材的物質、例如 GeSbTeGd 所形成。該膜厚例如為 50 nm。該電極間物質層 13 是一例如在藉由噴濺法形成後，例如在氮氣與氧氣的混合環境中進行退火處理者。

電極 11 例如是由銀（Ag）或銅（Cu）所形成。另一方面，電極 12 例如由膜厚 100 nm 的鈦鎢（TiW）層所形成。電極 11 及電極 12 的各膜厚雖然可以是一在一般的半導體裝置中所使用的膜厚，但在此例如電極 11 的膜厚為 50nm，而電極 12 的膜厚為 100nm。

在本實施形態中，例如在電極 11 以固溶或分散的狀

(6)

態含有氧化還原反應活性物質（氧化還原活性種）14，該氧化還原反應活性物質 14 則在寫入（或消去）時會根據針對電極 11 及電極 12 的電壓的施加狀態而被氧化或還原，結果，如圖 1（B）所示般，在電極 11 與電極 12 之間形成或是消滅電子或離子的傳導路徑 15。

氧化還原反應活性物質 14 可以例如是銀（Ag）、銅（Cu）、鎳（Ni）、鈷（Co）、鉻（Cr）、鈦（Ti）、鉭（Ta）、鐵（Fe）、鋁（Al）、釩（V）等金屬、或矽（Si）或鎵（Ge）等的半導體。更且連氧化錳（ WO_3 ）的還原體（ Hx WO_3 ）或釩（V）的氧化物也具有相同的功能，而將該些稱為氧化還原反應活性物質 14。以下，則將該物質 15 被氧化而成為陽離子者稱為溶出離子。當為銀時，則為陽離子（溶出離子）為 1 價的 Ag^+ 。

此外，在此雖然氧化還原反應活性物質 14 包含在電極 11，但也可以包含在電極 12 或電極間物質層 13 中。

在本實施形態的記憶裝置中，在圖 1（A）所示的狀態下，藉由針對電極 11 及電極 12 施加一定的電壓，則如圖 1（B）所示般，從含有氧化還原反應活性物質 14 的溶出電極（電極 11）側將活性種離子化而溶出，在朝對向電極（電極 12）方向移動後，則從電極 12 側取得電子而再度析出、或是從電極 12 側而與流經位於 2 個電極 11 與電極 12 之間而成為高電阻狀態之電極間物質層 13 的電子再結合而析出。結果形成從電極 12 側到電極 11 側之傳導電子或離子的傳導路徑 16 而進行資料的寫入。如此般基本

(7)

的原理 (mechanism) 則與以往的記憶裝置相同。

接著則針對本實施形態的記憶裝置的特徵與上述習知的記憶裝置一邊比較一邊進行說明。

首先針對習知的記憶裝置的資料寫入及消去動作的機構、與此時之重要的事項詳細地加以說明。在該記憶裝置中，則將施加電壓前的 2 個電極間為高電阻的狀態稱為「off」狀態（資料「0」），而將被施加電壓而使金屬離子朝著對向的電極方向擴散的結果使得 2 個電極間成為低電阻的狀態稱為「on」狀態（資料「1」），而將元件從高電阻狀態變化成低電阻狀態的動作稱為寫入動作，而將從低電阻狀態回到高電阻狀態的動作稱為消去動作。

此外，該記憶裝置的構造則除了在上述的公報中所揭露的在 2 個電極間只存在有由離子傳導體所構成的電極間物質層的構造外，也揭露有在 2 個電極間同時存在有電極間物質層與障壁層的構造。在該些的例子中，為了寫入及消去所施加的電壓與此時所發生的事項則如下所述般。亦即，

（1）寫入動作發生在施加某個臨限值以上的電壓時的情形。

（2）發生寫入的臨限值電壓則幾乎相等於系統的氧化還原電位。

（3）上述臨限值電壓為數百 mV、大約是 200 mV ~ 300 mV。

（4）當施加上述臨限值以上的電壓時，則離子會朝

(8)

對向電極方向移動，而在對向電極附近形成電氣的析出物（傳導路徑）。結果，2個電極間成為低電阻狀態。

（5）讀取動作是發生在將在寫入動作的臨限值以上的電壓施加在與寫入相反的方向時的情形。

（6）當施加上述臨限值以上的電壓時，則已析出的電氣的析出物會溶解而消滅，結果2個電極間回到高電阻狀態。

當為存在有障壁層的構造時，除了揭露了在1.4 V具有臨限值之電流電壓特性的圖外，消去動作則是藉由給予臨限值電壓以上之足夠的消去電壓來進行。而此則意味著要施加與沒有障壁層時同等或在其上的電壓。因此，在該些例子中，在寫入後成為低電阻狀態的電阻值約為 $200\ \Omega$ 、且在消去後成為高電阻狀態的電阻值則成為 $1\text{M}\ \Omega$ 以上。

又，在該些例子中，寫入、消去的原理則如下所述。當為寫入動作時，則將在上述臨限值電壓以上的電壓當作用來使活性種產生陽離子化的電壓而施加在包含氧化還原反應活性種（氧化還原活性種）在內的電極。結果，氧化還原反應活性種成為陽離子而從電極溶出。已溶出的陽離子則朝對向電極而擴散，而從對向電極側取得電子而析出而形成傳導路徑。藉此，元件成為低電阻狀態而將資料寫入。當為消去動作時，則將大小為上述臨限值電壓以上，但方向為逆向的電壓當作使析出而形成傳導路徑的上述氧化還原反應活性種產生陽離子化的電壓而施加在上述的對

(9)

向電極。結果，已形成傳導路徑的上述氧化還原反應活性種會溶出，由於藉此可以消滅掉傳導路徑，因此元件回到高電阻狀態。而此則是一消去上述被寫入的資料而回到寫入前之狀態的狀態。以上即為在習知的記憶裝置中的動作原理。

更且，在該記憶裝置中，則揭露了將在上述約 200Ω 的低電阻狀態與 $1M\Omega$ 以上的高電阻狀態之間的電阻值藉由任意地限制在寫入時流經記憶元件的電流值，則能夠任意地作出根據次式之關係的電阻值。

$$R_{on} = V_t / I_{lim} \quad \cdots (4)$$

(R_{on} 為進行完寫入處理所得到的電阻值、 V_t 為寫入處理的臨限值電壓、 I_{lim} 為在寫入動作中所流經的最大電流)

但是在 DRAM (Dynamic Random Access Memory) 等的通常的記憶裝置中，則在 1 個的記憶裝置中備有多個的單位記憶格 (cell)，該些多個的單位記憶格 (也可以稱為記憶格)，通常形成一將記憶格排列成多行、多列的記憶格陣列。從該記憶格陣列中選出位在任意段且任意行的 1 個的記憶格，為要將資料寫入到該元件或是從該元件讀取資料，則必須要針對各記憶格具備用來選擇任意段的字元線、用來選擇任意行的位元線、及用來控制對於記憶格的存取的存取電晶體。

(10)

在此，字元線除了負責從記憶格陣列選出任意段外，也兼作為使存取電晶體進行 ON・OFF 的控制線來使用。另一方面，位元線除了負責從記憶格陣列選出任意行外，也兼作為在將資料寫入到記憶格或是讀取資料時的資料線來使用。在各記憶格則除此外，也必須要有將電源電壓或接地電壓供給到記憶格的電源線。

在本實施形態的記憶裝置中也與以往的記憶裝置同樣地具有以上的構造。圖 2 表示其概略的構造。記憶格 100 是由圖 1 所示的記憶元件 101 與存取電晶體 102 所構成，而形成將該記憶格排列成多行、多列的記憶格陣列 103。在各記憶格 100 則連接有字元線 104、位元線 105、及第 1 電源線 106 及第 2 電源線 107（參照圖 3）。在各字元線 104 則連接有列位址解碼器 108，而在位元線 105 則連接有行位址解碼器 109，藉由該些列位址解碼器 108 及行位址解碼器 109 可以從記憶格陣列 103 中選出成為寫入、消去或讀取的對象的記憶格 100。又，在各位元線 105 則連接有後述的感測放大器 112，而藉由該感測放大器 112 來檢測從所選出的記憶格 100 所讀取的資料。

藉由將一定的電壓施加在所選出的記憶格 100 而將資料寫入到該記憶裝置。亦即，在記憶格陣列 103 中選出連接有寫入對象的記憶格 100 的列，另外將用來寫入資料的電壓施加在該位元線 105 而將即使是將該電壓施加在記憶格也不會產生資料寫入的電壓施加在其他的位元線。同時選出連接有寫入對象的記憶格 100 的段，而將會使該記憶

(11)

格 100 的存取電晶體 102 成爲 ON，而將資料寫入到該記憶格 100 的控制電壓施加在該字元線 104，另外則將不會將資料寫入到連接在此的記憶格但會控制存取電晶體 102 的電壓施加在其他的字元線。藉此能夠防止將不期待的資料寫入到未選擇的記憶格，而只會將所希望的資料寫入電壓給予所選擇的記憶格 100 而進行資料寫入。

在以上的情形下，雖然是將寫入電壓施加在位元線 105，而將較此爲低的電壓（例如接地電壓）施加在第 2 電源線 107，但藉由將記憶元件的電阻的構造設成與上述相反的構造（亦即將低電阻狀態設爲「0」，將高電阻狀態設爲「1」）將寫入電壓施加在電源線，且將較電源線的電位爲低的電位（例如接地電壓）施加在連接有成爲寫入對象的記憶格的位元線而進行寫入。

更且，在上述的例子雖然是一針對 1 個的記憶格 100 進行寫入的例子，但藉由針對施加在各記憶格 100 的電壓下功夫，則能夠同時針對多個的記憶格進行寫入。又，在上述的例子中，雖然是施加電壓而將資料寫入到記憶格及控制存取電晶體，但根據所使用的元件或存取電晶體的構造來供給電流，則也能夠將資料寫入到記憶格 100 及控制存取電晶體 102。

在讀取被寫入到記憶格 100 的資料時，則藉由與上述寫入動作同樣的方法針對該記憶格 100 進行存取，而將較產生資料寫入的電壓爲低的電壓施加在記憶格。而根據施加讀取電壓而流動的電流、或是藉由將其轉換成電壓則能

(12)

夠讀取被記憶在記憶格的資料。而在消去被記憶在記憶格的資料時，則藉由與上述寫入動作同樣的方法針對該記憶格進行存取，而將電壓施加在與寫入電壓呈相反的方向。

接著則針對用來檢測所寫入的資料（亦即，記憶元件的電阻值的變化）的要件來說明。圖 3 為表示用來從記憶格 100 讀取資料的讀取電路 120 的構成圖。在此，記憶格（memory cell）100 及參照格（reference cell）200 均是藉由圖 2 所示的記憶元件 101 與存取記憶體 102 所構成。在記憶格 100 內的存取記憶體 102 則藉由位元線 105A 被連接到開關電晶體 110A 及負載電路 111A，而參照格 200 則藉由位元線 105B 而分別經由開關電晶體 110B 及負載電路 111B 而被連接到第 2 電源線 107。而在記憶格 100 及參照格 200 內的各記憶元件 101 則被連接到第 1 電源線 106。

負載電路 111A、111B 是一在進行讀取時用來將流經該系統的格（cell）電流轉換成電壓者。在本實施形態中，該些負載電路 111A、111B 是由將圖 1 所示記憶元件 101 呈串聯或是並聯地連接到位元線 105A、105B 而構成。開關電晶體 110A 與負載電路 111A 的連接點、及開關電晶體 110B 與負載電路 111B 的連接點則分別被連接到感測放大器 112 的輸入端子，而在該感測放大器 112 中則藉由與參照格 200 的電阻值進行比較來檢測讀取信號、亦即，記憶格 100 的電阻值的變化（寫入資料）。

在圖 2 所示的電路中，雖然記憶元件 101 被連接到第

(13)

1 電源線 106 側，但當然也可以將記憶元件 101 與存取記憶體 102 的配置設成與此相反，而將存取記憶體 103 連接到第 1 電源線 106。又，在圖 3 所示的讀取電路 120 是一已經被簡單化成用來判斷記憶元件 101 所保持的資料是「0」或「1」之最小必要限度者。而電路的內容並不限定於該例。又，給予電源線的電位則可以將第 1 電源線 106 設為正的電位，而電流從該處流到感測放大器 112、或將第 1 電源線 106 設為接地電位或負的電位而使電流從感測放大器 112 流到第 1 電源線 106。

接著則針對在上述的系統中對於檢測因為寫入造成電阻值的變化為必要的條件、與用於實現此之本實施形態的記憶元件的作用加以說明。

現在市面上乃廣泛地使用將 1.8V 的類比輸入信號進行 A/D (Analog/Digital) 轉換為 1024 灰階的數位信號的 AD 轉換電路當做 1 個功能而組裝到系統 LSI (Large Scale Integrated Circuit) 內部。此時，每 1 個灰階的電壓寬度為 1.8mV，而檢測出 1.8mV 的電壓差，且將此轉換為數位信號。

當從該點來考慮時，則在本實施形態的記憶裝置中，在連接有成為讀取對象的記憶格 100 的位元線 105A、與連接有參照格 200 的位元線 105B 之間若產生 10mV 的電壓差當作讀取信號電壓差時，則在感測放大器 112 中放大而足以判別輸入信號的值。

在本實施形態中，其特徵在於：藉由設定以下的條件

(14)

而在記憶格 100 的位元線 105A 與參照格 200 的位元線 105B 之間產生例如 10mV 的電壓差。

首先，在構成讀取電路 120 的電阻 R_{total} 的 4 個的電阻成分、亦即， R_{mem_low1} （記憶元件 101 的電阻成分）、 R_{on_access} （存取電晶體 102 的電阻成分）、 R_{on_sw} （開關電晶體 102 的電阻成分）、及 R_{load} （負載電路的 111A、111B 電阻成分）中， R_{on_access} 與 R_{on_sw} ，由於很小，因此可以忽視。又，如上所述般，在進行讀取時，即使將電壓施加在與寫入相同的方向或與讀取相同的方向之任一方向，被施加在記憶元件的電壓必須不能超過各自的臨限值電壓。將此時的臨限值電壓記為 $V_{th_critical}$ 。

在記憶元件 101 的電阻值為 R_{men_high} 或較此為小的值的系統中，為了不將較 $V_{th_critical}$ 為大的電壓施加在記憶元件 101 的必要條件則是將施加在電阻值成為 R_{men_high} 之格的電壓設為在上述 $V_{th_critical}$ 以下。

在圖 4 中，將在處於高電阻狀態的記憶格 100 內的記憶元件的電阻值設為 R_{men_high} 、將在處於高電阻狀態的參照格 200 內的記憶元件的電阻值設為 R_{men_low1} 、將在進行讀取時會針對流經該系統的格電流進行電壓轉換的負載電流 111A、111B 的電阻值設為 R_{load} 、將第 2 電源線 107 的電壓設為基準電壓、將為了讀取而施加在第 1 電源線 106 與第 2 電源線 107 之間的讀取電壓設為 R_{read} 、將在記憶元件處於高電阻狀態 R_{men_high} 的電路

(15)

中，在施加讀取電壓 R_{read} 時被施加在記憶元件的電壓設為 V_{r_men0} 、將在施加讀取電壓 R_{read} 時被施加在負載電流 111A、111B 的電壓設為 V_{r_load0} 、將第 2 電源線 107 的電壓設為基準電壓，而將被輸出到輸出端子 0 電壓設為 V_{out0} 、將在記憶元件處於低電阻狀態 R_{men_low1} 的電路中，在施加讀取電壓 R_{read} 時被施加在記憶元件的電壓設為 V_{r_men1} 、將在施加讀取電壓 R_{read} 時被施加在負載電流 111A、111B 的電壓設為 V_{r_load1} 、將第 2 電源線 107 的電壓設為基準電壓，而將被輸出到輸出端子 1 電壓設為 V_{out1} 、將根據 $V_{out1} - V_{out0}$ 所求得的 V_{out1} 與 V_{out0} 的電壓差設為 V_{out_diff} 時，則成立以下 (5) ~ (7) 的關係。

$$V_{out0} = V_{read} * R_{load} / (R_{mem_high} + R_{load}) \quad \dots (5)$$

$$V_{out1} = V_{read} * R_{load} / (R_{mem_low1} + R_{load}) \quad \dots (6)$$

$$\begin{aligned} V_{out_diff} &= V_{out1} - V_{out0} \\ &= V_{read} * \{ R_{load} / (R_{mem_low1} + R_{load}) - R_{load} / (R_{mem_high} + R_{load}) \} \quad \dots (7) \end{aligned}$$

因此使 V_{out0} 與 V_{out1} 的電壓差 V_{out_diff} 成為 10Mv 以上的條件則如下式 (8) 所示。

$$V_{read} * \{ R_{load} / (R_{mem_low1} + R_{load}) - R_{load} / (R_{mem_high} + R_{load}) \} \geq 0.01 \quad \dots (8)$$

亦即，

(16)

$$R_mem_low1 \leq \{Vread * R_mem_high / (R_mem_high + R_load) - 0.01\} * Rload / \{Vread * R_mem_high / (R_mem_high + R_load) * Rload / R_mem_high + 0.01\} \quad \dots (9)$$

另一方面，如上所述般，在進行讀取時，即使是將電壓施加在與寫入相同的方向或與讀取相同的方向之任一方向，則被施加在記憶元件的電壓必須不要超過各自的臨限值電壓 $V_{th_critical}$ 。在記憶元件的電阻值為 R_men_high 或較此為小的值的系統中，為了不將較 $V_{th_critical}$ 為大的電壓施加在記憶元件的必要條件則是將施加在電阻值成為 R_men_high 狀態之單元的電壓設為在上述 $V_{th_critical}$ 以下。因此必須要同時滿足以下的關係。

$$Vr_mem0 \leq V_{th_critical} \quad \dots (10)$$

亦即

$$Vread * R_mem_high / (R_mem_high + R_load) \leq V_{th_critical} \quad \dots (11)$$

當綜合以上的事情時，則在本實施形態的記憶裝置中，藉由在滿足以下的關係式的情形下進行寫入處理，能夠精確地讀取所寫入的資料。

(17)

$$R_mem_low1 \leq \{V_{read} * R_mem_high / (R_mem_high + R_load) - 0.01\} * R_{load} / \{V_{read} * R_mem_high / (R_mem_high + R_load) * R_{load} / R_mem_high + 0.01\} \quad \dots (12)$$

$$\text{且} \\ V_{read} * R_mem_high / (R_mem_high + R_load) \leq V_{th_critical} \quad \dots (13)$$

又，即使是在滿足以下所示的關係的情形下進行寫入動作，也能夠精確地讀取所寫入的資料。

$$R_mem_low1 \leq \{V_{th_critical} - 0.01\} * R_{load} / \{V_{th_critical} * R_{load} / R_mem_high + 0.01\} \quad \dots (14)$$

其中一例則是 $V_{th_critical}$ 約為 $0.2V$ 。此時，當例如設為 $R_{load}=100K\Omega$ 、且 $R_mem_high=100K\Omega$ 時，則如使 $R_mem_low1 \leq 90K\Omega$ 般地針對記憶元件進行寫入動作，而夠精確地讀取所寫入的資料。

同樣地當 $R_{load}=10K\Omega$ 、且 $R_mem_high=100K\Omega$ 時，

則 $R_mem_low1 \leq 63K\Omega$ 、

當 $R_{load}=1K\Omega$ 、且 $R_mem_high=100K\Omega$ 時，

則 $R_mem_low1 \leq 16\Omega$ 、

當 $R_{load}=100K\Omega$ 、且 $R_mem_high=10K\Omega$ 時，

則 $R_mem_low1 \leq 9.4\Omega$ 、

當 $R_{load}=10K\Omega$ 、且 $R_mem_high=10K\Omega$ 時，

則 $R_mem_low1 \leq 9\Omega$ 、

當 $R_{load}=1K\Omega$ 、且 $R_mem_high=10K\Omega$ 時，

則 $R_mem_low1 \leq 6\Omega$

藉由如此般地針對記憶元件進行寫入動作，而夠精確

地讀取所寫入的資料。

在本實施形態的記憶裝置中，除了在寫入時將在會產生電阻變化的臨限值電壓以上的電壓施加在記憶元件上外，在讀取時則將在上述臨限值電壓以下的電壓施加在記憶元件上來進行讀取。因此在寫入時會較讀取時流有更多的格電流。當考慮到作為電子機器的動作時，則從減低動作電流的觀點來看最好該格電流要小、亦即，在寫入後會成為低電阻狀態的記憶元件的電阻值 $R_{\text{mem_low1}}$ 要大。

如上所述般，若根據例如在進行讀取時針對流經該系統的格電流進行電壓轉換的負載電路 111A、111B 的電阻值 R_{load} 為 $100\text{K}\Omega$ 、記憶元件在高電阻狀態下的電阻值 $R_{\text{mem_high}}$ 為 $100\text{K}\Omega$ 、記憶元件在低電阻狀態下的電阻值 $R_{\text{mem_low1}}$ 為 $90\text{K}\Omega$ 來形成記憶裝置時，則能夠實現一動作電流小的記憶裝置。但是此時，如上所述般，為了要精確地讀取被記憶在記憶元件的資料，則必須將負載電路 111A、111B 的電阻值 R_{load} 設為 $100\text{K}\Omega$ 或在其之上。

當將此在一般的半導體裝置中進行時，則當藉由摻入雜質而例如利用面 (sheet) 電阻成為 100Ω 左右的擴散層 (矽基板層) 來形成時，則即使是使用 130nm 世代的設計原則，也必須要有寬度 130nm 、且長度為 $130\mu\text{m}$ 的面積。伴隨此，連電路面積也會變大，結果會導致裝置的製造成本變高。

在本實施形態中，為了要解決該問題，在從記憶元件

(19)

101 進行讀取時會針對流經該系統的格電流進行電壓轉換的負載電路 11A、11B 則是由將與圖 1 所示的記憶元件 101 相同構造的元件針對 1 個位元線連接 1 個、或是針對 1 個位元線 105 將多個呈串聯或並聯地連接而形成。

例如將記憶元件的大小設為 $130\text{nm} \times 130\text{nm}$ 。當記憶元件在高電阻狀態下的電阻值 $R_{\text{mem_high}}$ 為 $100\text{K}\Omega$ 、記憶元件在低電阻狀態下的電阻值 $R_{\text{mem_low}}$ 為 $90\text{K}\Omega$ 時，則能夠以 $130\text{nm} \times 130\text{nm}$ 的大小來形成 $100\text{K}\Omega$ 或 $90\text{K}\Omega$ 的負載電阻。該面積如上所述般，相較於藉由摻入雜質而例如利用面 (sheet) 電阻成為 100Ω 左右的擴散層 (矽基板層) 來形成的情況則顯著地變小。又，藉由將多個上述的記憶元件呈串聯或並聯地連接，則能夠形成任意的電阻值。

但是當使用圖 2 的記憶元件 101 作為負載電路 111A、111B 來使用時，則在讀取被記憶在記憶元件 101 的資料時，則不只是記憶格 100，連對於參照格 200 的記憶元件也必須要在不施加會產生電阻變化的臨限值電壓以上的電壓的情形下來設定讀取電壓。

(產業上的可利用性)

本發明的記憶裝置能夠有效地應用在例如要求為電池所驅動而消耗電力少之攜帶型電腦等的裝置，特別是能夠應用在不揮發型的可程式裝置。

【圖式簡單說明】

圖 1 為表示與本發明之一實施形態相關的記憶元件的構成的斷面圖。

圖 2 為利用圖 1 之記憶元件的記憶裝置的電路構成圖。

圖 3 為在圖 2 之記憶裝置中的讀取電路的構成圖。

圖 4 為說明讀取電路的動作的說明圖。

【主要元件符號說明】

11：電極（第 1 電極）、12：電極（第 2 電極）、
14：氧化還原反應活性物質、15：傳導路徑、100：記憶格、
101：記憶元件、102：存取電晶體、103：記憶格陣列、
104：字元線、105（105A、105B）：位元線、106：第 1 電源線、
107：第 2 電源線、108：列位址解碼器、109：行位址解碼器、
110A、110B：開關電晶體、111A、111B：負載電路、200：參照格

五、中文發明摘要

發明之名稱：記憶裝置

（課題）本發明在針所選擇的格進行寫入時藉由設定特定的條件能夠容易且精確地讀取資料。

（解決手段）記憶格 100 具有將電極間物質層 13 挾持在電極 11（第 1 電極）與電極 12（第 2 電極）之間的構造，而根據在電極 1 與電極 12 之間的電阻值的變化來記憶資料。當將記憶元件處於高電阻狀態時的電阻值設為 $R_{\text{mem_high}}$ 、將記憶元件處於低電阻狀態時的電阻值設為 $R_{\text{mem_low1}}$ 、將負載電路 111A 的電阻值設為 R_{load} 、將第 2 電源線 107 的電壓設為基準電壓、將讀取電壓設為 V_{read} 、將臨限值電壓設為 $V_{\text{th_critical}}$ 時，當針對記憶格進行資料的寫入時，則如使該些的參數滿足特定的關係般地形成低電阻狀態。連負載電路 111A 也是藉由與記憶格 100 的記憶元件相同的構造的元件來形成。

六、英文發明摘要

發明之名稱：

圖 1

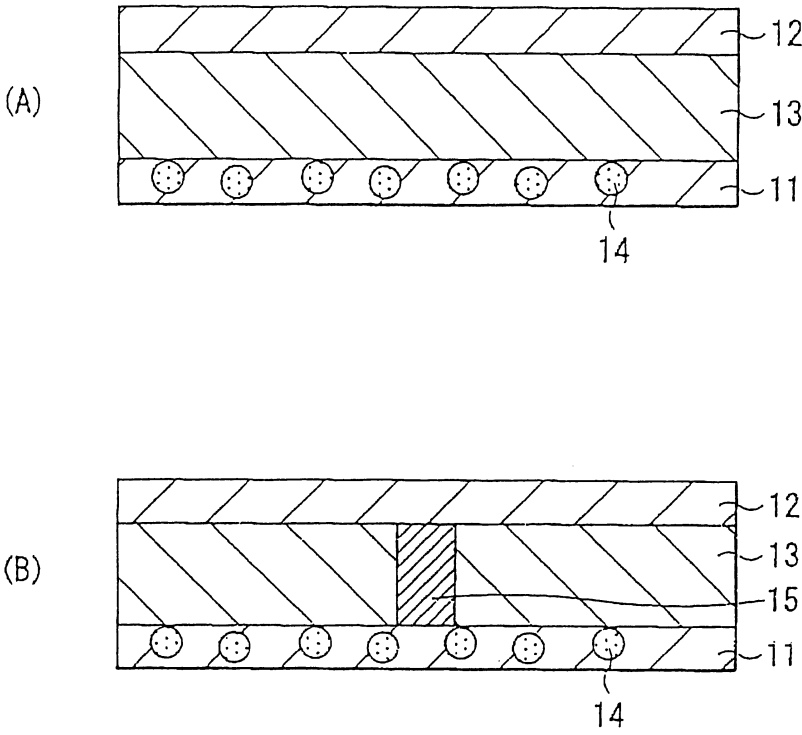


圖2

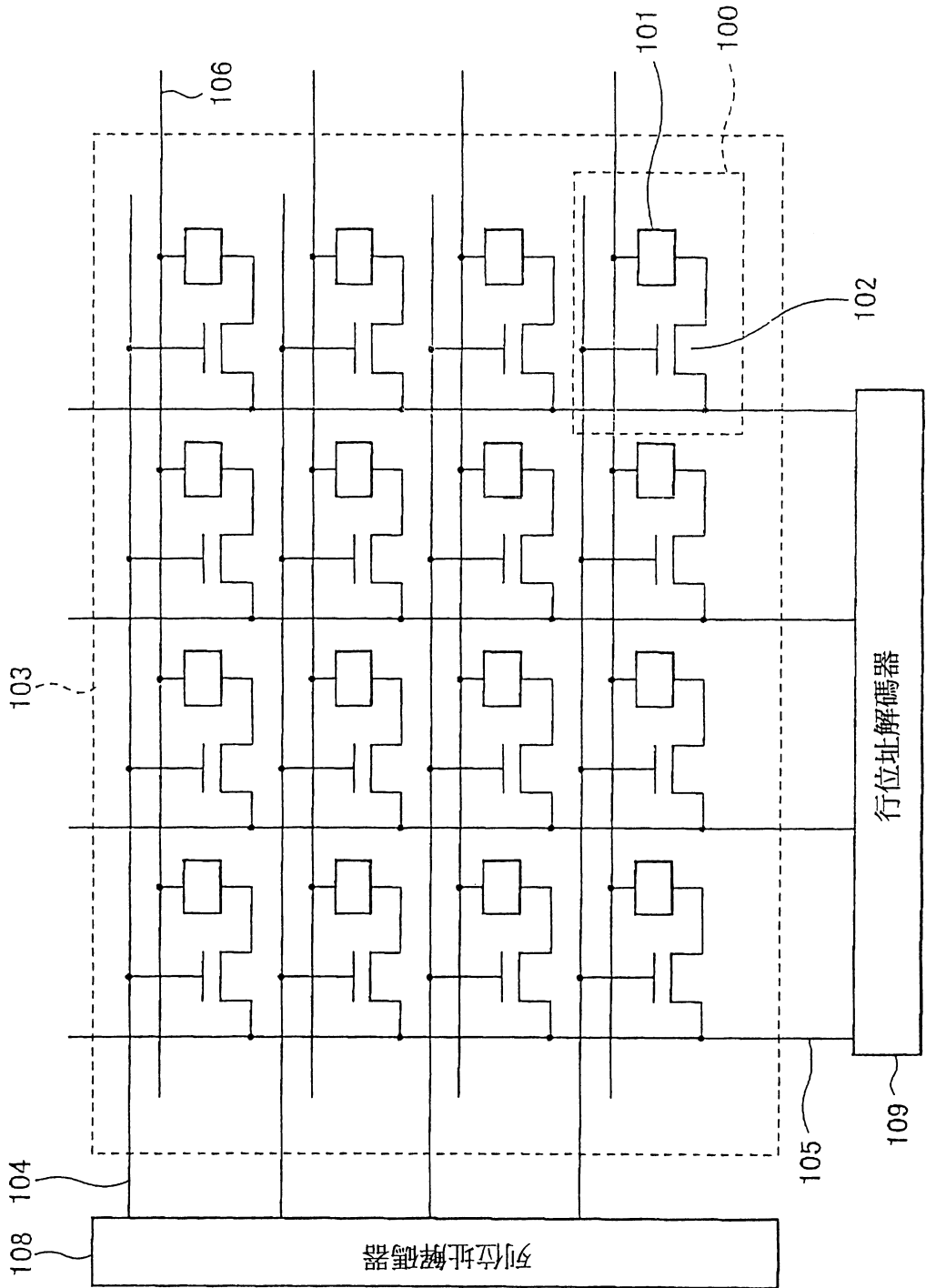


圖 3

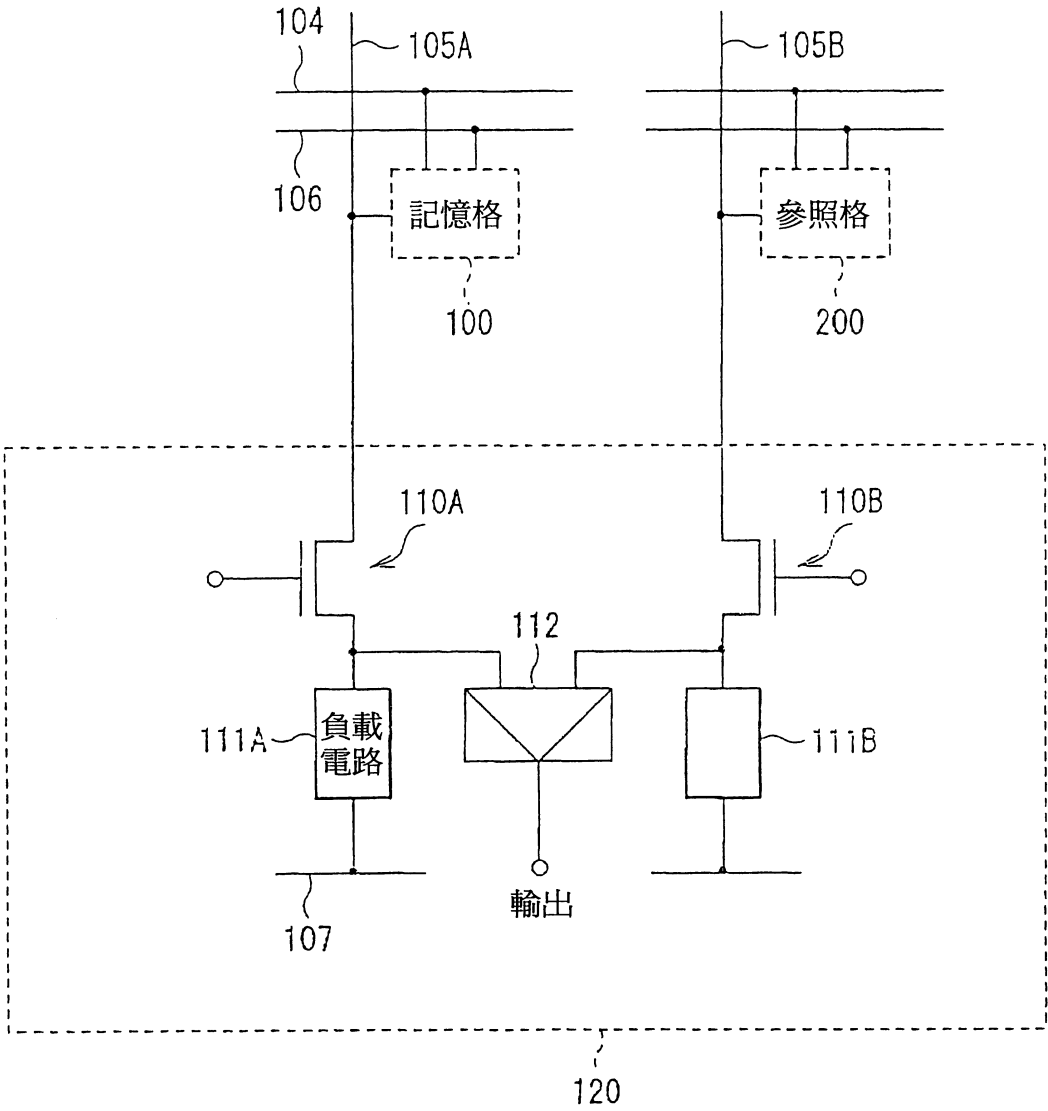
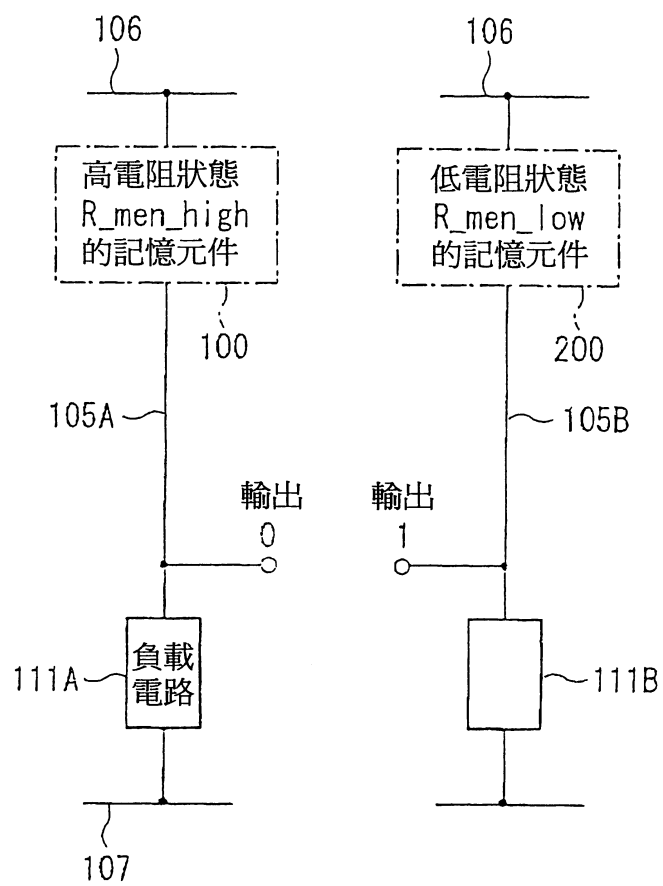


圖 4



七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖

(二)、本代表圖之元件代表符號簡單說明：

100：記憶格

104：字元線

105A、105B：位元線

106：第 1 電源線

107：第 2 電源線

110A、110B：開關電晶體

111A、111B：負載電路

112：感測放大器

120：讀取電路

200：參照格

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍

第 94105066 號專利申請案

中文申請專利範圍修正本

民國 95 年 8 月30 日修正

1.一種記憶裝置，其特徵在於：

具備有：

記憶格陣列：將由電阻值至少會變化成高電阻及低電阻的 2 個狀態而可記憶多個資料的記憶元件、與可控制對該記憶元件之存取的電晶體所構成的記憶格呈多行多列配置而成；

控制手段：具有經由字元線而被連接到上述記憶格陣列內的多個記憶格的列位址解碼器及經由位元線而被連接到上述多個記憶格的行位址解碼器，而對上述記憶格進行存取控制；

電源供給手段：包含有第 1 及第 2 電源線，而對上述記憶格施加特定（讀取）電壓；

感測放大器：用來檢測被記憶在上述記憶格的資料；
及、

負載電路：在讀取時會經由上述記憶格將流到位元線的電流轉換為電壓；

當將上述記憶元件處於高電阻狀態時的電阻值設為 R_{mem_high} 、將上述記憶元件處於低電阻狀態時的電阻值設為 R_{mem_low1} 、將上述負載電路的電阻值設為 R_{load} 、將上述第 2 電源線的電壓設為基準電壓、將為了

(2)

要讀取而施加在上述第 1 電源線與第 2 電源線之間的讀取電壓設為 V_{read} 、將上述記憶元件發生電阻值變化的臨限值電壓設為 $V_{th_critical}$ 時，當針對上述記憶格進行資料的寫入時，則如滿足次式 (1)、(2) 的關係般地形成低電阻狀態。

$$R_{mem_low1} \leq \{ V_{read} * R_{mem_high} / (R_{mem_high} + R_{load}) - 0.01 \} * R_{load} / \{ V_{read} * R_{mem_high} / (R_{mem_high} + R_{load}) * R_{load} / R_{mem_high} + M \text{ (M爲任意的值)} \} \quad \dots (1)$$

$$\text{且} \\ V_{read} * R_{mem_high} / (R_{mem_high} + R_{load}) \leq V_{th_critical} \quad \dots (2)$$

2.如申請專利範圍第 1 項之記憶裝置，其中上述 M 為 0.01。

3.如申請專利範圍第 1 項之記憶裝置，其中上述負載電路，係藉由將與上述記憶元件相同構造的元件呈串聯或並聯地連接到上述位元線而構成。

4.如申請專利範圍第 1 項之記憶裝置，其中上述記憶元件係具備有：第 1 電極，面向上述第 1 電極而被配置的第 2 電極、及被設在上述第 1 電極與第 2 電極之間，而能進行電子或離子傳導的電極間物質層之同時，也包含有氧化還原反應活性物質，藉由將電壓施加在上述第 1 電極與第 2 電極，而使得上述第 1 電極與第 2 電極之間的電氣特性產生變化而進行資訊記錄。

5.一種記憶裝置，其特徵在於：

具備有：

記憶格陣列：將由電阻值至少會變化成高電阻及低電阻的 2 個狀態而可記憶多個資料的記憶元件、與控制對該記憶元件之存取的電晶體所構成的記憶格呈多行多列配置

(3)

而成；

控制手段：具有經由字元線而被連接到上述記憶格陣列內的多個記憶格的列位址解碼器及經由位元線而被連接到上述多個記憶格的行位址解碼器，而對上述憶格進行存取控制；

電源供給手段：包含有第 1 及第 2 電源線，而對上述記憶格施加特定（讀取）電壓；

感測放大器：用來檢測被記憶在上述記憶格的資料；及、

負載電路：在讀取時會經由上述記憶格將流入位元線的電流轉換為電壓；

當將上述記憶元件處於高電阻狀態時的電阻值設為 $R_{\text{mem_high}}$ 、將上述記憶元件處於低電阻狀態時的電阻值設為 $R_{\text{mem_low1}}$ 、將上述負載電路的電阻值設為 R_{load} 、將上述第 2 電源線的電壓設為基準電壓、將為了要讀取而施加在第 1 電源線與第 2 電源線之間的讀取電壓設為 V_{read} 、將上述記憶元件發生電阻值變化的臨限值電壓設為 $V_{\text{th_critical}}$ 時，當針對上述記憶格進行資料寫入時，則如滿足次式（3）的關係般地形成低電阻狀態。

$$\frac{R_{\text{mem_low1}}}{M} \leq \{V_{\text{th_critical}} - M\} * R_{\text{load}} / \{V_{\text{th_critical}} * R_{\text{load}} / R_{\text{mem_high}} + M\} \quad (3)$$

（M 為任意的值）

。

6.如申請專利範圍第 5 項之記憶裝置，其中上述 M 為 0.01。

7.如申請專利範圍第 5 項之記憶裝置，其中上述負載

(4)

電路，係藉由將與上述記憶元件相同構造的元件呈串聯或並聯地連接到上述位元線而構成。

8.如申請專利範圍第 5 項之記憶裝置，其中上述記憶元件，係具備有：第 1 電極，面向上述第 1 電極而被配置的第 2 電極、及被設在上述第 1 電極與第 2 電極之間，而能進行電子或離子傳導的電極間物質層之同時，也包含有氧化還原反應活性物質，藉由將電壓施加在上述第 1 電極與第 2 電極，而使得上述第 1 電極與第 2 電極之間的電氣特性產生變化而進行資訊記錄。