



등록특허 10-2301805



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월13일  
(11) 등록번호 10-2301805  
(24) 등록일자 2021년09월08일

- (51) 국제특허분류(Int. Cl.)  
*H01L 25/065* (2006.01) *H01L 21/54* (2006.01)  
*H01L 21/56* (2006.01) *H01L 21/78* (2006.01)  
*H01L 23/00* (2006.01) *H01L 23/10* (2006.01)  
*H01L 23/31* (2006.01) *H01L 25/00* (2014.01)

(52) CPC특허분류  
*H01L 25/0657* (2013.01)  
*H01L 21/78* (2013.01)

(21) 출원번호 10-2020-7036818(분할)  
(22) 출원일자(국제) 2017년11월16일  
심사청구일자 2021년01월11일  
(85) 번역문제출일자 2020년12월21일  
(65) 공개번호 10-2020-0144598  
(43) 공개일자 2020년12월29일  
(62) 원출원 특허 10-2019-7030560  
원출원일자(국제) 2017년11월16일  
심사청구일자 2019년10월17일  
(86) 국제출원번호 PCT/US2017/061922  
(87) 국제공개번호 WO 2018/212785  
국제공개일자 2018년11월22일

(73) 특허권자  
**레이던 컴퍼니**  
미국 02451-1449 매사추세츠주 월터 윈터 스트리트 870

(72) 발명자  
**드래브, 존 제이.**  
미국 02451-1449 매사추세츠주 월터 윈터 스트리트 870 레이던 컴퍼니 내  
**밀네, 제이슨 지.**  
미국 02451-1449 매사추세츠주 월터 윈터 스트리트 870 레이던 컴퍼니 내

(74) 대리인  
**특허법인 모화**

(74) 대리인  
특허법원 무학

(30) 우선권주장  
15/596,663 2017년05월16일 미국(US)  
(56) 선행기술조사문서

(88) EP03104410 A1  
(뒷면에 계속)  
저체 청구항 수 : 총 9

심사관 : 안경민

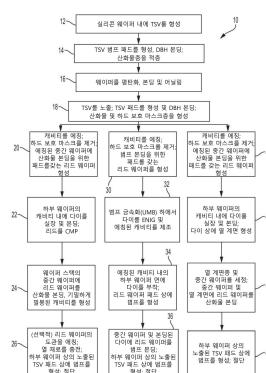
(54) 발명의 명칭 산화물 보딩된 웨이퍼 스택 내에서의 다이 캡슐화

(57) 요약

산화물 결합된 반도체 웨이퍼 스택으로 예칭된 캐비티 내에 하나 또는 다이를 캡슐화하는 반도체 웨이퍼 어셈블리를 제조하는 방법 및 구조체. 상기 방법은 일반적으로 캐비티 내에 다이를 위치시키는 단계, 웨이퍼 스택에 다이를 기계적으로 및 전기적으로 실장하는 단계, 및 복수의 방법 중 하나로 웨이퍼 스택에 리드 웨이퍼를 부딪

(뒷면에 계속)

대표도 - 도1



함으로써 캐비티 내에 다이를 캡슐화하는 단계를 포함한다. 반도체 처리 단계는 어셈블리를 구성하고(예를 들어, 적층, 어닐링, 화학적 및 기계적 연마, 에칭 등), 상기 기재된 양태에 따라 다이를 연결하는데(예를 들어, 범프 본딩, 와이어 상호 접속, 초음파 본딩, 산화물 본딩, 등) 적용된다.

## (52) CPC특허분류

*H01L 23/10* (2013.01)  
*H01L 23/3178* (2013.01)  
*H01L 24/32* (2013.01)  
*H01L 24/81* (2013.01)  
*H01L 24/83* (2013.01)  
*H01L 24/92* (2013.01)  
*H01L 24/94* (2013.01)  
*H01L 25/0652* (2013.01)  
*H01L 25/50* (2013.01)

---

## (56) 선행기술조사문헌

US20060216857 A1  
US20080157330 A1  
US20170317019 A1  
WO2003034490 A2

## 명세서

### 청구범위

#### 청구항 1

다이(die)를 반도체 웨이퍼 어셈블리 내에 캡슐화(encapsulating)하는 방법으로서,

상기 방법은,

산화물 본딩된 반도체 웨이퍼 스택 내부로 캐비티(cavity)를 예칭하는 단계;

상기 캐비티 내에 반도체 다이를 위치시키는 단계;

상기 웨이퍼 스택에 반도체 다이를 기계적으로 및 전기적으로 실장(mounting)하는 단계; 및

상기 웨이퍼 스택에 리드 웨이퍼(lid wafer)를 본딩함으로써 캐비티 내에 반도체 다이를 캡슐화하는 단계;를 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

#### 청구항 2

제1항에 있어서,

상기 반도체 다이를 기계적으로 및 전기적으로 실장하는 단계는 범프 본딩(bump bonding), 와이어 상호 접속(wire interconnecting), 초음파 본딩(ultrasonic bonding), 및 산화물 본딩(oxide bonding)으로부터 선택된 공정을 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

#### 청구항 3

제1항에 있어서,

상기 웨이퍼 스택에 리드 웨이퍼를 본딩하는 단계는,

상기 웨이퍼 스택의 제1면 상에 산화물층을 생성하는 단계;

상기 리드 웨이퍼의 제1면 상에 산화물층을 생성하는 단계; 및

상기 리드 웨이퍼의 제1면의 산화물층에 상기 웨이퍼 스택의 제1면의 산화물층을 본딩하여, 웨이퍼 어셈블리를 생성하고, 캐비티 주변에 기밀 밀봉을 형성하는 단계;를 더 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

#### 청구항 4

제1항에 있어서,

상기 방법은, 웨이퍼 어셈블리의 외측으로부터 리드 웨이퍼를 통과해 캐비티에 이르는 도관을 형성하는 단계를 더 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

#### 청구항 5

제4항에 있어서,

상기 방법은, 상기 도관 또는 도관과 캐비티의 적어도 일부를 충전하도록 열 재료(thermal material)를 도관으로 전달하는 단계를 더 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

## 청구항 6

제1항에 있어서,

상기 방법은, 상기 반도체 다이 상에 열 재료층을 형성하는 단계를 더 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

## 청구항 7

제1항에 있어서,

상기 방법은, 하나 이상의 반도체 칩을 제조하기 위해 웨이퍼 어셈블리를 절단(dicing)하는 단계를 더 포함하고, 각각의 반도체 칩은 하나 이상의 캡슐화된 반도체 다이를 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

## 청구항 8

제4항에 있어서,

상기 방법은, 도판 및 캐비티를 배기 및 밀봉하여, 진공 패키지를 제공하는 단계를 더 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

## 청구항 9

제8항에 있어서,

상기 방법은, 밀봉 전에 도판 및 캐비티를 배기하고, 액체 또는 기체로 재충전하는 단계를 더 포함하는 것인, 다이를 반도체 웨이퍼 어셈블리 내에 캡슐화하는 방법.

## 발명의 설명

### 기술 분야

[0001]

본 발명은 집적 회로, 반도체 소자 및 다른 소형화 장치의 제조에 관한 것이고, 더욱 구체적으로 산화물 본딩된 웨이퍼 스택 내에 캡슐화된 반도체 다이를 포함하는 3차원 집적 회로(3D-ICs)의 제조에 관한 것이다.

## 배경 기술

[0002]

반도체 소자 크기가 감소됨에 따라, 3D 소자의 집적은 집적 회로 및/또는 반도체 소자의 밀도를 증가시키고, 2D 디자인에 비해 훨씬 더 적은 폼 팩터(form factor)와 함께 더 높은 성능과 더 낮은 전력을 제공하는 목적하는 방법이 되었다. 3D-IC 어셈블리는 수평 인트라-티어(intra-tier) 및 수직 (스루-실리콘 비아(through-silicon vias), TSV) 인터 티어(inter-tier) 연결을 사용하여 활성 전자 부품(예를 들어, 센서 및 판독 회로)의 2개 이상의 적층된 층으로 구성되어, 단일 소자와 같이 작동한다. 패키지 투 패키지(Package-to-package) 적층 및 다이 투 다이(die-to-die, D2D) 적층은 적층을 위해 "공지된 우수한 다이"를 선택할 수 있으며, 3D에 비해 더 높은 수율을 제공할 수 있지만, 성능 개선이 제한적이다. 2D 접근 방식은 때때로 연결 속도가 느려지고 가능한 연결 수를 제한하는 긴 연결을 필요로 하는 와이어 본드를 사용한다. 보다 세련된 2.5D 솔루션은 인터포저(interposer)에 범프 본드를 사용하여, 회로 간에 라우팅을 제공하지만, 실제 3D 회로보다 더 높은 전력과 성능을 야기한다. 또한, 다이의 초박형 특성으로 인해, D2D 스택은 다루기가 어렵고 파손 및 오염되기 쉽다. 웨이퍼 투 웨이퍼(W2W) 3D 적층은 더 얇은 웨이퍼를 가져 TSV를 더 작은 직경으로 축소할 수 있어, 더 높은 3D 연결 밀도를 허용하여, 더 높은 대역폭, 성능 및 전력 개선을 야기하고, 더 낮은 제조 비용을 제공할 수 있다. 그러나, 3D-IC의 N 칩 중 어느 하나에 결함이 있으면, 전체 3D-IC에 결함이 있기 때문에, 3D 적층은 수율이 저하될 수 있다. 또한, 웨이퍼 적층은 동일한 크기의 웨이퍼에 대해 최적이며, 비-실리콘 재료(예를 들어, III-V)는

일반적으로 실리콘 CMOS 로직 또는 DRAM보다 작은 웨이퍼 상에 제조되므로, 웨이퍼 레벨 이종 접적은 제조 및 수율의 과제를 초래할 수 있다.

[0003] 산화물 본딩을 사용하는 3D 접적은 가공이 다이 레벨에서의 본딩에 성숙하지 않기 때문에 주로 웨이퍼 전체를 본딩하는데 사용되었다. 솔더-실링 웨이퍼 레벨 패키징은 캐비티와 웨이퍼의 본딩을 갖는 것으로 입증되었다. 실리콘 웨이퍼 상에 접적 회로 다이의 직접 금속 대 금속 본딩에 공지된 기술이 이용 가능하지만, 이 기술은 응력, 수율, 상호 접속 밀도 및 열 제한을 처리하기 위해 많은 층수의 웨이퍼 적층 다이에 대한 제한을 갖는다. 다른 기술들은 인터포저 상에 다수의 다이를 통합시켰지만, z-축에서의 적층을 2-3 층 이상으로 확장하지 않았으며, 이종의 또는 기밀 밀봉된 소자가 얻어지지도 않았다.

[0004] 본 발명은 전류 제한을 극복하는 다이 캡슐화를 사용하여 3D-IC의 제조를 위한 새롭고 개선된 방법을 고려한다. 또한, 일부 양태는 더 높은 전력 소비 및 더 큰 패키징 밀도를 허용하는 온-칩(on-chip) 열 관리에 필요한 것을 다룬다.

### 발명의 내용

#### 해결하려는 과제

#### 과제의 해결 수단

[0005] 본 발명은 하나 이상의 소자 다이를 캡슐화하는 산화물 본딩된 반도체 웨이퍼 어셈블리, 및 이의 제조방법에 관한 것이다. 하나의 양태에서, 웨이퍼 어셈블리는 산화물층을 포함하는 제1면을 갖는 제1 웨이퍼, 제1면 및 제2면을 갖는 제2 웨이퍼를 포함하고, 상기 제2 웨이퍼의 제1면은 제1 웨이퍼의 산화물층에 본딩되는 산화물층을 포함하고, 상기 제1 웨이퍼 및 제2 웨이퍼는 캐비티를 정의한다. 반도체 다이는 캐비티 내에 제1 웨이퍼에 기계적으로 및 전기적으로 연결되고, 제2 웨이퍼의 제2면에 본딩되는 제1면을 갖는 제3 웨이퍼는 다이를 캡슐화한다. 다이는 범프 본드, 와이어 상호 접속부, 초음파 본드, 및/또는 산화물 본드에 의해 연결될 수 있다. 캡슐화는 기밀 밀봉을 포함할 수 있다. 각각의 웨이퍼는 접적 회로 (IC) 및 웨이퍼 및 다이 사이의 IC를 외부 장치 및 웨이퍼에 전기적으로 연결하기 위한 하나 이상의 관통 실리콘 비아(through silicon vias, TSV)를 포함할 수 있다.

[0006] 다른 양태에서, 열 계면(thermal interface)은 반도체 다이와 하나 이상의 웨이퍼 사이에 형성될 수 있다.

[0007] 다른 양태에서, 제2(중간) 웨이퍼 및 제3(리드(lid)) 웨이퍼는 캐비티로부터 열 적 분리를 제공하는 에어 갭(air gap)을 정의하도록 범프 본딩된다.

[0008] 다른 양태에서, 제2(중간) 웨이퍼의 제2면 및 제3(리드) 웨이퍼의 제1면은 각각 산화물층을 포함한다. 제2 웨이퍼 및 제3 웨이퍼는 이를 각각의 산화물층에서 함께 산화물 본딩될 수 있다.

[0009] 다른 양태에서, 제1 웨이퍼, 제2 웨이퍼 및 제3 웨이퍼 중 하나 이상은 웨이퍼 어셈블리의 외측에서 캐비티로의 도관을 가질 수 있다. 도관 및 캐비티는 열 전도성이거나 다른 기능적인 재료로 적어도 부분적으로 충전될 수 있다. 도관 및 캐비티는 배기 및 밀봉하여 진공 패키지를 제공하여 열 차단을 향상시킬 수 있다. 도관 및 캐비티는 캐비티가 밀봉되기 전에 배기 및 액체 또는 기체로 재충전될 수 있다.

[0010] 다른 측면에서, 산화물 본딩된 반도체 웨이퍼 스택으로 예칭된 캐비티 내에서 하나 또는 다이를 캡슐화하는 반도체 웨이퍼 어셈블리의 제조방법. 상기 방법은 일반적으로 캐비티 내에 다이를 위치시키는 단계; 상기 웨이퍼 스택에 반도체 다이를 기계적으로 및 전기적으로 실장하는 단계; 및 복수의 방법 중 하나로 상기 웨이퍼 스택에 리드 웨이퍼를 본딩함으로써 캐비티 내에 반도체 다이를 캡슐화하는 단계;를 포함한다. 반도체 처리 단계는 어셈블리(예를 들어, 포토리소그래피, 적층, 어닐링, 화학적 및 기계적 연마, 예칭 등)를 구성하고, 상기 기재된 양태에 따라 다이를 연결(예를 들어, 범프 본딩, 와이어 상호 접속, 초음파 본딩, 산화물 본딩, 등)하는데 적용된다.

[0011] 개시된 양태의 다른 목적 및 이점은 하기 상세한 설명으로부터 더욱 이해될 것이다.

#### 도면의 간단한 설명

[0012] 본 개시의 적어도 하나의 양태의 다양한 측면이 첨부하는 도면을 참조하여 하기에서 논의된다. 설명의 단순성

및 명료성을 위해, 도면에 도시된 요소는 반드시 정확하게 또는 축척에 따라 그려지지 않았음을 이해해야 할 것이다. 예를 들어, 일부 구성 요소의 치수는 명확성을 위해 다른 구성 요소에 비해 과장되거나, 여러 물리적 구성 요소가 하나의 기능 블록 또는 구성 요소에 포함될 수 있다. 적절한 것으로 간주되는 경우, 대응하거나 유사한 요소를 나타내기 위해 도면에서 참조 번호가 반복될 수 있다. 명확성을 위해, 모든 도면에 모든 구성 요소가 표시되는 것은 아니다. 도면은 예시 및 설명의 목적으로 제공되며, 본 발명의 한계를 정의하기 위한 것이 아니다. 도면에서,

도 1은 예시적인 양태에 따른 산화물 본딩된 3D-IC 웨이퍼 스택 내에서 하나 이상의 소자 다이를 캡슐화하기 위한 3가지 다른 방법의 흐름도이고;

도 2a-2f는 특정 양태에 따른 3D-IC 웨이퍼 스택의 어셈블리되지 않은 부품 및 부분적으로 어셈블리된 부품의 개략 단면도이고, 도 2g 및 2h는 3D-IC 반도체 웨이퍼 어셈블리의 개략 단면도이고;

도 3a-3c는 특정 양태에 따른 3D-IC 웨이퍼 스택의 부분적으로 어셈블리된 부품의 개략 단면도이고, 도 3d는 3D-IC 웨이퍼 어셈블리의 개략 단면도이고;

도 4a-4c는 특정 양태에 따른 3D-IC 웨이퍼 스택의 부분적으로 어셈블리된 부품의 개략 단면도이고, 도 4d는 3D-IC 웨이퍼 어셈블리의 개략 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0013]

다음의 상세한 설명에서, 본 개시의 측면의 철저한 이해를 제공하기 위해 다수의 특정 세부 사항이 설명된다. 당업자는 이들이 이를 특정 세부 사항 중 일부없이 독립적으로 실시될 수 있음을 이해할 것이다. 다른 경우들에서, 공지된 방법, 절차, 부품 및 구조는 양태를 모호하게 하지 않도록 상세히 설명되지 않을 수 있다.

[0014]

바람직한 양태에 대한 다음의 설명은 사실상 예시일 뿐이며, 본 개시, 그 적용 또는 사용을 제한하려는 것은 아니다. 또한, 본 명세서에 사용된 어구 및 용어는 설명을 위한 것이며, 제한하는 것으로 간주되어서는 안되는 것을 이해해야 한다. 명확성을 위해, 특정 특징은 별도의 양태와 관련하여 설명되었지만, 단일 양태에서 조합하여 제공될 수도 있는 것을 이해해야 한다. 반대로, 간결성을 위해, 다양한 특징들이 단일 양태와 관련하여 기재되었지만, 개별적으로 또는 임의의 적절한 하위 조합으로 제공될 수도 있다.

[0015]

본 명세서에서 사용된 어떠한 구성 요소, 동작 또는 지시도 명시적으로 기술되지 않는 한 중요하거나 필수적인 것으로 해석되어서는 안된다. 본 명세서에서 사용되는 바와 같이, 용어 "a" 및 "an"은 하나 이상의 아이템을 포함하도록 의도되고, "하나 이상"과 상호 교환적으로 사용될 수 있다. 또한, "기반(based on)"이라는 표현은 명시적으로 달리 명시하지 않는 한 적어도 부분적으로 "기반"하는 것을 의미하는 것으로 의도된다. "포함한다(comprise)", "갖는다(have)", "포함한다(include)" 및 "함유한다(contain)"라는 용어들 및 이러한 용어들의 임의의 형태는 개방형 연결 동사들이라는 것을 이해해야 할 것이다. 결과적으로, 하나 이상의 단계 또는 요소를 "포함하는", "갖는", "포함하는" 또는 "함유하는" 방법 또는 장치는 하나 이상의 단계 또는 요소를 소유하지만, 단지 하나 이상의 단계 또는 요소를 소유하는 것으로 제한되지 않는다. 또한, 특정 방식으로 구성되는 것으로 기재되는 소자 또는 웨이퍼 구조는 적어도 그 방식으로 구성되지만, 도시되지 않은 방식으로 구성될 수도 있다.

[0016]

이하의 설명의 목적으로, 용어 "상부(upper)", "하부(lower)", "상부(top)", "하부(bottom)", "수직(vertical)", "수평(horizontal)", "전면(front side)", "후면(back side)" 및 이들의 파생어는 도면에서 배향되는 것과 같이 개시된 구조 및 방법과 관련되어야 한다. "상부 상에(on top)", "인접한(adjacent)", "~위에 배치되는(positioned on)" 또는 "상부에 배치되는(positioned atop)"이라는 용어는 제1 장치 구조, 또는 충과 같은 제1 요소가 제2 장치 구조 또는 충과 같은 제2 요소 상에 또는 이에 근접하여 존재하며, 여기서 계면 구조 또는 충과 같은 개체 부품이 존재할 수 있음을 의미하며, 예를 들어 제1 웨이퍼 충과 제2 웨이퍼 충이 2개층의 계면에서 임의의 중간 전도, 절연 또는 반도체층 없이 서로 직접 접촉하는 것을 의미하는 것은 아니다.

[0017]

볼 그리드 어레이(ball grid array, BGA)와 같은 반도체 부품은 항공 우주 산업 센서 구조물 및/또는 다른 반도체 구조물의 일부분으로 사용될 수 있다. 광자 도메인(photonics domain)에서, 인듐 포스파이드(InP) 및 갈륨 비소(GaAs)계 III-V 재료는 이러한 물질의 직접 밴드 갭과 관련된 우수한 광자 특성으로 인해 주요한 조력자였다. 대부분의 경우에, 반도체 부품 각각은 반도체 어레이를 생성하는 주요 회로판(예를 들어, 머더보드, 어레이 등)에 솔더링된다. 본 명세서에서 사용되는 용어 "다이(die)"는 이에 한정되지 않지만 CMOS, 광전자(optoelectronic), 적외선 검출기, MEMS 등을 포함하는 IC로 제조되는 반도체 재료의 작은 조각을 말하고, 용어

"웨이퍼(wafer)"는 기판층을 포함할 수 있거나/있고, IC의 제조에 사용될 수 있는 반도체 재료의 얇은 슬라이스를 말하는데 사용된다. 웨이퍼는 일반적으로 둑글게 구성되지만, 직사각형 패널 크기 또는 절단된 형태 및 크기를 포함하지만 이에 한정되지 않는 산화물 본드 처리와 호환되는 임의의 크기 또는 형태일 수 있다. 용어 "범프(bump)" 또는 "범핑(bumping)"은 웨이퍼 또는 다이(예를 들어, TSV 커넥터 패드에서)의 본드 패드에 솔더 볼을 부착하고, 웨이퍼 스택 또는 어셈블리에서 다른 장치 및/또는 웨이퍼에 연결점을 형성하는 반도체 패키징 기술을 말한다. 본드 패드는 범프 금속화(bump metallization) 등의 조건 하에서, 예를 들어 DBH 본딩(through DBH bonding), 무전해 니켈 금도금(electroless nickel immersion gold)을 통해 지지 웨이퍼(supportive wafer)에 결합되는 산화물일 수 있다. 단지 명확하게 하기 위해, 용어 "반도체 웨이퍼 어셈블리(semiconductor wafer assembly)"는 현재 개시된 방법의 임의의 양태에 따른 제조로부터 생성되는 복수의 반도체 웨이퍼 및 그 안에 캡슐화된 적어도 하나의 다이의 복합 구조를 말하고, 용어 "웨이퍼 스택(wafer stack)"은 반도체 웨이퍼 어셈블리의 제조의 임의의 중간 단계에서 웨이퍼 및 다이 구조를 말하는데 사용된다.

[0018] 대부분의 D2W 적용에서, 전자 부품은 2개의 반도체 웨이퍼 상에 구성된다. 하나의 웨이퍼가 절단되고, 하나의 단위의 다이는 두번째 웨이퍼의 다이면 상에 정렬 및 연결(예를 들어, 본딩, 와이어 상호 접속 등에 의해)된다. W2W 방법에서와 같이, 박형화(thinning) 및 TSV 상호 접속부 생성은 본딩 전후에 D2W 적용 시에 수행된다.

[0019] 도 1을 참조하면, 흐름도는 소자 다이가 3개의 반도체 웨이퍼 내에 캡슐화되고, 이를 각각이 IC를 포함할 수 있는 반도체 웨이퍼 어셈블리의 제조방법(10)(복수의 다른 양태를 가짐)을 나타낸다. 방법(10)의 양태의 개별 단계는 이후에 도 2a-2h, 3a-3d 및 4a-4d를 참조하여 상세히 기재된다. 양태는 웨이퍼 어셈블리를 제조하는데 사용되도록 하나 이상의 반도체 웨이퍼 상에 회로(예를 들어, 트레이스, 부품, 전기적 비아)를 종래적으로 제조하기 위한 도시되지 않는 단계를 포함한다. 방법(10)의 양태는 공통적인 초기 단계(12)(2개의 실리콘 웨이퍼의 대향면에 대응하는 TSV를 형성하는 단계), 단계(14)(웨이퍼 상에 TSV 범프 패드를 형성 및 직접 본드 하이브리드화(direct bond hybridization, DBH) 산화물 본딩하고, 대향면 상에 산화물 층을 적층시키는 단계), 단계(16)(웨이퍼를 평탄화 및 본딩하는 단계, 및 단계(18)(TSV를 노출시키고, TSV 패드를 형성 및 DBH 산화물 본딩하고, 웨이퍼 스택의 상부면 상에 산화물 층을 적층 및 평탄화한 후, 상부면을 에칭하기 위한 하드 보호 마스크를 제조하는 단계)로 시작한다. 그 후, 방법(10)의 양태는 최종 웨이퍼 어셈블리의 웨이퍼와 캡슐화된 다이 사이의 다양한 연결 옵션을 맞추기 위해 약간 나뉜다. 각각의 양태는 웨이퍼 스택으로 하나 이상의 캐비티를 에칭하고, 하드 보호 마스크를 제거하고, 캐비티-밀봉 리드로서 사용하도록 세번째 웨이퍼의 변형을 제조하기 위한 단계(예를 들어, 각각 단계(20, 30, 40))를 포함한다.

[0020] 최종 반도체 웨이퍼 어셈블리의 분명한 형태는 방법(10)의 3개의 예시적인 양태의 최종 단계를 변경함으로써 달성된다. 제1 양태에서, 단계(22)(다이를 실장 및 본딩하고, 리드 웨이퍼를 연마하는 단계), 단계(24)(리드 웨이퍼를 본딩하는 단계) 및 선택적인 단계(26)(도관 에칭, 열 충전; 절단 단계)는 하부 웨이퍼에 본딩되는 하나 이상의 다이 범프가 에칭된 캐비티 내에 기밀하게 밀봉되도록 웨이퍼 어셈블리를 형성한다. 제2 양태에서, 단계(32)(다이 및 캐비티 제조 단계), 단계(다이 부착 및 리드 웨이퍼 범핑 단계) 및 단계(36)(리드 웨이퍼 부착, 하부 웨이퍼 TSV 범핑, 절단 단계)는 리드 웨이퍼를 캡슐화 하고, 중간 웨이퍼뿐만 아니라 실장된 다이에 범프 본딩되도록 웨이퍼 어셈블리를 형성한다. 방법(10)의 제3 양태는 단계(42)(다이 실장 및 본딩, 열 계면 형성 단계), 단계(44)(세정, 리드 웨이퍼 산화물 본딩 단계) 및 단계(46)(하부 웨이퍼 TSV 범핑, 절단 단계)가 캡슐화된 다이에 본딩되는 열 계면과 리드 웨이퍼 사이에 산화물 본드를 생성하는 것을 제외하고 제1 양태와 유사하다. 도관(또는 벤트)의 선택적인 에칭 및 열적 재료로의 언더필을 오직 단계(26)에 도시하지만, 이러한 조작은 임의의 양태에 적용될 수 있다.

[0021] 도 2a-2h, 3a-3d 및 4a-4d는 방법(10)의 양태의 연속적인 개별 공정 단계에 대응하는 웨이퍼 구조체를 개략적으로 보여준다. 도 2a에 도시되는 반도체 웨이퍼 어셈블리(100)의 제1 양태의 개략 단면도를 참조하면, 하나 이상의 반도체 웨이퍼(예를 들어, 하부 웨이퍼(102), 중간 웨이퍼(104) 및 리드 웨이퍼(106))의 산화물 본딩을 사용하는 소자 패키지에서 웨이퍼(또는 기판) 본딩된 3D-IC 집적이 하나 이상의 웨이퍼(102, 104, 106)로 에칭되는 캐비티(110)와 같은 밀봉된 체적 내에서 다이(108)를 필요에 따라 기밀하게 동봉하는 것을 가능하게 해주는 기술이 개시된다. 이 기술은 종래의 처리에 의해 수용되지 않을 수 있는 웨이퍼 스케일 3D-IC 집적에 적절한 포맷으로 소자 다이 유형을 포함시킨다. 다이(108)는 일반적으로 다른 재료가 사용될 수 있는 것이 예측되지만, 실리콘과 같은 반도체 재료로 형성된다. 하부 웨이퍼(102) 및 선택적으로 리드 웨이퍼(106)에 다이(108)의 기계적 및 전기적 접触은 범프(112) 및 패드(114)에서 범프 본딩을 사용함으로써 또는 DBH 본딩을 통해 수행될 수 있다. 다른 양태에서, 다이(108)는 와이어 또는 유사한 상호 접속 및/또는 산화물 또는 초음파 본딩에 의해 기계적으로 및 전기적으로 연결될 수 있다.

[0022] 도 2b는 웨이퍼 어셈블리(100)의 프론트 엔드 가공에 사용되는 어셈블리되지 않은 하부 웨이퍼(102) 및 중간 웨이퍼(104)의 개략 단면도(방법(10)의 단계(12)에 해당됨)이다. 중간 웨이퍼(104)는 실리콘 또는 다른 예칭 가능한 재료로 구성될 수 있지만, 하부 웨이퍼(102) 및 상부 웨이퍼(106)는 실리콘 카바이드, 흠크 실리카, 유리, 사파이어, 갈륨 비소, 인듐 포스파이드, 절연체 상의 실리콘(SOI), 금속, 세라믹 및 다른 유전체, 전도성, 또는 반도체 재료와 같은 임의의 재료로 구성될 수 있다. 이러한 양태에서, 웨이퍼(102, 104)는 실리콘 반도체 웨이퍼와 같은 반도체 웨이퍼를 포함할 수 있지만, 다른 유형의 재료가 사용될 수 있다. 웨이퍼(102, 104)는 일반적으로 평면이다. 하부 웨이퍼(102)는 하부면(116) 및 캐비티를 향하는 상부면(cavity-facing top surface)(118)을 포함하고, 중간 웨이퍼(104)는 캐비티를 향하는 하부면(120) 및 상부면(122)을 포함한다. 하부 웨이퍼(102)는 캐비티를 향하는 상부면(118) 상에 또는 바로 아래에 배치되는 IC(124)를 포함할 수 있다. 또한, 중간 웨이퍼(104)는 캐비티를 향하는 하부면(120) 및 상부면(122) 중 하나 또는 이들 상에 또는 바로 아래에 배치되는 IC(126, 128)를 가질 수 있다.

[0023] 복수의 TSV(130a, 130b) 등(일반적으로 130)은 각각 웨이퍼(102, 104)로 형성될 수 있고, 전기 전도성 재료(구리, 알루미늄, 텡스텐, 도핑된 폴리실리콘 등)로 충전될 수 있다. TSV(130)는 웨이퍼(102, 104)가 예를 들어 제공된 웨이퍼 내에서 및/또는 (도 2a의) 소자 다이(108) 사이에서 전기 부품으로 전기적 신호를 전송시키는 복수의 전기적 상호접속부를 제공하도록 선택적으로 배열된다. TSV(130)는 다양한 반도체 가공 방법을 사용하여 형성될 수 있다. 예를 들어, 일부 양태에서, 웨이퍼(102, 104)로부터 재료를 제거하여 비아(130)를 제조하도록 일련의 포토리소그래피 및 화학적 공정이 수행된다. 일부 양태에서, 웨이퍼(102, 104)에 추가 재료를 첨가하여 TSV(130)를 제조하기 위해 추가 공정이 사용된다.

[0024] 도 2c(방법(10)의 단계(14)에 해당됨)를 참조하면, 하부 웨이퍼(102) 및 중간 웨이퍼(104)의 인접면(118, 120)은 본딩을 위해 웨이퍼를 준비시키기 위해 가공되어, 중간 웨이퍼 스택(132)(도 2d에 도시되는)을 생성한다. 이러한 양태에서, 표면(118, 120)은 소자 다이(102)(도 1a에 도시되는)와 추가 상호 접속을 위해 하나 이상의 범프 패드(134)를 추가하도록 가공된다. 그 후, 산화물 층(136, 138)은 웨이퍼(102, 104)의 대향면(118, 120) 상에 형성될 수 있다. 실리콘이 산소(또는 산소를 포함하는 유체, 예를 들어 공기)에 노출되면, 실리콘 웨이퍼 표면 상에 실리콘 다이옥사이드가 형성된다. 실리콘이 주변 조건 하에서 공기에 노출되면, 표면(118, 120) 상에 산화물의 박층(예를 들어, 10 Å)이 형성될 수 있다. 다양한 반도체 가공 기술이 실리콘 표면 상에 실리콘 다이옥사이드를 생성하는데 사용된다. 이러한 기술은 일반적으로 실리콘 상에 실리콘 다이옥사이드의 층들을 조절 가능하도록 성장시키기 위해 더 높은 온도 및 다양한 환경(예를 들어, 유체)을 사용하여 실리콘 웨이퍼를 가공하는 것을 포함한다. 예를 들어, 600 °C를 초과하는 온도는 보통 O<sub>2</sub> 또는 H<sub>2</sub>O 환경에서 사용된다. 그러나, 350 °C는 웨이퍼의 열화 성능을 피하기 위해, 보통 활성 실리콘 웨이퍼이 제한된다. 그 후, 각각의 표면(118, 120) 상에 형성된 산화물 층은 범퍼 패드(134)와 동일 평면에 있는 매끄러운 산화물 층 표면(136, 138)을 제조하기 위해 연마될 수 있다. 매끄러운 표면을 생성하기 위해 다양한 기술이 사용될 수 있다. 예를 들어, 연마, 에칭 또는 이들의 조합에 의해 매끄러운 표면을 제조하기 위해 웨이퍼 표면(118, 120)의 화학적 또는 기계적 평탄화가 수행될 수 있다. 일부 양태에서, 웨이퍼를 웨이퍼 표면(118, 120)과 접촉하고 웨이퍼 표면에 비해 이동되는 연마 패드와 함께 연마적 및/또는 부식적 화학물질에 노출시킴으로써 웨이퍼(102, 104)의 표면(118, 120)은 매끄러워질 수 있다. 일부 양태에서, 표면(118, 120)은 10 웅스트롬 미만의 표면 조도로 매끄러워진다.

[0025] 그 후, 웨이퍼(102, 104)는 웨이퍼 스택(132)의 단면도를 도시하는 도 2d(방법(10)의 단계(16)에 해당됨)에 도시되는 바와 같이 웨이퍼 스택(132)을 형성하기 위해 함께 본딩될 수 있다. 웨이퍼(102, 104)는 DBH에 의해 함께 산화물 본딩될 수 있고, 이들의 평탄화된 산화물 표면(118, 120)이 웨이퍼(112, 114) 사이에서 공유 본딩 라인(139)을 생성하도록 서로 접촉시킴으로써 어닐링될 수 있다. 공유 본딩 라인(139)은 일반적으로 더 얇고, 종래의 웨이퍼 어셈블리에서 함께 웨이퍼를 연결하는데 현재 사용되는 유기 접착 본드보다 낮은 열 저항을 갖는다. 공유 본딩 라인(139)이 상대적으로 얇기 때문에(예를 들어 솔더 범프 및 언더필보드 더 얇은), 상호 접속부는 더 큰 공간 밀도를 가지고 웨이퍼(102, 104) 상에 배치될 수 있다.

[0026] 도 2e(방법(10)의 단계(18)에 해당됨)를 참조하면, 그 후 하부 웨이퍼(102)의 노출된 하부면(116) 및 웨이퍼 스택(132)의 상부 웨이퍼(104)의 상부면(122)은 TSV(130)의 단부(140)를 노출시키기 위해 박층화 및 평탄화될 수 있고, 상호 접속 패드(142)는 노출된 TSV 단부(140)에서 표면(116, 122) 상에 산화물 본딩될 수 있다. 그 후, 산화물 층(도시되지 않음)이 선택적으로 추가 및 평탄화될 수 있고, 후속 예칭 공정으로부터 보호되도록 웨이퍼 표면(122)의 영역 위에 하드 마스크(144)가 형성된다.

[0027] 도 2f(방법(10)의 단계(20)에 해당됨)를 참조하면, 그 후 캐비티(110)는 하드 보호 마스크(144)(각각은 도 2e에

도시됨)에 의해 보호되지 않은 중간 웨이퍼(104)의 상부면(122)의 영역(146)의 에칭을 통해 웨이퍼 스택(132) 내에 형성될 수 있다. 하드 보호 마스크(144)(예를 들어, TiW 합금으로 구성됨)의 사용은 폭 넓은 범위의 기술을 이용하여 소자 다이(도시되지 않음)가 캐비티(110)에 실장 가능한 훨씬 더 넓은 가공 온도 범위를 허용한다. 캐비티(110)는 하부 웨이퍼(102)와 중간 웨이퍼(104) 사이에 이전에 형성된(단계 16) 산화물 본드 라인(139)에서 매립된 산화물(BOX) 층(148)까지 아래쪽으로 중간 웨이퍼(104)로 에칭될 수 있다. BOX 층(148)은 웨이퍼(102, 104)의 표면 상에 이전에 형성된(단계 14) 소자 다이(108)(도 2g에 도시됨)에 연결하기 위해 범프 패드(134)를 노출시키는 캐비티 에칭 공정에서 에칭 정지층(etch stop)으로서 작용한다. 캐비티(110)의 외측 둘레는 캐비티(110)의 사실상 수직 측벽(150, 152)과 사실상 평면의 BOX 층(148)의 교차점에 의해 정의될 수 있다(또한 추가될 리드 웨이퍼(106)의 하부면(154)으로 추가 정의됨). 캐비티(110)는 실리콘 에칭 방법, 바람직하게는 딥 반응성 이온 에칭(DRIE)을 이용하고, BOX 층(148)에 직교하는 거의 수직인 측벽을 생성할 수 있는 캡슐화될 다이의 수 및 크기 및 열 관리 설계 요건에 근거한 치수로 에칭될 수 있다. 또는, 캐비티(110)는 반응성 이온 에칭(RIE) 또는 이방성 화학적 에칭을 사용하여 에칭될 수 있다(경사지거나 기울어진 측벽을 생성할 수 있음). 캐비티(110)의 기능은 소자 다이(108) 환경 보호, 고밀도 회로 상호 접속, 물리적 패키징 및 열 계면을 제공하는 것뿐만 아니라 소자 기능을 모호하게 하고 리버스 공학으로부터 소자 보안을 제공하는 것을 포함한다. 리드 웨이퍼(106)(아래쪽을 향하는 IC(156)를 포함할 수 있는)의 하부면(154)은 산화물 층 형성 및 평탄화를 통한 산화물 본딩을 위해 동시에 제조될 수 있다.

[0028]

도 2g(방법(10)의 단계(22)에 해당됨)를 참조하면, 그 후 하나 이상의 동종의 또는 이종의 소자 다이(108)는 범프(158)를 통해 캐비티(110) 내에서 노출되는 범프 패드(134)에 기계적으로 및 전기적으로 연결될 수 있다. 다이 실장 공정은 초음파 본딩, 솔더 범핑(예를 들어 범프 본드(134)를 통해), 또는 산화물 본딩, 와이어 본드, 에폭시를 포함하는 다양한 기술을 포함할 수 있고, 다이가 결합되는 웨이퍼(102, 104)와 다이 사이의 임의의 표면 상에 복수의 구조로 전기적, 기계적, 또는 열 계면을 포함할 수 있다. 표 1은 소자 다이(108)를 실장하기 위해 이용될 수 있는 일시적인 액상 솔더 범프 기술의 실시예를 나타낸다.

[0029]

[표 1]

재료 시스템	공정 시간 및 온도	재용융 온도
Cu-In	180C에서 4 분	> 307C
Cu-Sn	280C에서 4 분	> 415C
Ag-Sn	250C에서 60 분	> 600C
Ag-In	175C에서 120 분	> 880C
Au-Sn	260C에서 15 분	> 278C
Au-In	200C에서 0.5 분	> 495C
Ni-Sn	300C에서 6 분	> 400C

[0030]

도 2h(방법(10)의 단계(24)에 해당됨)를 참조하면, 다이(108)가 캐비티(110) 내의 범프 패드(134)로 실장된 후, 하드 마스크 층(144)(도 2g에 도시됨)이 제거되어, 리드 웨이퍼(106)가 웨이퍼 스택(132)에 실장되도록 할 수 있다. 도시되는 양태에서, 캐비티(110)는 리드 웨이퍼(106)의 하부면(154)과 중간 웨이퍼(104)의 상부면(118)의 남은 부분 사이의 웨이퍼 계면(160, 162)에서 매우 강한 산화물 본드로 동봉된다. 선택적으로, 열 재료층(164)이 다이(108) 상에 형성되어, 다이(108)와 리드 웨이퍼(106) 사이에 열 계면을 제공할 수 있다. 추가적으로, 또는 대안적으로, 3D-IC 웨이퍼 어셈블리(100)의 열 관리를 돋기 위해서, 유사한 열 계면(도시되지 않음)이 다이(108)와 다른 웨이퍼(102, 104) 및/또는 다른 다이 중 하나 이상의 사이에서 형성될 수 있다. 리드 웨이퍼(106)는 완전한 반도체 웨이퍼 어셈블리(100)를 형성하기 위해 계면(160, 162)에서 산화물 본딩될 수 있다. 일부 양태에서, 리드 웨이퍼(106)는 완전히 독립된 반도체 제조 공정으로부터 수득되는 웨이퍼 상의 웨이퍼 스택(wafer-on-wafer stack)의 외부층을 포함할 수 있다. 하부 웨이퍼(102)의 하부면(116) 상에 형성된 상호 접속

패드(142), 및 하부 웨이퍼(102)의 하부면(116) 내의 TSV(130)의 노출된 단부(140)는 다이(108)와 웨이퍼(102, 104, 106) 사이에서 외부 소자 및 웨이퍼(도시되지 않음)로 연결을 위한 전기적 경로를 제공할 수 있다. 다른 양태에서, 리드 웨이퍼(106)의 하부면(154) 및 중간 웨이퍼(104)의 상부면(118)의 남아 있는 부분은 솔더 또는 열압축성 본드(thermocompressive bond)를 사용하여 계면(162, 164)에서 본딩될 수 있다. 공지된 바와 같이, 본딩 공정은 장치 다이(108)를 캡슐화하는 기밀 밀봉을 형성하기 위해, 계면(160, 162)에서 캐비티(110)를 밀봉 할 수 있다.

[0032] 상부면(118) 및 하부면(154)은 외부 압력 없이 계면(160, 162)에서 본딩될 수 있다. 그러나, 열압축성 본딩과 같은 일부 양태에서, 추가 압력은 서로 접촉하도록 표면(118, 154)에 힘이 가해질 수 있다. 다이(108)는 3D 웨이퍼 어셈블리(100) 내에서 금속 특징부(예를 들어, 범프 패드, 비아 등) 또는 캐비티(110) 내에서 노출되는 회로를 통해 임의의 또는 전체 웨이퍼(102, 104, 106)로 상호 접속될 수 있고, 이들 각각은 활성 또는 수동 IC를 포함하는 하나 이상의 전기 전도성 IC(124, 126)를 함유할 수 있고, 이는 임의의 표면 상에서 평면이거나 웨이퍼를 통해 수직으로 배열될 수 있다.

[0033] 도 2a(이의 일부 특징들은 가공 단계(26)에 해당됨)를 다시 참조하면, 홀 또는 도관(168)은, 예를 들어 열 또는 구조 재료의 유입이 캡슐화된 다이(108)와 접촉시키도록 임의의 또는 전체의 웨이퍼(102, 104, 106)를 통해 에칭될 수 있다. 또는, 이러한 도관(168)은 임베딩된 IC의 소정의 특성을 향상시키기 위해 목적하는 기체 또는 액체로 캐비티(110)를 퍼지(purge) 또는 재충전시키는데 사용될 수 있다. 열 전도성 재료(170)(예를 들어, 비전도성 냉각 유체, 또는 열, 전기, 화학물질, 보호 기능, 또는 기계적 목적을 위해 사용되는 임의의 수의 재료)는 캐비티(110) 전체 또는 일부분을 충전할 수 있고, 그 후 도관(168)은 열 전도성 재료(170)로 플러그(예를 들어, 솔더 등으로) 또는 충전될 수 있다. 또는, 도관(168)은 캐비티(110)에서 캐비티(110)로 열 벤트(thermal vent)로서 작용할 수 있다. 그 후, 3D-IC 웨이퍼 어셈블리(100)의 완료된 제1 양태는 종래 방법에 의해 절단될 수 있다.

[0034] 당업자들은, 상기 기재된 바와 같이 3D-IC 웨이퍼 어셈블리(100)에 결합될 수 있는 웨이퍼 스택을 형성하는 W2W 공정으로부터 독립적으로 D2W 수율 손실을 관리하는 능력을 포함하여, 개시된 기술이 제공하는 이점을 이해할 것이다. 본 명세서에 개시되는 공정으로부터 수득되는 소자의 수율은 오직 "노운-굿 다이(Known-good die)"를 소자에 포함시켜, 적층 수율 손실을 억제함으로써 개선되고, 이는 전체 비용을 감소시킨다. 또한, 박형 다이를 본드하는 능력은, 낮은-프로파일 패키지 및 짧은 전기 경로 길이를 유지하면서, TSV를 사용하여 수직으로 연결된 서로 다른 기술을 포함하는 복수의 소자 층들을 적층시킨다. 상이한 소자 다이는 종종 별개의 두께를 갖는다(예를 들어, 100 $\mu\text{m}$  - 700 $\mu\text{m}$ ). 복수의 다이 캡슐화 웨이퍼 어셈블리 양태에서 상이한 다이 두께를 적용하기 위해서, 중간 웨이퍼(104)는 III-V 소자 두께를 긴밀하게 매칭시킬 필요를 없애고 열 차단을 제공하기 위해, 가장 두꺼운 상호 접속된 다이(108)보다 더 큰 두께(및 따라서, 캐비티 두께)를 갖도록 제조될 수 있다. 또한, 블라인드 접촉 비아 공정(blind frontside via process)은 비용을 포함하도록 D2W 어셈블리 (100)에 웨이퍼 연결을 위해 적용될 수 있고, 다이 실장 및 외부 웨이퍼 연결을 위해 솔더 범프 가공을 위한 백-오프 위치(back-off position)를 허용한다. 개별 다이를 함께 언더필링 부착하는데 사용되는 종래의 유기 본드는, 개별 칩/다이가 어레이로부터 절단된 후 수행되고; 반면에, 본 명세서에 기재되는 기술은 웨이퍼 수준에서 수행될 본딩을 허용한다. 일부 양태에서, 공유 본드 라인은 유기 본드 라인보다 10배 더 얇을 수 있다.

[0035] 도 3a-3d는 하부 웨이퍼(206), 중간 웨이퍼(208) 및 리드 웨이퍼(210)에 의해 형성된 캐비티(204) 내에서 소자 다이(202)를 캡슐화하는 산화물 본딩된 웨이퍼 어셈블리의 대안적인 양태를 제조하기 위한 제2 방법 양태(방법 10)의 단계(30-36)에 해당됨)에 따라 처리되는 웨이퍼 스택(200)의 분해도 및 통합도의 개략적 단면도이다. 이러한 대안적인 웨이퍼 어셈블리를 제조하는데 사용되는 프론트 엔드 반도체 공정(front end semiconductor process)은 제1 방법 양태의 도 2a-2d와 관련하여 기재된 것들과 동일할 수 있다. 도 3a-3d에 도시되는 웨이퍼 가공 결과는 일부 유사점(예를 들어, 일반적인 반도체 가공 기술, 배향 및 웨이퍼의 조성 등)이 있지만, 도 2e-2h에 도시된 것과 몇 가지 측면에서 상이하다. 도 3a는 하나 이상의 캐비티(204)는 에칭된 하부 웨이퍼(206) 및 중간 웨이퍼(208)로 구성된 웨이퍼 스택(200)을 도시한다. 도 3b-3d에 도시되는 바와 같이, 상이한 백 엔드 공정(back end process)은 리드 웨이퍼(210)의 하부면(216) 상에 범프 패드(212) 및 범프(214)(다이(202)에 연결되는 열 범프일 수 있음)를 형성하기 위해 이러한 제2 양태에서 사용될 수 있다. 리드 웨이퍼(210)는 연결점(220)에서 중간 웨이퍼(208)에, 실장된 다이(202)의 후측면(218)에 범프 본딩된다. 리드 웨이퍼(210)를 중간 웨이퍼(208)에 범프 본딩하는 것(제1 방법 양태의 산화물 본딩과 반대로)은 도 3d에 도시되는 바와 같이 3D-IC 반도체 웨이퍼 어셈블리(222)를 생성하고, 중간 웨이퍼(208) 및 리드 웨이퍼(210)는 기밀하게 밀봉되는 캐비티 내에 소자 다이(202)를 캡슐화하는 것 대신에 에어 캡(224)을 정의한다. 리드 웨이퍼(210)는, 예를 들어 웨이

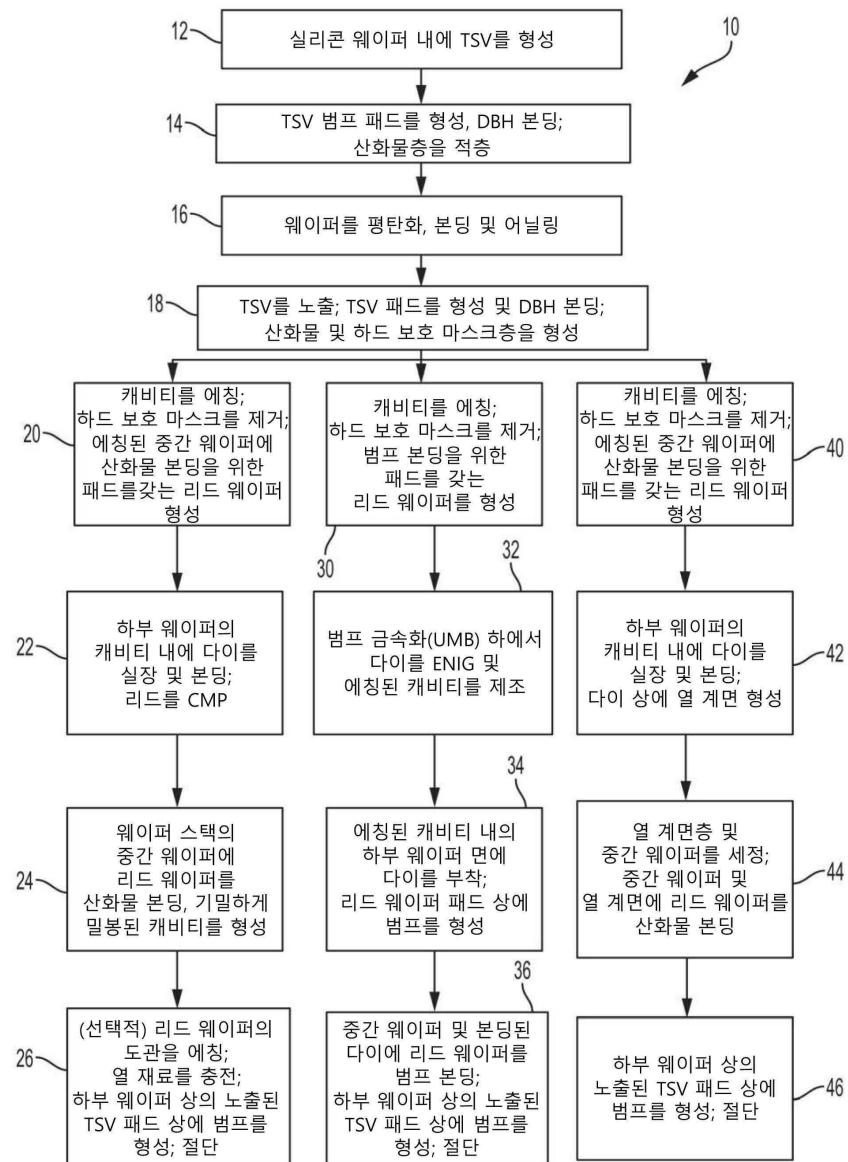
퍼 어셈블리(222) 내에서 웨이퍼(206, 208, 210) 및 다이(202) 중에서 전기적 신호를 통과시킬 수 있는 솔더 볼 본드(224)를 통해 중간 웨이퍼(208)로 전기적으로 및 기계적으로 연결될 수 있다. 리드 웨이퍼(210)가 본딩되면, 완성된 전기적 연결(226)은 외부 소자, 웨이퍼 등에 연결하기 위해 웨이퍼 어셈블리(222)에 추가될 수 있고, 웨이퍼 어셈블리는 더 가공 및/또는 절단될 수 있다.

[0036] 도 4a-4d는 하부 웨이퍼(406), 중간 웨이퍼(408) 및 리드 웨이퍼(410)에 의해 형성된 캐비티(404) 내에서 소자 다이(402)를 캡슐화하는 산화물 본딩된 웨이퍼 어셈블리의 대안적인 형태를 제조하기 위한 제3 방법 형태(방법 10)의 단계(40-46)에 해당됨에 따라 처리되는 웨이퍼 스택(400)의 분해도 및 통합도의 개략적 단면도이다. 이러한 대안적인 웨이퍼 어셈블리를 제조하는데 사용되는 프론트 엔드 반도체 공정은 제1 방법 형태의 도 2a-2d와 관련하여 기재된 것들과 동일할 수 있다. 도 4a-4d에 도시되는 웨이퍼 가공 결과는 일부 유사점(예를 들어, 일반적인 반도체 가공 기술, 배향 및 웨이퍼의 조성 등)이 있지만, 도 2e-2h에 도시된 것과 몇 가지 측면에서 상이하다. 제1 형태로부터 하나의 변형은 도 4b에 도시되고, 열 계면층(412)(또는 상기 기재된 것과 같은 다른 기능층)은 캐비티(404) 내에서 다이(402)를 부착하기 전후에 소자 다이(402) 상에 형성될 수 있다. 그 후, 열 계면층(412)은 리드 웨이퍼(410)의 대향하는 하부면(418)일 수 있으므로, 상기 기재되는 것과 유사한 방식으로 평탄화, 세정 및 산화물 본딩될 수 있다. 다른 웨이퍼(도시되지 않음)에 외부 연결을 위한 전기 범프(420)는 도 4d에 도시되는 바와 같이 하부 웨이퍼(406)의 표면(422)에 추가될 수 있다. 리드 웨이퍼(410)는 상부 표면 영역(414, 416)에서 중간 웨이퍼(408) 및 열 층(412)에 전기적으로 및 기계적으로 연결될 수 있다. 중간층(406)과 리드층(408) 사이의 본딩은 소자 다이(402)를 캡슐화 하는 기밀하게 밀봉된 캐비티(404)를 갖는 복합체 3D-IC 웨이퍼 어셈블리(424)를 생성한다. 표면(414, 416, 418)은 웨이퍼를 함께 본딩하기 전에, 평탄화된 산화물 표면(예를 들어, 도 2a-2h에 대해 유사하게 기재되는 바와 같이)이 되도록 제조될 수 있다.

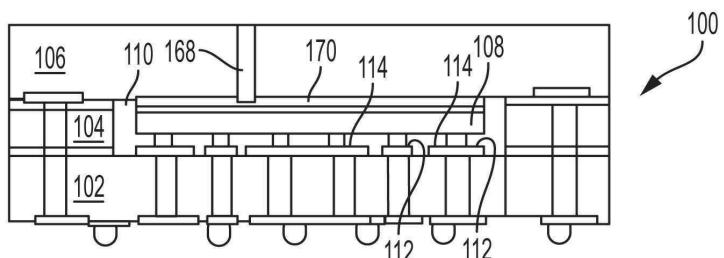
[0037] 본 개시의 범위를 벗어나지 않으면서 대응하는 예시를 참조하여 상기 기재된 바와 같이 예시적인 형태에 대한 다양한 변형이 이루어질 수 있으므로, 상기 설명에 포함되고 첨부 도면에 도시되는 모든 사항은 제한하기보다는 설명적인 것으로 이해되어야 한다. 따라서, 본 개시의 폭 및 범위는 상기 기재된 예시적인 형태 중 어느 것에 의해 제한되지 않아야 하고, 본 명세서에 첨부된 하기 청구 범위 및 이의 등가물에 따라서만 정의되어야 한다.

## 도면

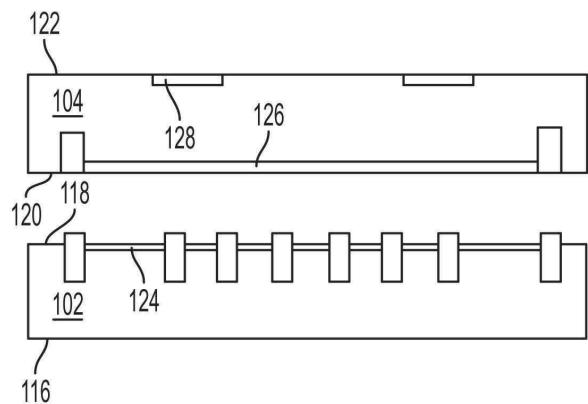
## 도면1



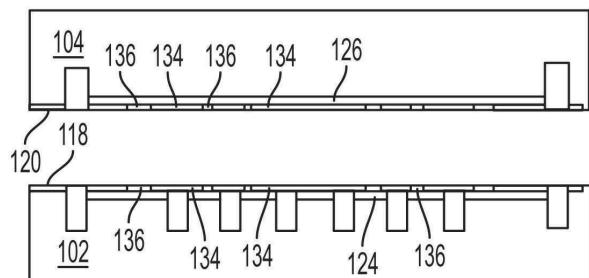
## 도면2a



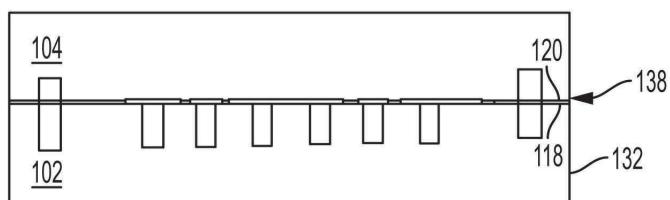
도면2b



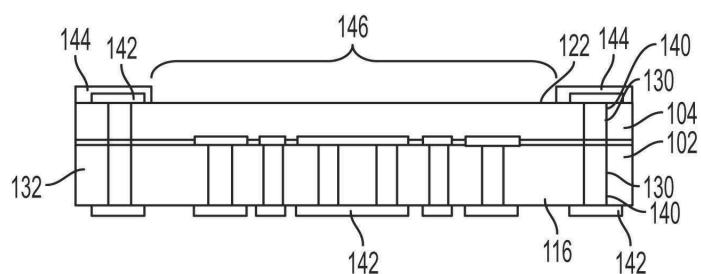
도면2c



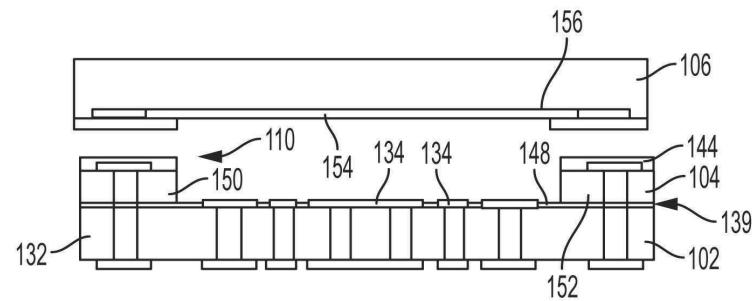
도면2d



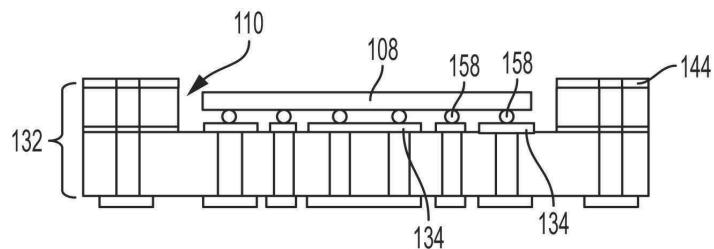
도면2e



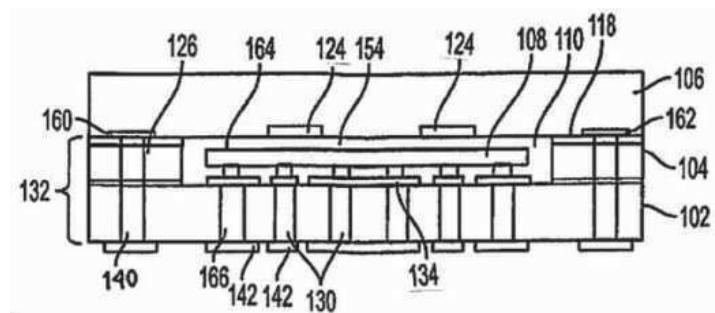
도면2f



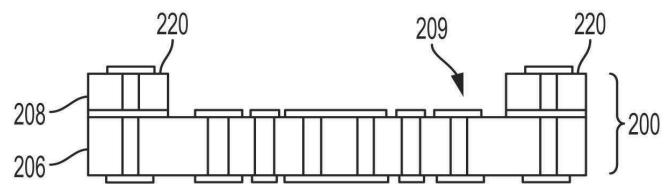
도면2g



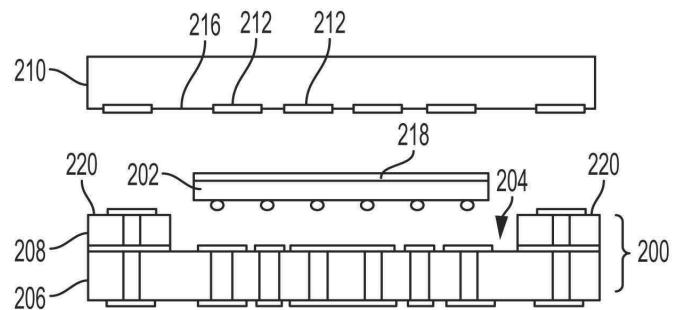
도면2h



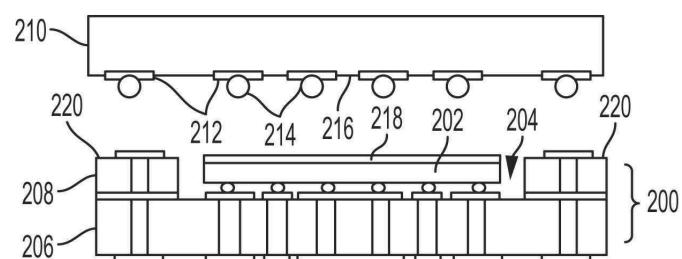
도면3a



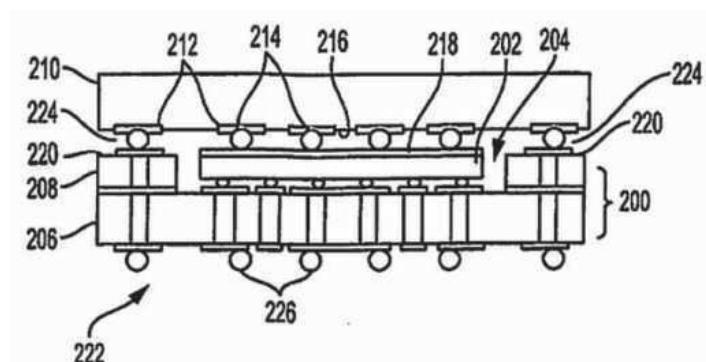
도면3b



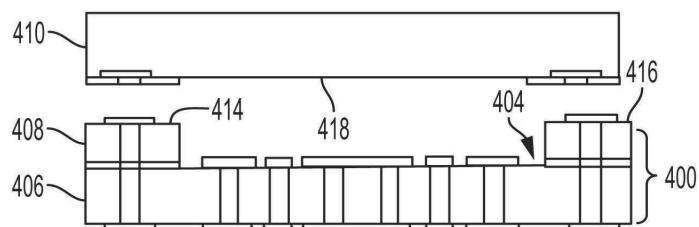
도면3c



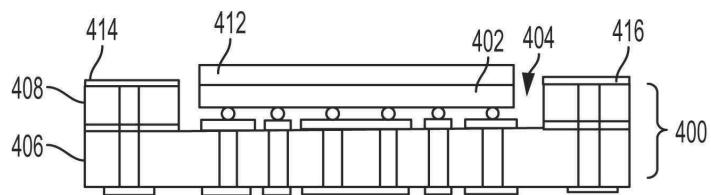
도면3d



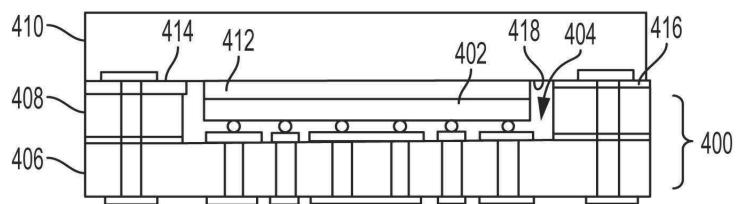
도면4a



도면4b



도면4c



도면4d

