

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-212871

(P2016-212871A)

(43) 公開日 平成28年12月15日(2016.12.15)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 3/041 (2006.01)	G06F 3/041 412	
G06F 3/044 (2006.01)	G06F 3/044 128	
	G06F 3/044 122	

審査請求 未請求 請求項の数 17 O L (全 81 頁)

(21) 出願番号 特願2016-92889 (P2016-92889)
 (22) 出願日 平成28年5月5日(2016.5.5)
 (31) 優先権主張番号 特願2015-95745 (P2015-95745)
 (32) 優先日 平成27年5月8日(2015.5.8)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2015-95796 (P2015-95796)
 (32) 優先日 平成27年5月8日(2015.5.8)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 宍戸 英明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 平形 吉晴
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 久保田 大介
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

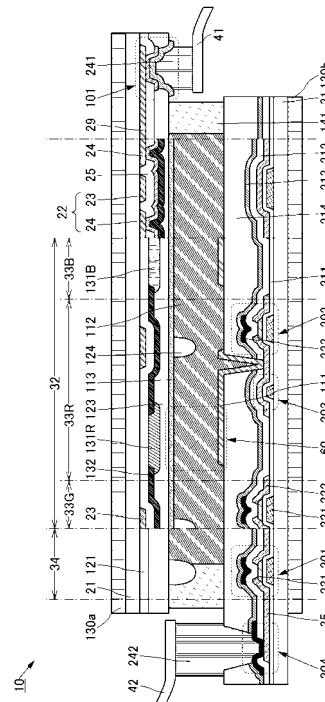
(54) 【発明の名称】 タッチパネル

(57) 【要約】

【課題】厚さの薄いタッチパネルを提供する。または、視認性の高いタッチパネルを提供する。または、軽量のタッチパネルを提供する。または、消費電力が低減されたタッチパネルを提供する。

【解決手段】静電容量式のタッチセンサを構成する一対の導電層を複数の開口を有するメッシュ状の形状とする。さらに平面視において、2つの表示素子の間の領域と重ねて配置する。また、タッチセンサを構成する一対の導電層を、タッチパネルが有する一対の基板の内側に配置し、当該一対の導電層と、表示素子を駆動する回路との間に、定電位を供給可能な導電層を設ける。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の基板と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、液晶層と、を有するタッチパネルであって、

前記第 3 の導電層は、前記第 1 の基板上に位置し、

前記第 4 の導電層は、前記第 3 の導電層と同一面上に離間して位置し、

前記液晶層は、前記第 3 の導電層よりも上側に位置し、

前記第 2 の導電層は、前記液晶層よりも上側に位置し、

前記第 1 の導電層は、前記第 2 の導電層よりも上側に位置し、

前記第 1 の導電層は、複数の開口を有するメッシュ状の形状を有し、

前記第 2 の導電層は、可視光を透過する機能を有し、且つ前記第 3 の導電層と重なる部分、及び前記第 4 の導電層と重なる部分を有し、

前記第 3 の導電層及び前記第 4 の導電層は、可視光を透過する機能を有し、

前記第 3 の導電層は、前記開口の一と重なる部分を有し、

前記第 4 の導電層は、前記開口の他の一と重なる部分を有し、

平面視において、前記第 1 の導電層は、前記第 3 の導電層と前記第 4 の導電層の間に位置する部分を有する、

タッチパネル。

10

【請求項 2】

請求項 1 において、

前記第 2 の導電層は、共通電極として機能し、

前記第 3 の導電層及び前記第 4 の導電層は、それぞれ画素電極として機能する、

タッチパネル。

20

【請求項 3】

第 1 の基板と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 5 の導電層と、液晶層と、を有するタッチパネルであって、

前記第 5 の導電層は、前記第 1 の基板上に位置し、

前記第 5 の導電層は、前記第 3 の導電層と重なる部分、及び前記第 4 の導電層と重なる部分を有し、

前記第 4 の導電層は、前記第 3 の導電層と同一面上に離間して位置し、

前記液晶層は、前記第 3 の導電層、及び前記第 5 の導電層よりも上側に位置し、

前記第 2 の導電層は、前記液晶層よりも上側に位置し、

前記第 1 の導電層は、前記第 2 の導電層よりも上側に位置し、

前記第 1 の導電層は、複数の開口を有するメッシュ状の形状を有し、

前記第 2 の導電層は、可視光を透過する機能を有し、且つ前記第 3 の導電層と重なる部分、及び前記第 4 の導電層と重なる部分を有し、

前記第 3 の導電層は、前記開口の一と重なる部分を有し、

前記第 4 の導電層は、前記開口の他の一と重なる部分を有し、

前記第 3 の導電層及び前記第 4 の導電層と、前記第 5 の導電層の少なくとも一方は、可視光を透過する機能を有し、

30

40

平面視において、前記第 1 の導電層は、前記第 3 の導電層と前記第 4 の導電層の間に位置する部分を有し、

前記第 3 の導電層または前記第 5 の導電層は、櫛歯状の形状またはスリットを有する形状を有し、

前記開口の一と、前記第 3 の導電層と、前記第 5 の導電層とが互いに重なる部分と、

前記開口の一と、前記第 3 の導電層または前記第 5 の導電層の一方とが互いに重なり、且つ前記開口の一と、前記第 3 の導電層または前記第 5 の導電層の他の一方と重ならない部分と、を有する、

タッチパネル。

【請求項 4】

50

請求項 3 において、
前記第 3 の導電層及び前記第 4 の導電層は、それぞれ画素電極として機能し、
前記第 5 の導電層は、共通電極として機能する、
タッチパネル。

【請求項 5】

請求項 3 または請求項 4 において、
前記第 5 の導電層は、前記第 3 の導電層及び前記第 4 の導電層よりも下側に位置する、
タッチパネル。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、
前記第 2 の導電層は、定電位が供給される端子と電氣的に接続された、
タッチパネル。

10

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、
前記第 1 の導電層よりも上側に第 2 の基板を有し、
前記第 1 の導電層及び前記第 2 の導電層は、前記第 2 の基板に形成されていることを特徴とする、
タッチパネル。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、
前記第 1 の導電層よりも上側に、遮光層を有し、
前記遮光層と、前記第 1 の導電層とは、互いに重なる部分を有する、
タッチパネル。

20

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、
前記第 1 の導電層よりも上側に、円偏光板を有する、
タッチパネル。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一において、
前記第 3 の導電層よりも上側に、第 1 の着色層及び第 2 の着色層を有し、
前記第 1 の着色層は、前記開口の一と重なる領域を有し、
前記第 2 の着色層は、前記開口の他の一と重なる領域を有する、
タッチパネル。

30

【請求項 11】

請求項 10 において、
前記第 1 の導電層は、前記第 1 の着色層と前記第 2 の着色層の少なくとも一方と重なる部分を有する、
タッチパネル。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一において、
前記第 3 の導電層よりも上側であって、前記第 2 の導電層よりも下側に、スペーサを有し、
前記スペーサは、前記第 1 の導電層と重なる部分を有する、
タッチパネル。

40

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一において、
前記液晶層と、前記第 1 の基板との間にトランジスタを有し、
前記トランジスタのソース又はドレインの一方と、前記第 3 の導電層とは、電氣的に接続され、
前記トランジスタは、酸化物半導体を含む半導体層を有する、

50

タッチパネル。

【請求項 14】

請求項 13 において、

前記トランジスタは、第 1 のゲート電極及び第 2 のゲート電極を有し、

前記第 1 のゲート電極は、前記半導体層よりも下側に位置し、

前記第 2 のゲート電極は、前記半導体層よりも上側に位置し、

前記第 2 のゲート電極と、前記半導体層と、前記第 3 の導電層とが、互いに重なる領域を有する、

タッチパネル。

【請求項 15】

請求項 14 において、

前記第 2 のゲート電極と、前記半導体層とは、同一の金属元素を含む、

タッチパネル。

【請求項 16】

請求項 1 乃至請求項 12 のいずれか一において、

前記液晶層と、前記第 1 の基板との間にトランジスタを有し、

前記トランジスタのソース又はドレインの一方と、前記第 3 の導電層とは、電氣的に接続され、

前記トランジスタは、アモルファスシリコン、多結晶シリコン、または単結晶シリコンを含む半導体層を有する、

タッチパネル。

【請求項 17】

請求項 16 において、

前記トランジスタは、第 1 のゲート電極及び第 2 のゲート電極を有し、

前記第 1 のゲート電極は、前記半導体層よりも下側に位置し、

前記第 2 のゲート電極は、前記半導体層よりも上側に位置し、

前記第 2 のゲート電極と、前記半導体層と、前記第 3 の導電層とが、互いに重なる領域を有する、

タッチパネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、入力装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、入出力装置に関する。本発明の一態様は、タッチパネルに関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、又は、製造方法に関する。本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げるることができる。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、入力装置、入出力装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

【背景技術】

【0004】

近年、位置入力手段としてタッチセンサを搭載した表示装置が実用化されている。タッチセンサを搭載した表示装置は、タッチパネル、またはタッチスクリーンなどと呼ばれて

10

20

30

40

50

いる（以下、これを単に「タッチパネル」とも呼ぶ）。例えば、タッチパネルを備える携帯情報端末としては、スマートフォン、タブレット端末などがある。

【0005】

表示装置の一つとして、液晶素子を備える液晶表示装置がある。例えば、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてトランジスタを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0006】

例えば、画素電極の各々に接続するスイッチング素子として、金属酸化物をチャネル形成領域とするトランジスタを用いるアクティブマトリクス型液晶表示装置が知られている（特許文献1及び特許文献2）。

10

【0007】

アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【0008】

透過型の液晶表示装置は、冷陰極蛍光ランプなどのバックライトを用い、液晶の光学変調作用を利用して、バックライトからの光が液晶を透過して液晶表示装置外部に出力される状態と、出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。

【0009】

また、反射型の液晶表示装置は、液晶の光学変調作用を利用して、外光、即ち入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有する。

20

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0011】

ユーザーインターフェースとして画面に指やスタイラス等で触れることで入力する機能を表示パネルに付加したタッチパネルが望まれている。

【0012】

また、タッチパネルが適用された電子機器の薄型化、軽量化が求められている。そのため、タッチパネル自体の薄型化、軽量化が求められている。

【0013】

例えば、タッチパネルは、表示パネルの視認側（表示面側）にタッチセンサを設ける構成とすることができる。

40

【0014】

ここで、表示パネルの表示面側に静電容量方式のタッチセンサを重ねて設けたタッチパネルの構成とする場合に、表示パネルを構成する画素や配線と、タッチセンサを構成する電極や配線との距離が小さくなると、タッチセンサが表示パネルを駆動した時に生じるノイズの影響を受けやすくなり、その結果としてタッチパネルの検出感度が低下してしまう場合がある。

【0015】

本発明の一態様は、厚さの薄いタッチパネルを提供することを課題の一とする。または、視認性の高いタッチパネルを提供することを課題の一とする。または、軽量のタッチパネルを提供することを課題の一とする。または、消費電力が低減されたタッチパネルを提

50

供することを課題の一とする。

【0016】

または、新規な入力装置を提供することを課題の一とする。または、新規な入出力装置を提供することを課題の一とする。

【0017】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0018】

本発明の一態様は、第1の基板と、第1の導電層と、第2の導電層と、第3の導電層と、第4の導電層と、液晶層と、を有するタッチパネルである。第3の導電層は、第1の基板上に位置する。第4の導電層は、第3の導電層と同一面上に離間して位置する。液晶層は、第3の導電層よりも上側に位置する。第2の導電層は、液晶層よりも上側に位置する。第1の導電層は、第2の導電層よりも上側に位置する。第1の導電層は、複数の開口を有するメッシュ状の形状を有する。第2の導電層は、可視光を透過する機能を有し、且つ第3の導電層と重なる部分、及び第4の導電層と重なる部分を有する。第3の導電層及び第4の導電層は、可視光を透過する機能を有する。第3の導電層は、開口の一と重なる部分を有する。第4の導電層は、開口の他の一と重なる部分を有する。平面視において、第1の導電層は、第3の導電層と第4の導電層の間に位置する部分を有する。

10

20

【0019】

また、上記において、第2の導電層は、共通電極として機能し、第3の導電層及び第4の導電層は、それぞれ画素電極として機能することが好ましい。

【0020】

また、本発明の他の一態様は、第1の基板と、第1の導電層と、第2の導電層と、第3の導電層と、第4の導電層と、第5の導電層と、液晶層と、を有するタッチパネルである。第5の導電層は、第1の基板上に位置する。第5の導電層は、第3の導電層と重なる部分、及び第4の導電層と重なる部分を有する。第4の導電層は、第3の導電層と同一面上に離間して位置する。液晶層は、第3の導電層、及び第5の導電層よりも上側に位置する。第2の導電層は、液晶層よりも上側に位置する。第1の導電層は、第2の導電層よりも上側に位置する。第1の導電層は、複数の開口を有するメッシュ状の形状を有する。第2の導電層は、可視光を透過する機能を有し、且つ第3の導電層と重なる部分、及び第4の導電層と重なる部分を有する。第3の導電層は、開口の一と重なる部分を有する。第4の導電層は、開口の他の一と重なる部分を有する。第3の導電層及び第4の導電層と、第5の導電層の少なくとも一方は、可視光を透過する機能を有する。平面視において、第1の導電層は、第3の導電層と第4の導電層の間に位置する部分を有する。第3の導電層または第5の導電層は、櫛歯状の形状またはスリットを有する形状を有する。開口の一と、第3の導電層と、第5の導電層とが互いに重なる部分と、開口の一と、第3の導電層または第5の導電層の一方とが互いに重なり、且つ第3の導電層または第5の導電層の他の一方と重ならない部分と、を有する。

30

40

【0021】

また、上記において、第3の導電層及び第4の導電層は、それぞれ画素電極として機能し、第5の導電層は、共通電極として機能することが好ましい。

【0022】

また、上記において、第5の導電層は、第3の導電層及び第4の導電層よりも下側に位置することが好ましい。

【0023】

また、上記において、第2の導電層は、定電位が供給される端子と電氣的に接続されていることが好ましい。

【0024】

50

また、上記において、第1の導電層よりも上側に第2の基板を有し、第1の導電層及び第2の導電層は、第2の基板に形成されていることが好ましい。

【0025】

また、上記において、第1の導電層よりも上側に、遮光層を有し、遮光層と、第1の導電層とは、互いに重なる部分を有することが好ましい。

【0026】

また、上記において、第1の導電層よりも上側に、円偏光板を有することが好ましい。

【0027】

また、上記において、第3の導電層よりも上側に、第1の着色層及び第2の着色層を有し、第1の着色層は、開口の一と重なる領域を有し、第2の着色層は、開口の他の一と重なる領域を有することが好ましい。このとき、第1の導電層は、第1の着色層と第2の着色層の少なくとも一方と重なる部分を有することが好ましい。

10

【0028】

また、上記において、第3の導電層よりも上側であって、第2の導電層よりも下側に、スペーサを有し、スペーサは、第1の導電層と重なる部分を有することが好ましい。

【0029】

また、上記において、液晶層と、第1の基板との間にトランジスタを有し、トランジスタのソース又はドレインの一方と、第3の導電層とは、電気的に接続され、トランジスタは、酸化物半導体を含む半導体層を有することが好ましい。このとき、トランジスタは、第1のゲート電極及び第2のゲート電極を有し、第1のゲート電極は、半導体層よりも下側に位置し、第2のゲート電極は、半導体層よりも上側に位置し、第2のゲート電極と、半導体層と、第3の導電層とが、互いに重なる領域を有することが好ましい。また、第2のゲート電極と、半導体層とは、同一の金属元素を含むことが好ましい。

20

【0030】

または、上記において、液晶層と、第1の基板との間にトランジスタを有し、トランジスタのソース又はドレインの一方と、第3の導電層とは、電気的に接続され、トランジスタは、アモルファスシリコン、多結晶シリコン、または単結晶シリコンを含む半導体層を有することが好ましい。このとき、トランジスタは、第1のゲート電極及び第2のゲート電極を有し、第1のゲート電極は、半導体層よりも下側に位置し、第2のゲート電極は、半導体層よりも上側に位置し、第2のゲート電極と、半導体層と、第3の導電層とが、互

30

【発明の効果】

【0031】

本発明の一態様によれば、厚さの薄いタッチパネルを提供できる。または、視認性の高いタッチパネルを提供できる。または、軽量のタッチパネルを提供できる。または、消費電力が低減されたタッチパネルを提供できる。

【0032】

なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

40

【0033】

【図1】実施の形態に係る、タッチパネルモジュールの構成例。

【図2】実施の形態に係る、タッチパネルモジュールの構成例。

【図3】実施の形態に係る、タッチパネルモジュールの構成例。

【図4】実施の形態に係る、タッチパネルモジュールの構成例。

【図5】実施の形態に係る、タッチパネルモジュールの構成例。

【図6】実施の形態に係る、タッチパネルモジュールの構成例。

【図7】実施の形態に係る、タッチパネルモジュールの構成例。

【図8】実施の形態に係る、タッチパネルモジュールの構成例。

【図9】実施の形態に係る、タッチパネルモジュールの構成例。

50

- 【図10】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図11】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図12】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図13】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図14】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図15】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図16】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図17】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図18】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図19】実施の形態に係る、タッチパネルモジュールの構成例。 10
- 【図20】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図21】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図22】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図23】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図24】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図25】実施の形態に係る、タッチセンサの構成例。
- 【図26】実施の形態に係る、タッチセンサの構成例。
- 【図27】実施の形態に係る、タッチセンサの構成例。
- 【図28】実施の形態に係る、タッチパネルの構成例。
- 【図29】実施の形態に係る、タッチパネルの構成例。 20
- 【図30】実施の形態に係る、タッチセンサの回路図及びタイミングチャート図。
- 【図31】実施の形態に係る、タッチセンサを備える画素を説明する図。
- 【図32】実施の形態に係る、タッチセンサ及び画素の動作を説明する図。
- 【図33】トランジスタの一形態を説明する断面図。
- 【図34】トランジスタの一形態を説明する断面図。
- 【図35】トランジスタの一形態を説明する断面図。
- 【図36】トランジスタの一形態を説明する平面図および断面図。
- 【図37】トランジスタの一形態を説明する平面図および断面図。
- 【図38】トランジスタの一形態を説明する平面図および断面図。
- 【図39】トランジスタの一形態を説明する平面図および断面図。 30
- 【図40】トランジスタの一形態を説明する平面図および断面図。
- 【図41】エネルギーバンド構造を説明する図。
- 【図42】トランジスタの一形態を説明する平面図および断面図。
- 【図43】トランジスタの一形態を説明する平面図および断面図。
- 【図44】トランジスタの一形態を説明する平面図および断面図。
- 【図45】トランジスタの一形態を説明する平面図および断面図。
- 【図46】トランジスタの一形態を説明する平面図および断面図。
- 【図47】トランジスタの一形態を説明する断面図。
- 【図48】トランジスタの一形態を説明する平面図および断面図。
- 【図49】トランジスタの一形態を説明する平面図および断面図。 40
- 【図50】実施の形態に係る、タッチパネルモジュールのブロック図。
- 【図51】実施の形態に係る、タッチパネルモジュールの構成例。
- 【図52】実施の形態に係る表示モジュールを説明する図。
- 【図53】実施の形態に係る電子機器を説明する図。
- 【図54】実施の形態に係る電子機器を説明する図。
- 【発明を実施するための形態】
- 【0034】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態

の記載内容に限定して解釈されるものではない。

【0035】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0036】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0037】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0038】

なお、「膜」という言葉と、「層」という言葉とは、互いに入れ替えることが可能である場合がある。例えば、「導電層」という用語を、「導電膜」という用語に変更することや、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0039】

(実施の形態1)

本実施の形態では、本発明の一態様の入力装置(タッチセンサ)の構成例、及び本発明の一態様の入力装置と表示装置(表示パネル)を備える入出力装置(タッチパネル)の構成例について、図面を参照して説明する。

【0040】

以下では、本発明の一態様のタッチセンサとして、静電容量方式のタッチセンサを適用した場合について説明する。

【0041】

なお、本明細書等において、タッチパネルは表示面に画像等を表示(出力)する機能と、表示面に指やスタイラスなどの被検知体が触れる、または近接することを検出するタッチセンサとしての機能と、を有する。したがってタッチパネルは入出力装置の一態様である。

【0042】

また、本明細書等では、タッチパネルが有する基板に、例えばFPC(Flexible Printed Circuit)もしくはTCP(Tape Carrier Package)などのコネクタが取り付けられたもの、または基板にCOG(Chip On Glass)方式によりIC(集積回路)が実装されたものを、タッチパネルモジュール、または単にタッチパネルと呼ぶ場合がある。

【0043】

本発明の一態様に適用できる静電容量方式のタッチセンサは、一对の導電層を備える。一对の導電層の間には容量結合が生じている。一对の導電層に被検知体が触れる、または近接することにより一对の導電層間の容量の大きさが変化することを利用して、検出を行うことができる。

【0044】

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。投影型静電容量方式としては、主に駆動方式の違いから、自己容量方式、相互容量方式などがある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

【0045】

またタッチセンサを構成する一对の導電層は、それぞれ開口を有することが好ましい。より好ましくは、複数の開口を有するメッシュ状の形状を有することが好ましい。そして当該開口と、表示素子とが互いに重なるように配置する構成とすることが好ましい。こうすることで、表示素子からの光が当該開口を介して外部に射出されるため、タッチセンサ

10

20

30

40

50

を構成する一対の導電層は、透光性を有する必要がなくなる。すなわち、タッチセンサを構成する一対の導電層の材料として、透光性導電性材料よりも低抵抗な金属や合金などの材料を適用することが可能となる。したがって検知信号の遅延などの影響が低減され、タッチパネルの検出感度を高めることができる。さらに、このような構成は、携帯型の機器だけでなくテレビジョン等の大型の表示装置にも好適に適用することができる。

【0046】

また、タッチセンサを構成する一対の導電層は、平面視において、2つの表示素子の間の領域と重ねて配置することが好ましい。このとき、当該一対の導電層に可視光を遮光する材料を用いることがより好ましい。そうすることで当該一対の導電層は、隣接画素間の混色を抑制するための遮光層としても機能させることができる。そのため、遮光層としてブラックマトリクス等を別途形成する必要がなく、製造工程を簡略化することができ、歩留りの向上、及び生産コストの低減などが期待できる。またこのようなタッチセンサを適用することで、視認性に優れたタッチパネルを実現できる。

【0047】

また、タッチセンサを構成する一対の導電層よりも表示面側に、遮光層、または円偏光板を備える構成とすることが好ましい。こうすることで、当該導電層による外光の反射を抑制する、または防ぐことができ、当該導電層が使用者に視認されてしまうことを防止することができる。

【0048】

またこのとき、タッチセンサを構成する一対の導電層が、表示素子からの光の光路を避けて配置されているため、原理的にモアレが生じないという効果を奏する。ここでモアレとは、2以上の周期性を有するパターンを重ねたときに生じる干渉縞のことをいう。そのため、極めて表示品位の高いタッチパネルを実現することができる。

【0049】

また、本発明の一態様のタッチパネルが有する表示素子としては、液晶素子、MEMS (Micro Electro Mechanical Systems) を利用した光学素子、有機EL (Electro Luminescence) 素子や発光ダイオード (LED: Light Emitting Diode) 等の発光素子、電気泳動素子など、様々な表示素子を用いることができる。

【0050】

ここで、タッチパネルには表示素子として液晶素子を用いた、透過型の液晶表示装置を適用することが好ましい。

【0051】

さらに、タッチセンサを構成する一対の導電層を、タッチパネルが有する一対の基板の内側に配置することが好ましい。この時特に、タッチセンサを構成する導電層として複数の開口を有する形状とすることが好ましい。このような導電層はその表面積を低減することができる。そのため例えばタッチセンサを構成する導電層に開口を有さない透光性を有する導電膜を用いた場合に比べて、表示素子を駆動させる際の電氣的なノイズが当該導電層へ伝わりにくい構成とすることができる。すなわち、一対の基板の間に表示素子とタッチセンサを構成する導電膜の両方を挟持しても、高い検出感度を実現することができる。その結果、薄い厚さと、高い検出感度が両立されたタッチパネルを実現することができる。

【0052】

そして、タッチセンサを構成する一対の導電層と、表示素子を駆動する回路との間に、定電位を供給可能な導電層を設けることがより好ましい。このような導電層は、シールド層として機能させることができる。具体的には、当該導電層により、表示素子を駆動する回路からのノイズがタッチセンサに伝わることを防ぐことができる。同時に、当該導電層により、タッチセンサを駆動した時のノイズが、表示素子や表示素子を駆動する回路、または当該回路を構成する配線などに伝わることを防ぐこともできる。そのため、例えば表示素子を駆動させるタイミングと、タッチセンサを駆動させるタイミングとをずらすこと

10

20

30

40

50

によりノイズの影響を抑制するなどといった対策を講じることなく、表示素子とタッチセンサの両方を同時に駆動させることや、これらの駆動のタイミングを同期させずに駆動することなどが可能となる。したがって、例えば表示素子の駆動周波数（フレームレートともいう）を高めることで滑らかな動画表示を行うことができる。また例えばタッチセンサの駆動周波数を高めることで、より検知精度を高めることが可能となる。また表示素子の駆動周波数と、タッチセンサの駆動周波数とをそれぞれ個別に自由に設定することができる。例えば、状況によりいずれか一方、または両方の駆動周波数を低く設定する期間を設けることで、消費電力の低減を図ることも可能となる。

【0053】

特に、液晶素子の共通電極及び画素電極として機能する一对の導電層のうち、画素電極が一方の基板側に設けられ、共通電極が他方の基板側に設けられた縦電界方式の液晶素子を用いることが好ましい。すなわち、画素を構成するトランジスタや配線と、タッチセンサを構成する一对の導電層との間に、共通電極が位置するような構成とすることが好ましい。このような構成とすることで、共通電極をシールド層として機能させることができる。

10

【0054】

以下では、本発明の一態様のより具体的な構成例について、図面を参照して説明する。

【0055】

[構成例]

図1(A)は、本発明の一態様のタッチパネルモジュール10の斜視概略図である。また、図1(B)は、タッチパネルモジュール10の一对の基板を分離した斜視概略図である。タッチパネルモジュール10は、基板31と、基板21とが貼り合わされた構成を有する。タッチセンサ22は、基板21側に設けられている。

20

【0056】

基板21には、FPC41が設けられている。また基板21の表示パネル側の面にタッチセンサ22を有する。タッチセンサ22は、導電層23、導電層24、導電層25等を有する。またこれら導電層とFPC41とを電氣的に接続する配線29を有する。FPC41は、タッチセンサ22に外部からの信号を供給する機能を有する。または、FPC41は、タッチセンサ22からの信号を外部に出力する機能を有する。なお、FPC41を備えない形態を、単にタッチパネルと呼ぶことがある。

30

【0057】

なお、タッチセンサ22が形成された基板21は、単体でタッチセンサ基板、またはタッチセンサモジュールとして用いることもできる。例えば、このような基板を、表示パネルの表示面側に貼り付けることで、タッチパネルを形成することもできる。

【0058】

タッチセンサ22は、複数の導電層23、複数の導電層24、及び複数の導電層25を有する。導電層23は、一方向に延伸した形状を有する。また導電層23は延伸方向と交差する方向に複数並べて配置されている。複数の導電層24は、隣接する2つの導電層23の間に位置するように設けられている。導電層25は、導電層23の延伸方向と交差する方向に沿って隣接する2つの導電層24を電氣的に接続する。すなわち導電層23の延伸方向と交差する方向に沿って配置された複数の導電層24は、複数の導電層25によって電氣的に接続されている。

40

【0059】

ここで、導電層23と導電層25とは互いに重なる領域を有する。また導電層23と導電層25との間には絶縁層が設けられている。

【0060】

隣接する導電層23と導電層24との間には容量結合が生じている。すなわち、導電層23と導電層24により、容量素子11が形成されている。例えば投影型静電容量方式の駆動方法を用いる場合には、導電層23と導電層24のうち一方を送信側の電極として、他方を受信側の電極として用いることができる。

50

【0061】

なお、ここでは複数の導電層24を導電層25によって電氣的に接続する構成としたが、導電層24を導電層23と同様に一方向に延伸した形状とし、導電層23と導電層24との間に絶縁層を有する構成とすることで、導電層25を設けない構成としてもよい。このとき、導電層23と導電層24の互いの一部が重なる。

【0062】

なお、導電層23、導電層24、導電層25などの導電膜、つまり、タッチパネルを構成する配線や電極に用いることのできる材料として、例えば、抵抗値が低いものが望ましい。一例として、銀、銅、アルミニウムなどの金属を用いてもよい。さらに、非常に細くした（例えば、直径または幅が数ナノメートル）多数の導電体を用いて構成されるような金属ナノワイヤを用いてもよい。一例としては、Agナノワイヤ、Cuナノワイヤ、Alナノワイヤなどを用いてもよい。Agナノワイヤの場合、例えば光透過率は89%以上、シート抵抗値は40 / 以上100 / 以下を実現することができる。なお、このような金属ナノワイヤは透過率が高いため、表示素子に用いる電極、例えば、画素電極や共通電極に、当該金属ナノワイヤを用いてもよい。

10

【0063】

または、導電層23、導電層24、及び導電層25等のうち、少なくとも一つに導電性酸化物を用いることもできる。例えば酸化インジウム、酸化錫または酸化亜鉛を含む導電性材料を用いてもよい。また、導電層23、導電層24、または導電層25に可視光を透過する材料を用いた場合、当該導電層と表示素子とが重なるように配置し、表示素子からの光が当該導電層を介して射出される構成としてもよい。すなわち、可視光を透過する材料を用いた場合では、当該導電層はメッシュ状の上面形状を有さなくてもよい。

20

【0064】

基板31上には、表示部32が設けられている。表示部32は、マトリクス状に配置された複数の画素33を有する。画素33は、複数の副画素回路を備えていることが好ましい。副画素回路は、それぞれ表示素子と電氣的に接続する。また基板31上には、表示部32内の画素33と電氣的に接続する回路34を備えることが好ましい。回路34は、例えばゲート駆動回路として機能する回路を適用することができる。FPC42は、表示部32または回路34の少なくとも一に、外部からの信号を供給する機能を有する。なお、基板31、またはFPC42に、ソース駆動回路として機能するICを実装することが好ましい。ICは、COG方式により基板31に実装してもよいし、ICが実装されたFPC42、またはTAB、TCP等を取り付けることもできる。

30

【0065】

本発明の一態様のタッチパネルモジュールは、タッチセンサ22によりタッチ動作が行われた際の容量の変化に基づき、位置情報を出力することができる。また表示部32により、画像を表示することができる。

【0066】

〔断面構成例〕

以下では、タッチパネルモジュール10の断面構成の例について、図面を参照して説明する。以下で例示するタッチパネルモジュール10は、表示素子としてVA(Vertical Alignment)モードが適用された透過型の液晶素子を適用したものである。

40

【0067】

〔断面構成例1〕

図2は、タッチパネルモジュール10の断面概略図である。図2では、図1(A)におけるFPC42を含む領域、回路34を含む領域、表示部32を含む領域、FPC41を含む領域などの断面の一例を示している。

【0068】

基板21と、基板31とは、接着層141によって貼り合わされている。また基板21、基板31、及び接着層141に囲まれた領域に、液晶112が封止されている。また、

50

基板 2 1 の外側の面には偏光板 1 3 0 a を有する。また基板 3 1 の外側の面には偏光板 1 3 0 b を有する。

【0069】

また図示しないが、偏光板 1 3 0 a よりも外側、または偏光板 1 3 0 b よりも外側に、バックライトを設けることができる。バックライトとしては、直下型のバックライトであってもよいし、エッジライト型のバックライトであってもよい。LED (Light Emitting Diode) を備える直下型のバックライトを用いると、ローカルディミングが容易となり、コントラストを高めることができるため好ましい。また、エッジライト型のバックライトを用いると、バックライトを含めたタッチパネルモジュールの厚さを低減できるため好ましい。

10

【0070】

基板 3 1 と基板 2 1 との間には、導電層 2 3 及び導電層 2 4 を含むタッチセンサ 2 2 、接続部 1 0 1 、配線 2 9 、表示素子 6 0 、トランジスタ 2 0 1 、トランジスタ 2 0 2 、容量素子 2 0 3 、接続部 2 0 4 、配線 3 5 等が設けられている。

【0071】

基板 3 1 上には、絶縁層 2 1 1 、絶縁層 2 1 2 、絶縁層 2 1 3 、絶縁層 2 1 4 等の絶縁層が設けられている。絶縁層 2 1 1 は、その一部が各トランジスタのゲート絶縁層として機能し、また他の一部は容量素子 2 0 3 の誘電体としての機能を有する。絶縁層 2 1 2 、絶縁層 2 1 3 、及び絶縁層 2 1 4 は、各トランジスタや容量素子 2 0 3 等を覆って設けられている。絶縁層 2 1 4 は、平坦化層としての機能を有する。なお、ここではトランジスタ等を覆う絶縁層として、絶縁層 2 1 2 、絶縁層 2 1 3 、絶縁層 2 1 4 の 3 層を有する場合を示しているが、これに限られず 4 層以上であってもいいし、単層、または 2 層であってもよい。また平坦化層として機能する絶縁層 2 1 4 は、不要であれば設けなくてもよい。

20

【0072】

また、基板 3 1 上には、導電層 2 2 1 、導電層 2 2 2 、導電層 2 2 3 、半導体層 2 3 1 、導電層 1 1 1 等が設けられている。ここでは、同一の導電膜を加工して得られる複数の層に同じ符号を付して説明する場合がある。

【0073】

導電層 2 2 1 は、各トランジスタの一方のゲート電極や、容量素子 2 0 3 の一方の電極、または配線などに用いることができる。導電層 2 2 2 は、各トランジスタのソース電極またはドレイン電極、容量素子 2 0 3 の他方の電極、若しくは配線などに用いることができる。導電層 2 2 3 は、各トランジスタの他方のゲート電極や、配線などに用いることができる。半導体層 2 3 1 は、各トランジスタの半導体層などに用いることができる。

30

【0074】

図 2 では、表示部 3 2 の例として、副画素 3 3 R と、これに隣接する副画素 3 3 G 及び副画素 3 3 B の一部の断面を示している。例えば、副画素 3 3 R は赤色を呈する副画素、副画素 3 3 G は緑色を呈する副画素、副画素 3 3 B は青色を呈する副画素とすることで、フルカラーの表示を行うことができる。例えば副画素 3 3 R は、トランジスタ 2 0 2 と、容量素子 2 0 3 と、表示素子 6 0 と、着色層 1 3 1 R と、を有する。ここで、トランジスタ 2 0 2 、容量素子 2 0 3 、及び配線等により副画素回路が構成されている。

40

【0075】

図 2 では、回路 3 4 の例としてトランジスタ 2 0 1 が設けられている例を示している。

【0076】

図 2 では、トランジスタ 2 0 1 及びトランジスタ 2 0 2 の例として、チャンネルが形成される半導体層 2 3 1 を 2 つのゲート電極 (導電層 2 2 1 、導電層 2 2 3) で挟持する構成を適用した例を示している。このような構成とすることで、トランジスタのしきい値電圧を制御することができる。また導電層 2 2 1 と導電層 2 2 3 とを接続し、2 つのゲート電極によって駆動してもよい。このようなトランジスタは他のトランジスタと比較して電界効果移動度を高めることが可能であり、オン電流を増大させることができる。その結果、

50

高速動作が可能な回路を作製することができる。さらには回路部の占有面積を縮小することが可能となる。オン電流の大きなトランジスタを適用することで、表示パネルまたはタッチパネルを大型化、または高精細化したときに配線数が増大したとしても、各配線における信号遅延を低減することが可能であり、表示ムラを抑制することが可能である。

【0077】

なお、図3に示すように、導電層223を設けない構成としてもよい。導電層223を設けないことにより、タッチパネルの作製工程を簡略化させ、製造コストを低減することができる。

【0078】

なお、回路34が有するトランジスタと、表示部32が有するトランジスタは、同じ構造であってもよい。また回路34が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。また、表示部32が有する複数のトランジスタは、全て同じ構造であってもよいし、異なる構造のトランジスタを組み合わせ用いてもよい。

10

【0079】

各トランジスタを覆う絶縁層212、絶縁層213のうち少なくとも一方は、水や水素などの不純物が拡散しにくい材料を用いることが好ましい。すなわち、絶縁層212または絶縁層213はバリア膜として機能させることができる。このような構成とすることで、トランジスタに対して外部から不純物が拡散することを効果的に抑制することが可能となり、信頼性の高いタッチパネルを実現できる。

20

【0080】

絶縁層214上に導電層111が設けられている。導電層111は、絶縁層214、絶縁層213、絶縁層212等に形成された開口を介して、トランジスタ202のソース又はドレインの一方と電気的に接続されている。また導電層111は、容量素子203の一方の電極と電気的に接続されている。

【0081】

基板21の基板31側の面には、導電層23、導電層24、導電層25、配線29、絶縁層121、オーバーコート123、スペーサ124、着色層131G(図示しない)、着色層131R、着色層131B、遮光層132、導電層113等が設けられている。

【0082】

図2では、導電層23と導電層24の交差部の断面を示している。導電層23と導電層24とは同一面上に設けられている。導電層25は、導電層23及び導電層24を覆う絶縁層121上に設けられ、その一部が導電層23と重なっている。導電層23を挟む2つの導電層24は、絶縁層121に設けられた開口を介して導電層25と電気的に接続している。

30

【0083】

遮光層132、及び着色層131R等は、絶縁層121上に設けられている。また遮光層132、着色層131R等を覆ってオーバーコート123が設けられている。オーバーコート123上には、導電層113が設けられている。

【0084】

図2では、表示素子60が導電層111と、導電層113の一部と、これらに挟持された液晶112により構成されている。

40

【0085】

なお、導電層111、導電層113、絶縁層214等において、液晶112と接する面には、液晶112の配向を制御するための配向膜が設けられていてもよい。

【0086】

図2に示す構成では、導電層23等が表示素子60と重ならないように配置されている例を示している。言い換えると、導電層23が有する開口と、表示素子60とが重なるように、導電層23が配置されている。または、導電層23は隣接する2つの副画素が有する、2つの導電層111の間の領域と重なるように配置されている。なお、ここでは導電

50

層 2 3 の例を示しているが、導電層 2 4 や導電層 2 5 も同様に、表示素子 6 0 と重ならないように配置されていることが好ましい。

【 0 0 8 7 】

表示素子 6 0 において、導電層 1 1 1 及び導電層 1 1 3 は可視光を透過する機能を有する。このような構成により、表示素子 6 0 を透過型の液晶素子とすることができる。例えばバックライトを基板 3 1 側に配置した場合、偏光板 1 3 0 b により偏光されたバックライトからの光は、基板 3 1 及び導電層 1 1 1、液晶 1 1 2、及び導電層 1 1 3、基板 2 1 を透過し偏光板 1 3 0 a に達する。このとき、導電層 1 1 1 と導電層 1 1 3 の間に与える電圧によって液晶 1 1 2 の配向を制御し、光の光学変調を制御することができる。すなわち、偏光板 1 3 0 a を介して射出される光の強度を制御することができる。また入射される光は着色層 1 3 1 R によって特定の波長領域以外の光が吸収されることにより、取り出される光は例えば赤色を呈する光となる。

10

【 0 0 8 8 】

ここで、偏光板 1 3 0 a として直線偏光板を用いてもよいが、円偏光板を用いることもできる。円偏光板としては、例えば直線偏光板と 1 / 4 波長位相差板を積層したものをを用いることができる。特に図 2 に示すように、遮光層 1 3 2 よりも基板 2 1 側にタッチセンサを構成する導電層 2 3、導電層 2 4 (及び導電層 2 5) を配置した場合、当該導電層が外光を反射し、その反射光が視認されてしまう場合がある。このとき、偏光板 1 3 0 a に円偏光板を用いることで、反射を抑制することができる。

20

【 0 0 8 9 】

なお、偏光板 1 3 0 a として円偏光板を用いた場合、偏光板 1 3 0 b にも円偏光板を用いてもよいし、通常の直線偏光板を用いることもできる。偏光板 1 3 0 a、偏光板 1 3 0 b に適用する偏光板の種類に応じて、表示素子 6 0 に用いる液晶素子のセルギャップ、配向、駆動電圧等を調整することで、所望のコントラストが実現されるようにすればよい。

【 0 0 9 0 】

ここでは、表示素子 6 0 として、タッチパネルモジュール 1 0 の厚さ方向に一对の電極を配置し、液晶 1 1 2 に対して厚さ方向に電界をかける方式を示している。なお電極の配置方法としてはこれに限られず、厚さ方向に垂直な方向に電界をかける方式を適用してもよい。

30

【 0 0 9 1 】

特に、タッチパネルモジュール 1 0 にノーマリーブラック型の液晶表示装置、例えば垂直配向 (V A) モードを採用した透過型の液晶表示装置を適用することが好ましい。垂直配向モードとしては、MVA (Multi - Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。

【 0 0 9 2 】

また、表示素子 6 0 に適用可能な液晶素子としては、様々なモードが適用された液晶素子を用いることができる。例えばVAモードのほかに、TN (Twisted Nematic) モード、IPS (In - Plane - Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro - cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (Antiferroelectric Liquid Crystal) モード等が適用された液晶素子を用いることができる。

40

【 0 0 9 3 】

なお、液晶素子は、液晶の光学的変調作用によって光の透過または非透過を制御する素子である。なお、液晶の光学的変調作用は、液晶にかかる電界 (横方向の電界、縦方向の電界又は斜め方向の電界を含む) によって制御される。なお、液晶素子に用いる液晶とし

50

ては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（P D L C : Polymer Dispersed Liquid Crystal）、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0094】

また、液晶材料としては、ポジ型の液晶、またはネガ型の液晶のいずれを用いてもよく、適用するモードや設計に応じて最適な液晶材料を用いればよい。

【0095】

ここで、導電層113は例えば共通電極として用いることができ、また導電層111は例えば画素電極として用いることができる。

10

【0096】

図2において、導電層113は、導電層23、導電層24、導電層25等と重ねて配置されている。そのため、導電層113に共通電位、接地電位、または任意の定電位を与えることにより、導電層23、導電層24、及び導電層25を駆動させたときに、基板31側に発せられる電気的なノイズを遮蔽することができる。また同時に、基板31側に設けられた副画素回路を駆動させたときに、基板21側に発せられる電気的なノイズを遮蔽することができる。

【0097】

基板31の端部に近い領域には、接続部204が設けられている。接続部204は、接続層242を介してFPC42と電気的に接続されている。図2に示す構成では、配線35の一部と、導電層223を積層することで接続部204を構成している例を示している。また基板21の端部に近い領域には、接続部101が設けられている。接続部101は、接続層241を介してFPC41と電気的に接続されている。図2に示す構成では、配線29の一部と、導電層25と同一の導電膜を加工して得られた導電層と、導電層113と同一の導電膜を加工して得られた導電層と、を積層して接続部101を構成している例を示している。

20

【0098】

また図2では、一例として配線として機能する導電層221と、配線として機能する導電層222との交差部の断面構造を示している。例えば、導電層221を走査線として機能する配線、および容量線として機能する配線の一方または両方として用い、導電層222を信号線として機能する配線として用いることができる。

30

【0099】

ここで、偏光板130aよりも上部に、指またはスタイラスなどの被検知体が直接接触する基板を設けてもよい。その場合、当該基板上に保護層（セラミックコート等）を設けることが好ましい。保護層は、例えば酸化シリコン、酸化アルミニウム、酸化イットリウム、イットリア安定化ジルコニア（YSZ）などの無機絶縁材料を用いることができる。また、当該基板に強化ガラスを用いてもよい。強化ガラスは、イオン交換法や風冷強化法等により物理的、または化学的な処理が施され、その表面に圧縮応力を加えたものを用いることができる。

【0100】

オーバーコート123は、着色層131R等に含まれる顔料などの不純物が液晶112に拡散することを防ぐ機能を有する。

40

【0101】

スペーサ124は、導電層113上に設けられ、基板21と基板31との距離が一定以上近づくことを防ぐ機能を有する。図2ではスペーサ124と基板31側の構造物（例えば導電層111や絶縁層214等）とが接触していない例を示すが、これらが接していてもよい。またここではスペーサ124が基板21側に設けられている例を示したが、基板31側に設けてもよい。例えば、隣接する2つの副画素が有する、2つの導電層111の間に配置すればよい。または、スペーサ124として粒状のスペーサを用いてもよい。粒状のスペーサとしては、シリカなどの材料を用いることもできるが、有機樹脂やゴムなど

50

の弾性を有する材料を用いることが好ましい。このとき、粒状のスペーサは上下方向に潰れた形状となる場合がある。

【0102】

ここで、図2に示すようにスペーサ124と導電層23（または導電層24、導電層25）と重ねて配置することが好ましい。または、スペーサ124と遮光層132とを重ねて配置することが好ましい。こうすることで、表示素子60が配置される部分にはスペーサ124が配置されないため、スペーサ124によって光が吸収、屈折または散乱などされることがないため、光の取り出し効率を向上させることができる。

【0103】

本発明の一態様のタッチパネルモジュール10において、導電層23、導電層24及び導電層25は、隣接する副画素間の混色を抑制する遮光層として機能させることもできる。図3では、導電層23、導電層24及び導電層25が遮光層を兼ね、遮光層132を有さない場合の例を示している。このとき、導電層23、導電層24及び導電層25として、可視光を遮光する材料を用いることが好ましい。または、可視光を反射する材料を用いてもよい。また、可視光を反射する材料を含む層と、これよりも基板31側に可視光の少なくとも一部を吸収する層を積層した構成とすると、導電層111を透過した光のうち、導電層23等に達する光が再度基板31側に反射することを抑制できるため好ましい。

10

【0104】

また、図4に示すように、隣接する2つの着色層の端部を重ねて、導電層23等と重ねて配置する構成とすることもできる。図4では、副画素33Gと副画素33Rの境界付近において、導電層23と、着色層131Gの端部と、着色層131Rの端部が重ねて設けられている。また副画素33Rと副画素33Bの境界付近において、導電層23と、着色層131Rの端部と、着色層131Bの端部が重ねて設けられている。こうすることで、新たに可視光を吸収する層を設ける必要がないため、製造コストを削減できる。また、導電層23等と重ねて配置する着色層は1層のみでもよいが、2色以上の着色層を重ねることで、より効果的に可視光を吸収する効果を高めることができる。

20

【0105】

また、図5に示すように、タッチセンサ22を構成する導電層23、導電層24、及び導電層25よりも基板21側に、遮光層132や着色層131R等を配置する構成としてもよい。こうすることで、導電層23、導電層24、及び導電層25に基板21側からの外光が達することがないため、導電層23、導電層24、及び導電層25が視認されてしまうことを防止することができる。また図5では、遮光層132や着色層131R等を覆って絶縁層126が設けられている。絶縁層126は、平坦化層として機能する材料を用いることが好ましい。

30

【0106】

また、図6に示すように、タッチセンサ22を構成する導電層23、導電層24、及び導電層25よりも基板21側に遮光層132を配置し、またこれらよりも基板31側に着色層131R等を配置する構成としてもよい。

【0107】

また、図7に示すように、着色層131R等を基板31側に配置してもよい。またこのとき、遮光層132は、図7に示すように基板21側に設けてもよいし、基板31側に配置してもよい。または、遮光層132を設けない構成としてもよい。

40

【0108】

また、図8に示すように、基板21側に接続部101を設けない構成としてもよい。図8では、接続体243により、基板31側に配置された導電層と、基板21側に配置された導電層とを電氣的に接続する構成を示している。これにより、基板21側に配置される配線29と、基板31側に配置される配線とを電氣的に接続することができる。また基板31側に配置されるFPC（図示しない）やIC（図示しない）から導電層24に信号を供給する、または導電層24からFPCやICに信号を送信することができる。

【0109】

50

またこのとき、タッチセンサ 2 2 を構成する導電層 2 3 や導電層 2 4 と電氣的に接続する配線 2 9 だけでなく、導電層 1 1 3 も同様に、接続体 2 4 3 により基板 3 1 側に配置された配線と電氣的に接続することができる。その場合には、基板 3 1 側に配置される F P C や I C から、導電層 1 1 3 に電位や信号を供給することができる。

【 0 1 1 0 】

接続体 2 4 3 としては、例えば導電性の粒子を用いることができる。導電性の粒子としては、有機樹脂またはシリカなどの粒子の表面を金属材料で被覆したものをを用いることができる。金属材料としてニッケルや金を用いると接触抵抗を低減できるため好ましい。またニッケルをさらに金で被覆するなど、2 種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また接続体 2 4 3 として弾性変形、または塑性変形する材料を用いることが好ましい。このとき導電性の粒子は図 8 に示すように上下方向に潰れた形状となる場合がある。こうすることで接続体 2 4 3 と、これと電氣的に接続する導電層との接触面積が増大し、接触抵抗が低減できるほか、接続不良などの不具合の発生を抑制できる。

10

【 0 1 1 1 】

接続体 2 4 3 は接着層 1 4 1 に覆われるように配置することが好ましい。例えば接着層 1 4 1 となるペースト等を塗布した後に、接続体 2 4 3 を配置すればよい。例えば固体封止構造の表示装置や中空封止構造の表示装置のような、接着層 1 4 1 を周辺に用いる構成に、接着層 1 4 1 が設けられる部分に接続体 2 4 3 を配置する構成を適用することができる。

20

【 0 1 1 2 】

また、図 9 に示すように、容量素子 2 0 3 を導電層 1 1 1 と、導電層 1 1 4 と、これらの上に位置する絶縁層 2 1 5 により形成してもよい。図 9 では、絶縁層 2 1 4 上に導電層 1 1 4 が設けられ、導電層 1 1 4 を覆う絶縁層 2 1 5 が設けられ、絶縁層 2 1 5 上に導電層 1 1 1 が設けられている。ここで表示素子 6 0 を透過型の液晶素子とする場合には、導電層 1 1 4 に導電層 1 1 1 と同様に透光性を有する材料を用いることができる。

【 0 1 1 3 】

以上が断面構成例 1 についての説明である。

【 0 1 1 4 】

〔断面構成例 2〕

以下では、上記断面構成例 1 とは異なるモードの液晶素子が適用されたタッチパネルモジュール 1 0 の断面構成例について説明する。なお以下では、上記と重複する部分については説明を省略し、相違点について説明する。

30

【 0 1 1 5 】

図 1 0 には、表示素子 6 0 に F F S モードが適用された液晶素子を用いた場合の例を示している。表示素子 6 0 は、導電層 1 5 1、液晶 1 5 2、及び導電層 1 5 3 を有する。

【 0 1 1 6 】

絶縁層 2 1 4 上に、導電層 1 5 3 が配置されている。また導電層 1 5 3 を覆って絶縁層 2 1 5 が設けられ、絶縁層 2 1 5 上に導電層 1 5 1 が設けられている。導電層 1 5 1 は、絶縁層 2 1 5、絶縁層 2 1 4、絶縁層 2 1 3、絶縁層 2 1 2 に設けられた開口を介してトランジスタ 2 0 2 のソース又はドレインの一方と電氣的に接続されている。

40

【 0 1 1 7 】

導電層 1 5 1 は、櫛歯状の上面形状、またはスリットが設けられた上面形状を有する。また、導電層 1 5 3 は導電層 1 5 1 と重ねて配置されている。また着色層 1 3 1 R 等と重なる領域において、導電層 1 5 3 上に導電層 1 5 1 が配置されていない部分を有する。

【 0 1 1 8 】

図 1 0 では、導電層 1 5 1 が画素電極として機能し、導電層 1 5 3 が共通電極として機能する。なお、上層に設けられ、櫛歯状またはスリット状の上面形状を有する導電層 1 5 1 を共通電極とし、下層に設けられる導電層 1 5 3 を画素電極として用いることもできる。その場合には、導電層 1 5 3 をトランジスタ 2 0 2 のソース又はドレインの一方と電氣

50

的に接続すればよい。

【0119】

また、導電層151と導電層153とが絶縁層215を介して積層され、ここに容量素子203が形成されている。そのため容量素子を別途形成する必要がなく、画素の開口率を高めることができる。

【0120】

ここで、FFSモードやIPSモードのように横電界を用いるモードの場合であっても、導電層113を設けることで、これをノイズの影響を抑制するシールド層として機能させることができる。このとき、導電層113には液晶152のスイッチングに影響しない定電位を供給すればよい。例えば接地電位、共通電位、または任意の定電位を用いることができる。また例えば、導電層153と導電層113とを同電位としてもよい。

10

【0121】

ここで、導電層153として可視光を透過する導電性材料を用いることで、透過型の液晶素子とすることができる。また導電層151及び導電層153の両方に、可視光を透過する導電性材料を用いると、開口率をより高めることができるため好ましい。

【0122】

なお、反射型の液晶素子とする場合には、導電層151及び導電層153のいずれか、または両方に、可視光を反射する材料を用いればよい。これらの両方に可視光を反射する材料を用いると開口率を高めることができる。また、導電層153に可視光を反射する材料を用い、導電層151に可視光を透過する材料を用いてもよい。

20

【0123】

または、導電層151に可視光を反射する材料を用い、導電層153に可視光を透過する材料を用いることで、半透過型の液晶素子を実現してもよい。このとき、導電層151で反射した光を用いる反射モードと、導電層151に設けられたスリットを介して透過するバックライトからの光を用いる透過モードと、を切り替えることができる。

【0124】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性である。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

30

【0125】

なお、図10では、遮光層132を導電層25の上面に接して設ける場合を示しているが、これらの間に絶縁層を設け、これらが接しない構成としてもよい。

【0126】

図11は、図10に対して導電層223を有さない場合を示している。導電層153を共通電極として用いる場合には、図11に示すように、トランジスタ202の半導体層231と、導電層151との間に導電層153を配置することが好ましい。これにより、導電層151の電界の影響が半導体層231に伝わることを抑制することができる。

40

【0127】

また、接続部204は、配線35の一部と、導電層224を積層することで構成している。導電層224としては、スパッタリング法を用い、酸素ガスを含む雰囲気にて成膜することが好ましい。こうすることで、導電層224の被形成面となる絶縁層212に酸素または過剰酸素を添加することができる。また、トランジスタ201、202の半導体層に酸化物半導体を適用した場合、当該過剰酸素により当該半導体層中の酸素欠損が補填され、信頼性の高いトランジスタを実現することができる。また、絶縁層212、酸化物半

50

導電層、またはこれらの両方に過剰の酸素を供給する場合において、絶縁層 2 1 3 は、酸素の透過を抑制することができる材料を用いることが好ましい。

【0128】

また、図 1 1 では、接続部 2 0 4 以外の領域では、導電層 2 2 4 をエッチングにより除去している例を示しているが、図 1 0 等に示す導電層 2 2 3 と同様に、トランジスタの他方のゲート電極等、他の電極や配線として利用してもよい。

【0129】

なおここでは、表示素子 6 0 を構成する一对の導電層（導電層 1 5 1、導電層 1 5 3）のうち、上側に位置する導電層 1 5 3 を画素電極として、下側に位置する導電層 1 5 1 を共通電極として用いる例を示したが、これに限られない。例えば下側に位置する導電層 1 5 1 を画素電極として、また上側に位置する導電層 1 5 3 を共通電極として用いることもできる。この時、導電層 1 5 1 としては島状の上面形状を有し、トランジスタ 2 0 2 のソース電極またはドレイン電極と電氣的に接続すればよい。また導電層 1 5 3 としては、スリットが設けられた上面形状、または櫛歯状の上面形状を有し、隣接する 2 以上の画素間に亘って配置すればよい。

10

【0130】

以上が断面構成例 2 についての説明である。

【0131】

〔断面構成例 3〕

以下では、上記断面構成例 1 及び 2 とは異なる構成を有するタッチセンサが適用されたタッチパネルモジュール 1 0 の断面構成例について説明する。なお以下では、上記と重複する部分については説明を省略し、相違点について説明する。

20

【0132】

図 1 2 に示すタッチパネルモジュールは、図 1 0 で例示した構成と比較し、導電層 2 5 に代えて導電層 1 2 5 を有する点、及び絶縁層 1 2 2 を有する点で主に相違している。

【0133】

図 1 2 に示す導電層 1 2 5 は、金属酸化物を含む導電性材料を含んで構成される。

【0134】

例えば、後述する透光性を有する導電性材料のうち、金属酸化物を用いることができる。

30

【0135】

または、低抵抗化された酸化物半導体を含んで構成されていることが好ましい。特に、タッチパネルモジュール 1 0 が有するトランジスタの半導体層に酸化物半導体を用いた場合、これよりも抵抗率の低い酸化物半導体を適用することが好ましい。

【0136】

例えば、後述する酸化物半導体の抵抗率の制御方法により、導電層 1 2 5 を低抵抗化させることができる。

【0137】

またこのとき、導電層 1 2 5 を覆う絶縁層 1 2 2 としては、水素を多く含む絶縁層を用いることが好ましい。例えば、窒化シリコンを含む絶縁膜を含むことが好ましい。

40

【0138】

導電層 1 2 5 として導電性の金属酸化物、または低抵抗化された酸化物半導体を用いることにより、その表面の酸化が抑制され、信頼性の高いタッチパネルモジュール 1 0 を実現できる。

【0139】

また、導電層 1 2 5 の一部は、上記断面構成例 2 における導電層 1 1 3 と同様に、表示素子 6 0 と重ねて配置されている。すなわち、導電層 1 2 5 の他の一部は、シールド層として機能させることができる。このような構成とすることで、タッチセンサ 2 2 を構成する導電層と、シールド層として機能する導電層を、同時に形成することができるため、工程を簡略化できる。

50

【0140】

以上が断面構成例3についての説明である。

【0141】

[断面構成例4]

以下では、タッチパネルが有するトランジスタの構造がトップゲート型のトランジスタの例を図13に示す。

【0142】

図13に示すタッチパネルモジュールは、図2で例示した構成と比較し、トランジスタ301、302の構造が主に相違している。トランジスタの構造以外は図2に示す構成とほぼ同一であるため、同一の箇所には同一の符号を用い、共通の部分の詳細な説明は省略することとする。

10

【0143】

トランジスタ301、302は、バッファ層300上に半導体層231と、ゲート絶縁層として機能する絶縁層211と、ゲート絶縁層を介して半導体層231と重なるゲート電極として機能する導電層221と、ゲート電極として機能する導電層221を覆う絶縁層212及び絶縁層213と、ソース電極またはドレイン電極として機能する導電層22と、を有する。また、ゲート電極と重ならない半導体層の領域はゲート電極と重なるチャンネル形成領域よりも低抵抗化領域(低抵抗領域232)とすることが好ましい。

【0144】

本構成例では、半導体層231に酸化物半導体層を用いる場合、ゲート電極と重ならない半導体層の領域をチャンネル形成領域よりも低抵抗化領域とするため、ゲート電極と重ならない半導体層の領域に不純物元素(希ガスや、窒素や、リンや、ボロンや、水素など)を添加することが好ましい。希ガスとしてはヘリウム、アルゴンなどを用いることができる。また、不純物の添加方法としては、プラズマを用いる方法やイオン注入法などを用いることができる。イオン注入法を用いると、ゲート電極をマスクとして自己整合的に不純物元素を添加して酸化物半導体層の一部を低抵抗化させることができ、好ましい。

20

【0145】

容量素子203は、導電層221と、低抵抗化された半導体層231と、これらの間に配置され、誘電体として機能する絶縁層211と、を有する。なお、容量素子203は、導電層221と、導電層222と、それらの間に配置される絶縁層212及び213を有する構成としてもよい。

30

【0146】

また、接続部204は、配線35の一部と、導電層111を積層することで構成している。

【0147】

バッファ層300としては酸化珪素や金属酸化物などの絶縁材料を用いる。バッファ層300として用いる金属酸化物としては、アルミニウム、インジウム、ガリウム、亜鉛などを一種または複数種有する酸化物を用いる。また、バッファ層300は水や水素などの不純物が拡散しにくい材料を用いることが好ましい。すなわち、バッファ層300はバリア膜として機能させることができる。このような構成とすることで、トランジスタ301、302に対して外部から不純物が拡散することを効果的に抑制することが可能となり、信頼性の高いタッチパネルを実現できる。

40

【0148】

ここで、トランジスタ301、トランジスタ302の半導体層231は、酸化物半導体膜以外の半導体膜から形成されてもよい。例えば半導体膜は、非晶質、微結晶、多結晶または単結晶とすることができる。また、半導体層231の半導体材料としては、例えば、第14族の元素でなる半導体材料(シリコン、ゲルマニウム等)化合物半導体(炭化シリコン、Si-Ge等)等が挙げられる。

【0149】

例えば、非晶質シリコンを成膜し、これを結晶化した多結晶シリコン膜から半導体層2

50

31を形成することができる。非晶質シリコン膜の結晶化方法には、波長400nm以下のレーザを照射するレーザ結晶化法、赤外光によるランプアニール結晶化法、400乃至600の熱処理による固相成長法、950程度の高温アニール結晶化法などがある。固相成長法では、非晶質シリコン膜に、ニッケル等の触媒元素を添加した後、加熱処理を行う方法がある。また、非晶質シリコン膜の複数の結晶化方法を用いて、非晶質シリコン膜を結晶化してもよい。例えば、ニッケル等の触媒元素を添加して、熱処理によって固相成長させて多結晶シリコン膜を得る。しかる後、多結晶シリコン膜中の欠陥を低減するため、レーザ光をこの多結晶シリコン膜に照射する。

【0150】

また、単結晶シリコン膜を得るには、単結晶（または多結晶）シリコンウェハに水素イオン等を注入して表層部を剥離した膜を用いればよい。上記膜を半導体層231に用いることができる。

10

【0151】

トランジスタ301、トランジスタ302の半導体層231には、チャネル形成領域と、チャネル形成領域を挟んで設けられる低抵抗領域232が形成されている。なお、低抵抗領域232が、低濃度不純物領域（LDD：Lightly Doped Drain領域）と、ソース領域またはドレイン領域として機能する高濃度不純物領域の両方を有していてもよい。ここで、低濃度不純物領域は、高濃度不純物領域よりも不純物の濃度が低く、且つチャネル形成領域よりも不純物の濃度が高い領域である。

【0152】

トランジスタ301やトランジスタ302として、n型のトランジスタとする場合には、低抵抗領域232をp型の領域とすればよい。例えばリン（P）、ヒ素（As）等が添加された領域とすればよい。一方、トランジスタ301やトランジスタ302として、p型のトランジスタとする場合には、低抵抗領域232をn型の領域とすればよい。例えばボロン（B）、アルミニウム（Al）、ガリウム（Ga）等が添加された領域とすればよい。また、トランジスタのしきい値電圧を制御するために、半導体層231のチャネル形成領域に、上述した不純物が低抵抗領域232よりも低い濃度で添加されていてもよい。

20

【0153】

ゲート電極と重ならない半導体層231の領域をチャネル形成領域よりも低抵抗化な領域とするため、ゲート電極と重ならない半導体層231に不純物元素を添加することが好ましい。また、不純物の添加方法としては、代表的にはプラズマを用いる方法やイオン注入法などを用いることができる。イオン注入法を用いると、ゲート電極をマスクとして自己整合的に不純物元素を添加して半導体層231の一部を低抵抗化させることができ、好ましい。

30

【0154】

また、トランジスタ301やトランジスタ302として、半導体層231に複数のチャネル形成領域を備える構造（マルチチャネル構造、マルチゲート構造とも呼ぶ）のトランジスタとしてもよい。例えば、半導体層231上に2以上のゲート電極を離間して配置する構成とすることができる。また隣り合う2つのチャネル形成領域の間の領域には、上述した低抵抗領域（低濃度不純物領域、高濃度不純物領域のいずれか一方、または両方）が設けられていてもよい。トランジスタをマルチチャネル構造とすることで、トランジスタのオフ状態でのリーク電流を低減することができる。

40

【0155】

また、容量素子203として、半導体層231の低抵抗領域232の一部と絶縁層212と、導電層221が積層された構成を示している。なお容量素子203において、低抵抗領域232の不純物濃度は、トランジスタ302のソース領域及びドレイン領域の不純物濃度よりも高い濃度としてもよい。なお、容量素子203の構成はこれに限られず、他の導電層と絶縁層を組み合わせ形成されていてもよい。例えば、導電層221と、導電層222と、これらの間に絶縁層212及び絶縁層213が積層された構成としてもよい。

50

【 0 1 5 6 】

ここで、トランジスタ 3 0 1 及びトランジスタ 3 0 2 等は、図 3 乃至図 1 1 に示すトランジスタ 2 0 1 及びトランジスタ 2 0 2 と置き換えることができる。図 1 4 は、図 3 のトランジスタを置き換えた場合の断面概略図である。また図 1 5 は、図 4 のトランジスタを置き換えた場合の断面概略図である。図 1 6 は、図 5 のトランジスタを置き換えた場合の断面概略図である。図 1 7 は、図 6 のトランジスタを置き換えた場合の断面概略図である。図 1 8 は、図 7 のトランジスタを置き換えた場合の断面概略図である。図 1 9 は、図 8 のトランジスタを置き換えた場合の断面概略図である。図 2 0 は、図 9 のトランジスタを置き換えた場合の断面概略図である。図 2 1 は、図 1 0 のトランジスタを置き換えた場合の断面概略図である。

10

【 0 1 5 7 】

図 2 1 等では、表示素子 6 0 を構成する一対の導電層（導電層 1 5 1、導電層 1 5 3）のうち、上側に位置する導電層 1 5 1 を画素電極として、下側に位置する導電層 1 5 3 を共通電極として用いる例を示したが、これに限られない。図 2 2 に、下側に位置する導電層 1 5 1 を画素電極として、また上側に位置する導電層 1 5 3 を共通電極として用いる場合の例を示している。図 2 2 において、導電層 1 5 1 は島状の上面形状を有し、トランジスタ 2 0 2 のソース電極またはドレイン電極と電氣的に接続している。また導電層 1 5 3 は、スリットが設けられた上面形状、または櫛歯状の上面形状を有し、隣接する 2 以上の画素間に亘って配置されている。

20

【 0 1 5 8 】

以上が断面構成例 4 についての説明である。

【 0 1 5 9 】

[断面構成例 5]

以下では、タッチパネルが有するトランジスタの構造がボトムゲート型のトランジスタである場合の他の例を示す。

【 0 1 6 0 】

図 2 3 に示すタッチパネルモジュールは、図 1 3 で例示した構成と比較し、トランジスタ 4 0 1、4 0 2 の構造が主に相違している。トランジスタの構造以外は図 1 3 に示す構成とほぼ同一であるため、同一の箇所には同一の符号を用い、共通の部分の詳細な説明は省略することとする。

30

【 0 1 6 1 】

トランジスタ 4 0 1、4 0 2 は、基板 3 1 上にゲート電極として機能する導電層 2 2 1 と、当該導電層 2 2 1 を覆い、ゲート絶縁層として機能する絶縁層 2 1 1 と、絶縁層 2 1 1 上に導電層 2 2 1 と重なる半導体層 2 3 1 と、半導体層 2 3 1 に接し、ソース電極またはドレイン電極として機能する導電層 2 2 2 と、を有する。半導体層 2 3 1 は、チャンネル形成領域と、当該チャンネル形成領域よりも電気抵抗率の低い低抵抗領域 2 3 2 を有する。

【 0 1 6 2 】

容量素子 2 0 3 は、導電層 2 2 1 と、導電層 2 2 2 と、これらの間に配置され、誘電体として機能する絶縁層 2 1 1 と、を有する。なお、容量素子 2 0 3 の構成はこれに限られず、他の導電層と絶縁層を組み合わせられてもよい。例えば導電層 2 2 1 と、半導体層 2 3 1 の低抵抗領域 2 3 2 と、それらの間に配置され、誘電体として機能する絶縁層 2 1 1 と、を有していてもよい。

40

【 0 1 6 3 】

図 2 3 では、トランジスタ 4 0 1 及びトランジスタ 4 0 2 の例として、チャンネルが形成される半導体層 2 3 1 を 2 つのゲート電極（導電層 2 2 1、導電層 2 2 3）で挟持する構成を適用した例を示している。

【 0 1 6 4 】

また図 2 3 では接続部 2 0 4 として、配線 3 5 の一部と、導電層 2 2 3 と同一の導電膜を加工して得られた導電層を積層することで構成した例を示している。

【 0 1 6 5 】

50

なお、図 2 4 に示すように、導電層 2 2 3 を設けない構成としてもよい。導電層 2 2 3 を設けないことにより、タッチパネルの作製工程を簡略化させ、製造コストを低減することができる。

【0166】

上記で示した各構成例は、少なくともその一部を適宜組み合わせる実施することができる。

【0167】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0168】

〔各構成要素について〕

以下では、上記に示す各構成要素について説明する。

【0169】

{基板}

タッチパネルが有する基板には、平坦面を有する材料を用いることができる。表示素子からの光を取り出す側の基板には、該光を透過する材料を用いる。例えば、ガラス、石英、セラミック、サファイヤ、有機樹脂などの材料を用いることができる。

【0170】

厚さの薄い基板を用いることで、タッチパネルの軽量化、薄型化を図ることができる。さらに、可撓性を有する程度の厚さの基板を用いることで、可撓性を有するタッチパネルを実現できる。

【0171】

ガラスとしては、例えば、無アルカリガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等を用いることができる。

【0172】

可撓性及び可視光に対する透過性を有する材料としては、例えば、可撓性を有する程度の厚さのガラスや、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN) 等のポリエステル樹脂、ポリアクリロニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート (PC) 樹脂、ポリエーテルスルホン (PES) 樹脂、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂、ポリテトラフルオロエチレン (PTFE) 樹脂等が挙げられる。特に、熱膨張係数の低い材料を用いることが好ましく、例えば、ポリアミドイミド樹脂、ポリイミド樹脂、PET 等を好適に用いることができる。また、ガラス繊維に有機樹脂を含浸した基板や、無機フィラーを有機樹脂に混ぜて熱膨張係数を下げた基板を使用することもできる。このような材料を用いた基板は、重量が軽いため、該基板を用いたタッチパネルも軽量にすることができる。

【0173】

また、発光を取り出さない側の基板は、透光性を有していなくてもよいため、上記に挙げた基板の他に、金属基板、セラミック基板、または半導体基板等を用いることもできる。金属材料や合金材料は熱伝導性が高く、封止基板全体に熱を容易に伝導できるため、タッチパネルの局所的な温度上昇を抑制することができ、好ましい。可撓性や曲げ性を得るためには、金属基板の厚さは、10 μm 以上 200 μm 以下が好ましく、20 μm 以上 50 μm 以下であることがより好ましい。

【0174】

金属基板を構成する材料としては、特に限定はないが、例えば、アルミニウム、銅、ニッケル等の金属、もしくはアルミニウム合金またはステンレス等の合金などを好適に用いることができる。

【0175】

また、金属基板の表面を酸化する、又は表面に絶縁膜を形成するなどにより、絶縁処理が施された基板を用いてもよい。例えば、スピンコート法やディップ法などの塗布法、電

10

20

30

40

50

着法、蒸着法、又はスパッタリング法などを用いて絶縁膜を形成してもよいし、酸素雰囲気中で放置する又は加熱するほか、陽極酸化法などによって、基板の表面に酸化膜を形成してもよい。

【0176】

可撓性を有する基板としては、上記材料を用いた層と、タッチパネルの表面を傷などから保護するハードコート層（例えば、窒化シリコン層など）や、押圧を分散可能な材質の層（例えば、アラミド樹脂層など）等が積層されていてもよい。また、水分等による表示素子の寿命の低下等を抑制するために、可撓性を有する基板に透水性の低い絶縁膜が積層されていてもよい。例えば、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、窒化アルミニウム等の無機絶縁材料を用いることができる。

10

【0177】

基板は、複数の層を積層して用いることもできる。特に、ガラス層を有する構成とすると、水や酸素に対するバリア性を向上させ、信頼性の高いタッチパネルとすることができる。

【0178】

例えば、表示素子に近い側からガラス層、接着層、及び有機樹脂層を積層した基板を用いることができる。当該ガラス層の厚さとしては $20\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下、好ましくは $25\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下とする。このような厚さのガラス層は、水や酸素に対する高いバリア性と可撓性を同時に実現できる。また、有機樹脂層の厚さとしては、 $10\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下、好ましくは $20\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下とする。このような有機樹脂層を設けることにより、ガラス層の割れやクラックを抑制し、機械的強度を向上させることができる。このようなガラス材料と有機樹脂の複合材料を基板に適用することにより、極めて信頼性が高いフレキシブルなタッチパネルとすることができる。

20

【0179】

{トランジスタ}

トランジスタは、ゲート電極として機能する導電層と、半導体層と、ソース電極として機能する導電層と、ドレイン電極として機能する導電層と、ゲート絶縁層として機能する絶縁層と、を有する。上記では、ボトムゲートまたはトップゲート構造のトランジスタを適用した場合を示している。

30

【0180】

なお、本発明の一態様のタッチパネルが有するトランジスタの構造は特に限定されない。例えば、スタガ型のトランジスタとしてもよいし、逆スタガ型のトランジスタとしてもよい。また、トップゲート型又はボトムゲート型のいずれのトランジスタ構造としてもよい。トランジスタに用いる半導体材料は特に限定されず、例えば、酸化物半導体、シリコン、ゲルマニウム等が挙げられる。

【0181】

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

40

【0182】

また、トランジスタに用いる半導体材料としては、例えば、第14族の元素、化合物半導体又は酸化物半導体を半導体層に用いることができる。代表的には、シリコンを含む半導体、ガリウムヒ素を含む半導体又はインジウムを含む酸化物半導体などを適用できる。

【0183】

特に、トランジスタのチャンネルが形成される半導体に、シリコンよりもバンドギャップの大きな酸化物半導体を適用することが好ましい。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

【0184】

50

例えば、上記酸化物半導体として、少なくともインジウム (In) もしくは亜鉛 (Zn) を含むことが好ましい。より好ましくは、In-M-Zn系酸化物 (MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属) で表記される酸化物を含む。

【0185】

特に、半導体層として、複数の結晶部を有し、当該結晶部はc軸が半導体層の被形成面、または半導体層の上面に対し概略垂直に配向し、且つ隣接する結晶部間には粒界が確認できない酸化物半導体膜を用いることが好ましい。

【0186】

このような酸化物半導体は、結晶粒界を有さないために表示パネルを湾曲させたときの応力によって酸化物半導体膜にクラックが生じてしまうことが抑制される。したがって、可撓性を有し、湾曲させて用いるタッチパネルなどに、このような酸化物半導体を好適に用いることができる。

【0187】

また半導体層としてこのような結晶性を有する酸化物半導体を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0188】

また、シリコンよりもバンドギャップの大きな酸化物半導体を用いたトランジスタは、その低いオフ電流により、トランジスタと直列に接続された容量素子に蓄積した電荷を長期間に亘って保持することが可能である。このようなトランジスタを画素に適用することで、各表示領域に表示した画像の階調を維持しつつ、駆動回路を停止することも可能となる。その結果、極めて消費電力の低減された表示装置を実現できる。

【0189】

半導体層は、例えば少なくともインジウム (In)、亜鉛 (Zn) 及びM (Al、Ti、Ga、Y、Zr、La、Ce、SnまたはHf等の金属) を含むIn-M-Zn酸化物で表記される膜を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0190】

スタビライザーとしては、上記Mに記載の金属を含め、例えば、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

【0191】

半導体層を構成する酸化物半導体として、例えば、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0192】

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

10

20

30

40

50

【0193】

また、半導体層と、導電層は、上記酸化物のうち、同一の金属元素を有していてもよい。半導体層と、導電層を同一の金属元素とすることで、製造コストを低減させることができる。例えば、同一の金属組成の金属酸化物ターゲットを用いることで製造コストを低減させることができる。また半導体層と導電層を加工する際のエッチングガスまたはエッチング液を共通して用いることができる。ただし、半導体層と、導電層は、同一の金属元素を有していても、組成が異なる場合がある。例えば、トランジスタ及び容量素子の作製工程中に、膜中の金属元素が脱離し、異なる金属組成となる場合がある。

【0194】

なお、半導体層がIn-M-Zn酸化物であるとき、InとMの原子数比率は、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。

10

【0195】

半導体層は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0196】

半導体層の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。

20

【0197】

半導体層がIn-M-Zn酸化物(MはAl、Ga、Y、Zr、La、Ce、またはNd)の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、In M、Zn Mを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

【0198】

半導体層としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、半導体層は、キャリア密度が 1×10^{17} 個/cm³以下、好ましくは 1×10^{15} 個/cm³以下、さらに好ましくは 1×10^{13} 個/cm³以下、より好ましくは 1×10^{11} 個/cm³以下の酸化物半導体膜を用いる。

30

【0199】

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性(電界効果移動度、しきい値電圧等)に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0200】

半導体層において、第14族元素の一つであるシリコンや炭素が含まれると、半導体層において酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 2×10^{18} atoms/cm³以下、好ましくは 2×10^{17} atoms/cm³以下とする。

40

【0201】

また、半導体層において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 1×10^{18} atoms/cm³以下、好ましくは 2×10^{16} atoms/cm³以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまう

50

ことがある。このため、半導体層のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【0202】

また、半導体層に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい。例えば、二次イオン質量分析法により得られる窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0203】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

10

【0204】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

20

【0205】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0206】

逆の見方をすると、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ポイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

30

【0207】

まずは、CAAC-OS膜について説明する。

【0208】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0209】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0210】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0211】

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察

50

すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0212】

C A A C - O S 膜に対し、X線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が *c* 軸配向性を有し、*c* 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0213】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、*c* 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0214】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0215】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0216】

不純物濃度が低く、欠陥準位密度が低い (酸素欠損の少ない) ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性 (ノーマリーオンともいう。) になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0217】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0218】

次に、微結晶酸化物半導体膜について説明する。

【0219】

微結晶酸化物半導体膜は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の

10

20

30

40

50

微結晶であるナノ結晶 (nc: nanocrystal) を有する酸化物半導体膜を、nc-OS (nanocrystalline Oxide Semiconductor) 膜と呼ぶ。また、nc-OS 膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0220】

nc-OS 膜は、微小な領域 (例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域) において原子配列に周期性を有する。また、nc-OS 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS 膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS 膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS 膜に対し、結晶部よりも大きいプローブ径 (例えば50 nm以上) の電子線を用いる電子回折 (制限視野電子回折ともいう。) を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS 膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS 膜に対しナノビーム電子回折を行うと、円を描くように (リング状に) 輝度の高い領域が観測される場合がある。また、nc-OS 膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

【0221】

nc-OS 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS 膜は、CAAC-OS 膜と比べて欠陥準位密度が高くなる。

20

【0222】

次に、非晶質酸化物半導体膜について説明する。

【0223】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0224】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

30

【0225】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0226】

なお、酸化物半導体膜は、nc-OS 膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に擬似非晶質酸化物半導体膜と呼ぶ。

40

【0227】

a-like OS 膜は、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS 膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS 膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0228】

50

なお、*a-like* OS膜および *nc-OS*膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、*In-O*層の間に、*Ga-Zn-O*層を2層有する。 InGaZnO_4 の結晶の単位格子は、*In-O*層を3層有し、また *Ga-Zn-O*層を6層有する、計9層が*c*軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(*d*値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶の*a-b*面に対応する。

【0229】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、*a-like* OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、*nc-OS*膜の密度および *CAAC-OS*膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0230】

上記について、具体例を用いて説明する。例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は6.357 g/cm³となる。よって、例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、*a-like* OS膜の密度は5.0 g/cm³以上5.9 g/cm³未満となる。また、例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、*nc-OS*膜の密度および *CAAC-OS*膜の密度は5.9 g/cm³以上6.3 g/cm³未満となる。

【0231】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせることで算出することが好ましい。

【0232】

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、*CAAC-OS*の領域、単結晶構造の領域のいずれか二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、*CAAC-OS*の領域、単結晶構造の領域のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、*CAAC-OS*の領域、単結晶構造の領域のいずれか二種以上の領域の積層構造を有する場合がある。

【0233】

または、トランジスタのチャンネルが形成される半導体に、シリコンを用いることが好ましい。シリコンとしてアモルファスシリコンを用いてもよいが、特に結晶性を有するシリコンを用いることが好ましい。例えば、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることが好ましい。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。このような多結晶半導体を画素に適用することで画素の開口率を向上させることができる。また表示パネルが極めて高精細な場合であっても、ゲート駆動回路とソース駆動回路を画素と同一基板上に形成することが可能となり、電子機器を構成する部品数を低減することができる。

【0234】

10

20

30

40

50

本実施の形態で例示したボトムゲート構造のトランジスタは、作製工程を削減できるため好ましい。またこのときアモルファスシリコンや酸化物半導体を用いることで、多結晶シリコンよりも低温で形成できるため、半導体層よりも下層の配線や電極の材料、基板の材料として、耐熱性の低い材料を用いることが可能なため、材料の選択の幅を広げることができる。例えば、極めて大面積のガラス基板などを好適に用いることができる。一方、トップゲート型のトランジスタは、自己整合的に不純物領域を形成しやすいため、特性のばらつきなどを低減することができるため好ましい。このとき特に、酸化物半導体、多結晶シリコン、単結晶シリコンなどを用いる場合に適している。

【0235】

{ 導電層 }

トランジスタのゲート、ソースおよびドレインのほか、タッチパネルを構成する各種配線および電極などの導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、マンガンを含む銅を用いると、エッチングによる形状の制御性が高まるため好ましい。

【0236】

また、透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物またはグラフェンを用いることができる。または、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、またはチタンなどの金属材料や、該金属材料を含む合金材料を用いることができる。または、該金属材料の窒化物（例えば、窒化チタン）などを用いてもよい。なお、金属材料、合金材料（またはそれらの窒化物）を用いる場合には、透光性を有する程度に薄くすればよい。また、上記材料の積層膜を導電層として用いることができる。例えば、銀とマグネシウムの合金とインジウムスズ酸化物の積層膜などを用いると、導電性を高めることができるため好ましい。

【0237】

または、導電層として、半導体層と同様の酸化物半導体を用いることが好ましい。このとき導電層が、半導体層のチャンネルが形成される領域よりも低い電気抵抗を呈するように、形成されていることが好ましい。

【0238】

例えばこのような導電層を、トランジスタの第2のゲート電極として機能する導電層223に適用することができる。または、透光性を有する他の導電層にも適用することができる。

【0239】

{ 酸化物半導体の抵抗率の制御方法 }

半導体層及び導電層に用いることのできる酸化物半導体膜は、膜中の酸素欠損及び/又は膜中の水素、水等の不純物濃度によって、抵抗率を制御することができる半導体材料である。そのため、半導体層及び導電層へ酸素欠損及び/又は不純物濃度が増加する処理、または酸素欠損及び/又は不純物濃度が低減する処理を選択することによって、それぞれの酸化物半導体膜の抵抗率を制御することができる。

10

20

30

40

50

【0240】

具体的には、導電層に用いる酸化物半導体膜にプラズマ処理を行い、該酸化物半導体の膜中の酸素欠損を増加させる、および/または酸化物半導体の膜中の水素、水等の不純物を増加させることによって、キャリア密度が高く、抵抗率が低い酸化物半導体膜とすることができる。また、酸化物半導体膜に水素を含む絶縁膜を接して形成し、該水素を含む絶縁膜から酸化物半導体膜に水素を拡散させることによって、キャリア密度が高く、抵抗率が低い酸化物半導体膜とすることができる。

【0241】

一方、トランジスタのチャネル領域として機能する半導体層は、水素を含む絶縁膜と接しない構成とする。半導体層と接する絶縁膜の少なくとも一つに酸素を含む絶縁膜、別言すると、酸素を放出することが可能な絶縁膜を適用することで、半導体層に酸素を供給することができる。酸素が供給された半導体層は、膜中または界面の酸素欠損が補填され抵抗率が高い酸化物半導体膜となる。なお、酸素を放出することが可能な絶縁膜としては、例えば、酸化シリコン膜、または酸化窒化シリコン膜を用いることができる。

10

【0242】

また、抵抗率が低い酸化物半導体膜を得るために、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて、水素、ボロン、リン、または窒素を酸化物半導体膜に注入してもよい。

【0243】

また、抵抗率が低い酸化物半導体膜を得るために、該酸化物半導体膜にプラズマ処理を行ってもよい。例えば、該プラズマ処理としては、代表的には、希ガス（He、Ne、Ar、Kr、Xe）、水素、及び窒素の中から選ばれた一種以上を含むガスを用いたプラズマ処理が挙げられる。より具体的には、Ar雰囲気下でのプラズマ処理、Arと水素の混合ガス雰囲気下でのプラズマ処理、アンモニア雰囲気下でのプラズマ処理、Arとアンモニアの混合ガス雰囲気下でのプラズマ処理、または窒素雰囲気下でのプラズマ処理などが挙げられる。

20

【0244】

上記プラズマ処理によって、酸化物半導体膜は、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損は、キャリアを発生する要因になる場合がある。また、酸化物半導体膜の近傍、より具体的には、酸化物半導体膜の下側または上側に接する絶縁膜から水素が供給されると、上記酸素欠損と水素が結合することで、キャリアである電子を生成する場合がある。

30

【0245】

一方、酸素欠損が補填され、水素濃度が低減された酸化物半導体膜は、高純度真性化、又は実質的に高純度真性化された酸化物半導体膜といえる。ここで、実質的に真性とは、酸化物半導体膜のキャリア密度が、 8×10^{11} 個/cm³ 未満、好ましくは 1×10^{11} 個/cm³ 未満、さらに好ましくは 1×10^{10} 個/cm³ 未満であることを指す。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いいため、トラップ準位密度を低減することができる。

40

【0246】

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。したがって、上述した高純度真性または実質的に高純度真性である酸化物半導体膜を用いる半導体層をチャネル領域に用いるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0247】

50

導電層として用いる酸化物半導体膜と接する絶縁膜として、例えば、水素を含む絶縁膜、別言すると水素を放出することが可能な絶縁膜、代表的には窒化シリコン膜を用いることで、導電層に水素を供給することができる。水素を放出することが可能な絶縁膜としては、膜中の含有水素濃度が $1 \times 10^{22} \text{ atoms/cm}^3$ 以上であると好ましい。このような絶縁膜を導電層に接して形成することで、導電層に効果的に水素を含有させることができる。このように、半導体層及び導電層に接する絶縁膜の構成を変えることによって、酸化物半導体膜の抵抗率を制御することができる。

【0248】

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。したがって、水素が含まれている絶縁膜と接して設けられた導電層は、半導体層よりもキャリア密度の高い酸化物半導体膜となる。

10

【0249】

トランジスタのチャンネル領域が形成される半導体層は、水素ができる限り低減されることが好ましい。具体的には、半導体層において、二次イオン質量分析法により得られる水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

20

【0250】

一方、導電層は、半導体層よりも水素濃度及び/又は酸素欠損量が多く、抵抗率が低い酸化物半導体膜である。導電層に含まれる水素濃度は、 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上である。また、半導体層と比較して、導電層に含まれる水素濃度は2倍以上、好ましくは10倍以上である。また、導電層の抵抗率が、半導体層の抵抗率の 1×10^{-8} 倍以上 1×10^{-1} 倍未満であることが好ましく、代表的には $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^4 \text{ cm}$ 未満、さらに好ましくは、抵抗率が $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-1} \text{ cm}$ 未満であるとよい。

30

【0251】

{ 絶縁層 }

各絶縁層、オーバーコート、スペーサ等に用いることのできる絶縁材料としては、例えば、アクリル、エポキシなどの樹脂、シロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることもできる。

【0252】

{ 接着層 }

接着層としては、熱硬化樹脂や光硬化樹脂、2液混合型の硬化性樹脂などの硬化性樹脂を用いることができる。例えば、アクリル樹脂、ウレタン樹脂、エポキシ樹脂、またはシロキサン結合を有する樹脂などを用いることができる。

40

【0253】

{ 接続層 }

接続層としては、異方性導電フィルム (ACF: Anisotropic Conductive Film) や、異方性導電ペースト (ACP: Anisotropic Conductive Paste) などを用いることができる。

【0254】

{ 着色層 }

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含

50

まれた樹脂材料などが挙げられる。

【0255】

{遮光層}

遮光層としては、発光素子からの発光を遮る材料を用いることができ、例えば、金属材料、顔料、または染料等を含む樹脂材料を用いることができる。または、金属薄膜、半導体薄膜などを用いてもよい。また、着色層を2層以上重ねて配置することにより遮光層として機能させてもよい。

【0256】

以上が各構成要素についての説明である。

【0257】

[タッチセンサの構成例]

続いて、本発明の一態様のタッチパネルモジュール10に適用することのできるタッチセンサ22の構成の例について、図面を参照して説明する。

【0258】

図25(A)は、タッチセンサ22の一部を示す上面概略図(平面概略図)である。また図25(B)は、図25(A)中の一点鎖線で囲った領域を拡大した上面概略図である。

【0259】

導電層23及び導電層24は、それぞれ格子状(メッシュ状ともいう)、または複数の開口が設けられた形状を有する構成とすることができる。図25(A)等では、導電層23及び導電層24の輪郭形状を説明するため、格子や開口は省略して示している。

【0260】

図25(A)(B)に示すように、導電層23は、導電層25と交差する部分の幅が小さくなるようにくびれた形状を有することが好ましい。こうすることで、導電層23と導電層25とが重畳される部分に形成される容量の大きさを小さくすることが可能となる。例えば自己容量方式や相互容量方式のタッチセンサの場合には、当該容量は小さいほど検出感度を向上させることができる。

【0261】

また、隣接する導電層23と導電層24との間には、これらと電気的に絶縁された導電層26を有していてもよい。導電層26を有することにより、タッチセンサ22の厚さの薄い部分が形成されてしまうことを抑制できる。例えば導電層23と導電層24とを同一平面上に形成する場合には、同様に形成された導電層26を設けることにより、これら導電層の形成工程よりも後に形成する薄膜の被覆性を高め、表面を平坦化することができる。また、タッチセンサ22の厚さが均一化されることで、これを透過する画素からの光の輝度ムラが低減され、表示品位の高められたタッチパネルを実現することができる。

【0262】

また、図25(C)には、導電層23と導電層24とを異なる平面上に形成し、導電層25を設けない場合について示している。このとき、導電層26は導電層23または導電層24のいずれか一方と同一平面上に形成してもよいし、異なる平面上に形成してもよい。なお、導電層26を設ける必要のない場合には、設けなくてもよい。

【0263】

図26(A)は、複数の導電層23と複数の導電層24を有するタッチセンサ22の回路図の一例を示している。図26(A)では、簡単のために6本の導電層23と、6本の導電層24とを有する構成を示しているが、その数に限られない。

【0264】

1本の導電層23と、1本の導電層24によって、一つの容量素子11が形成されている。したがって、容量素子11がマトリクス状に配置されている。

【0265】

容量素子11は、導電層23と導電層24とが積層されること、または導電層23と導電層24とが近接して配置されることで形成される容量である。

10

20

30

40

50

【0266】

投影型自己容量方式の場合、導電層23及び導電層24の各々にはパルス電圧を走査するように与えられる。その時に自己に流れる電流の値を検知する。被検知体が近づいた場合には、被検知体と導電層23または導電層24の間には容量性の結合が生じている。したがって、導電層23または導電層24に接続される容量の大きさが変化することにより、パルス電圧が与えられたときに流れる電流の大きさが変化する。この電流の変化を検知することで被検知体の位置情報を取得することができる。

【0267】

また投影型相互容量方式の場合には、導電層23または導電層24のいずれか一方にパルス電圧を走査するように与えられ、他方に流れる電流を検知する。パルス電圧が与えられると、導電層23と導電層24の間には電界が生じる。被検知体が近づいた場合には、当該被検知体による遮蔽等により、導電層23と導電層24の間に生じる電界が変化するため、他方に流れる電流が変化する。この電流の変化を検知することにより、被検知体の位置情報を取得することができる。

10

【0268】

なお電流の検知は、電流量の総和を検知してもよい。その場合には、積分回路等を用いて検知を行えばよい。または、電流のピーク値を検知してもよい。その場合には、電流を電圧に変換して、電圧値のピーク値を検知してもよい。

【0269】

導電層23及び導電層24は、それぞれ複数の開口を有する格子状または網目状（メッシュ状）の形状を有することが好ましい。図26（B）には、導電層23の一部の上面形状の例を示している。

20

【0270】

図26（B）に示す導電層23は、横方向の間隔P1、縦方向の間隔P2を有する格子状の形状を有する。図26（B）では、間隔P1と間隔P2とが同程度である場合を示しているが、これらは異なる間隔で配置されていてもよい。例えば、図26（C）に示すように横方向の間隔P1よりも縦方向の間隔P2を大きくしてもよいし、その逆としてもよい。なお導電層24についても同様である。

【0271】

導電層23または導電層24は、その開口率（単位面積当たりの導電層23または導電層24の開口面積の割合）が、例えば20%以上100%未満、好ましくは30%以上100%未満、より好ましくは50%以上100%未満である領域を有することが好ましい。

30

【0272】

開口率は、例えば間隔P1、間隔P2及び導電層の幅によって容易に算出することができる。または、図26（B）に示す周期単位の領域Rにおいて、領域Rの面積と、領域Rに含まれる導電層23の面積の比によって、開口率を算出することができる。ここで領域Rは、周期性を有する導電層23のパターンの周期単位となる領域であり、これを縦及び横方向に周期的に配列させることで導電層23のパターンを形成することができる。

【0273】

導電層23及び導電層24において、格子を構成するパターンの幅を、例えば50nm以上100μm以下、好ましくは1μm以上50μm以下、より好ましくは1μm以上20μm以下とすることが好ましい、このように、格子を構成するパターン幅を小さくすることで、後述するように開口と画素とを重ねる場合に、画素の間隔を狭めることが可能となるため、より高い精細度と高い開口率を有するタッチパネルを実現できる。

40

【0274】

図27（A）は、導電層23と導電層24の境界部分をさらに拡大した上面概略図である。

【0275】

導電層23及び導電層24は、それぞれ格子状または網目状（メッシュ状）の形状を有

50

していることが好ましい。すなわち、導電層 2 3 及び導電層 2 4 は、それぞれ複数の開口（開口 2 3 a 及び開口 2 4 a）を有する形状とすることが好ましい。後述のように、当該開口と画素とが重なるように設けることにより、画素が有する表示素子からの光を導電層 2 3 及び導電層 2 4 によって遮光される、若しくは導電層 2 3 及び導電層 2 4 を透過して輝度が低下してしまうことがない。その結果、画素の開口率や光取り出し効率を犠牲にすることなく、タッチパネルにタッチセンサ 2 2 を適用することができる。また同様に導電層 2 5 も画素と重ならないような形状とすることが好ましい。

【0276】

また図 2 7 (A) に示すように、これらの境界において、導電層 2 3 の一部と導電層 2 4 の一部とに囲まれた開口 2 2 a が形成されるような形状としてもよい。このような構成とすることで、導電層 2 3 と導電層 2 4 との距離を限りなく小さくすることが可能で、これらの間の容量を大きくすることができる。特に、相互容量方式を採用する際には、2 つの導電層の距離を小さくし、導電層 2 3 と導電層 2 4 との間に生じる電界強度を高めることが好ましい。

10

【0277】

図 2 7 (B) は、導電層 2 3 と導電層 2 4 の交差部を拡大した上面概略図である。ここでは隣接する 2 つの導電層 2 4 を導電層 2 5 によって電氣的に接続した例を示している。導電層 2 3 及び導電層 2 4 と、導電層 2 5 との間には、図示しない絶縁層 1 2 1 が設けられている。また、導電層 2 4 と導電層 2 5 とは、当該絶縁層 1 2 1 に設けられた開口を介して電氣的に接続している。導電層 2 3 と導電層 2 5 とは、当該絶縁層 1 2 1 を介して互いに重なる領域を有する。

20

【0278】

[導電層の開口と画素の配置例]

図 2 8 の各図は、表示面側から見たときの画素及び画素に含まれる副画素と、導電層 2 3 の位置関係を示す概略図である。なお、ここでは導電層 2 3 を例に挙げて説明するが、導電層 2 4 及び導電層 2 5 についても、同様の構成とすることができる。

【0279】

図 2 8 (A) では、画素 3 3 は副画素 3 3 R、副画素 3 3 G 及び副画素 3 3 B の 3 つの副画素から構成されている例を示している。例えば、副画素 3 3 R は赤色を表示し、副画素 3 3 G は緑色を表示し、副画素 3 3 B は青色を表示する機能を有していればよい。なお、画素 3 3 が有する副画素の数、及び副画素の色の種類はこれに限られない。

30

【0280】

画素 3 3 に含まれる複数の副画素は、それぞれ表示素子を備える。表示素子としては、上述した透過型の液晶素子を用いることができる。そのほかにも、例えば有機 EL 素子などの発光素子、反射型または半透過型の液晶素子、電気泳動方式や電子粉流体（登録商標）方式などにより表示を行う表示素子（電子インクともいう）、シャッター方式の MEMS 表示素子、光干渉方式の MEMS 表示素子等が挙げられる。また副画素は、当該表示素子に加えて、トランジスタや容量素子、及びこれらを電氣的に接続する配線などを有していてもよい。

40

【0281】

図 2 8 (A) に示す構成では、導電層 2 3 の複数の開口のそれぞれが、副画素 3 3 R、副画素 3 3 G 及び副画素 3 3 B の 3 つの副画素のいずれかと互いに重なるように配置されている。このように、導電層 2 3 の開口は、一つの副画素と重なるように配置されていることが好ましい。

【0282】

図 2 8 (B) では、隣接する異なる色を呈する 2 つの副画素の間に、導電層 2 3 を配置する構成を示している。図 2 8 (B) に示すように、隣接する同じ色を呈する 2 つの副画素の間では混色の問題が生じないため、ここに導電層 2 3 が設けられていない部分を有する構成としてもよい。

【0283】

50

図 28 (C)、(D)では、図 28 (A)、(B)に示す構成と比較して画素 33 がさらに副画素 33 Y を有している場合の例を示している。副画素 33 Y は、例えば黄色を表示することができる画素を適用することができる。なお、副画素 33 Y に代えて、白色を表示することができる画素を適用することもできる。このように 3 色よりも多くの副画素を備える画素 33 とすることで、消費電力を低減できる。

【0284】

図 28 (A) ~ (D)では、各々の副画素がストライプ状に配置された例を示したが、例えば図 28 (E)に示すように、一方向に 2 色の副画素が交互に配置される構成としてもよい。

【0285】

また、画素 33 が有する副画素の大きさ (例えば表示に寄与する領域の面積) は、各々の副画素で異なってもよい。例えば視感度の比較的低い青を示す副画素を大きく、また視感度の比較的高い緑または赤を示す副画素を小さくすることもできる。

【0286】

図 28 (F)、(G)では、副画素 33 R、副画素 33 G 及び副画素 33 B のうち、副画素 33 B の大きさを、他の副画素よりも大きくした場合の例を示している。ここでは副画素 33 R と副画素 33 G とが交互に配列する例を示しているが、図 28 (A) 等に示すように 3 つの副画素のそれぞれをストライプ状に配置し、各々の大きさを異ならせた構成とすることもできる。

【0287】

なお、上述のようにここでは導電層 23 と副画素との位置関係について説明したが、導電層 24 及び導電層 25 についても同様である。すなわち、本発明の一態様のタッチパネルは、導電層 23 の開口 23 a と、1 以上の副画素とが互いに重なる領域を有し、且つ、導電層 24 の開口 24 a と、他の 1 以上の副画素とが互いに重なる領域を有する。また上述のように各副画素は表示素子を有しているため、開口 23 a 及び開口 24 a は、それぞれ 1 以上の表示素子と互いに重なる領域を有するともいえる。

【0288】

また図 29 (A) 乃至 (G) に示すように、平面視において、導電層 23 と各副画素との間に隙間が生じないようにしてもよい。導電層 23 等を遮光層として機能させる場合、このような配置とすることで副画素からの光漏れを抑制することができるため好ましい。例えば導電層 23 を、副画素が有する着色層の端部や、画素電極の端部と重ねて設けることで、このような隙間が生じないように導電層 23 を配置することができる。また、このような構成とすることで導電層 23 の表面積を拡大できるため、導電層 23 の配線抵抗が低減され、検出感度を高めることができる。

【0289】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0290】

(実施の形態 2)

本実施の形態では、本発明の一態様の入力装置、または入出力装置の駆動方法の例について、図面を参照して説明する。

【0291】

[センサの検知方法の例]

図 30 (A) は、相互容量方式のタッチセンサの構成を示すブロック図である。図 30 (A) では、パルス電圧出力回路 601、電流検知回路 602 を示している。なお図 30 (A) では、パルス電圧が与えられる電極 621、電流の変化を検知する電極 622 をそれぞれ、X1 - X6、Y1 - Y6 のそれぞれ 6 本の配線として示している。なお、電極の数は、これに限定されない。また図 30 (A) は、電極 621 および電極 622 が重畳すること、または、電極 621 および電極 622 が近接して配置されることで形成される容量 603 を図示している。なお、電極 621 と電極 622 とはその機能を互いに置き換え

10

20

30

40

50

てもよい。

【0292】

パルス電圧出力回路601は、例えばX1 - X6の配線に順にパルス電圧を印加するための回路である。X1 - X6の配線にパルス電圧が印加されることで、容量603を形成する電極621および電極622の間には電界が生じ、容量603に電流が流れる。この電極間に生じる電界が、指やスタイラスなどのタッチによる遮蔽等により変化する。つまり、指やスタイラスなどのタッチなどにより、容量603の容量値に変化が生じる。このことを利用して、被検知体の近接、または接触を検出することができる。

【0293】

電流検知回路602は、容量603の容量値の変化による、Y1 - Y6の配線での電流の変化を検知するための回路である。Y1 - Y6の配線では、被検知体の近接、または接触がないと検知される電流値に変化はないが、検出する被検知体の近接、または接触により容量値が減少する場合には電流値が減少する変化を検知する。なお電流の検知は、電流量の総和を検知してもよい。その場合には、積分回路等を用いて検知を行えばよい。または、電流のピーク値を検知してもよい。その場合には、電流を電圧に変換して、電圧値のピーク値を検知してもよい。

10

【0294】

次いで図30(B)には、図30(A)で示す相互容量方式のタッチセンサにおける入出力波形のタイミングチャートを示す。図30(B)では、1フレーム期間で各行列での被検知体の検出を行うものとする。また図30(B)では、被検知体を検出しない場合(非タッチ)と被検知体を検出する場合(タッチ)との2つの場合について示している。なおY1 - Y6の配線については、検知される電流値に対応する電圧値とした波形を示している。なお、表示パネルにおいても、表示動作が行われている。この表示動作のタイミングと、タッチセンサの検出動作のタイミングとは、同期させて動作することが望ましい。なお、図30(B)では、表示動作とは同期させていない場合の例を示す。

20

【0295】

X1 - X6の配線には、順にパルス電圧が与えられ、該パルス電圧にしたがってY1 - Y6の配線での波形が変化する。被検知体の近接または接触がない場合には、X1 - X6の配線の電圧の変化に応じてY1 - Y6の波形が一様に変化する。一方、被検知体が近接または接触する箇所では、電流値が減少するため、これに対応する電圧値の波形も変化する。

30

【0296】

このように、容量値の変化を検知することにより、被検知体の近接または接触を検出することができる。なお、指やスタイラスなどの被検知体は、タッチセンサやタッチパネルに接触せず、近接した場合でも、信号が検知される場合がある。

【0297】

またパルス電圧出力回路601及び電流検知回路602は、例えば1個のICチップの中に形成されていることが好ましい。当該ICは、例えばタッチパネルに実装されること、若しくは電子機器の筐体内の基板に実装されることが好ましい。また可撓性を有するタッチパネルとする場合には、曲げた部分では寄生容量が増大し、ノイズの影響が大きくなってしまふ恐れがあるため、ノイズの影響を受けにくい駆動方法が適用されたICを用いることが好ましい。例えばシグナル - ノイズ比(S/N比)を高める駆動方法が適用されたICを用いることが好ましい。

40

【0298】

[インセル型のタッチパネルの構成例]

上記では、タッチセンサを構成する電極を、表示素子等が設けられる基板とは異なる基板上に形成した場合を示したが、表示素子等が設けられる基板上に、タッチセンサを構成する一対の電極のいずれか一方、または両方を設ける構成としてもよい。

【0299】

以下では、複数の画素を有する表示部にタッチセンサを組み込んだタッチパネル(いわ

50

ゆるインセル型のタッチパネル)の構成例について説明する。ここでは、画素に設けられる表示素子として、液晶素子を適用した例を示す。ただし、本発明の一態様は、これに限定されず、様々な表示素子を適用することができる。

【0300】

図31(A)は、本構成例で例示するタッチパネルの表示部に設けられる画素回路の一部における等価回路図である。

【0301】

一つの画素は少なくともトランジスタ3503と液晶素子3504を有する。なお、画素は、さらに、保持容量を有する場合もある。またトランジスタ3503のゲートに配線3501が、ソースまたはドレインの一方には配線3502が、それぞれ電氣的に接続されている。

10

【0302】

画素回路は、X方向に延在する複数の配線(例えば、配線3510__1、配線3510__2)と、Y方向に延在する複数の配線(例えば、配線3511)を有し、これらは互いに交差して設けられ、容量結合している。

【0303】

また、画素回路に設けられる画素のうち、一部の隣接する複数の画素は、それぞれに設けられる液晶素子の一方の電極が電氣的に接続され、一つのブロックを形成する。当該ブロックは、島状のブロック(例えば、ブロック3515__1、ブロック3515__2)と、Y方向に延在するライン状のブロック(例えば、ブロック3516)の、2種類に分類される。なお、図31では、画素回路の一部のみを示しているが、実際にはこれら2種類のブロックがX方向及びY方向に繰り返し配置される。ここで、液晶素子の一方の電極としては、例えばコモン電極、または、対向電極などがあげられる。一方、液晶素子の他方の電極としては、例えば画素電極などがあげられる。

20

【0304】

X方向に延在する配線3510__1(または配線3510__2)は、島状のブロック3515__1(またはブロック3515__2)と電氣的に接続される。なお、図示しないが、X方向に延在する配線3510__1は、ライン状のブロックを介してX方向に沿って不連続に配置される複数の島状のブロック3515__1を電氣的に接続する。また、Y方向に延在する配線3511は、ライン状のブロック3516と電氣的に接続される。

30

【0305】

図31(B)は、X方向に延在する複数の配線3510と、Y方向に延在する複数の配線3511の接続構成を示した等価回路図である。なおここでは、投影型相互容量方式である場合を示している。X方向に延在する配線3510の各々には、入力電圧または共通電位を入力することができる。また、Y方向に延在する配線3511の各々には接地電位(または基準電位)を入力する、または配線3511と検知回路と電氣的に接続することができる。なお、配線3510と配線3511とは入れ替えることが可能である。

【0306】

以下、図32(A)(B)を用いて、上述したタッチパネルの動作方法の一例について説明する。

40

【0307】

ここでは1フレーム期間を、書き込み期間と検知期間とに分ける。書き込み期間は画素への画像データの書き込みを行う期間であり、配線3501(ゲート線、または走査線ともいう)が順次選択される。一方、検知期間は、タッチセンサによるセンシングを行う期間であり、X方向に延在する配線3510が順次選択され、入力電圧が入力される。

【0308】

図32(A)は、書き込み期間における等価回路図である。書き込み期間では、X方向に延在する配線3510と、Y方向に延在する配線3511の両方に、共通電位が入力される。

【0309】

50

図 3 2 (B) は、検知期間のある時点における等価回路図である。検知期間では、Y 方向に延在する配線 3 5 1 1 の各々は、検知回路と電氣的に接続する。また、X 方向に延在する配線 3 5 1 0 のうち、選択されたものには入力電圧が入力され、それ以外のものには共通電位が入力される。

【 0 3 1 0 】

なお、ここで例示した駆動方法は、インセル方式だけでなく上記で例示したタッチパネルにも適用することができる。

【 0 3 1 1 】

このように、画像の書き込み期間とタッチセンサによるセンシングを行う期間とを、独立して設けることが好ましい。これにより、画素の書き込み時のノイズに起因するタッチセンサの感度の低下を抑制することができる。

10

【 0 3 1 2 】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【 0 3 1 3 】

(実施の形態 3)

本実施の形態では、上記実施の形態に示したトランジスタ 2 0 1 やトランジスタ 2 0 2 (及びトランジスタ 3 0 1、トランジスタ 3 0 2、トランジスタ 4 0 1、トランジスタ 4 0 2) に置き換えて用いることができるトランジスタの一例について、図面を用いて説明する。

20

【 0 3 1 4 】

本発明の一態様のタッチパネルモジュール 1 0 は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

【 0 3 1 5 】

〔ボトムゲート型トランジスタ〕

図 3 3 (A 1) は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ 8 1 0 の断面図である。図 3 3 (A 1) において、トランジスタ 8 1 0 は基板 7 7 1 上に形成されている。また、トランジスタ 8 1 0 は、基板 7 7 1 上に絶縁層 7 7 2 を介して電極 7 4 6 を有する。また、電極 7 4 6 上に絶縁層 7 2 6 を介して半導体層 7 4 2 を有する。電極 7 4 6 はゲート電極として機能できる。絶縁層 7 2 6 はゲート絶縁層として機能できる。

30

【 0 3 1 6 】

また、半導体層 7 4 2 のチャネル形成領域上に絶縁層 7 4 1 を有する。また、半導体層 7 4 2 の一部と接して、絶縁層 7 2 6 上に電極 7 4 4 a および電極 7 4 4 b を有する。電極 7 4 4 a は、ソース電極またはドレイン電極の一方として機能できる。電極 7 4 4 b は、ソース電極またはドレイン電極の他方として機能できる。電極 7 4 4 a の一部、および電極 7 4 4 b の一部は、絶縁層 7 4 1 上に形成される。

【 0 3 1 7 】

絶縁層 7 4 1 は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層 7 4 1 を設けることで、電極 7 4 4 a および電極 7 4 4 b の形成時に生じる半導体層 7 4 2 の露出を防ぐことができる。よって、電極 7 4 4 a および電極 7 4 4 b の形成時に、半導体層 7 4 2 のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

40

【 0 3 1 8 】

また、トランジスタ 8 1 0 は、電極 7 4 4 a、電極 7 4 4 b および絶縁層 7 4 1 上に絶縁層 7 2 8 を有し、絶縁層 7 2 8 の上に絶縁層 7 2 9 を有する。

【 0 3 1 9 】

本実施の形態で開示するトランジスタを構成する電極、半導体層、絶縁層などは、他の実

50

施の形態に開示した材料および方法を用いて形成することができる。

【0320】

半導体層742に酸化物半導体を用いる場合、電極744aおよび電極744bの、少なくとも半導体層742と接する部分に、半導体層742の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層742中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はn型化し、n型領域(n⁺層)となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層742に酸化物半導体を用いる場合、半導体層742から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

10

【0321】

半導体層742にソース領域およびドレイン領域が形成されることにより、電極744aおよび電極744bと半導体層742の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

【0322】

半導体層742にシリコンなどの半導体を用いる場合は、半導体層742と電極744aの間、および半導体層742と電極744bの間に、n型半導体またはp型半導体として機能する層を設けることが好ましい。n型半導体またはp型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

20

【0323】

絶縁層729は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層729を省略することもできる。

【0324】

なお、半導体層742に酸化物半導体を用いる場合、絶縁層729の形成前または形成後、もしくは絶縁層729の形成前後に加熱処理を行ってもよい。加熱処理を行うことで、絶縁層729や他の絶縁層中に含まれる酸素を半導体層742中に拡散させ、半導体層742中の酸素欠損を補填することができる。または、絶縁層729を加熱しながら成膜することで、半導体層742中の酸素欠損を補填することができる。

30

【0325】

なお、一般に、CVD法は、プラズマを利用するプラズマCVD(PECVD: Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD: Thermal CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD: Metal CVD)法、有機金属CVD(MOCVD: Metal Organic CVD)法などに分類できる。

【0326】

また、一般に、蒸着法は、抵抗加熱蒸着法、電子線蒸着法、MBE(Molecular Beam Epitaxy)法、PLD(Pulsed Laser Deposition)法、IBAD(Ion Beam Assisted Deposition)法、ALD(Atomic Layer Deposition)法などに分類できる。

40

【0327】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、MOCVD法や蒸着法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくく、また、欠陥の少ない膜が得られる。

【0328】

また、一般に、スパッタリング法は、DCスパッタリング法、マグネトロンスパッタリング法、RFスパッタリング法、イオンビームスパッタリング法、ECR(Electron Cyclotron Resonance)スパッタリング法、対向ターゲットスパッタリング法などに分類できる。

50

【0329】

対向ターゲットスパッタリング法では、プラズマがターゲット間に閉じこめられるため、基板へのプラズマダメージを低減することができる。また、ターゲットの傾きによっては、スパッタリング粒子の基板への入射角度を浅くすることができるため、段差被覆性を高めることができる。

【0330】

図33(A2)に示すトランジスタ811は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ810と異なる。電極723は、電極746と同様の材料および方法で形成することができる。

【0331】

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位(GND電位)や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

10

【0332】

電極746および電極723は、どちらもゲート電極として機能することができる。よって、絶縁層726、絶縁層728、および絶縁層729は、それぞれがゲート絶縁層として機能することができる。なお、電極723は、絶縁層728と絶縁層729の間に設けてもよい。

20

【0333】

なお、電極746または電極723の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ811において、電極723を「ゲート電極」と言う場合、電極746を「バックゲート電極」と言う。また、電極723を「ゲート電極」として用いる場合は、トランジスタ811をトップゲート型のトランジスタの一種と考えることができる。また、電極746および電極723のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。

【0334】

半導体層742を挟んで電極746および電極723を設けることで、更には、電極746および電極723を同電位とすることで、半導体層742においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ811のオン電流が大きくなる共に、電界効果移動度が高くなる。

30

【0335】

したがって、トランジスタ811は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ811の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0336】

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャネルが形成される半導体層に作用しないようにする機能(特に静電気などに対する電界遮蔽機能)を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

40

【0337】

また、電極746および電極723は、それぞれが外部からの電界を遮蔽する機能を有するため、絶縁層772側もしくは電極723上方に生じる荷電粒子等の電荷が半導体層742のチャネル形成領域に影響しない。この結果、ストレス試験(例えば、ゲートに負の電荷を印加する - G B T (G a t e B i a s - T e m p e r a t u r e) ストレス試験

50

)による劣化が抑制される。また、ドレイン電圧の大きさにより、オン電流が流れ始めるゲート電圧(立ち上がり電圧)が変化する現象を軽減することができる。なお、この効果は、電極746および電極723が、同電位、または異なる電位の場合において生じる。

【0338】

なお、BTストレス試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化(経年変化)を短時間で評価することができる。特に、BTストレス試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

【0339】

また、電極746および電極723を有し、且つ電極746および電極723を同電位とすることで、しきい値電圧の変動量が低減される。このため、複数のトランジスタにおける電気特性のばらつきも同時に低減される。

【0340】

また、バックゲート電極を有するトランジスタは、ゲートに正の電荷を印加する+GBTストレス試験前後におけるしきい値電圧の変動も、バックゲート電極を有さないトランジスタより小さい。

【0341】

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

【0342】

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

【0343】

図33(B1)に、ボトムゲート型のトランジスタの1つであるチャネル保護型のトランジスタ820の断面図を示す。トランジスタ820は、トランジスタ810とほぼ同様の構造を有しているが、絶縁層741が半導体層742を覆っている点が異なる。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した開口部において、半導体層742と電極744aが電氣的に接続している。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した他の開口部において、半導体層742と電極744bが電氣的に接続している。絶縁層741の、チャネル形成領域と重なる領域は、チャネル保護層として機能できる。

【0344】

図33(B2)に示すトランジスタ821は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ820と異なる。

【0345】

絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744aおよび電極744bの形成時に半導体層742の薄膜化を防ぐことができる。

【0346】

また、トランジスタ820およびトランジスタ821は、トランジスタ810およびトランジスタ811よりも、電極744aと電極746の間の距離と、電極744bと電極746の間の距離が長くなる。よって、電極744aと電極746の間に生じる寄生容量を小さくすることができる。また、電極744bと電極746の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

【0347】

図33(C1)に示すトランジスタ825は、ボトムゲート型のトランジスタの1つであ

10

20

30

40

50

るチャンネルエッチング型のトランジスタである。トランジスタ 825 は、絶縁層 729 を用いずに電極 744 a および電極 744 b を形成する。このため、電極 744 a および電極 744 b の形成時に露出する半導体層 742 の一部がエッチングされる場合がある。一方、絶縁層 729 を設けないため、トランジスタの生産性を高めることができる。

【0348】

図 33 (C2) に示すトランジスタ 826 は、絶縁層 729 上にバックゲート電極として機能できる電極 723 を有する点が、トランジスタ 825 と異なる。

【0349】

〔トップゲート型トランジスタ〕

図 34 (A1) に、トップゲート型のトランジスタの一種であるトランジスタ 830 の断面図を示す。トランジスタ 830 は、絶縁層 772 の上に半導体層 742 を有し、半導体層 742 および絶縁層 772 上に、半導体層 742 の一部に接する電極 744 a、および半導体層 742 の一部に接する電極 744 b を有し、半導体層 742、電極 744 a、および電極 744 b 上に絶縁層 726 を有し、絶縁層 726 上に電極 746 を有する。

【0350】

トランジスタ 830 は、電極 746 および電極 744 a、並びに、電極 746 および電極 744 b が重ならないため、電極 746 および電極 744 a の間に生じる寄生容量、並びに、電極 746 および電極 744 b の間に生じる寄生容量を小さくすることができる。また、電極 746 を形成した後に、電極 746 をマスクとして用いて不純物 755 を半導体層 742 に導入することで、半導体層 742 中に自己整合(セルフアライメント)的に不純物領域を形成することができる(図 34 (A3) 参照)。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

【0351】

なお、不純物 755 の導入は、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

【0352】

不純物 755 としては、例えば、第 13 族元素または第 15 族元素のうち、少なくとも一種の元素を用いることができる。また、半導体層 742 に酸化物半導体を用いる場合は、不純物 755 として、希ガス、水素、および窒素のうち、少なくとも一種の元素を用いることも可能である。

【0353】

図 34 (A2) に示すトランジスタ 831 は、電極 723 および絶縁層 727 を有する点がトランジスタ 830 と異なる。トランジスタ 831 は、絶縁層 772 の上に形成された電極 723 を有し、電極 723 上に形成された絶縁層 727 を有する。電極 723 は、バックゲート電極として機能することができる。よって、絶縁層 727 は、ゲート絶縁層として機能することができる。絶縁層 727 は、絶縁層 726 と同様の材料および方法により形成することができる。

【0354】

トランジスタ 811 と同様に、トランジスタ 831 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 831 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0355】

図 34 (B1) に例示するトランジスタ 840 は、トップゲート型のトランジスタの 1 つである。トランジスタ 840 は、電極 744 a および電極 744 b を形成した後に半導体層 742 を形成する点が、トランジスタ 830 と異なる。また、図 34 (B2) に例示するトランジスタ 841 は、電極 723 および絶縁層 727 を有する点が、トランジスタ 840 と異なる。トランジスタ 840 およびトランジスタ 841 において、半導体層 742 の一部は電極 744 a 上に形成され、半導体層 742 の他の一部は電極 744 b 上に形成

10

20

30

40

50

される。

【0356】

トランジスタ811と同様に、トランジスタ841は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ841の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0357】

図35(A1)に例示するトランジスタ842は、トップゲート型のトランジスタの1つである。トランジスタ842は、絶縁層729を形成した後に電極744aおよび電極744bを形成する点がトランジスタ830やトランジスタ840と異なる。電極744aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電氣的に接続する。

10

【0358】

また、電極746と重ならない絶縁層726の一部を除去し、電極746と残りの絶縁層726をマスクとして用いて不純物755を半導体層742に導入することで、半導体層742中に自己整合(セルフアライメント)的に不純物領域を形成することができる(図35(A3)参照)。トランジスタ842は、絶縁層726が電極746の端部を越えて延伸する領域を有する。不純物755を半導体層742に導入する際に、半導体層742の絶縁層726を介して不純物755が導入された領域の不純物濃度は、絶縁層726を介さずに不純物755が導入された領域よりも小さくなる。よって、半導体層742中の、電極746と重なる部分に隣接する領域にLDD(Lightly Doped Drain)領域が形成される。

20

【0359】

図35(A2)に示すトランジスタ843は、電極723を有する点がトランジスタ842と異なる。トランジスタ843は、基板771の上に形成された電極723を有し、絶縁層772を介して半導体層742と重なる。電極723は、バックゲート電極として機能することができる。

【0360】

また、図35(B1)に示すトランジスタ844および図35(B2)に示すトランジスタ845のように、電極746と重ならない領域の絶縁層726を全て除去してもよい。また、図35(C1)に示すトランジスタ846および図35(C2)に示すトランジスタ847のように、絶縁層726を残してもよい。

30

【0361】

トランジスタ842乃至トランジスタ847も、電極746を形成した後に、電極746をマスクとして用いて不純物755を半導体層742に導入することで、半導体層742中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

【0362】

{S-channel型トランジスタ}

図36に、半導体層742として酸化物半導体を用いたトランジスタ構造の一例を示す。図36に例示するトランジスタ850は、半導体層742aの上に半導体層742bが形成され、半導体層742bの上面並びに半導体層742b及び半導体層742aの側面が半導体層742cに覆われた構造を有する。図36(A)はトランジスタ850の上面図である。図36(B)は、図36(A)中のX1-X2の一点鎖線で示した部位の断面図(チャンネル長方向の断面図)である。図36(C)は、図36(A)中のY1-Y2の一点鎖線で示した部位の断面図(チャンネル幅方向の断面図)である。

40

【0363】

また、トランジスタ850は、ゲート電極として機能する電極743を有する。電極74

50

3は、電極746と同様の材料および方法で形成することができる。本実施の形態では、電極743を2層の導電層の積層としている。

【0364】

半導体層742a、半導体層742b、および半導体層742cは、InもしくはGaの一方、または両方を含む材料で形成する。代表的には、In-Ga酸化物(InとGaを含む酸化物)、In-Zn酸化物(InとZnを含む酸化物)、In-M-Zn酸化物(Inと、元素Mと、Znを含む酸化物。元素Mは、Al、Ti、Ga、Y、Zr、La、Ce、NdまたはHfから選ばれた1種類以上の元素で、Inよりも酸素との結合力が強い金属元素である。)がある。

【0365】

半導体層742aおよび半導体層742cは、半導体層742bを構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、半導体層742aおよび半導体層742bとの界面、ならびに半導体層742cおよび半導体層742bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。よって、良好な電気特性を有する半導体装置を実現することが可能となる。

【0366】

半導体層742aおよび半導体層742cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、半導体層742bの厚さは、3nm以上70nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0367】

また、半導体層742bがIn-M-Zn酸化物であり、半導体層742aおよび半導体層742cもIn-M-Zn酸化物であるとき、半導体層742aおよび半導体層742cを $In:M:Zn = x_1:y_1:z_1$ [原子数比]、半導体層742bを $In:M:Zn = x_2:y_2:z_2$ [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択することができる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなるように半導体層742a、半導体層742c、および半導体層742bを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなるように半導体層742a、半導体層742cおよび半導体層742bを選択する。 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の3倍未満であると好ましい。半導体層742aおよび半導体層742cを上記構成とすることにより、半導体層742aおよび半導体層742cを、半導体層742bよりも酸素欠損が生じにくい層とすることができる。

【0368】

なお、半導体層742aおよび半導体層742cがIn-M-Zn酸化物であるとき、InおよびMの和を100atomic%としたときのInと元素Mの含有率は、好ましくはInが50atomic%未満、元素Mが50atomic%以上、さらに好ましくはInが25atomic%未満、元素Mが75atomic%以上とする。また、半導体層742bがIn-M-Zn酸化物であるとき、InおよびMの和を100atomic%としたときのInと元素Mの含有率は好ましくはInが25atomic%以上、元素Mが75atomic%未満、さらに好ましくはInが34atomic%以上、元素Mが66atomic%未満とする。

【0369】

例えば、InまたはGaを含む半導体層742a、およびInまたはGaを含む半導体層

10

20

30

40

50

742cとしてIn:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、または1:9:6などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物や、In:Ga=1:9などの原子数比のターゲットを用いて形成したIn-Ga酸化物や、酸化ガリウムなどを用いることができる。また、半導体層742bとしてIn:Ga:Zn=3:1:2、1:1:1、5:5:6、または4:2:4、1などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を用いることができる。なお、半導体層742a、半導体層742b、および半導体層742cの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0370】

半導体層742bを用いたトランジスタに安定した電気特性を付与するためには、半導体層742b中の不純物および酸素欠損を低減して高純度真性化し、半導体層742bを真性または実質的に真性に見なせる酸化物半導体層とすることが好ましい。また、少なくとも半導体層742b中のチャネル形成領域が真性または実質的に真性に見なせる酸化物半導体層とすることが好ましい。

10

【0371】

なお、実質的に真性に見なせる酸化物半導体層とは、酸化物半導体層中のキャリア密度が、 8×10^{11} 個/cm³未満、好ましくは 1×10^{11} 個/cm³未満、さらに好ましくは 1×10^{10} 個/cm³未満であり、 1×10^{-9} 個/cm³以上である酸化物半導体層をいう。

【0372】

図37に、半導体層742として酸化物半導体を用いたトランジスタ構造の一例を示す。図37に例示するトランジスタ822は、半導体層742aの上に半導体層742bが形成されている。トランジスタ822は、バックゲート電極を有するボトムゲート型のトランジスタの一種である。図37(A)はトランジスタ822の上面図である。図37(B)は、図37(A)中のX1-X2の一点鎖線で示した部位の断面図(チャネル長方向の断面図)である。図37(C)は、図37(A)中のY1-Y2の一点鎖線で示した部位の断面図(チャネル幅方向の断面図)である。

20

【0373】

絶縁層729上に設けられた電極723は、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747aおよび開口747bにおいて、電極746と電氣的に接続されている。よって、電極723と電極746には、同じ電位が供給される。また、開口747aおよび開口747bは、どちらか一方を設けなくてもよい。また、開口747aおよび開口747bの両方を設けなくてもよい。開口747aおよび開口747bの両方を設けない場合は、電極723と電極746に異なる電位を供給することができる。

30

【0374】

[酸化物半導体のエネルギーバンド構造]

ここで、半導体層742a、半導体層742b、および半導体層742cの積層により構成される半導体層742の機能およびその効果について、図41(A)および図41(B)に示すエネルギーバンド構造図を用いて説明する。図41(A)は、図36(B)にD1-D2の一点鎖線で示す部位のエネルギーバンド構造図である。図41(A)は、トランジスタ850のチャネル形成領域のエネルギーバンド構造を示している。

40

【0375】

図41(A)中、Ec882、Ec883a、Ec883b、Ec883c、Ec886は、それぞれ、絶縁層772、半導体層742a、半導体層742b、半導体層742c、絶縁層726の伝導帯下端のエネルギーを示している。

【0376】

ここで、真空準位と伝導帯下端のエネルギーとの差(「電子親和力」ともいう。)は、真空準位と価電子帯上端のエネルギーとの差(イオン化ポテンシャルともいう。)からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ(例えば、HORIBA JOBIN YVON社 UT-300)を用いて測定できる。

50

また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置 (例えば、PHI社 VersaProbe) を用いて測定できる。

【0377】

なお、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.4 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 6$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.3 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 2$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.9 eV 、電子親和力は約 4.3 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 8$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.4 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 6 : 10$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.5 eV 、電子親和力は約 4.5 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 3.2 eV 、電子親和力は約 4.7 eV である。また、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ のターゲットを用いて形成した $\text{In} - \text{Ga} - \text{Zn}$ 酸化物のエネルギーギャップは約 2.8 eV 、電子親和力は約 5.0 eV である。

10

20

【0378】

絶縁層 772 と絶縁層 726 は絶縁物であるため、 E_{c882} と E_{c886} は、 E_{c883a} 、 E_{c883b} 、および E_{c883c} よりも真空準位に近い (電子親和力が小さい)。

【0379】

また、 E_{c883a} は、 E_{c883b} よりも真空準位に近い。具体的には、 E_{c883a} は、 E_{c883b} よりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

30

【0380】

また、 E_{c883c} は、 E_{c883b} よりも真空準位に近い。具体的には、 E_{c883c} は、 E_{c883b} よりも 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、 1 eV 以下、 0.5 eV 以下または 0.4 eV 以下真空準位に近いことが好ましい。

【0381】

また、半導体層 742a と半導体層 742b との界面近傍、および、半導体層 742b と半導体層 742c との界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

40

【0382】

従って、当該エネルギーバンド構造を有する積層構造において、電子は半導体層 742b を主として移動することになる。そのため、半導体層 742a と絶縁層 772 との界面、または、半導体層 742c と絶縁層 726 との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、半導体層 742a と半導体層 742b との界面、および半導体層 742c と半導体層 742b との界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有するトランジスタは、高い電界効果移動度を実現することができる。

【0383】

なお、図 41 (A) に示すように、半導体層 742a と絶縁層 772 の界面、および半導

50

体層 7 4 2 c と絶縁層 7 2 6 の界面近傍には、不純物や欠陥に起因したトラップ準位 8 9 0 が形成され得るものの、半導体層 7 4 2 a、および半導体層 7 4 2 c があることにより、半導体層 7 4 2 b と当該トラップ準位とを遠ざけることができる。

【 0 3 8 4 】

特に、本実施の形態に例示するトランジスタは、半導体層 7 4 2 b の上面と側面が半導体層 7 4 2 c と接し、半導体層 7 4 2 b の下面が半導体層 7 4 2 a と接して形成されている。このように、半導体層 7 4 2 b を半導体層 7 4 2 a と半導体層 7 4 2 c で覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

【 0 3 8 5 】

ただし、E c 8 8 3 a または E c 8 8 3 c と、E c 8 8 3 b とのエネルギー差が小さい場合、半導体層 7 4 2 b の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁層の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

10

【 0 3 8 6 】

従って、E c 8 8 3 a、および E c 8 8 3 c と、E c 8 8 3 b とのエネルギー差を、それぞれ 0 . 1 e V 以上、好ましくは 0 . 1 5 e V 以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

【 0 3 8 7 】

また、半導体層 7 4 2 a、および半導体層 7 4 2 c のバンドギャップは、半導体層 7 4 2 b のバンドギャップよりも広いほうが好ましい。

20

【 0 3 8 8 】

図 4 1 (B) は、図 3 7 (B) に D 3 - D 4 の一点鎖線で示す部位のエネルギーバンド構造図である。図 4 1 (B) は、トランジスタ 8 2 2 のチャネル形成領域のエネルギーバンド構造を示している。

【 0 3 8 9 】

図 4 1 (B) 中、E c 8 8 7 は、絶縁層 7 2 8 の伝導帯下端のエネルギーを示している。半導体層 7 4 2 を半導体層 7 4 2 a と半導体層 7 4 2 b の 2 層とすることで、トランジスタの生産性を高めることができる。なお、半導体層 7 4 2 c を設けない分、トラップ準位 8 9 0 の影響を受けやすくなるが、半導体層 7 4 2 を単層構造とした場合よりも高い電界効果移動度を実現することができる。

30

【 0 3 9 0 】

本発明の一態様によれば、電気特性のばらつきが少ないトランジスタを実現することができる。よって、電気特性のばらつきが少ない半導体装置を実現することができる。本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。よって、信頼性の良好な半導体装置を実現することができる。

【 0 3 9 1 】

また、酸化物半導体は、エネルギーギャップが 3 . 0 e V 以上と大きく、可視光に対する透過率が大きい。また、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては、オフ電流を使用時の温度条件下（例えば、2 5 ° C）において、1 0 0 z A ($1 \times 1 0^{-19}$ A) 以下、もしくは 1 0 z A ($1 \times 1 0^{-20}$ A) 以下、さらには 1 z A ($1 \times 1 0^{-21}$ A) 以下とすることができる。このため、消費電力の少ない半導体装置を提供することができる。

40

【 0 3 9 2 】

本発明の一態様によれば、消費電力が少ないトランジスタを実現することができる。よって、消費電力が少ない表示素子や表示装置などの半導体装置を実現することができる。または、信頼性の良好な表示素子や表示装置などの半導体装置を実現することができる。

【 0 3 9 3 】

図 3 6 に示すトランジスタ 8 5 0 の説明にもどる。絶縁層 7 7 2 に設けた凸部上に半導体層 7 4 2 b を設けることによって、半導体層 7 4 2 b の側面も電極 7 4 3 で覆うことがで

50

きる。すなわち、トランジスタ 850 は、電極 743 の電界によって、半導体層 742 b を電氣的に取り囲むことができる構造を有している。このように、導電膜の電界によって、チャンネルが形成される半導体層を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。また、S-channel 構造を有するトランジスタを、「S-channel 型トランジスタ」もしくは「S-channel トランジスタ」ともいう。

【0394】

S-channel 構造では、半導体層 742 b の全体（バルク）にチャンネルを形成することもできる。S-channel 構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流を得ることができる。また、電極 743 の電界によって、半導体層 742 b に形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、S-channel 構造では、トランジスタのオフ電流をさらに小さくすることができる。

10

【0395】

なお、絶縁層 772 の凸部を高くし、また、チャンネル幅を小さくすることで、S-channel 構造によるオン電流の増大効果、オフ電流の低減効果などをより高めることができる。また、半導体層 742 b の形成時に、露出する半導体層 742 a を除去してもよい。この場合、半導体層 742 a と半導体層 742 b の側面が揃う場合がある。

【0396】

また、図 38 に示すトランジスタ 851 のように、半導体層 742 の下方に、絶縁層を介して電極 723 を設けてもよい。図 38 (A) はトランジスタ 851 の上面図である。図 38 (B) は、図 38 (A) 中の X1 - X2 の一点鎖線で示した部位の断面図である。図 38 (C) は、図 38 (A) 中の Y1 - Y2 の一点鎖線で示した部位の断面図である。

20

【0397】

また、図 39 に示すトランジスタ 852 のように、電極 743 の上方に絶縁層 775 を設け、絶縁層 775 上に層 725 を設けてもよい。図 39 (A) はトランジスタ 852 の上面図である。図 39 (B) は、図 39 (A) 中の X1 - X2 の一点鎖線で示した部位の断面図である。図 39 (C) は、図 39 (A) 中の Y1 - Y2 の一点鎖線で示した部位の断面図である。

【0398】

なお、図 39 では、層 725 を絶縁層 775 上に設けているが、絶縁層 728 上、または絶縁層 729 上に設けてもよい。層 725 を、遮光性を有する材料で形成することで、光照射によるトランジスタの特性変動や、信頼性の低下などを防ぐことができる。なお、層 725 を少なくとも半導体層 742 b よりも大きく形成し、層 725 で半導体層 742 b を覆うことで、上記の効果を高めることができる。層 725 は、有機物材料、無機物材料、又は金属材料を用いて作製することができる。また、層 725 を導電性材料で作製した場合、層 725 に電圧を供給してもよいし、電氣的に浮遊した（フローティング）状態としてもよい。

30

【0399】

図 40 に、S-channel 構造を有するトランジスタの一例を示す。図 40 に例示するトランジスタ 848 は、前述したトランジスタ 847 とほぼ同様の構成を有する。トランジスタ 848 は、絶縁層 772 に設けた凸部上に半導体層 742 が形成されている。トランジスタ 848 はバックゲート電極を有するトップゲート型のトランジスタの一種である。図 40 (A) はトランジスタ 848 の上面図である。図 40 (B) は、図 40 (A) 中の X1 - X2 の一点鎖線で示した部位の断面図である。図 40 (C) は、図 40 (A) 中の Y1 - Y2 の一点鎖線で示した部位の断面図である。

40

【0400】

絶縁層 729 上に設けられた電極 744 a は、絶縁層 726、絶縁層 728、および絶縁層 729 に設けられた開口 747 c において、半導体層 742 と電氣的に接続されている。また、絶縁層 729 上に設けられた電極 744 b は、絶縁層 726、絶縁層 728、お

50

よび絶縁層 7 2 9 に設けられた開口 7 4 7 d において、半導体層 7 4 2 と電氣的に接続されている。

【0401】

絶縁層 7 2 6 上に設けられた電極 7 4 3 は、絶縁層 7 2 6、および絶縁層 7 7 2 に設けられた開口 7 4 7 a および開口 7 4 7 b において、電極 7 2 3 と電氣的に接続されている。よって、電極 7 4 3 と電極 7 2 3 には、同じ電位が供給される。また、開口 7 4 7 a および開口 7 4 7 b は、どちらか一方を設けなくてもよい。また、開口 7 4 7 a および開口 7 4 7 b の両方を設けなくてもよい。開口 7 4 7 a および開口 7 4 7 b の両方を設けない場合は、電極 7 2 3 と電極 7 4 3 に異なる電位を供給することができる。

【0402】

なお、S - c h a n n e l 構造を有するトランジスタに用いる半導体層は、酸化物半導体に限定されるものではない。

【0403】

〔他の構成例〕

以下では、図 4 2 - 図 4 7 を参照して、薄膜の多結晶シリコン（ポリシリコン）膜を用いた n チャネル型のトランジスタの構成例を示す。

【0404】

図 4 2 (A) はトランジスタ 7 0 A の上面図である。図 4 2 (B) は図 4 2 (A) の L 1 - L 2 線による断面図であり、図 4 2 (C) は図 4 2 (A) の切断線 W 1 - W 2 による断面図である。なお、図 4 2 (B) は、チャネル長 L 方向のトランジスタ 7 0 A の断面図であり、図 4 2 (C) では、チャネル幅 W 方向のトランジスタ 7 0 A の断面図である。

【0405】

トランジスタ 7 0 A は、絶縁表面を有する基板 7 2 上に、ゲートとして機能する導電層 7 3 と、導電層 7 3 上の絶縁層 7 4 と、絶縁層 7 4 を間に介して導電層 7 3 と重畳する半導体層 7 5 と、半導体層 7 5 上の絶縁層 7 6 と、絶縁層 7 6 を間に介して半導体層 7 5 と重畳し、なおかつゲートとして機能する導電層 7 7 と、導電層 7 7 上の絶縁層 7 8 と、絶縁層 7 8 上の絶縁層 7 9 と、絶縁層 7 6、絶縁層 7 8 および絶縁層 7 9 に設けられた開口において半導体層 7 5 に電氣的に接続され、なおかつソースまたはドレインとして機能する導電層 8 0 および導電層 8 1 とを有する。

【0406】

また、半導体層 7 5 は、導電層 7 7 と重畳する位置にチャネル形成領域 8 2 と、チャネル形成領域 8 2 を間に挟むように位置する一対の L D D 領域 8 3 と、チャネル形成領域 8 2、L D D 領域 8 3 を間に挟むように位置する一対の不純物領域 8 4 とを有する。一対の不純物領域 8 4 はソース領域またはドレイン領域として機能する。また、L D D 領域 8 3、および不純物領域 8 4 は、n 型の導電型を半導体層 7 5 に付与する不純物元素、例えば、リン (P)、ヒ素 (A s) 等が添加されている。

【0407】

トランジスタ 7 0 A は、第 1 の導電層（導電層 7 3）上に第 1 の絶縁層（絶縁層 7 4）を有し、第 1 の絶縁層（絶縁層 7 4）上にチャネル形成領域 8 2 を有する半導体層 7 5 を有し、半導体層 7 5 上に第 2 の絶縁層（絶縁層 7 6）を有し、第 2 の絶縁層（絶縁層 7 6）上に第 2 の導電層（導電層 7 7）を有し、第 2 の導電層（導電層 7 7）は、第 2 の絶縁層（絶縁層 7 6）を介して半導体層 7 5 の側面を覆い、半導体層 7 5 は、チャネル幅方向の断面において、第 1 の導電層（導電層 7 3）と第 2 の導電層（導電層 7 7）とで囲まれた構造、即ち S - c h a n n e l 構造を有する。

【0408】

図 4 2 (C) に示す構造とすることで、電流は半導体層 7 5 の全体（バルク）を流れる。半導体層 7 5 の内部を電流が流れることで、界面散乱の影響を受けにくいため、高いオン電流を得ることができる。なお、半導体層 7 5 を厚くすると、オン電流を向上させることができる。

【0409】

10

20

30

40

50

また、トランジスタ70Aにおいては、半導体層75に垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、半導体層75の全体的にゲート電界が印加されることとなり、電流は半導体層75のバルクを流れる。これによって、トランジスタ70Aの電界効果移動度の向上を図ることが可能となる。

【0410】

また、トランジスタをS-channel構造とすることで、上下からの半導体層75への不純物混入の影響を排除できる効果などを併せて有する。また、第1の導電層(導電層73)と第2の導電層(導電層77)は、上下からの光が半導体膜に照射されることを遮光でき、光励起を抑えるため、オフ電流の増加を防止できる。

【0411】

ここではnチャネル型のトランジスタの例を示しているが、n型の導電型を半導体層75に付与する不純物元素に代えてp型の導電型を付与する不純物元素、例えば、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等を添加すれば、pチャネル型のトランジスタを作製することができる。また、nチャネル型のトランジスタ70Aのチャネル形成領域82にp型の導電型を付与する不純物元素を微量に添加してもよい。

【0412】

なお、半導体層75は、様々な技術により結晶化しても良い。様々な結晶化方法として、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板72として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950程度の高温アニールを組み合わせた結晶化法を用いても良い。

【0413】

非晶質シリコン膜にレーザ光を照射して多結晶シリコン膜とし、多結晶シリコン膜をトランジスタ70Aのチャネル形成領域82として用いる場合、レーザ光を照射して形成される粒界は、多結晶シリコン膜の下方まで到達しているため、電流は半導体膜界面よりも半導体膜のバルクを流れる。従ってレーザ光の照射エネルギーのばらつきによる影響が低減できる。

【0414】

従来は、チャネル領域に低濃度の不純物元素を添加してしきい値制御を行っていたが、一对のゲート電極で半導体層を挟む構造の場合、半導体層と絶縁膜の界面にキャリアが発生する確率が高く、キャリアが絶縁膜や絶縁膜と半導体層との界面に注入され、しきい値が上昇してしまうという問題があった。また、このチャネル領域のエネルギーバンド構造によると、キャリアの通り道は、半導体層と絶縁膜との界面付近だけである。このため、ドレインに印加された電圧によって加速されたホットキャリアが絶縁膜と半導体層との界面や絶縁膜に注入されることによる移動度やドレイン電流の低下が大きな問題となっていた。

【0415】

トランジスタ70Aには、半導体膜に垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、半導体膜の全体的にゲート電界が印加されることとなり、電流は半導体膜のバルクを流れる。これによって、トランジスタの電界効果移動度の向上を図ることが可能となる。

【0416】

なお、図42(A)では、ゲートとして機能する導電層77と、バックゲート電極として機能する導電層73を有する構成を示しているが、他の構成でもよい。例えば、用いる回路によっては、バックゲート電極として機能する導電層73を省略したトランジスタを部分的に設けてもよい。

【0417】

また、図42(A)では、ゲートとして機能する導電層77は、テーパ部を有する構成としている。テーパ部を有するゲート電極を用い、半導体層に不純物元素をドーピン

10

20

30

40

50

グして自己整合的に不純物領域を形成すると、ホットキャリア劣化の少ない半導体装置を実現できる。

【0418】

また、トランジスタ70Aでは、ゲートとして機能する導電層77と、バックゲート電極として機能する導電層73とを電氣的に接続されているが、それぞれに異なる電位を与えるようにすることもできる。そのような例を図43に示す。図43(A)はトランジスタ70Bの上面図である。図43(B)は図43(A)のL1-L2線による断面図であり、図43(C)は図43(A)のW1-W2線による断面図である。

【0419】

また、図43に示すトランジスタ70Bは、トランジスタ70Aとは絶縁層74の種類が異なる。トランジスタ70Bでは、絶縁層74としてプラズマCVD法などで得られる絶縁膜が用いられている。バックゲート電極として機能する導電層73の存在により絶縁膜表面に凸部が形成され、その上に半導体膜が形成されるため、半導体膜表面にも下地の表面形状が反映されている。

【0420】

トランジスタ70Bも、チャンネル形成領域が、ゲートとして機能する導電層77とバックゲート電極として機能する導電層73で囲まれたS-channel構造となっている。

【0421】

また、図44(A)には、トランジスタ70Cの上面図を示す。図44(B)は、トランジスタ70Cのチャンネル長方向を表すL1-L2線による断面図である。図44(C)は、トランジスタ70Cのチャンネル幅方向を表すW1-W2線による断面図である。

【0422】

図44(A)には、導電層77、導電層73、半導体層75、導電層80、導電層81、開口93、開口94、開口95および開口96を示している。導電層77は、ゲートとして機能する。導電層73はバックゲートとして機能する。開口93、94は、半導体層75と、導電層80、導電層81とを接続するための開口である。開口95、96は、導電層77と、導電層73と電氣的に接続するための開口である。

【0423】

図44(B)では、基板72上に、導電層73と、絶縁層74と、絶縁層74を間に介して導電層73と重畳する半導体層75と、半導体層75上の絶縁層76と、絶縁層76を間に介して半導体層75と重畳し、なおかつゲートとして機能する導電層77aおよび導電層77bと、導電層77aおよび導電層77b上の絶縁層78と、絶縁層78上の絶縁層79と、絶縁層76、絶縁層78および絶縁層79に設けられた開口93、94において半導体層75に電氣的に接続され、なおかつソースまたはドレインとして機能する導電層80および導電層81とを有する。

【0424】

図44(C)では、基板72上に、導電層73と、絶縁層74と、半導体層75と、絶縁層76と、開口95、96において導電層73に電氣的に接続された導電層77aおよび導電層77bと、導電層77aおよび導電層77b上の絶縁層78と、絶縁層78上の絶縁層79と、を有する。半導体層75は、チャンネル形成領域82と、LDD領域83と、不純物領域84とを有する。導電層77aおよび導電層77bの構成により、導電層77bと重なっていない導電層77aの領域を介してドーピングすることで自己整合的に不純物領域を形成することができる。導電層77aとオーバーラップするLDD領域の長さは、そのイオンドーピング時のマスクとなる導電層77bによって制御される。導電層77aおよび導電層77bをイオンドーピング時のマスクとして用い、導電層77aとオーバーラップするLDD領域を自己整合的に形成し、且つ、その長さ(Lov)を必要とする長さに調整することができる。また、導電層77aとオーバーラップするLDD領域の長さを正確に制御することができるようになり、ホットキャリア劣化に対する寿命時間を延長し、信頼性の高い半導体装置を歩留まり良く作製できる。

10

20

30

40

50

【 0 4 2 5 】

トランジスタ 7 0 C では、ゲートである導電層 7 7、導電層 7 7 と電氣的に接続されたバックゲートである導電層 7 3 によって、半導体層 7 5 のチャンネル形成領域 8 2 のチャンネル幅方向を電氣的に取り囲む構造としている。つまり当該構造は、チャンネル形成領域の上面、下面及び側面から、チャンネル形成領域を包み込む構造とすることができる。そのため、オン電流を高めることができ、チャンネル幅方向のサイズ縮小を図ることができる。また、チャンネル形成領域を導電膜で取り囲む構成とするため、チャンネル形成領域の遮光を容易に行うことができ、チャンネル形成領域に意図しない光が照射されることによる光励起を抑制することができる。

【 0 4 2 6 】

またトランジスタ 7 0 C では、半導体層 7 5 における W 1 - W 2 方向での側端部における意図しない導電性の上昇による導通状態を抑制することができる。また L D D 領域 8 3、及び不純物領域 8 4 に添加した不純物元素の分布ばらつきの影響を小さくすることができる。

【 0 4 2 7 】

また図 4 4 (A) 図 4 4 (C) に示す構成では、半導体層 7 5 における W 1 - W 2 方向での側端部における意図しない導電性の上昇による導通状態を抑制することができる。また半導体層 7 5 内に添加した不純物元素の分布ばらつきの影響を小さくすることができる。

【 0 4 2 8 】

また図 4 4 (A) 図 4 4 (C) に示す構成では、ゲートとバックゲートとを電氣的に接続する構成としたが、図 4 3 に一例を示したように、別々の電位とする構成も有効である。当該構成は、特に n チャンネル型のみで構成する回路とする際に有効である。つまり、バックゲートに電圧を印加することでトランジスタの閾値電圧を制御できるため、閾値電圧の異なるトランジスタにより構成された E D - M O S でインバータ回路などのロジック回路を構成することができる。このようなロジック回路を、画素を駆動するための駆動回路に適用することで駆動回路が占める面積を縮小することができるため、表示装置の狭縁化を実現することができる。また、バックゲートの電圧をトランジスタがオフになるような電圧にすることで、トランジスタをオフ状態にした際のオフ電流をより小さくすることができる。そのため、表示装置のリフレッシュレートを大きくしても、書き込んだ電圧を保持し続けさせることができる。そのため、書き込み回数を少なくすることによる表示装置の低消費電力化を見込むことができる。

【 0 4 2 9 】

なお図 4 4 (A) 図 4 4 (C) に示す上面図及び断面図は、一例であり他の構成とすることもできる。例えば、図 4 5 (A) 図 4 5 (C) に図 4 4 (A) 図 4 4 (C) とは異なる上面図及び断面図を示す。

【 0 4 3 0 】

図 4 5 (A) 図 4 5 (C) に示すトランジスタ 7 0 D が、図 4 4 (A) 図 4 4 (C) に示すトランジスタ 7 0 C と異なる点は、ゲートとなる導電層 7 7 を単層で形成している点にある。また開口 9 5、9 6 の位置を、よりチャンネル形成領域 8 2 側に近づけた点にある。このようにすることで、トランジスタ 7 0 D のチャンネル形成領域の上面、下面及び側面から、チャンネル形成領域に向けて電界をかけやすくすることができる。また、当該構成としても、図 4 4 (A) 乃至 (C) と同様に S - c h a n n e l 構造であるため、その効果を奏することができる。

【 0 4 3 1 】

また別の構成として、図 4 6 (A) 図 4 6 (C) に図 4 4 (A) 図 4 4 (C)、及び図 4 5 (A) 図 4 5 (C) とは異なる上面図及び断面図を示す。

【 0 4 3 2 】

図 4 6 (A) 図 4 6 (C) に示す構成が、図 4 4 (A) 図 4 4 (C)、及び図 4 5 (A) 図 4 5 (C) に示す構成と異なる点は、トランジスタ 7 0 E のバックゲートとな

10

20

30

40

50

る導電層 73 を導電層 73 a および導電層 73 b で構成し、導電層 73 b を導電層 73 a で取り囲む構造としている点にある。当該構成としても、図 44 (A) 乃至 (C) と同様に S - channel 構造であるため、その効果を奏することができる。

【0433】

加えて図 46 (A) 図 46 (C) の構成では、導電層 73 b に可動性の元素を有する金属 (例えば、銅 (Cu)) を用いた場合においても、可動性の元素が半導体膜に進入し半導体膜が劣化することを防止できる。

【0434】

なお配線の被形成面にある、バリア膜として機能する導電層 73 a の材料としては、高融点材料であるタングステン (W)、モリブデン (Mo)、クロム (Cr)、チタン (Ti)、タンタル (Ta) のいずれか、あるいはその合金 (例えば、W Mo、Mo Cr、Ta Mo)、あるいはその窒化物 (例えば、窒化タングステン、窒化チタン、窒化タンタル、チタンとシリコンを含む窒化物) 等を用いることができる。形成方法としてはスパッタ法、CVD 法等を用いることができる。また導電層 73 b の材料としては、銅 (Cu) が好ましいが、低抵抗材料であれば特に限られない。例えば、銀 (Ag)、アルミニウム (Al)、金 (Au)、及びそれらの合金等を用いることもできる。導電層 73 b を形成する方法としてはスパッタ法が好ましいが、レジストマスクにダメージを与えない条件を選択することで、CVD 法を用いることもできる。

【0435】

図 47 (A)、図 47 (B) では、n チャンネル型のトランジスタ 70 と、p チャンネル型のトランジスタ 71 とを示す。

【0436】

ここでは、同一基板上に n チャンネル型のトランジスタ 70 と、p チャンネル型のトランジスタ 71 と構成する一例を示す。n チャンネル型のトランジスタ 70 と、p チャンネル型のトランジスタ 71 を組みわせることで CMOS 回路などを作製することができる。

【0437】

トランジスタ 70 は、絶縁表面を有する基板 72 上に、ゲートとして機能する導電層 73 と、導電層 73 上の絶縁層 74 と、絶縁層 74 を間に介して導電層 73 と重畳する半導体層 75 と、半導体層 75 上の絶縁層 76 と、絶縁層 76 を間に介して半導体層 75 と重畳し、なおかつゲートとして機能する導電層 77 a および導電層 77 b と、導電層 77 a および導電層 77 b 上の絶縁層 78 と、絶縁層 78 上の絶縁層 79 と、絶縁層 76、絶縁層 78 および絶縁層 79 に設けられた開口において半導体層 75 に電氣的に接続され、なおかつソースまたはドレインとして機能する導電層 80 および導電層 81 とを有する。

【0438】

導電層 77 b は、チャンネル長方向における幅が導電層 77 a よりも短く、導電層 77 a および導電層 77 b は、絶縁層 76 側から順に積層されている。また、半導体層 75 は、導電層 77 b と重畳する位置にチャンネル形成領域 82 と、チャンネル形成領域 82 を間に挟むように位置する一对の LDD 領域 83 と、チャンネル形成領域 82、LDD 領域 83 を間に挟むように位置する一对の不純物領域 84 とを有する。一对の不純物領域 84 はソース領域またはドレイン領域として機能する。

【0439】

また、トランジスタ 71 は、絶縁表面を有する基板 72 上に、ゲートとして機能する導電層 85 と、導電層 85 上の絶縁層 74 と、絶縁層 74 を間に介して導電層 85 と重畳する半導体層 86 と、半導体層 86 上の絶縁層 76 と、絶縁層 76 を間に介して半導体層 86 と重畳し、なおかつゲートとして機能する導電層 87 a および導電層 87 b と、導電層 87 a および導電層 87 b 上の絶縁層 78 と、絶縁層 78 上の絶縁層 79 と、絶縁層 76、絶縁層 78 および絶縁層 79 に設けられた開口において半導体層 86 に電氣的に接続され、なおかつソースまたはドレインとして機能する導電層 88 および導電層 89 とを有する。

【0440】

10

20

30

40

50

導電層 87b は、チャンネル長方向における幅が導電層 87a よりも短く、導電層 87a および導電層 87b は、絶縁層 76 側から順に積層されている。また、半導体層 86 は、導電層 87b と重畳する位置にチャンネル形成領域 90 と、チャンネル形成領域 90 を間に挟むように位置する一対の不純物領域 91 とを有する。一対の不純物領域 91 はソース領域またはドレイン領域として機能する。

【0441】

図 47 (A) では、ゲートとして機能する導電層 77a、77b と、バックゲート電極として機能する導電層 73 を有する構成を示しているが、他の構成でもよい。例えば、図 47 (B) に図示するように、バックゲート電極として機能する導電層 73 を省略してもよい。また、図 47 (A) では、ゲートとして機能する導電層 87a、87b と、バックゲート電極として機能する導電層 85 を有する構成を示しているが、他の構成でもよい。例えば、図 47 (B) に図示するように、バックゲート電極として機能する導電層 85 を省略してもよい。

10

【0442】

図 47 (A) に示す n チャンネル型のトランジスタ 70 は、実施の形態 1 と同様に S - c h a n n e l 構造であり、図 44 (B) のトランジスタ 70C に対応する。また、図 47 (A) に示す n チャンネル型のトランジスタ 70 の上面図は、図 44 (B) のトランジスタ 70C の上面図に対応する。また、図 47 (A) に示す n チャンネル型のトランジスタ 70 のチャンネル幅方向の断面図は、図 44 (C) のトランジスタ 70C の断面図に対応する。

20

【0443】

図 48 (A) - (C) 及び図 49 (A) - (C) に、上記とは構成の一部の異なるトランジスタの上面図及び断面図を示す。

【0444】

図 48 (A) - (C) に示すトランジスタ 70F は、所謂スタガ型構造である。

【0445】

トランジスタ 70F は、基板 72 上の絶縁層 74 と、絶縁層 74 上の半導体層 75 と、絶縁層 74 及び半導体層 75 上の絶縁層 76 と、絶縁層 76 上の導電層 77 と、絶縁層 76 及び導電層 77 上の絶縁層 78 と、絶縁層 78 上の絶縁層 79 と、絶縁層 79 上の導電層 80、導電層 81 と、を有する。半導体層 75 は、チャンネル形成領域 82 と、不純物領域 84 を有する。なお半導体層 75 は L D D 領域を有していてもよい。

30

【0446】

なお、導電層 80 は、絶縁層 76、絶縁層 78 及び絶縁層 79 に設けられた開口 93 を介して、半導体層 75 と電気的に接続される。また、導電層 81 は、絶縁層 76、絶縁層 78 及び絶縁層 79 に設けられた開口 94 を介して、半導体層 75 と電気的に接続される。

【0447】

なお、絶縁層 74 は、下地絶縁層としての機能を有する。また、絶縁層 76 は、その一部がゲート絶縁層としての機能を有し、導電層 77 は、その一部がゲート電極としての機能を有する。また、絶縁層 78、及び絶縁層 79 は、層間絶縁層としての機能を有する。また、導電層 80 は、その一部がソース電極としての機能を有し、導電層 81 は、その一部がドレイン電極としての機能を有する。なおトランジスタ 70F は、半導体層 75 の導電層 77 と重ならない領域に不純物領域 84 が形成された、いわゆるセルフライン型の構造である。また、トランジスタ 70F は、S i n g l e G a t e 構造のトランジスタである。

40

【0448】

次に、図 49 (A) - (C) に示すトランジスタ 70G は、所謂スタガ型構造であり、先に説明したトランジスタ 70F にバックゲート電極を設けた構造である。

【0449】

一部がバックゲート電極として機能する導電層 73 は、絶縁層 74 よりも下側に位置する。トランジスタ 70G は導電層 73 と導電層 77 によりチャンネル形成領域 82 が挟持さ

50

れた構造を有する。ここで、導電層 73 と導電層 77 とが図示しない領域で電氣的に接続していることが好ましい。

【0450】

図 49 (B)、(C) に示すように、絶縁層 74 の半導体層 75 と重ならない領域は、半導体層 75 と重なる領域に比べて薄くなっている。このような構成とすることで、チャンネル形成領域 82 の側面を導電層 77 が覆う構成とすることができる。そのためチャンネル形成領域 82 の側面方向から効果的にゲート電界を印加することができる。

【0451】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0452】

(実施の形態 4)

本実施の形態では、本発明の一態様のタッチパネルと、IC と、を有するタッチパネルモジュールの構成例について、図面を参照して説明する。

【0453】

図 50 に、タッチパネルモジュール 6500 のブロック図を示す。タッチパネルモジュール 6500 は、タッチパネル 6510 と、IC 6520 を有する。

【0454】

タッチパネル 6510 は、表示部 6511 と、入力部 6512 と、走査線駆動回路 6513 を有する。表示部 6511 は、複数の画素、複数の信号線、複数の走査線を有し、画像を表示する機能を有する。入力部 6512 は、被検知体のタッチパネル 6510 への接触、または近接を検知する複数のセンサ素子を有し、タッチセンサとしての機能を有する。走査線駆動回路 6513 は、表示部 6511 が有する走査線に、走査信号を出力する機能を有する。

【0455】

ここでは説明を容易にするため、タッチパネル 6510 の構成として、表示部 6511 と入力部 6512 を分けて明示しているが、画像を表示する機能と、タッチセンサとしての機能の両方の機能を有する、いわゆるインセル型のタッチパネルとすることが好ましい。

【0456】

入力部 6512 として用いることのできるタッチセンサの方式としては、例えば静電容量方式を適用できる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

【0457】

なおこれに限られず、指やスタイラスなどの被検知体の近接、または接触を検知することのできる様々な方式のセンサを入力部 6512 に適用することもできる。例えばセンサの方式としては、静電容量方式以外にも、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式など様々な方式を用いることができる。

【0458】

インセル型のタッチパネルとしては、代表的にはセミインセル型と、フルインセル型とがある。セミインセル型は、表示素子を支持する基板と対向基板の両方、または対向基板に、タッチセンサを構成する電極等が設けられた構成を言う。一方フルインセル型は、表示素子を支持する基板に、タッチセンサを構成する電極等を設けた構成を言う。フルインセル型のタッチパネルとすることで、対向基板の構成を簡略化できるため好ましい。特にフルインセル型として、表示素子を構成する電極が、タッチセンサを構成する電極を兼ねる構成とすると、作製工程を簡略化でき、作製コストを低減できるため好ましい。

【0459】

表示部 6511 は、HD (画素数 1280 × 720)、FHD (画素数 1920 × 1080)、WQHD (画素数 2560 × 1440)、WQXGA (画素数 2560 × 1600

10

20

30

40

50

0)、4K(画素数3840×2160)、8K(画素数7680×4320)といった極めて高い解像度を有していることが好ましい。特に4K、8K、またはそれ以上の解像度とすることが好ましい。また、表示部6511に設けられる画素の画素密度(精細度)が、300ppi以上、好ましくは500ppi以上、より好ましくは800ppi以上、より好ましくは1000ppi以上、より好ましくは1200ppi以上であることが好ましい。このように高い解像度で且つ高い精細度を有する表示部6511により、携帯型や家庭用途などのパーソナルユースにおいては、より臨場感や奥行き感などを高めることが可能となる。

【0460】

IC6520は、回路ユニット6501、信号線駆動回路6502、センサ駆動回路6503、及び検知回路6504を有する。回路ユニット6501は、タイミングコントローラ6505と、画像処理回路6506等を有する。

10

【0461】

信号線駆動回路6502は、表示部6511が有する信号線に、アナログ信号である映像信号(ビデオ信号ともいう)を出力する機能を有する。例えば信号線駆動回路6502として、シフトレジスタ回路とバッファ回路を組み合わせた構成を有することができる。また、タッチパネル6510は、信号線に接続するデマルチプレクサ回路を有していてもよい。

【0462】

センサ駆動回路6503は、入力部6512が有するセンサ素子を駆動する信号を出力する機能を有する。センサ駆動回路6503としては、例えばシフトレジスタ回路とバッファ回路を組み合わせた構成を用いることができる。

20

【0463】

検知回路6504は、入力部6512が有するセンサ素子からの出力信号を回路ユニット6501に出力する機能を有する。例えば検知回路6504として、増幅回路と、アナログデジタル変換回路(ADC: Analog-Digital Converter)を有する構成を用いることができる。このとき検知回路6504は、入力部6512から出力されるアナログ信号を、デジタル信号に変換して回路ユニット6501に出力する。

【0464】

回路ユニット6501が有する画像処理回路6506は、タッチパネル6510の表示部6511を駆動する信号を生成して出力する機能と、入力部6512を駆動する信号を生成して出力する機能と、入力部6512から出力された信号を解析して、CPU6540に出力する機能と、を有する。

30

【0465】

より具体的な例としては、画像処理回路6506は、CPU6540からの命令に従い、映像信号を生成する機能を有する。また画像処理回路6506は、表示部6511の仕様に合わせて映像信号に信号処理を施し、アナログ映像信号に変換し、信号線駆動回路6502に供給する機能を有する。また画像処理回路6506は、CPU6540からの命令に従い、センサ駆動回路6503に出力する駆動信号を生成する機能を有する。また、画像処理回路6506は、検知回路6504から入力された信号を解析し、位置情報としてCPU6540に出力する機能を有する。

40

【0466】

またタイミングコントローラ6505は、画像処理回路6506が処理を施した映像信号等に含まれる同期信号を基に、走査線駆動回路6513及びセンサ駆動回路6503に出力する信号(クロック信号、スタートパルス信号などの信号)を生成し、出力する機能を有する。またタイミングコントローラ6505は、検知回路6504が信号を出力するタイミングを規定する信号を生成し、出力する機能を有していてもよい。ここで、タイミングコントローラ6505は、走査線駆動回路6513に出力する信号と、センサ駆動回路6503に出力する信号とに、それぞれ同期させた信号を出力することが好ましい。特に、表示部6511の画素のデータを書き換える期間と、入力部6512でセンシングす

50

る期間を、それぞれ分けることが好ましい。例えば、1フレーム期間を、画素のデータを書き換える期間と、センシングする期間とに分けてタッチパネル6510を駆動することができる。また、例えば1フレーム期間中に2以上のセンシングの期間を設けることで、検出感度及び検知精度を高めることができる。

【0467】

画像処理回路6506としては、例えばプロセッサを有する構成とすることができる。例えばDSP(Digital Signal Processor)、GPU(Graphics Processing Unit)等のマイクロプロセッサを用いることができる。またこれらマイクロプロセッサをFPGA(Field Programmable Gate Array)やFPGA(Field Programmable Analog Array)といったPLD(Programmable Logic Device)によって実現した構成としてもよい。プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理やプログラム制御を行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、別途設けられる記憶装置に格納されていてもよい。

10

【0468】

なお、タッチパネル6510が有する表示部6511、走査線駆動回路6513や、IC6520が有する回路ユニット6501、信号線駆動回路6502、センサ駆動回路6503、検知回路6504、または外部に設けられるCPU6540等に、チャンネル形成領域に酸化物半導体を用い、極めて低いオフ電流が実現されたトランジスタを利用することもできる。当該トランジスタは、オフ電流が極めて低いため、当該トランジスタを記憶素子として機能する容量素子に流入した電荷(データ)を保持するためのスイッチとして用いることで、データの保持期間を長期にわたり確保することができる。例えばこの特性を画像処理回路6506のレジスタやキャッシュメモリに用いることで、必要なときだけ画像処理回路6506を動作させ、他の場合には直前の処理の情報を当該記憶素子に待避させることにより、ノーマリーオフコンピューティングが可能となり、タッチパネルモジュール6500、及びこれが実装される電子機器の低消費電力化を図ることができる。

20

【0469】

なお、ここでは回路ユニット6501がタイミングコントローラ6505と画像処理回路6506を有する構成としたが、画像処理回路6506自体、または画像処理回路6506の一部の機能を有する回路を、IC6520の外部に設けてもよい。または、画像処理回路6506の機能、または一部の機能をCPU6540が担ってもよい。例えば回路ユニット6501が信号線駆動回路6502、センサ駆動回路6503、検知回路6504、及びタイミングコントローラ6505を有する構成とすることもできる。

30

【0470】

なお、ここではIC6520が回路ユニット6501を含む例を示したが、回路ユニット6501はIC6520に含まれない構成とすることもできる。この時、IC6520は信号線駆動回路6502、センサ駆動回路6503、及び検知回路6504を有する構成とすることができる。例えばタッチパネルモジュール6500にICを複数実装する場合には、回路ユニット6501を別途設け、回路ユニット6501を有さないIC6520を複数配置することもできるし、IC6520と、信号線駆動回路6502のみを有するICを組み合わせて配置することもできる。

40

【0471】

このように、タッチパネル6510の表示部6511を駆動する機能と、入力部6512を駆動する機能と、を1つのICに組み込んだ構成とすることで、タッチパネルモジュール6500に実装するICの数を減らすことができるため、コストを低減することができる。

【0472】

図51(A)、(B)、(C)は、IC6520を実装したタッチパネルモジュール6500の概略図である。

50

【0473】

図51(A)では、タッチパネルモジュール6500は、基板6531、対向基板6532、複数のFPC6533、IC6520、IC6530等を有する。また基板6531と対向基板6532との間に表示部6511、入力部6512、及び走査線駆動回路6513を有している。IC6520及びIC6530は、COG(Chip On Glass)方式などの実装方法により基板6531に実装されている。

【0474】

IC6530は、上述したIC6520において、信号線駆動回路6502のみ、または信号線駆動回路6502及び回路ユニット6501を有するICである。IC6520やIC6530には、FPC6533を介して外部から信号が供給される。またFPC6533を介してIC6520やIC6530から外部に信号を出力することができる。

10

【0475】

図51(A)では表示部6511を挟むように走査線駆動回路6513を2つ設ける構成の例を示している。またIC6520に加えてIC6530を有する構成を示している。このような構成は、表示部6511として極めて高解像度の場合に、好適に用いることができる。

【0476】

図51(B)は、1つのIC6520と1つのFPC6533を実装した例を示している。このように、機能を1つのIC6520に集約させることで、部品点数を減らすことができるため好ましい。また図51(B)では、走査線駆動回路6513を表示部6511の2つの短辺のうち、FPC6533に近い側の辺に沿って配置した例を示している。

20

【0477】

図51(C)は、画像処理回路6506等が実装されたPCB(Printed Circuit Board)6534を有する構成の例を示している。基板6531上のIC6520及びIC6530と、PCB6534とは、FPC6533によって電氣的に接続されている。ここで、IC6520には、上述の画像処理回路6506を有さない構成を適用することができる。

【0478】

なお図51の各図において、IC6520やIC6530は、基板6531ではなくFPC6533に実装されていてもよい。例えばIC6520やIC6530をCOF(Chip On Film)方式やTAB(Tape Automated Bonding)方式などの実装方法によりFPC6533に実装すればよい。

30

【0479】

図51(A)、(B)に示すように、表示部6511の短辺側にFPC6533やIC6520(及びIC6530)等を配置する構成は狭額縁化が可能であるため、例えばスマートフォン、携帯電話、またはタブレット端末などの電子機器に好適に用いることができる。また、図51(C)に示すようなPCB6534を用いる構成は、例えばテレビジョン装置やモニタ装置、タブレット端末、またはノート型のパーソナルコンピュータなどに好適に用いることができる。

【0480】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

40

【0481】

(実施の形態5)

本実施の形態では、本発明の一態様の表示装置、または表示システムを有する表示モジュール及び電子機器について、図52乃至図54を用いて説明を行う。

【0482】

図52に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、フレーム8009、プリント基板8010、バッテリー8011を有する。

50

【0483】

本発明の一態様の表示パネル、タッチパネル、またはタッチパネルモジュールは、例えば、タッチパネル8004に用いることができる。

【0484】

上部カバー8001及び下部カバー8002は、タッチパネル8004のサイズに合わせて、形状や寸法を適宜変更することができる。

【0485】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルを表示パネルに重畳して用いることができる。また、タッチパネル8004の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。また、タッチパネル8004の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

10

【0486】

また、透過型、または半透過型の液晶素子を用いた場合には、図52に示すようにバックライト8007を設けてもよい。バックライト8007は、光源8008を有する。なお、図52において、バックライト8007上に光源8008を配置する構成について例示したが、これに限定さない。例えば、バックライト8007の端部に光源8008を配置し、さらに光拡散板を用いる構成としてもよい。なお、有機EL素子等の自発光型の発光素子を用いる場合、または反射型パネル等の場合においては、バックライト8007を設けない構成としてもよい。

20

【0487】

フレーム8009は、タッチパネル8004の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム8009は、放熱板としての機能を有していてもよい。

【0488】

プリント基板8010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー8011による電源であってもよい。バッテリー8011は、商用電源を用いる場合には、省略可能である。

【0489】

また、タッチパネル8004は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

30

【0490】

図53(A)乃至図53(H)、及び図54(A)、(B)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005（電源スイッチ、又は操作スイッチを含む）、接続端子5006、センサ5007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの）、マイクロフォン5008、等を有することができる。

【0491】

図53(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。

40

【0492】

図53(B)は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD再生装置）であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。

【0493】

図53(C)はテレビジョン装置であり、上述したものの他に、スタンド5012等を有することができる。また、テレビジョン装置の操作は、筐体5000が備える操作スイッチや、別体のリモコン操作機5013により行うことができる。リモコン操作機501

50

3が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部5001に表示される映像を操作することができる。また、リモコン操作機5013に、当該リモコン操作機5013から出力する情報を表示する表示部を設ける構成としてもよい。

【0494】

図53(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。

【0495】

図53(E)はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ5014、シャッターボタン5015、受像部5016、等を有することができる。

【0496】

図53(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。

【0497】

図53(G)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。

【0498】

図53(H)は腕時計型情報端末であり、上述したもののほかに、バンド5018、留め金5019、等を有することができる。ベゼル部分を兼ねる筐体5000に搭載された表示部5001は、非矩形形状の表示領域を有している。表示部5001は、時刻を表すアイコン5020、その他のアイコン5021等を表示することができる。

【0499】

図54(A)はデジタルサイネージ(Digital Signage:電子看板)である。図54(B)は円柱状の柱に取り付けられたデジタルサイネージである。

【0500】

図53(A)乃至図53(H)、及び図54(A)、(B)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図53(A)乃至図53(H)、及び図54(A)、(B)に示す電子機器が有することができる機能はこれらに限定されず、様々な機能を有することができる。

【0501】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。該表示部に、本発明の一態様の表示パネル、タッチパネル、またはタッチパネルモジュール等を適用することができる。

【0502】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【符号の説明】

【0503】

10 タッチパネルモジュール

11 容量素子

10

20

30

40

50

2 1	基板	
2 2	タッチセンサ	
2 2 a	開口	
2 3 a	開口	
2 4 a	開口	
2 3	導電層	
2 4	導電層	
2 5	導電層	
2 6	導電層	
2 9	配線	10
3 1	基板	
3 2	表示部	
3 3	画素	
3 3 B	副画素	
3 3 G	副画素	
3 3 R	副画素	
3 3 Y	副画素	
3 4	回路	
3 5	配線	
4 1	F P C	20
4 2	F P C	
6 0	表示素子	
7 0	トランジスタ	
7 0 A	トランジスタ	
7 0 B	トランジスタ	
7 0 C	トランジスタ	
7 0 D	トランジスタ	
7 0 E	トランジスタ	
7 0 F	トランジスタ	
7 0 G	トランジスタ	30
7 1	トランジスタ	
7 2	基板	
7 3	導電層	
7 3 a	導電層	
7 3 b	導電層	
7 4	絶縁層	
7 5	半導体層	
7 6	絶縁層	
7 7	導電層	
7 7 a	導電層	40
7 7 b	導電層	
7 8	絶縁層	
7 9	絶縁層	
8 0	導電層	
8 1	導電層	
8 2	チャネル形成領域	
8 3	L D D領域	
8 4	不純物領域	
8 5	導電層	
8 6	半導体層	50

8 7 a	導電層	
8 7 b	導電層	
8 8	導電層	
8 9	導電層	
9 0	チャネル形成領域	
9 1	不純物領域	
9 3	開口	
9 4	開口	
9 5	開口	
9 6	開口	10
1 0 1	接続部	
1 1 1	導電層	
1 1 2	液晶	
1 1 3	導電層	
1 1 4	導電層	
1 2 1	絶縁層	
1 2 2	絶縁層	
1 2 3	オーバーコート	
1 2 4	スペーサ	
1 2 5	導電層	20
1 2 6	絶縁層	
1 3 0 a	偏光板	
1 3 0 b	偏光板	
1 3 1 B	着色層	
1 3 1 G	着色層	
1 3 1 R	着色層	
1 3 2	遮光層	
1 4 1	接着層	
1 5 1	導電層	
1 5 2	液晶	30
1 5 3	導電層	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	容量素子	
2 0 4	接続部	
2 1 1	絶縁層	
2 1 2	絶縁層	
2 1 3	絶縁層	
2 1 4	絶縁層	
2 1 5	絶縁層	40
2 2 1	導電層	
2 2 2	導電層	
2 2 3	導電層	
2 2 4	導電層	
2 3 1	半導体層	
2 3 2	低抵抗領域	
2 4 1	接続層	
2 4 2	接続層	
2 4 3	接続体	
3 0 0	バッファ層	50

3 0 1	トランジスタ	
3 0 2	トランジスタ	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
6 0 1	パルス電圧出力回路	
6 0 2	電流検知回路	
6 0 3	容量	
6 2 1	電極	
6 2 2	電極	
7 2 3	電極	10
7 2 5	層	
7 2 6	絶縁層	
7 2 7	絶縁層	
7 2 8	絶縁層	
7 2 9	絶縁層	
7 4 1	絶縁層	
7 4 2	半導体層	
7 4 2 a	半導体層	
7 4 2 b	半導体層	
7 4 2 c	半導体層	20
7 4 3	電極	
7 4 4 a	電極	
7 4 4 b	電極	
7 4 6	電極	
7 4 7 a	開口	
7 4 7 b	開口	
7 4 7 c	開口	
7 4 7 d	開口	
7 5 5	不純物	
7 7 1	基板	30
7 7 2	絶縁層	
7 7 5	絶縁層	
8 1 0	トランジスタ	
8 1 1	トランジスタ	
8 2 0	トランジスタ	
8 2 1	トランジスタ	
8 2 2	トランジスタ	
8 2 5	トランジスタ	
8 2 6	トランジスタ	
8 3 0	トランジスタ	40
8 3 1	トランジスタ	
8 4 0	トランジスタ	
8 4 1	トランジスタ	
8 4 2	トランジスタ	
8 4 3	トランジスタ	
8 4 4	トランジスタ	
8 4 5	トランジスタ	
8 4 6	トランジスタ	
8 4 7	トランジスタ	
8 4 8	トランジスタ	50

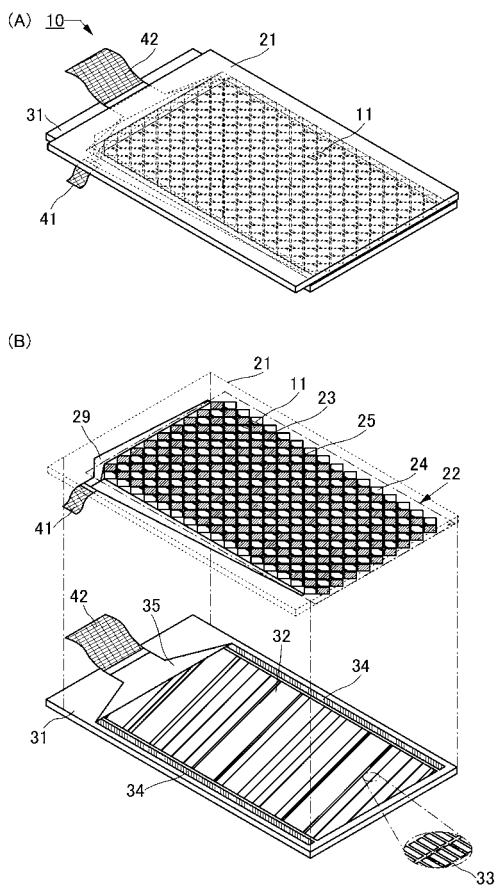
8 5 0	トランジスタ	
8 5 1	トランジスタ	
8 5 2	トランジスタ	
8 8 2	E c	
8 8 3 a	E c	
8 8 3 b	E c	
8 8 3 c	E c	
8 8 6	E c	
8 8 7	E c	
8 9 0	トラップ準位	10
3 5 0 1	配線	
3 5 0 2	配線	
3 5 0 3	トランジスタ	
3 5 0 4	液晶素子	
3 5 1 0	配線	
3 5 1 0 _ 1	配線	
3 5 1 0 _ 2	配線	
3 5 1 1	配線	
3 5 1 5 _ 1	ブロック	
3 5 1 5 _ 2	ブロック	20
3 5 1 6	ブロック	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	30
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	スタンド	
5 0 1 3	リモコン操作機	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	バンド	40
5 0 1 9	留め金	
5 0 2 0	アイコン	
5 0 2 1	アイコン	
6 5 0 0	タッチパネルモジュール	
6 5 0 1	回路ユニット	
6 5 0 2	信号線駆動回路	
6 5 0 3	センサ駆動回路	
6 5 0 4	検知回路	
6 5 0 5	タイミングコントローラ	
6 5 0 6	画像処理回路	50

- 6 5 1 0 タッチパネル
- 6 5 1 1 表示部
- 6 5 1 2 入力部
- 6 5 1 3 走査線駆動回路
- 6 5 2 0 IC
- 6 5 3 0 IC
- 6 5 3 1 基板
- 6 5 3 2 対向基板
- 6 5 3 3 FPC
- 6 5 3 4 PCB
- 6 5 4 0 CPU
- 8 0 0 0 表示モジュール
- 8 0 0 1 上部カバー
- 8 0 0 2 下部カバー
- 8 0 0 3 FPC
- 8 0 0 4 タッチパネル
- 8 0 0 7 バックライト
- 8 0 0 8 光源
- 8 0 0 9 フレーム
- 8 0 1 0 プリント基板
- 8 0 1 1 バッテリ

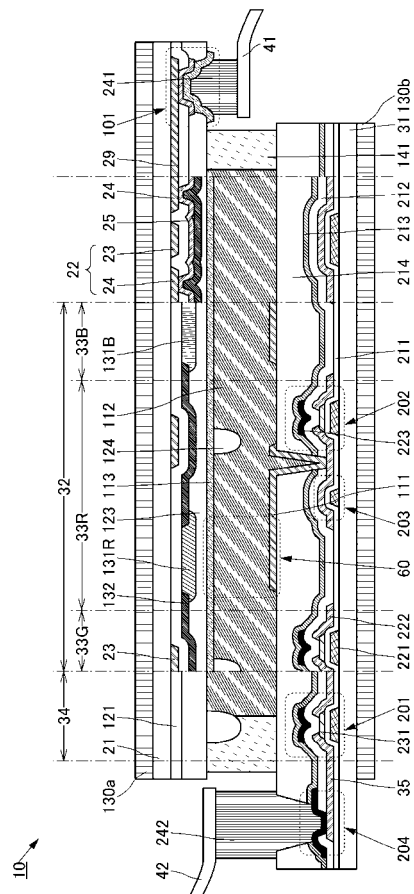
10

20

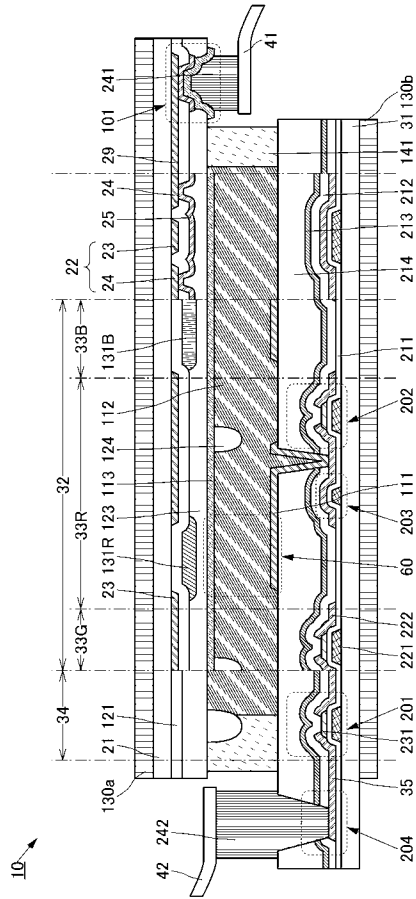
【 図 1 】



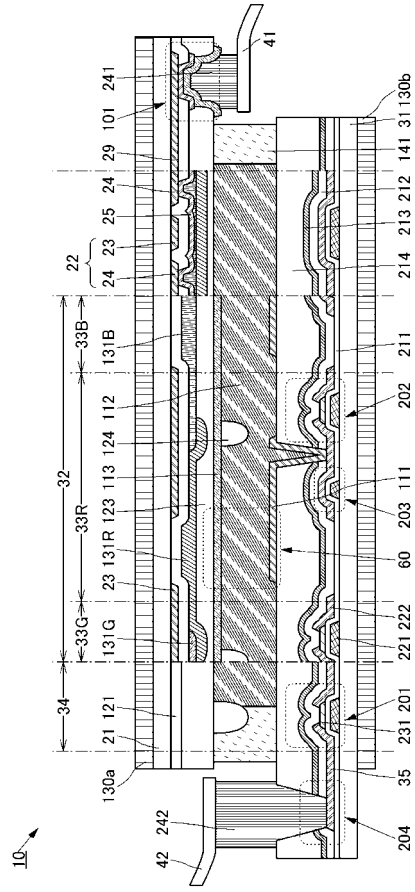
【 図 2 】



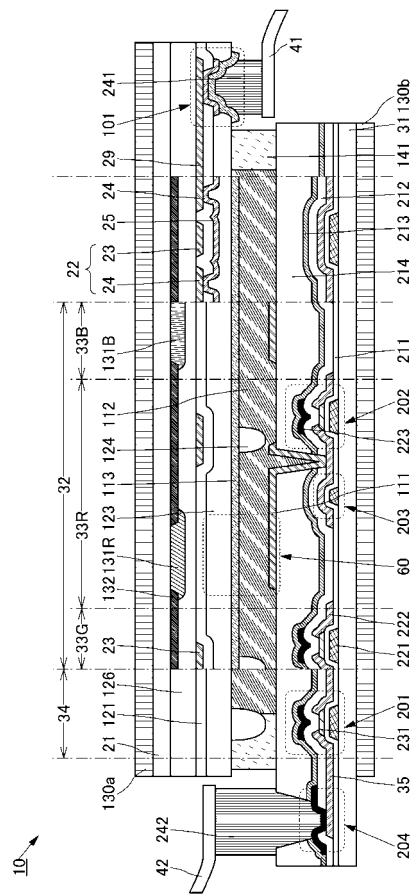
【 図 3 】



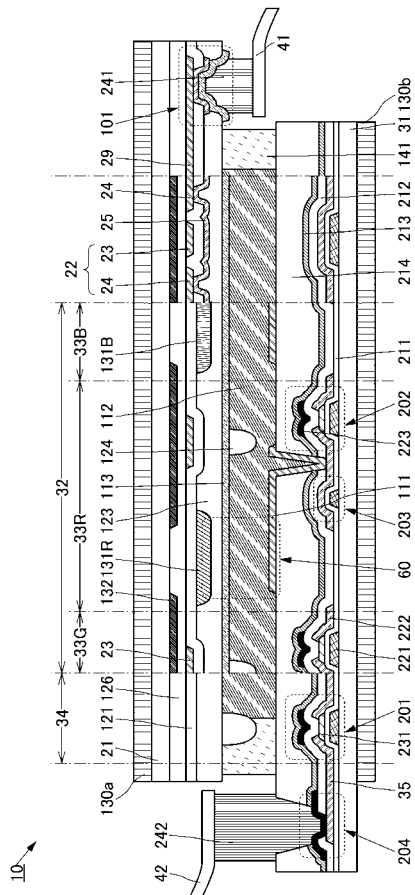
【 図 4 】



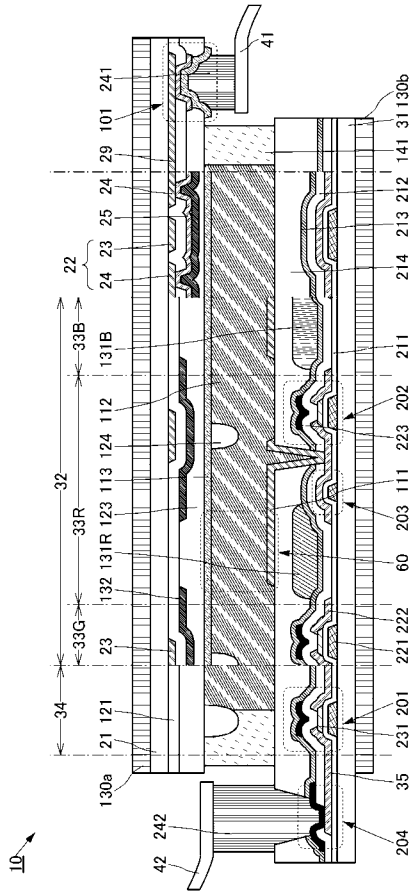
【 図 5 】



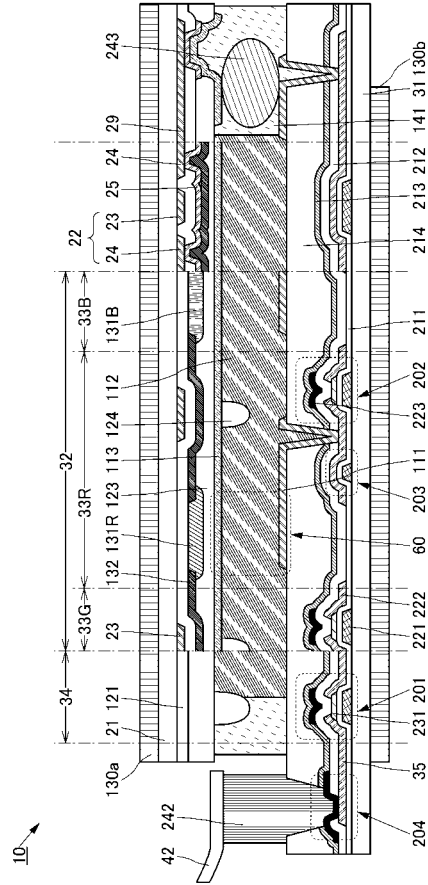
【 図 6 】



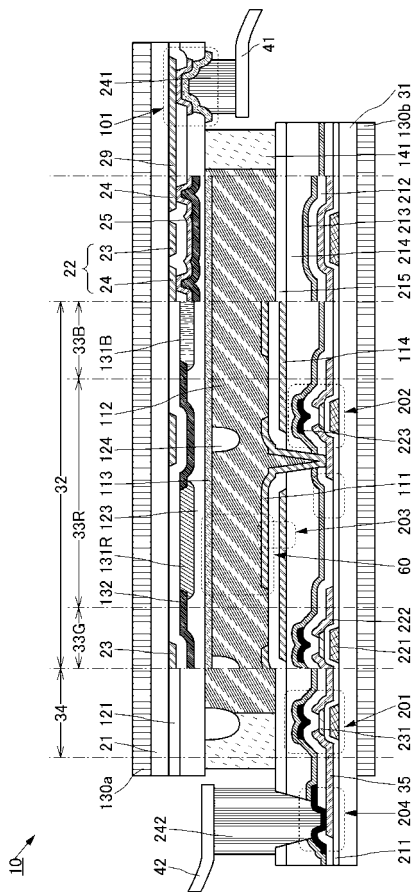
【 図 7 】



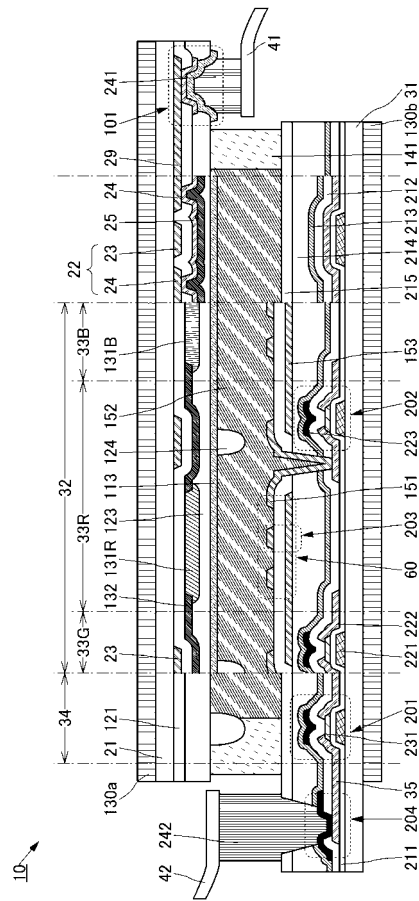
【 図 8 】



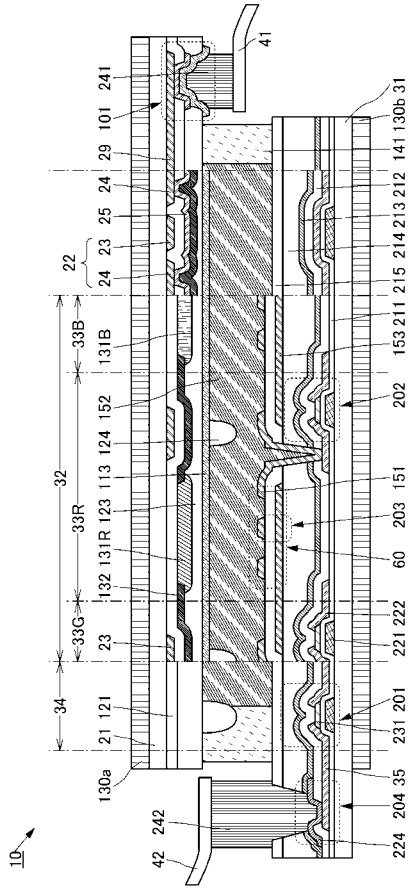
【 図 9 】



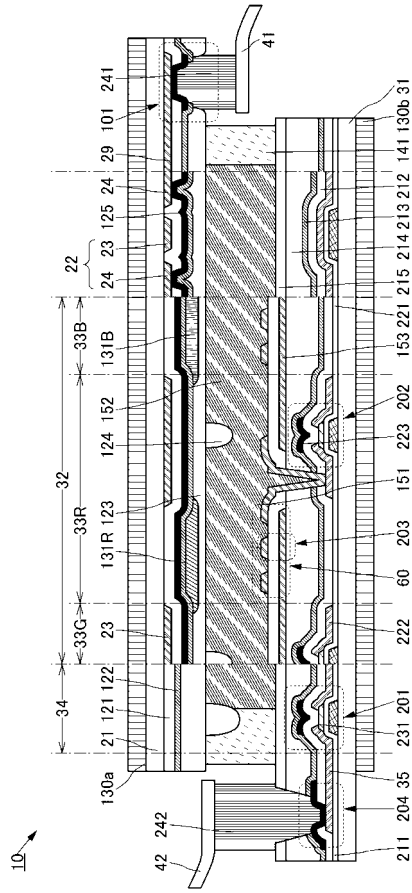
【 図 10 】



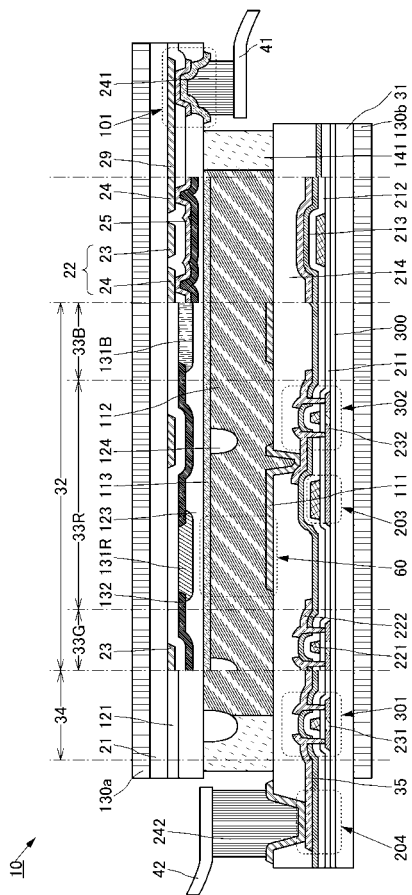
【 図 1 1 】



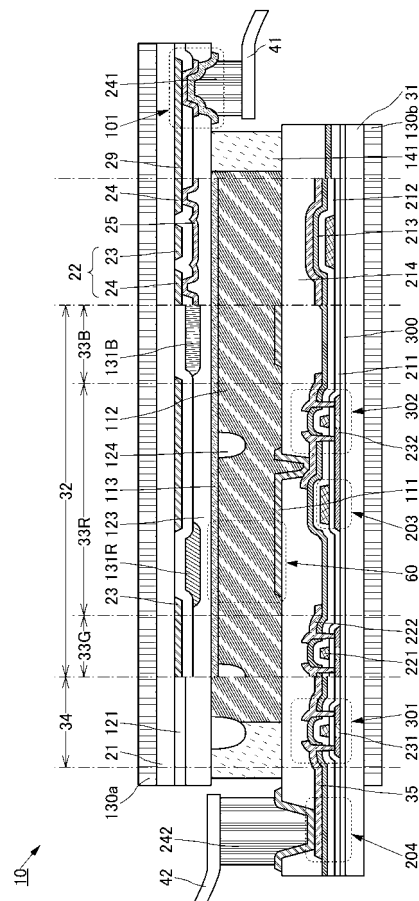
【 図 1 2 】



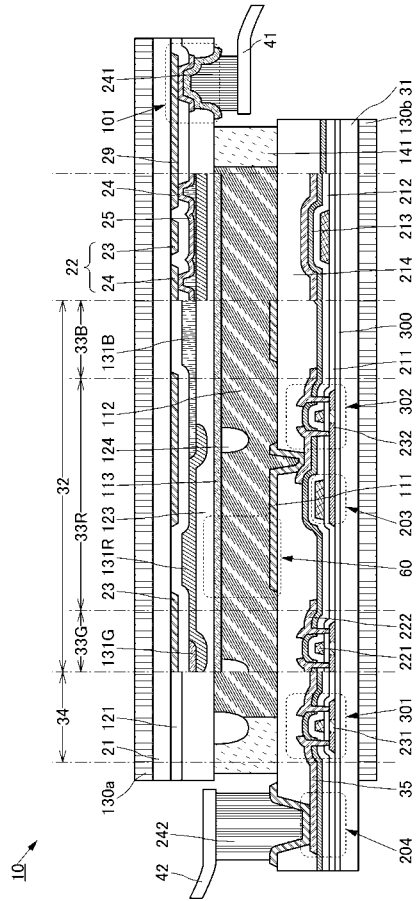
【 図 1 3 】



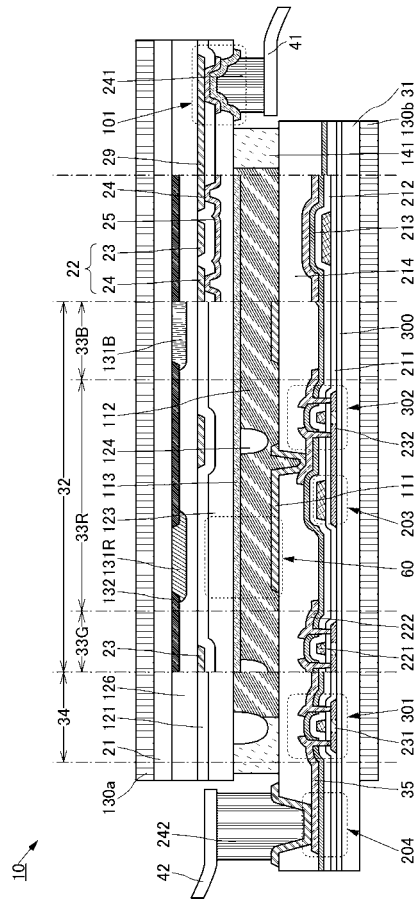
【 図 1 4 】



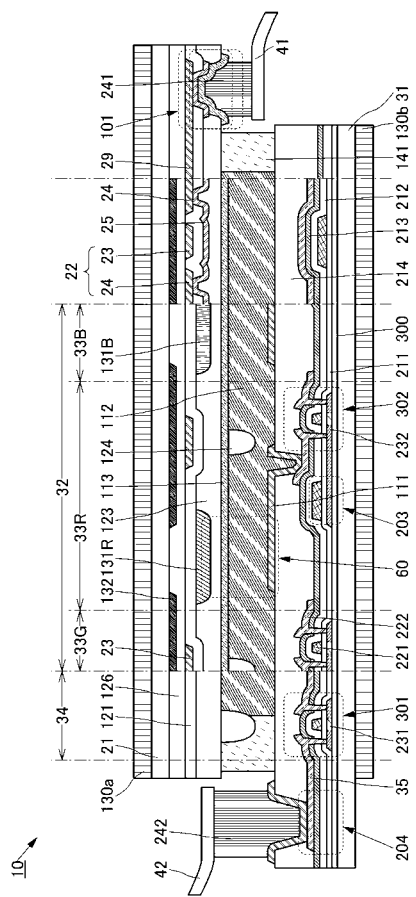
【 図 1 5 】



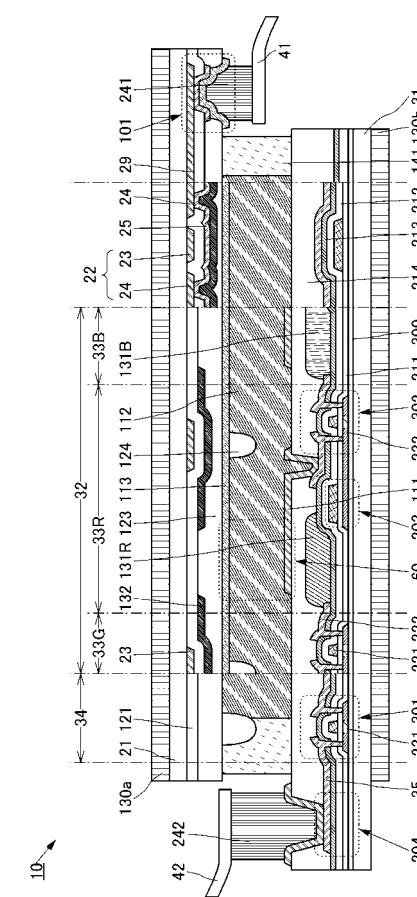
【 図 1 6 】



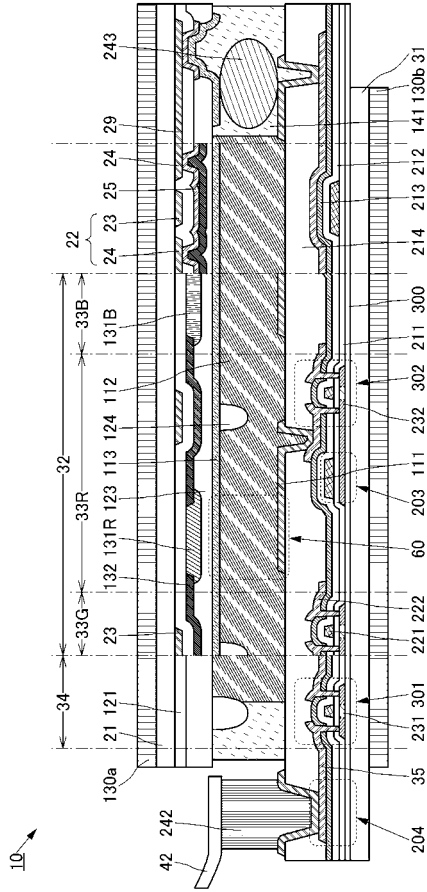
【 図 1 7 】



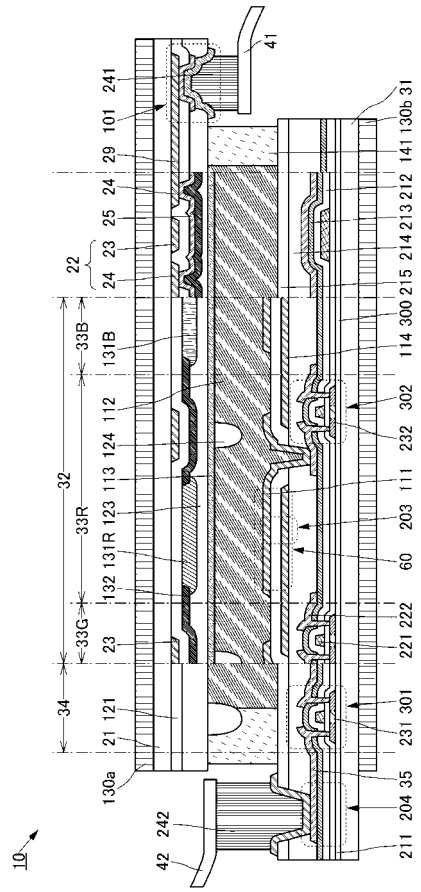
【 図 1 8 】



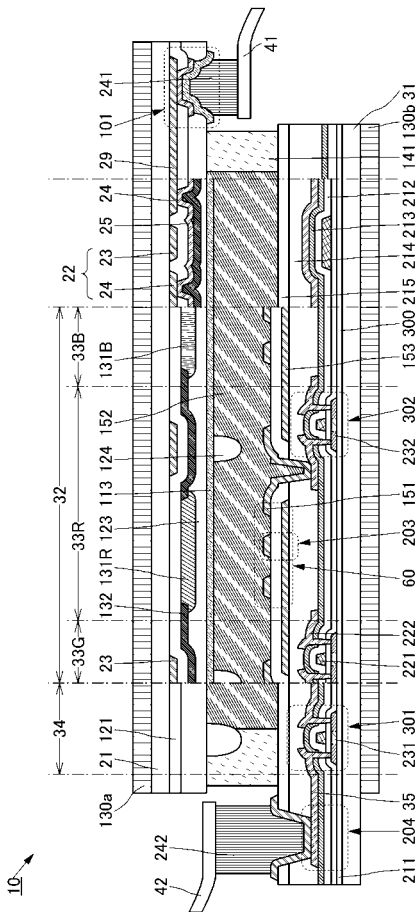
【図 19】



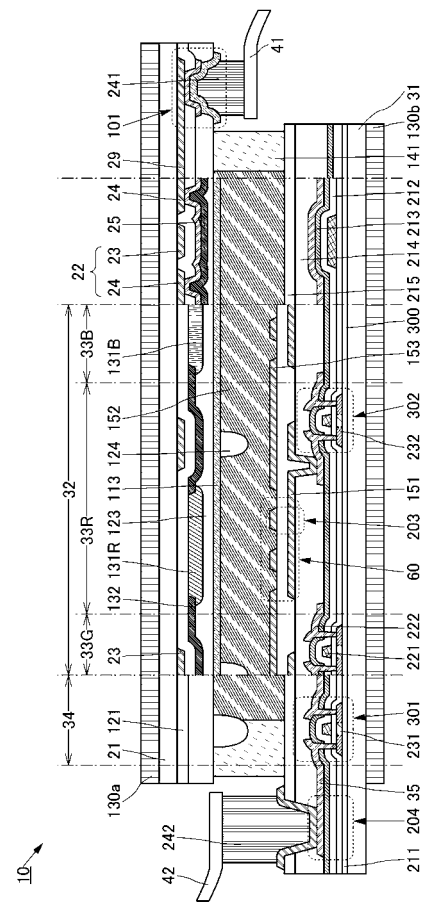
【図 20】



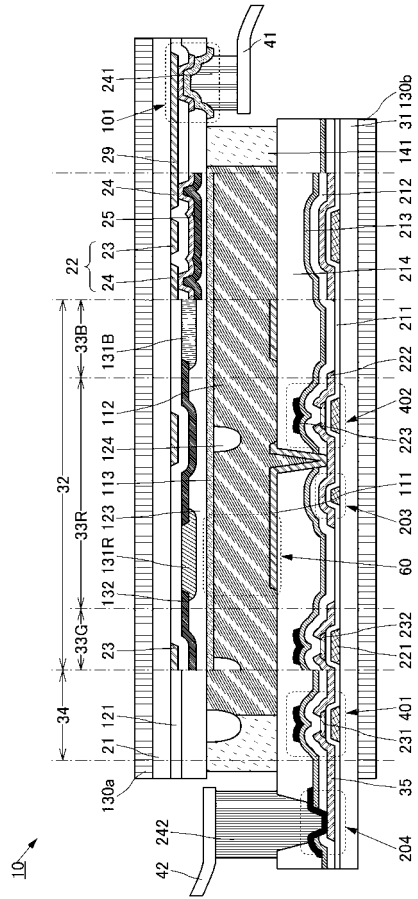
【図 21】



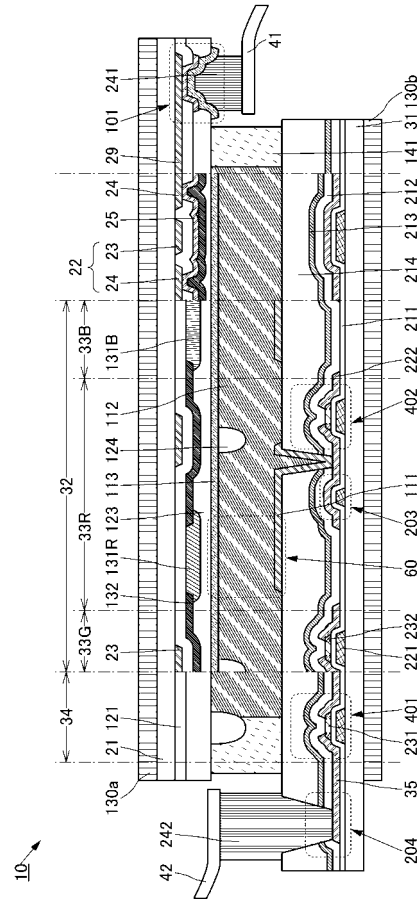
【図 22】



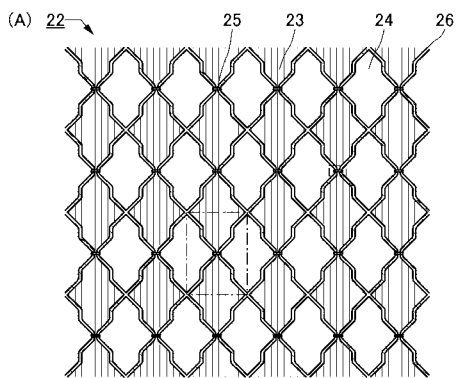
【 図 2 3 】



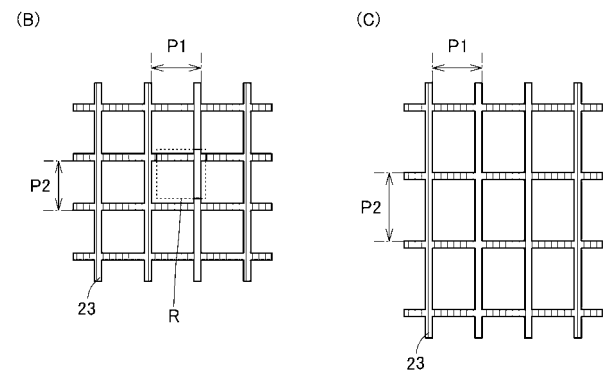
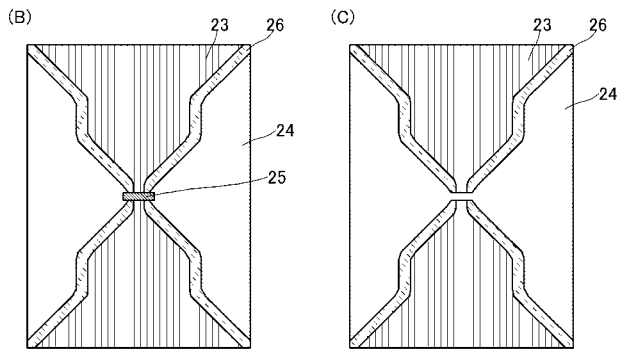
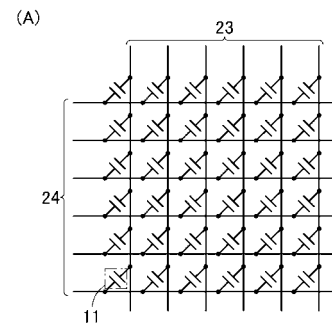
【 図 2 4 】



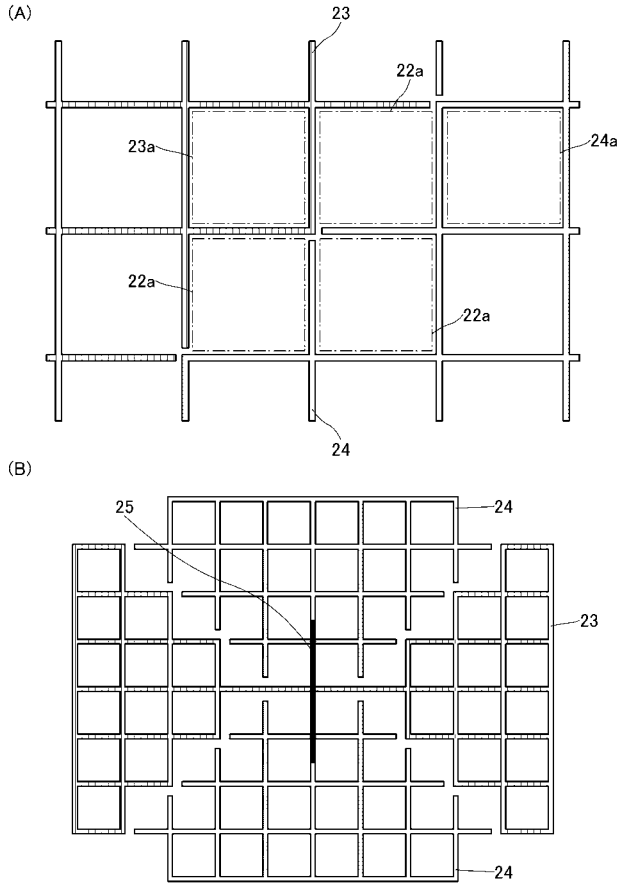
【 図 2 5 】



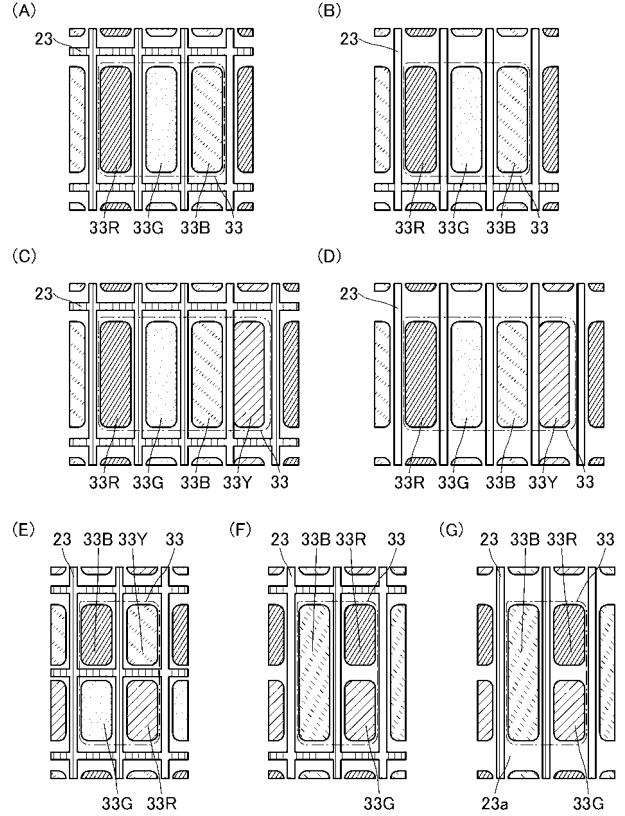
【 図 2 6 】



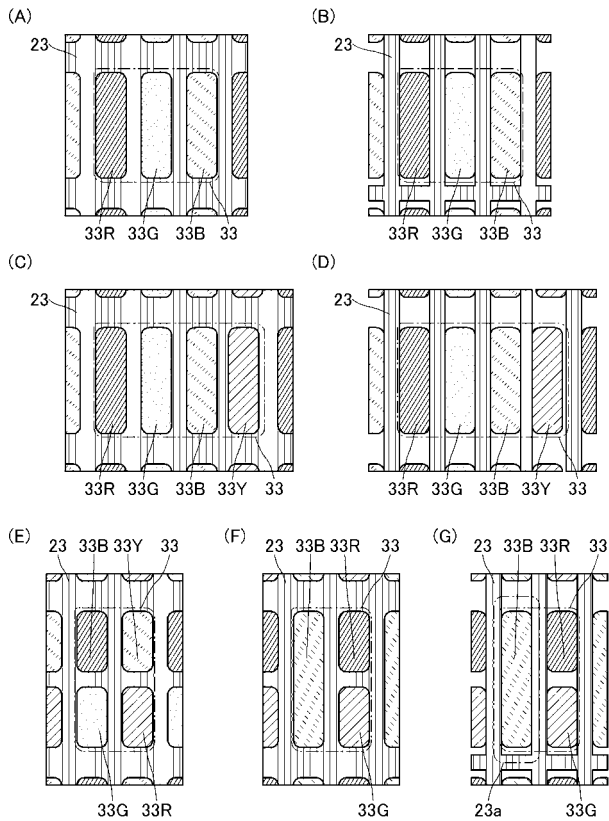
【図 27】



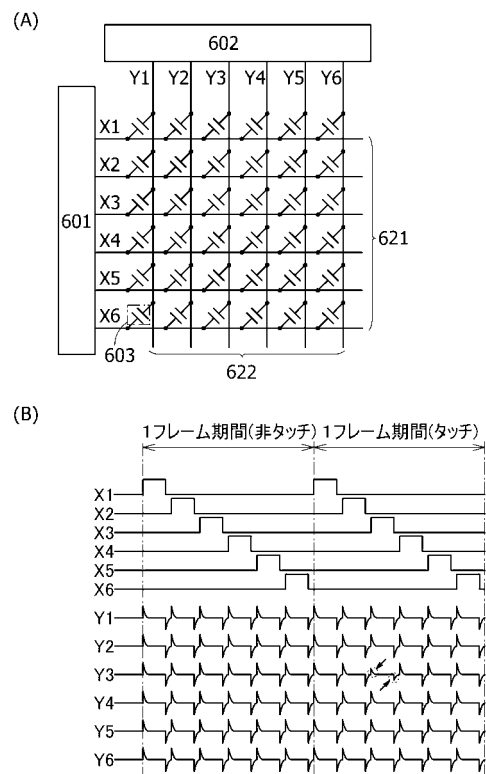
【図 28】



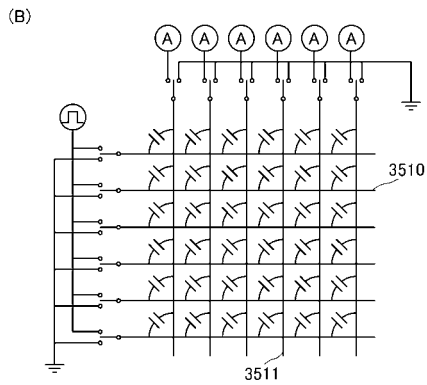
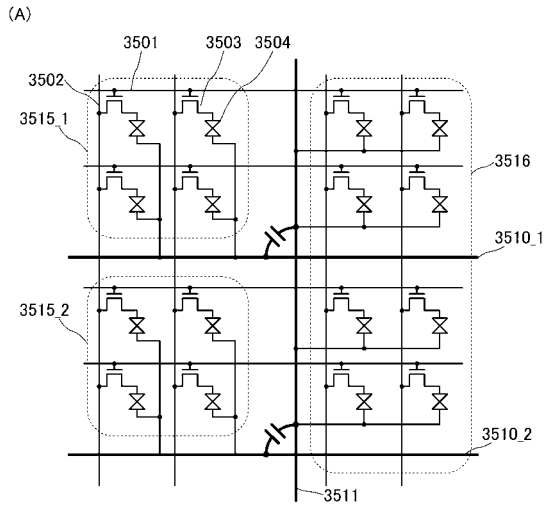
【図 29】



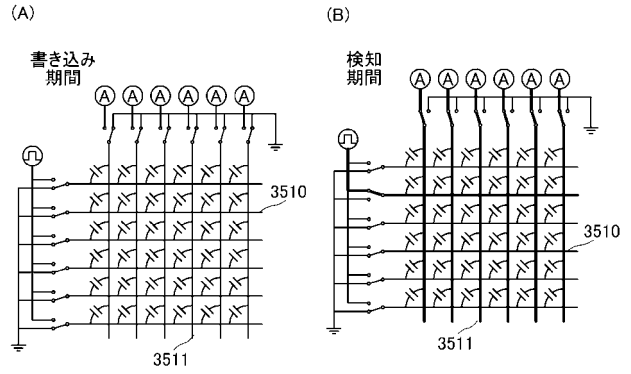
【図 30】



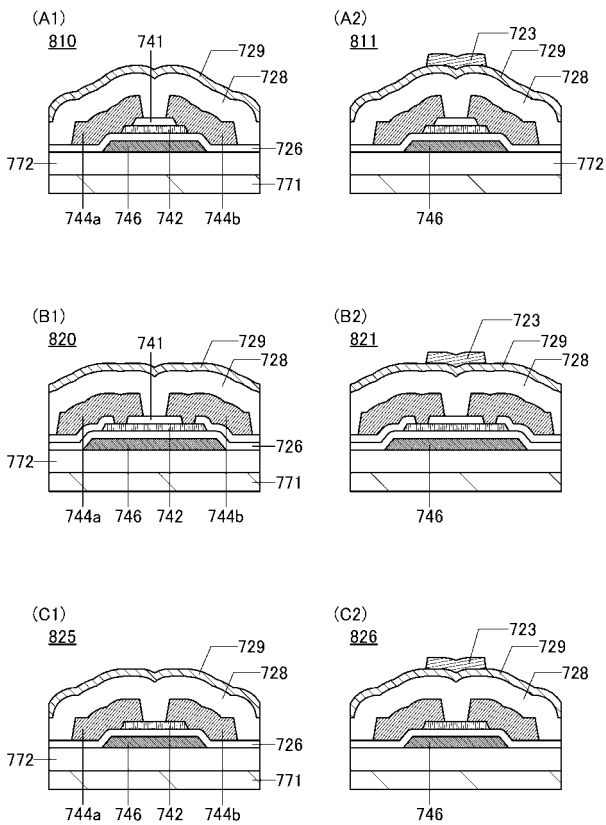
【図 3 1】



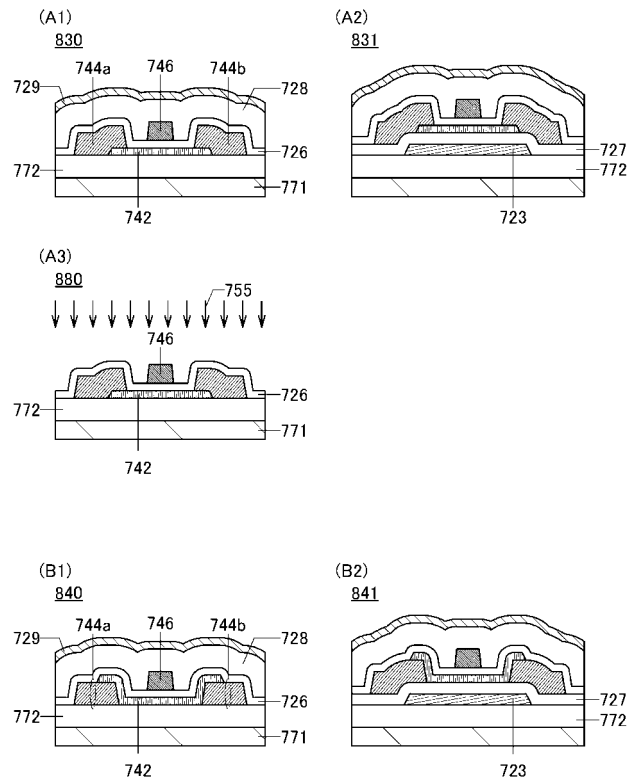
【図 3 2】



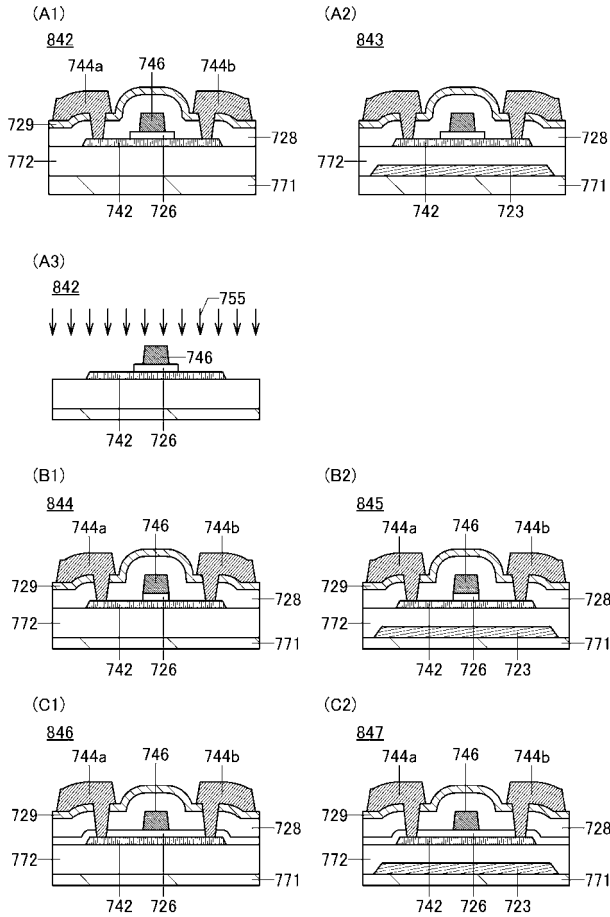
【図 3 3】



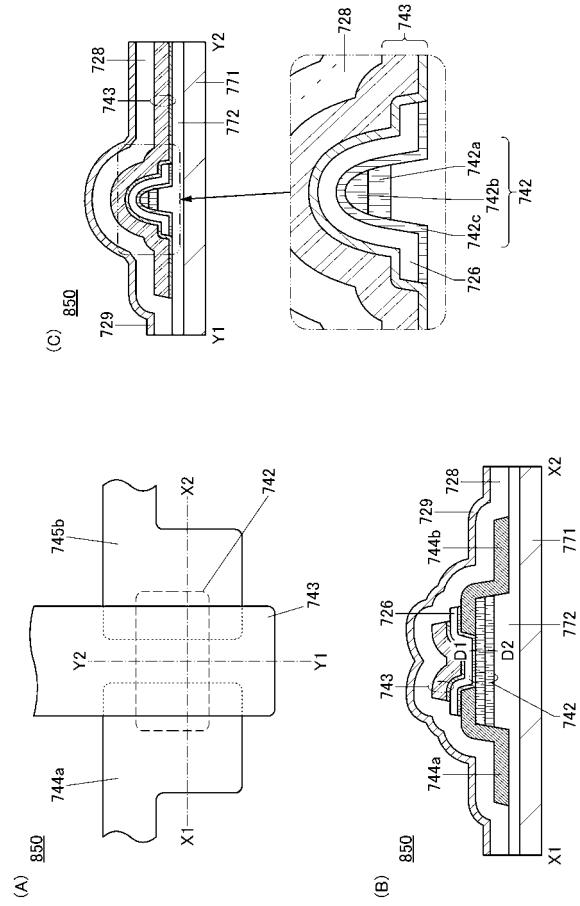
【図 3 4】



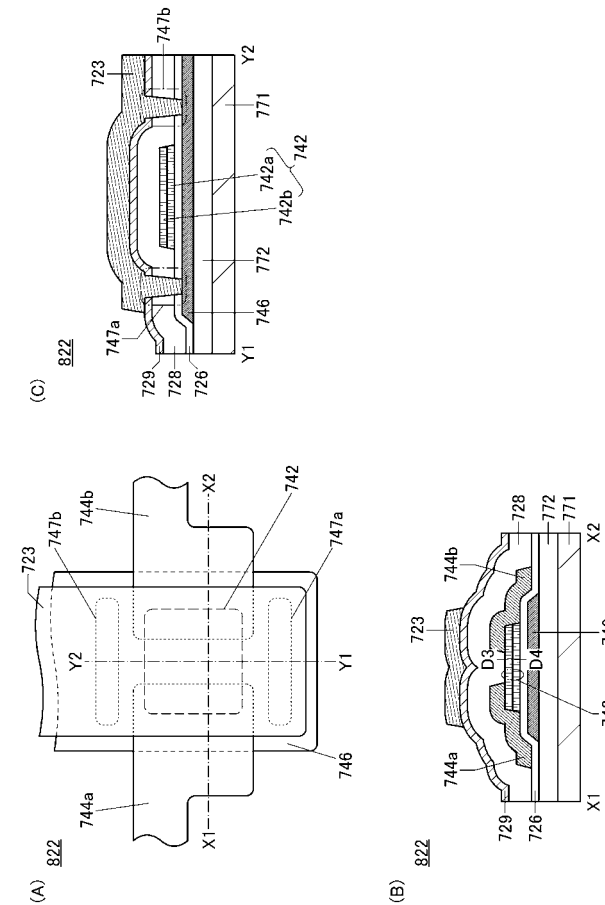
【図 3 5】



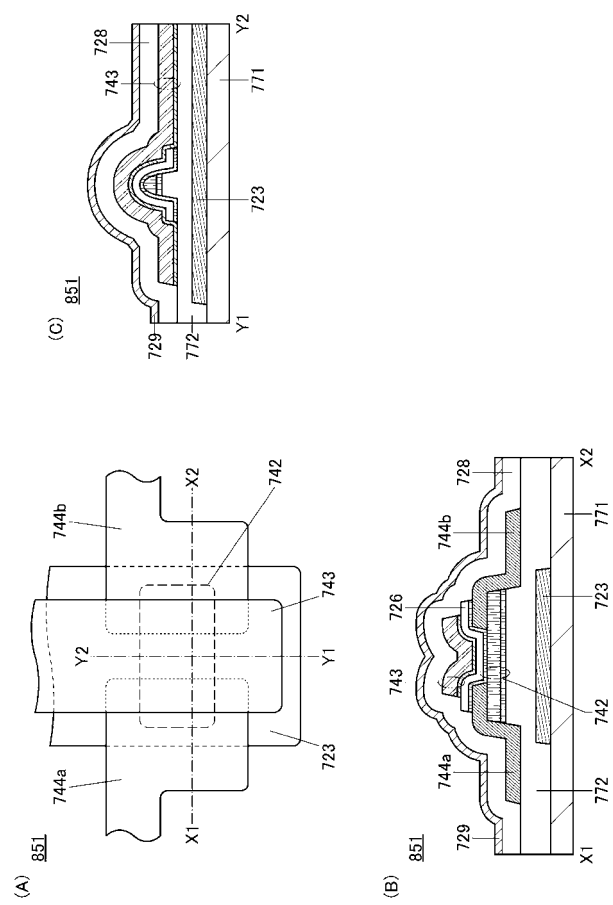
【図 3 6】



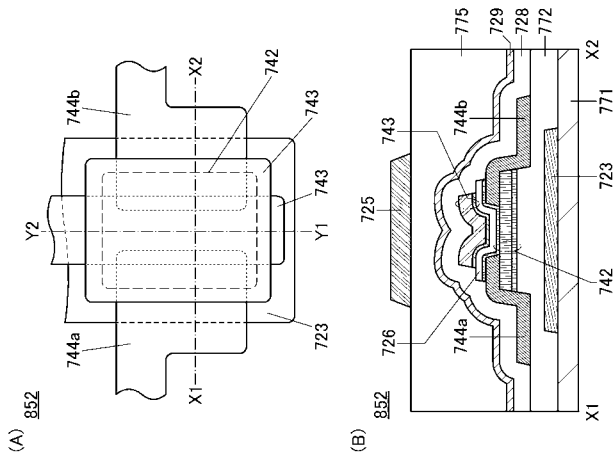
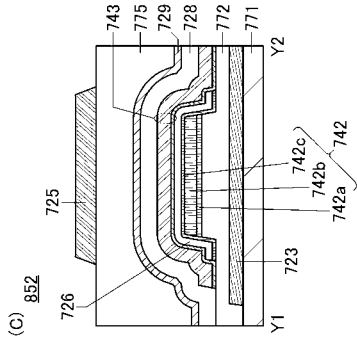
【図 3 7】



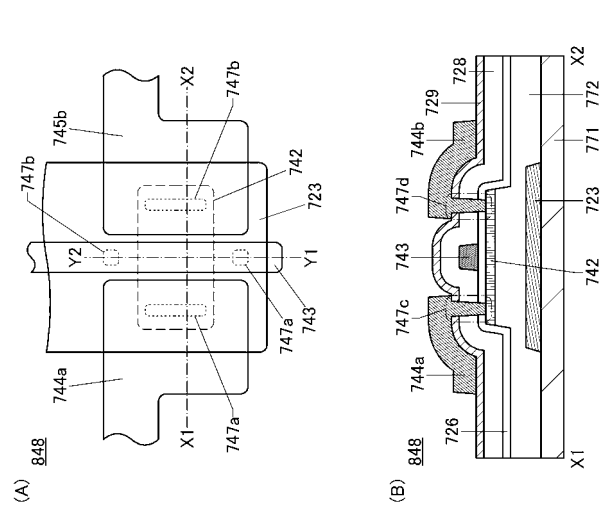
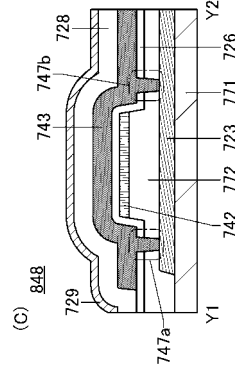
【図 3 8】



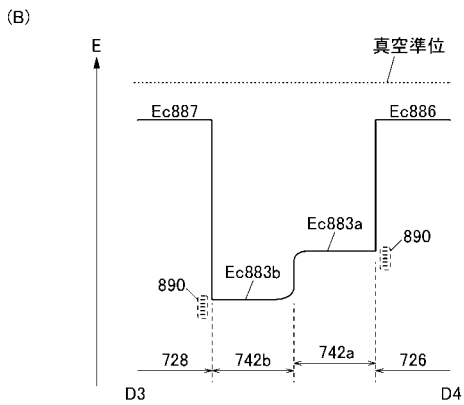
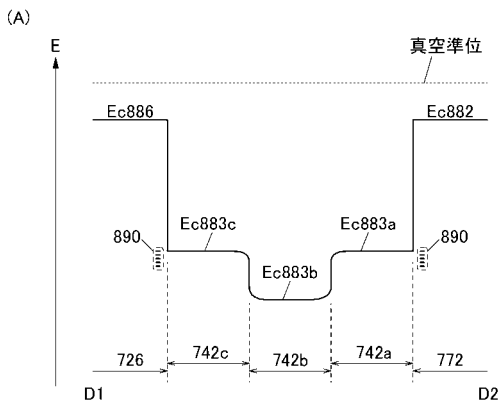
【 図 3 9 】



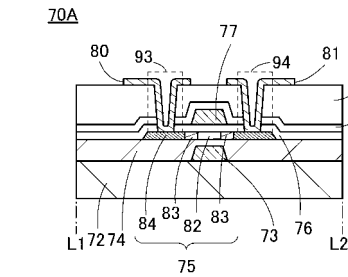
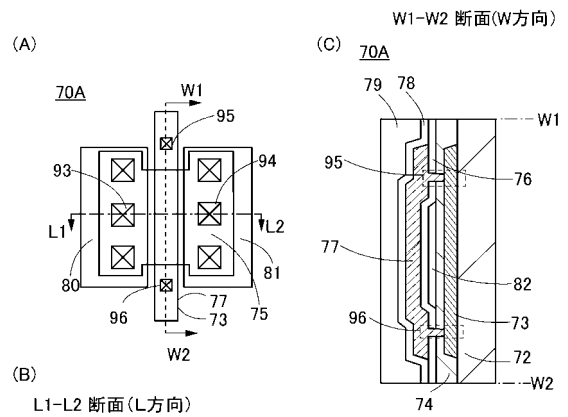
【 図 4 0 】



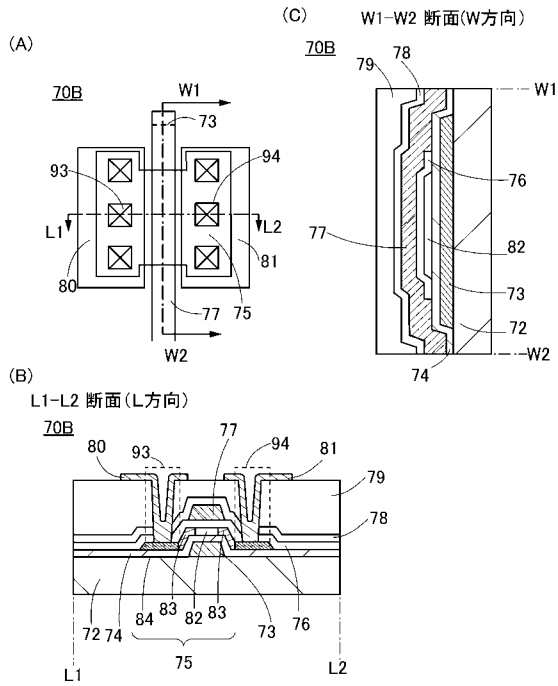
【 図 4 1 】



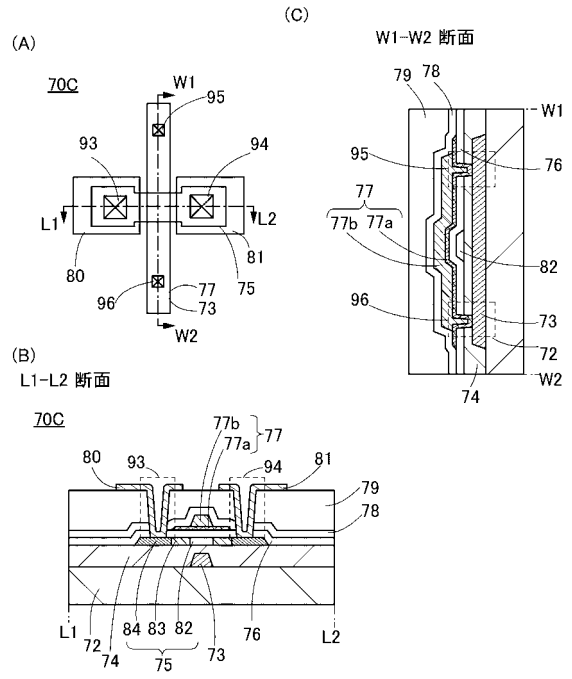
【 図 4 2 】



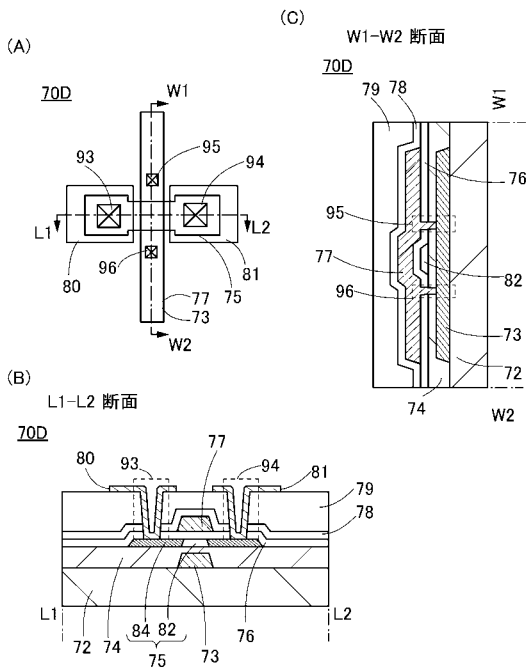
【 図 4 3 】



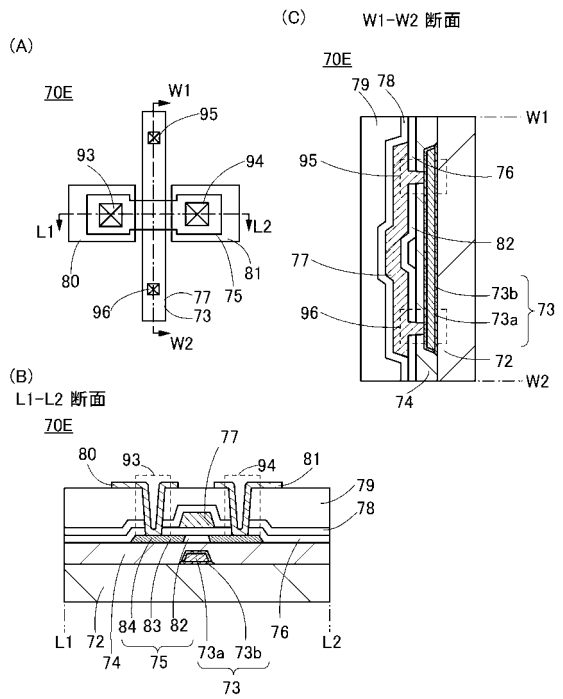
【 図 4 4 】



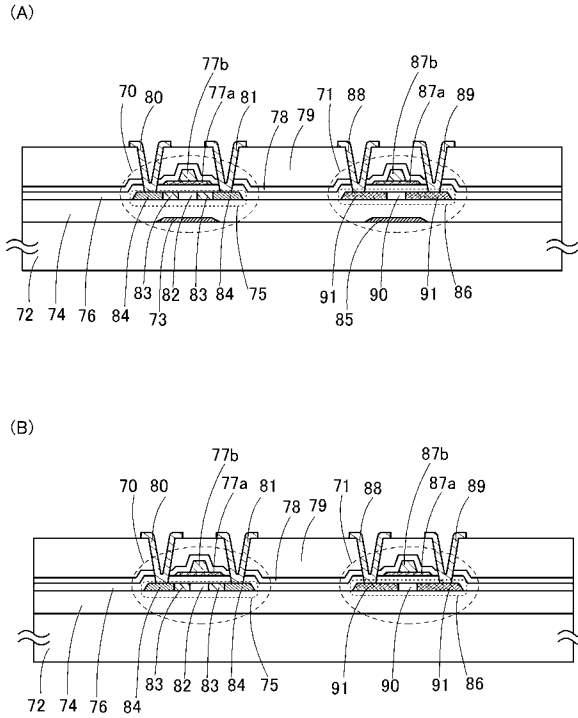
【 図 4 5 】



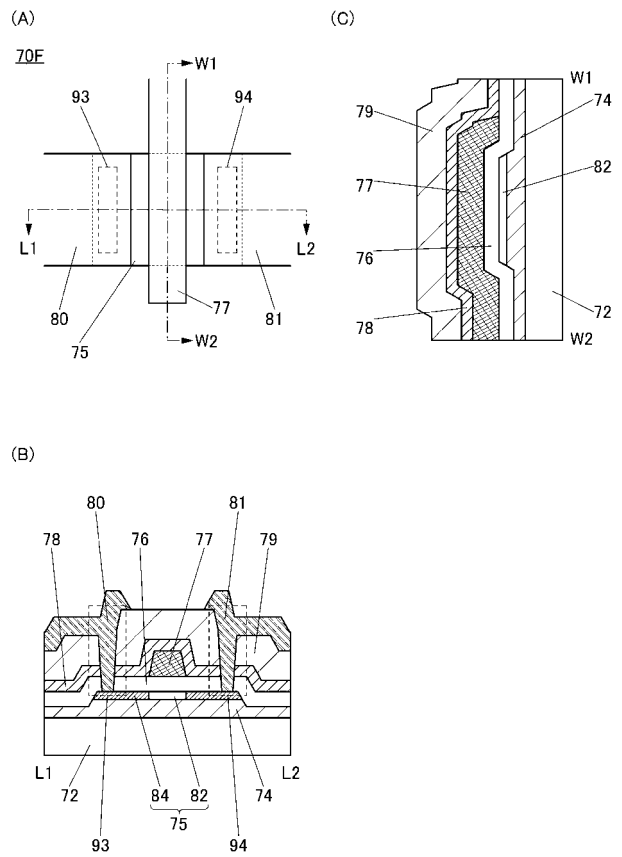
【 図 4 6 】



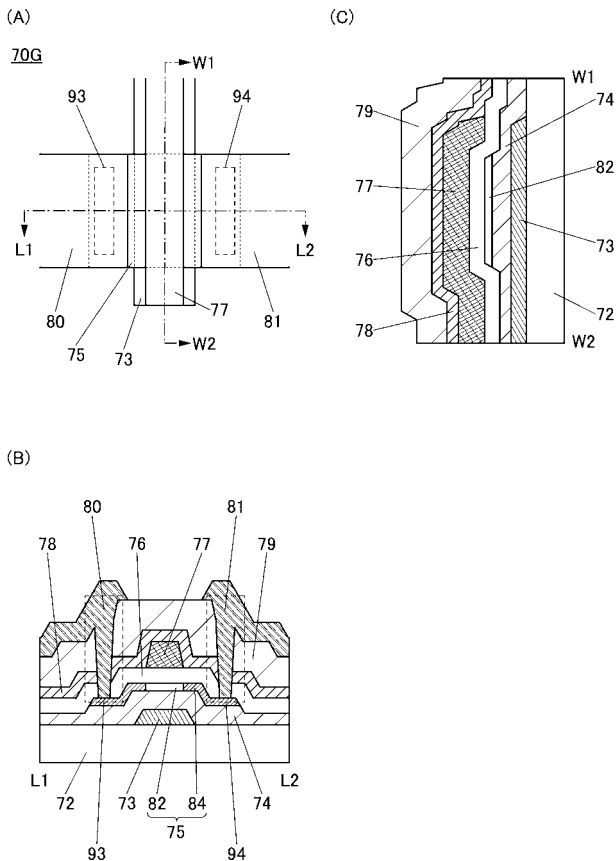
【図47】



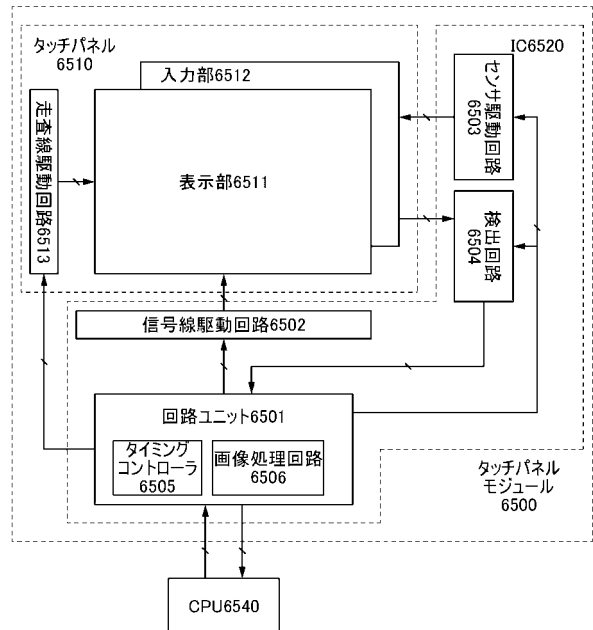
【図48】



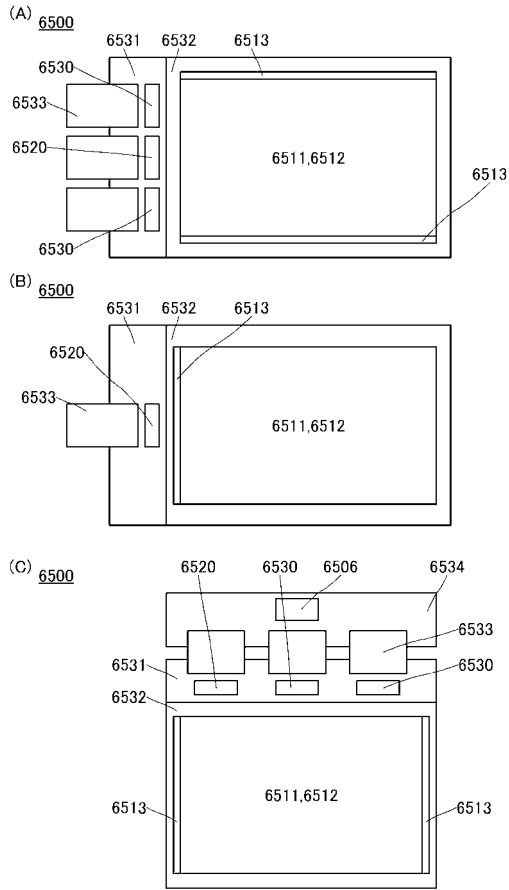
【図49】



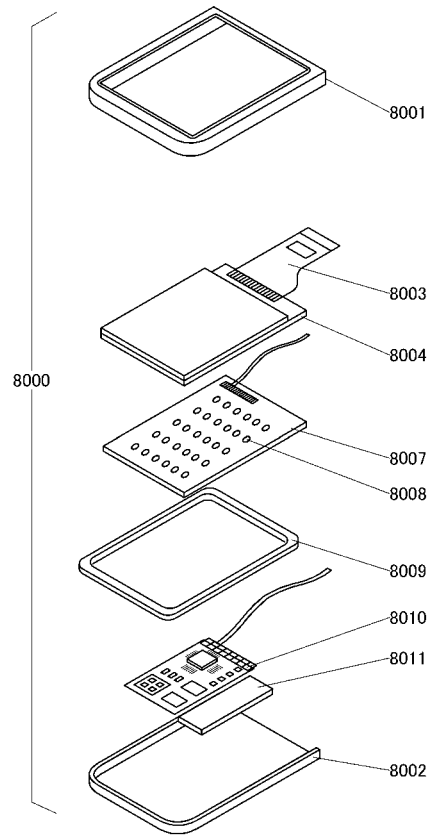
【図50】



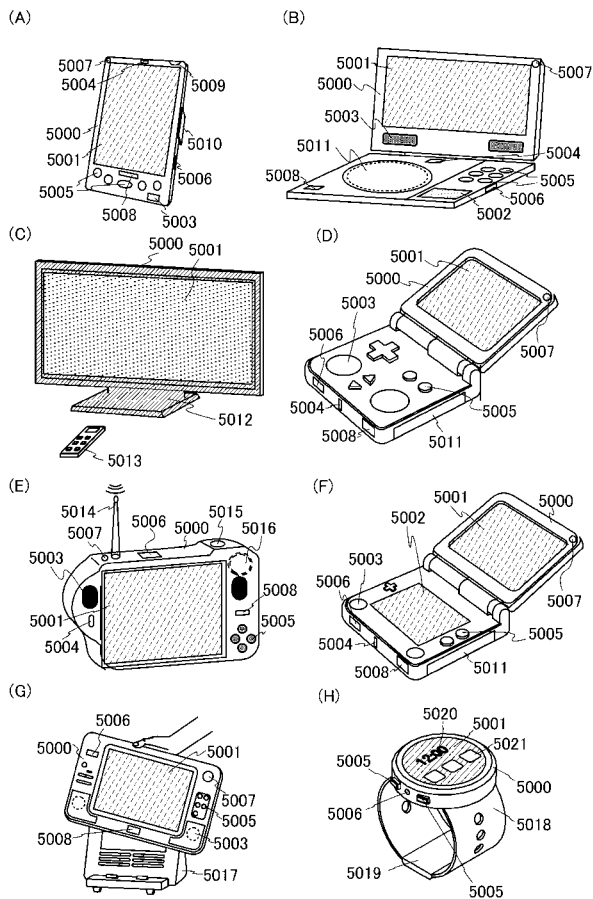
【図 5 1】



【図 5 2】



【図 5 3】



【図 5 4】

