



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월22일
(11) 등록번호 10-0847936
(24) 등록일자 2008년07월16일

(51) Int. Cl.
H01L 23/48 (2006.01) *H01L 23/58* (2006.01)

(21) 출원번호 10-2006-7012938
(22) 출원일자 2006년06월28일
심사청구일자 2006년06월28일
번역문제출일자 2006년06월28일

(65) 공개번호 10-2006-0103540
(43) 공개일자 2006년10월02일

(86) 국제출원번호 PCT/US2004/043339
국제출원일자 2004년12월23일
(87) 국제공개번호 WO 2005/067045
국제공개일자 2005년07월21일

(30) 우선권주장
10/747,965 2003년12월29일 미국(US)

(56) 선행기술조사문헌
US 4626958 A
US 5177663 A
US 6191479 B1
US 2002-17700 A1

(73) 특허권자
인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자
래드하크리시난, 칼라드하르
미국 85224 아리조나주 쉐들러 넘버 2091 노쓰 미션 파크블러바드 1111
우드, 두스틴, 피.
미국 85225 아리조나주 쉐들러 이스트 재스퍼 드라이브 731
홀름버그, 니콜라스, 엘.
미국 85296 아리조나주 길버트 이스트 톨사 스트리트 1354

(74) 대리인
백만기, 이중희, 주성민

전체 청구항 수 : 총 27 항

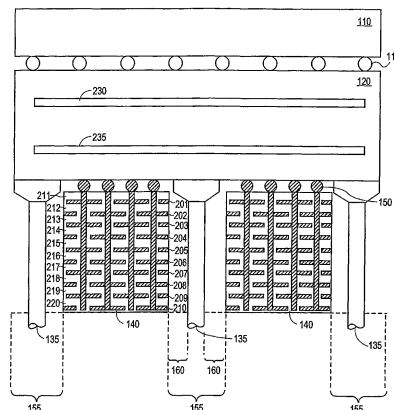
심사관 : 박준영

(54) 폴-그리드 소켓을 가능하게 하는 공간을 가진 어레이캐패시터

(57) 요약

IC 패키지 상에 마운팅된 집적 회로(IC)와 함께 사용하기 위한 어레이 캐패시터가 기술된다. 어레이 캐패시터는 다수의 제2 도전성 층(202, 204, ...)에 끼워 넣어진 다수의 제1 도전성 층(201, 203, ...)과 인접한 도전성 층을 분리하는 다수의 유전체 층(211-220)을 포함한다. 어레이 캐패시터는 제1 도전성 층을 전기적으로 연결하기 위한 다수의 제1 도전성 비아(331, 333, ...)와 제2 도전성 층을 전기적으로 연결하기 위한 다수의 제2 도전성 비아(334, 336, ...)를 더 포함한다. 어레이 캐패시터에는 IC 패키지(120)로부터의 핀(135)이 통과할 수 있도록 구성된 개구부(155, 371, 372, 373)가 제공된다.

대표도 - 도2



특허청구의 범위

청구항 1

복수의 제1 도전성 층;
 상기 제1 도전성 층 사이에 끼워 넣어진 복수의 제2 도전성 층;
 인접한 도전성 층을 분리하는 복수의 유전체 층;
 상기 제1 도전성 층을 전기적으로 연결하기 위한 복수의 제1 도전성 비아(via); 및
 상기 제2 도전성 층을 전기적으로 연결하기 위한 복수의 제2 도전성 비아
 를 포함하고,
 내부에 집적 회로 패키지로부터의 핀이 통과할 수 있는 개구부가 형성되는 커패시터 구조.

청구항 2

제1항에 있어서,
 각각의 개구부의 가장자리와 각각의 핀 사이에 소정의 거리가 유지되도록, 상기 개구부 각각은 상기 집적 회로 패키지로부터의 각각의 핀의 지름보다 큰 지름을 가지는 커패시터 구조.

청구항 3

제1항에 있어서,
 상기 개구부는 반도체 다이 바로 아래에 위치한 상기 집적 회로 패키지로부터의 적어도 4개의 핀과 일치하도록 배치되는 커패시터 구조.

청구항 4

제1항에 있어서,
 상기 복수의 제1 도전성 비아에 연결되는 복수의 제1 도전성 단자; 및
 상기 복수의 제2 도전성 비아에 연결되는 복수의 제2 도전성 단자
 를 더 포함하는 커패시터 구조.

청구항 5

제4항에 있어서,
 상기 제1 도전성 단자는 IC 패키지에 제공되는 접지 평면에 연결되도록 구성되고,
 상기 제2 도전성 단자는 상기 IC 패키지에 제공되는 전원 평면에 연결되도록 구성되는 커패시터 구조.

청구항 6

IC 패키지의 제1 측부에 연결된 집적 회로(IC); 및
 상기 집적 회로 아래의 상기 IC 패키지의 제2 측부에 부착된 커패시터를 포함하고,
 상기 커패시터는 상기 IC 패키지로부터의 핀이 통과할 수 있는 개구부를 가지는 패키지 어셈블리 시스템.

청구항 7

제6항에 있어서,
 상기 개구부는 상기 집적 회로 바로 아래에 위치한 상기 IC 패키지로부터의 적어도 4개의 핀과 일치하도록 배치되는 패키지 어셈블리 시스템.

청구항 8

제6항에 있어서,
 상기 커패시터는,
 상기 집적 회로 내의 제1 노드에 연결되는 복수의 제1 도전성 층;
 상기 집적 회로 내의 제2 노드에 연결되고, 상기 제1 도전성 층 사이에 끼워 넣어진 복수의 제2 도전성 층;
 인접한 도전성 층을 분리하는 복수의 유전체 층
 을 포함하는 패키지 어셈블리 시스템.

청구항 9

제8항에 있어서,
 상기 커패시터는,
 상기 제1 도전성 층을 전기적으로 연결하기 위한 복수의 제1 도전성 비아;
 상기 제2 도전성 층을 전기적으로 연결하기 위한 복수의 제2 도전성 비아;
 상기 복수의 제1 도전성 비아에 연결되는 복수의 제1 도전성 단자; 및
 상기 복수의 제2 도전성 비아에 연결되는 복수의 제2 도전성 단자
 를 더 포함하는 패키지 어셈블리 시스템.

청구항 10

제6항에 있어서,
 각각의 개구부의 가장자리와 각각의 핀 사이에 소정의 거리가 유지되도록, 상기 커패시터에 형성된 상기 개구부 각각은 상기 집적 회로 패키지로부터의 각각의 핀의 지름보다 큰 지름을 가지는 패키지 어셈블리 시스템.

청구항 11

제6항에 있어서,
 상기 IC 패키지로부터의 상기 핀을 수용하기 위한 소켓을 더 포함하는 패키지 어셈블리 시스템.

청구항 12

제11항에 있어서,
 상기 소켓은 다이 섀도(die shadow) 아래의 상기 패키지의 뒤쪽에 위치한 전원 핀 및 전력 핀을 수용할 수 있는 풀-그리드 소켓(full-grid socket)인 패키지 어셈블리 시스템.

청구항 13

제11항에 있어서,
 상기 소켓은 상기 IC 패키지에 부착된 상기 커패시터를 수용하도록 형성되는 패키지 어셈블리 시스템.

청구항 14

제6항에 있어서,
 상기 집적 회로는 반도체 다이의 형태로 구현되는 패키지 어셈블리 시스템.

청구항 15

커패시터에 복수의 개구부를 제공하는 단계;
 IC 패키지에 의하여 수용된 집적 회로(IC)를 제공하는 단계;
 상기 IC 패키지로부터의 핀을 상기 커패시터에 형성된 상기 개구부를 통과시키는 단계;

상기 집적 회로 바로 아래의 상기 IC 패키지의 뒤쪽에 상기 커패시터를 위치시키는 단계; 및
 상기 커패시터를 상기 IC 패키지에 전기적으로 연결하는 단계를 포함하는 집적 회로 패키지에 커패시터를 통합시키는 방법.

청구항 16

제15항에 있어서,
 상기 IC 패키지를 소켓에 전기적으로 연결하는 단계를 더 포함하는 집적 회로 패키지에 커패시터를 통합시키는 방법.

청구항 17

제15항에 있어서,
 상기 커패시터는,
 복수의 제1 도전성 층;
 상기 제1 도전성 층 사이에 끼워 넣어진 복수의 제2 도전성 층; 및
 인접한 도전성 층을 분리하는 복수의 유전체 층을 포함하는 집적 회로 패키지에 커패시터를 통합시키는 방법.

청구항 18

제17항에 있어서,
 상기 커패시터를 상기 IC 패키지에 전기적으로 연결하는 단계는,
 상기 제1 도전성 층을 상기 집적 회로 내의 제1 노드에 전기적으로 연결하는 단계; 및
 상기 제2 도전성 층을 상기 집적 회로 내의 제2 노드에 전기적으로 연결하는 단계를 포함하는 집적 회로 패키지에 커패시터를 통합시키는 방법.

청구항 19

제1항에 있어서,
 각각의 개구부는 상기 개구부의 가장자리(edge)와 상기 핀 사이의 거리를 유지하는 커패시터 구조.

청구항 20

제6항에 있어서,
 각각의 개구부는 상기 개구부의 가장자리와 상기 핀 사이의 거리를 유지하는 패키지 어셈블리 시스템.

청구항 21

제15항에 있어서,
 각각의 개구부는 상기 개구부의 가장자리와 상기 핀 사이의 거리를 유지하는 집적 회로 패키지에 커패시터를 통합시키는 방법.

청구항 22

제1항에 있어서,
 상기 개구부가, 반도체 다이 아래에 위치한 상기 집적회로 패키지로부터의 상기 핀과 일치하도록 구성되는 커패시터 구조.

청구항 23

제6항에 있어서,

상기 개구부가, 상기 집적회로 아래에 위치한 상기 IC 패키지로부터의 상기 핀과 일치하도록 구성되는 패키지 어셈블리 시스템.

청구항 24

제15항에 있어서,

상기 집적 회로 바로 아래의 상기 IC 패키지의 뒤쪽에 상기 커패시터를 위치시키기 위하여, 도전성 단자를 상기 커패시터 및 상기 IC 패키지 사이에 부착함으로써, 상기 도전성 단자를 상기 커패시터 및 상기 IC 패키지에 부착하는 단계를 더 포함하는 집적 회로 패키지에 커패시터를 통합시키는 방법.

청구항 25

제1항에 있어서,

상기 커패시터는 어레이 커패시터인 커패시터 구조.

청구항 26

제6항에 있어서,

상기 커패시터는 어레이 커패시터인 패키지 어셈블리 시스템.

청구항 27

제15항에 있어서,

상기 커패시터는 어레이 커패시터인 집적 회로 패키지에 커패시터를 통합시키는 방법.

명세서

기술분야

<1> 본 발명의 실시예들은 커패시터 및 집적 회로(IC) 패키지 어셈블리에 관한 것으로, 구체적으로는 IC 패키지 상에 마운팅되는 집적 회로와 함께 사용하는데 적합한 어레이 커패시터에 관한 것이다.

배경기술

<2> 전형적으로, 다른 집적 회로 가운데서도 특히 IC 다이(die)를 마운팅하기 위한 것과 같은 IC 패키지에서, 전압 조절기 회로(voltage regulator circuit)가 반도체 다이에 전력을 공급하는데 사용된다. IC 다이 또는 칩의 전압을 조절하는 한 방법은, 예컨대 컴퓨터 시스템의 인쇄 회로 기판(PCB) 상에 전압 조절기 모듈(voltage regulator module; VRM)을 마운팅하는 것이다. 그러나, VRM은 단독으로 고속 마이크로 전자 장치(예컨대, 고성능 프로세서)의 모든 전력 요구를 만족시킬 수 없다. 특히, VRM은, 종종 전압 격감(voltage droop)으로 불리는 전압의 급격한 감소를 발생시킬 수 있는 다이에 의한 전류의 갑작스런 변화에 즉시 응답할 수 없다. 다이에 의한 이러한 전압 강하는 다이 상의 트랜지스터의 스위칭 시간을 증가시키며, 이는 다이 상에 제조된 시스템의 성능을 저하시킨다. 과도한 전압 격감을 완화하기 위하여, IC 다이의 전압 수준 강하를 방지하는 것을 돕는 감결합 커패시터(decoupling capacitor)가 사용될 수 있다.

<3> 개별적인 감결합 커패시터는 전형적으로 IC 다이에 인접하여 마운팅되고, 다이에 전력을 공급하는 도체에 연결된다. 프로세서 다이에 있어서, 다이는 기판(예컨대, IC 패키지) 상에 마운팅될 수 있고, 다수의 개별적인 커패시터들은 다이 아래에 또는 다이 둘레를 따라 기판 상에 마운팅될 수 있다. 이 커패시터들은 기판 상에 형성된 랜드(land)를 통하여 다이의 전원 공급장치에 연결된다. 이 커패시터들은 비정상 상태(non-steady state) 또는 과도 전류 요구(transient current demands) 기간 동안 다이에 의한 사용을 위하여 에너지를 저장하거나 다이에서 발생하는 잡음 문제를 관리하는데 사용될 수 있다.

<4> 전력 감결합(power decoupling)에 관련된 하나의 문제는 칩(IC 다이)으로부터 커패시터로의 경로 내의 인덕턴스이다. 칩의 속도가 빨라짐에 따라, 고주파 잡음을 관리하기 위하여 이 인덕턴스를 작게 유지하는 것이 중요하다. 칩으로부터 커패시터로의 경로 내의 유효 인덕턴스를 최소화하기 위하여, 커패시터는 전형적으로 다이 새

도(die shadow) 아래 패키지의 뒤쪽에 위치된다. 이러한 커패시터를 수용하기 위하여, 오늘날 마이크로프로세서에서 사용되는 소켓은 중앙에 공동(cavity)을 가진다.

<5> 패키지 상의 커패시터들은 고주파 잡음을 처리하는 반면, 저주파 잡음을 처리할 용량은 충분하지 않다. 저주파 잡음은 주로 VRM으로부터 칩으로의 경로 내의 저항에 의해 발생한다. 이는 마더보드(MB) 저항, 소켓 저항 및 패키지 저항으로 구성된다.

발명의 상세한 설명

<12> 이하의 발명의 상세한 설명에서 구체적인 세부 사항이 개시된다. 그러나, 본 발명의 실시예들은 이러한 구체적인 세부 사항 없이도 실시될 수 있음을 알 수 있다. 다른 예시에서, 공지된 회로, 구조 및 기술들은 본 발명의 상세한 설명의 이해를 모호하게 하지 않기 위하여 상세히 제시되지 않는다.

<13> 도 1은 일 실시예에 따른 패키지 어셈블리용 어레이 커패시터의 횡단면의 측면도이다. 패키지 어셈블리는 집적 회로(IC; 110)를 포함하는데, 이는 IC 패키지(120)에 의하여 수용된다. 집적 회로(110)는 커넥터(115)에 의하여 패키지(120)에 전기적으로 연결된 하나 이상의 회로를 포함할 수 있다. 일 실시예에 따르면, 커넥터(115)는 범프(bump){솔더 볼(solder ball)} 형태의 전극이다. 이 회로는 VRM에 의하여 패키지를 통해 전력이 공급되는 의도된 부하(intended load)로 작용할 수 있다. 도시되어 있지는 않으나, 공지된 유형의 VRM에 제공될 수 있는 전압 조절된 전원 공급장치가 마더보드와 같은 인쇄 회로 기판(PCB; 130) 상에 마운팅될 수 있다.

<14> 집적 회로(110)는 고속 프로세서일 수 있는데, 이는 컴퓨터, 서버 또는 네트워크 시스템 등에 사용될 수 있으며, 기타 유형의 회로일 수 있다. 일 실시예에 따르면, 집적 회로(110)는 반도체 다이 또는 하나 이상의 IC 칩의 대표 또는 고성능 다이 또는 칩을 포함하는 상이한 유형의 회로의 조합일 수 있으나, 이에 한정되지는 않는다. 도시된 실시예에 따르면, IC 패키지(120)의 상부 표면에 마운팅된 범프(115), 예컨대 솔더 볼을 가지는 IC 다이(110)가 도시되고 있다. 대안으로, 집적 회로(110)는 입력/출력 단자가 IC 패키지(120)의 상부 표면에서 칩을 접합 패드에 연결하기 위한 접합 와이어를 사용하여 IC 패키지(120)에 연결되는 표면 마운팅 칩(surface mounted chip)일 수 있다. 도시되어 있지는 않으나, 필요하다고 생각되면, 내장된 커패시터가 집적 회로(110) 및/또는 IC 패키지(120) 내에 통합될 수 있다.

<15> 또한, 어레이 커패시터(140)도 패키지 어셈블리(100) 내에 포함된다. 일 실시예에 따르면, 어레이 커패시터(140)는 집적 회로(110) 아래의 IC 패키지(120)의 뒤쪽에 위치된다. 도 1에 따르면, IC 패키지(120)가 PCB(130) 상에 있는 소켓(125)에 연결된다. 도 1에 도시된 바와 같이, 어레이 커패시터를 통과하는 핀들을 포함하는 패키지로부터의 핀들이 소켓에 삽입된다. 일 실시예에 따르면, 소켓(125)은 다이 섀도(die shadow) 아래의 패키지의 뒤쪽으로부터 연장된 전원 핀과 접지 핀을 수용하도록 구성된다. 소켓(125)은 어레이 커패시터(140)를 수용하도록 형성된다. 일 실시예에 따르면, 집적 회로(110) 아래에 위치한 소켓(125) 부분은 어레이 커패시터(140)를 위한 공간을 만들도록 함몰된다.

<16> 일 실시예에 따르면, 공동이 없는 풀-그리드 소켓(full-grid socket; 125)을 사용하고 다이 섀도 아래의 패키지의 뒤쪽에 전원 핀 및 접지 핀(135)을 부가함으로써 소켓 저항과 패키지 저항이 감소된다. 특히, 집적 회로(110), 예컨대 반도체 다이 바로 아래에 위치한 전원 핀 및 접지 핀(135)이 어레이 커패시터(140)를 통과할 수 있기 때문에, 이러한 배치로 인해 어레이 커패시터를 통한 낮은 저항 경로가 가능해진다.

<17> 도 2는 도 1에서 도시된 패키지 어셈블리(100)의 일부의 확대된 측면도이다. IC 패키지(120)로부터의 핀(135)이 통과하는 것을 가능하게 하는 공간 또는 개구부(155)를 가지는 어레이 커패시터(140)의 일부가 도 2에 도시되고 있다. 일 실시예에 따르면, 개구부의 가장자리와 핀 사이에 정해진 거리(160)가 유지되도록, 어레이 커패시터(140) 내에 형성된 각각의 공간 또는 개구부(155)의 지름은 IC 패키지(120)로부터의 각각의 핀(135)의 지름보다 약간 더 크다.

<18> 도시된 실시예에 따르면, 어레이 커패시터는 다수의 제2 도전성 층(202, 204, 206, 208, 210) 사이에 끼워 넣어진 다수의 제1 도전성 층(201, 203, 205, 207, 209)을 포함한다. 유전체 층(211 내지 220)은 인접한 도전성 층들을 분리한다. 제1 도전성 층(201, 203, 205, 207, 209)은 회로의 제1 노드에 연결되도록 구성된다. 일 실시예에 따르면, 제1 노드는 IC 패키지(120) 내에 제공된 접지 평면(230)이다. 제2 도전성 층(202, 204, 206, 208, 210)은 회로의 제2 노드에 연결되도록 구성된다. 일 실시예에 따르면 제2 노드는 IC 패키지(120) 내에 제공된 전원 평면(235)이다. 전원 평면(235)은 제2 도전성 층에 양의 전위를 제공한다. 일 실시예에 따르면, 접지 평면(230)과 전원 평면(235)은 집적 회로(110), 예컨대 반도체 다이에 연결되어, 다이에 포함된 회로에 전원

및 접지를 제공한다.

- <19> 일 실시예에 따르면, 어레이 커패시터(140)는, 패키지(120)와 어레이 커패시터(140) 사이에 제공되는 범프(150), 예컨대 솔더 볼을 경유하여 패키지(120) 내의 접지 평면(230) 및 전원 평면(235)에 전기적으로 연결된다. 도시된 어레이 커패시터(140)는 10개의 층(201 내지 210)으로 도시되고 있으나, 일 실시예에 따르면 층의 수는 10개보다 많을 수 있음을 주의하여야 한다. 다른 실시예에 따르면, 층의 수는 10개보다 적다. 전기 용량은 평면들의 표면적과 평면들 사이의 거리에 의하여 결정될 수 있는데, 일반적으로 표면적이 넓을수록, 평면들 사이의 거리가 짧을수록, 유전상수가 클수록, 전기 용량이 크다.
- <20> 도 3은 일 실시예에 따른 어레이 커패시터의 일부의 횡단면의 측면도이다. 어레이 커패시터(140)는 윗면(310)과 바닥면(315)을 가지는 주요부(main body; 305)를 포함한다. 일 실시예에 따르면, 윗면(310)과 바닥면(315)은 실질적으로 정사각형 및 직사각형 모양을 가진다. 본 명세서에서 기술되는 커패시터에 원 또는 타원과 같은 기타 모양도 사용될 수 있음을 주의하여야 한다.
- <21> 어레이 커패시터(140)는 제1 도전성 층(201, 203, 205, 207, 209)을 전기적으로 연결하기 위한 다수의 제1 도전성 비아(via; 331, 333, 335, 337, 339, 343)와 제2 도전성 층(202, 204, 206, 208, 210)을 전기적으로 연결하기 위한 다수의 제2 도전성 비아(334, 336, 338, 340, 342)를 포함한다. 일 실시예에 따르면, 제1 도전성 비아(331, 333, 335, 337, 339, 343)는 각각 제1 도전성 단자(351, 353, 355, 357, 359, 363), 예컨대 솔더 볼을 경유하여 제1 도전성 층(201, 203, 205, 207, 209)을 IC 패키지의 접지 평면에 전기적으로 연결하는데 사용된다. 일 실시예에 따르면, 제2 도전성 비아(334, 336, 338, 340, 342)는 각각 제2 도전성 단자(354, 356, 358, 360, 362), 예컨대 솔더 볼을 경유하여 제2 도전성 층(202, 204, 206, 208, 210)을 IC 패키지의 전원 평면에 전기적으로 연결하는데 사용된다. 어레이 커패시터(140)는 주요부(305)의 윗면(310)과 바닥면(315) 사이에서 수직으로 연장되는 다수의 개구부(371, 372, 373)를 포함한다. 개구부(371, 372, 373)는 IC 패키지로부터의 핀들이 통과할 수 있는 크기 및 모양을 갖는다.
- <22> 도 4는 일 실시예에 따른 어레이 커패시터의 평면도이다. 특히, 도 4는 제2 도전성 층(202)이 배치된 단면을 도시하고 있다. 제1 도전성 비아(331, 333, 335)가 제2 도전성 층(202)을 통과하며, 이는 제1 도전성 비아(331, 333, 335)가 통과하는 부분 주위에 갭(gap; 401, 403, 405)을 형성한다. 일 실시예에 따르면, 제1 도전성 비아(331, 333, 335)는 제2 도전성 층(202)으로부터 절연된다. 제2 도전성 층(202)은 제2 도전성 비아(334, 336)에 의하여 다른 제2 도전성 층에 연결된다.
- <23> 또한, 어레이 커패시터(140) 내에 형성된 핀이 삽입될 수 있는 다수의 개구부(371, 372, 411, 412)가 도 4에 도시되고 있다. 일 실시예에 따르면, 핀이 삽입될 수 있는 개구부들의 수와 개구부들 사이의 간격이 어레이 커패시터의 위치로부터 연장된 패키지로부터의 핀들을 수용하도록 선택된다. 도시된 어레이 커패시터는 핀이 삽입될 수 있는 개구부 4개와 함께 도시되고 있다. 그러나, 일 실시예에 따르면, 핀이 삽입될 수 있는 개구부의 수는 4개보다 많을 수 있다. 다른 실시예에 따르면, 개구부의 수는 4개보다 적다.
- <24> 도 5는 일 실시예에 따라 어레이 커패시터를 집적 회로 패키지에 통합시키는 과정을 도시하고 있다. 블록(510)에서, 공간(void)을 가진 어레이 커패시터가 제공된다. 이는 어레이 커패시터를 제조하는 동안, 완전한 어레이 커패시터를 제조하고 나서 어레이 커패시터 내에 공간 또는 구멍을 형성함으로써 이루어질 수 있다. 어레이 커패시터 내에 형성된 공간 또는 구멍은 IC 패키지로부터 연장된 핀들과 일치하도록 배치된다. 이후, 블록(520)에서 IC 패키지에 의하여 수용된 집적 회로가 제공된다. 어레이 커패시터가 IC 패키지 상에서 마운팅된 집적 회로 바로 아래에 위치하도록, IC 패키지 핀이 어레이 커패시터 내에 형성된 개구부를 통과하게 함으로써, IC 패키지에 대한 어레이 커패시터의 위치가 정해진다(블록 530). 이후, IC 패키지 내에 제공된 접지 평면 및 전원 평면에 연결하기 위해 어레이 커패시터 상에 제공된 도전성 단자를 사용하여 어레이 커패시터가 IC 패키지에 전기적으로 연결된다(블록 540). 이후, 블록(550)에서, IC 패키지와 어레이 커패시터는 인쇄 회로 기판 상의 소켓에 연결된다.
- <25> 본 명세서에서 기술된 커패시터들의 실시예들이 IC 패키지 아래에서 마운팅될 수 있고 IC 패키지로부터 아래로 연장된 핀들이 통과할 수 있도록 개구부를 가지기 때문에, 패키지 감결합 성능을 희생하지 않고서도 패키지 저항을 감소시킬 수 있다. 일 실시예에 따르면, 본 명세서에서 기술된 커패시터는 고성능 프로세서의 고주파 잡음 및 저주파 잡음 요건을 만족시키는데 사용된다.
- <26> 다양한 실시예들이 기술되었으나, 당업자라면 본 발명이 기술된 실시예에 한정되지 않고, 첨부된 청구범위의 범위 및 사상 내에서 변경 및 대체되어 실시될 수 있음을 알 수 있을 것이다. 따라서 본 발명의 상세한 설명은

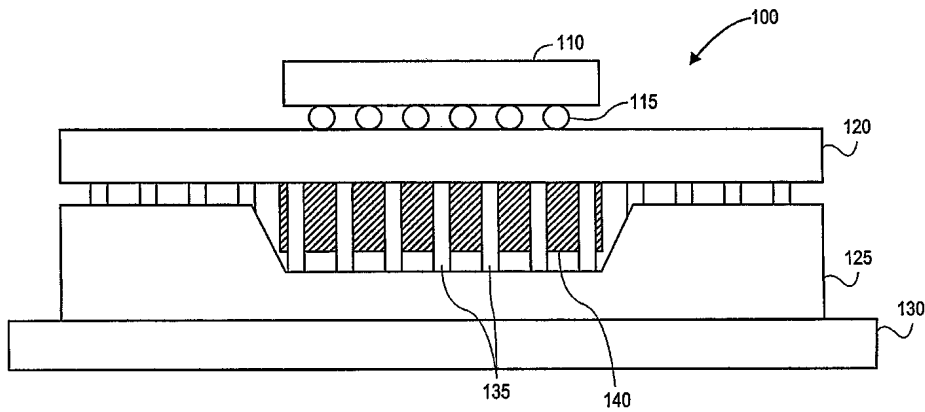
한정적인 것이 아니라 예시적인 것으로 간주되어야 한다.

도면의 간단한 설명

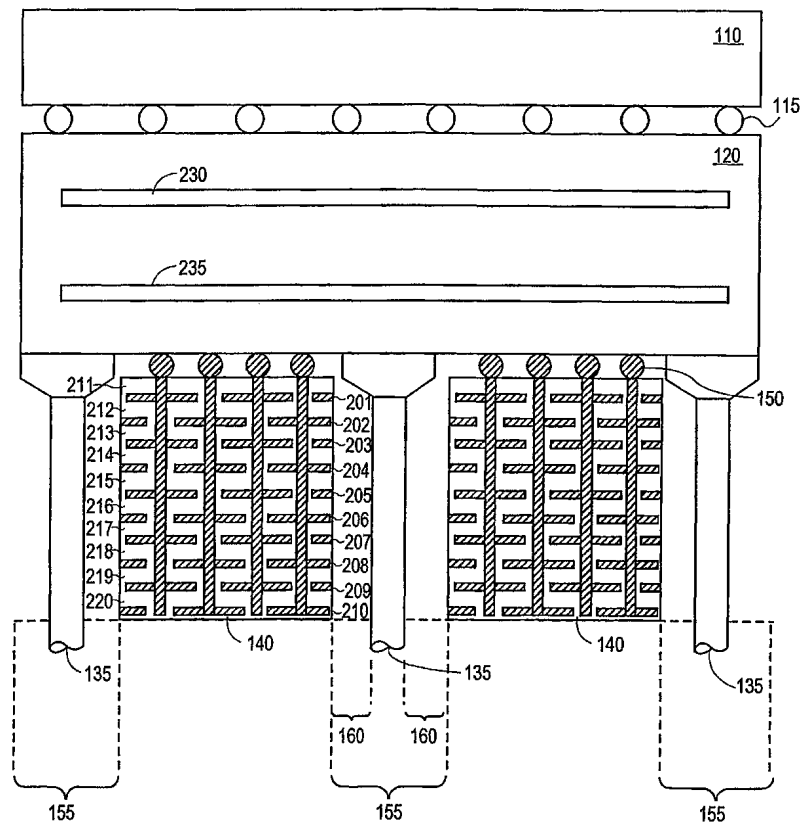
- <6> 본 발명은 첨부 도면에서 한정하기 위해서가 아니라 예를 들기 위하여 도시되며, 동일한 참조번호는 유사한 구성요소를 가리킨다. 본 명세서에서 "일" 실시예에 대한 참조는 반드시 동일한 실시예에 대한 참조는 아니며, 적어도 하나의 실시예에 대한 참조를 의미함을 주의하여야 한다.
- <7> 도 1은 일 실시예에 따른 패키지 어셈블리용 어레이 커패시터의 횡단면의 측면도.
- <8> 도 2는 도 1에서 도시된 패키지 어셈블리(100)의 일부의 확대된 측면도.
- <9> 도 3은 일 실시예에 따른 어레이 커패시터의 일부의 횡단면의 측면도.
- <10> 도 4는 일 실시예에 따른 어레이 커패시터의 내부 구조의 위에서 본 평면도.
- <11> 도 5는 일 실시예에 따라 어레이 커패시터를 집적 회로 패키지에 통합시키는 과정을 나타내는 흐름도.

도면

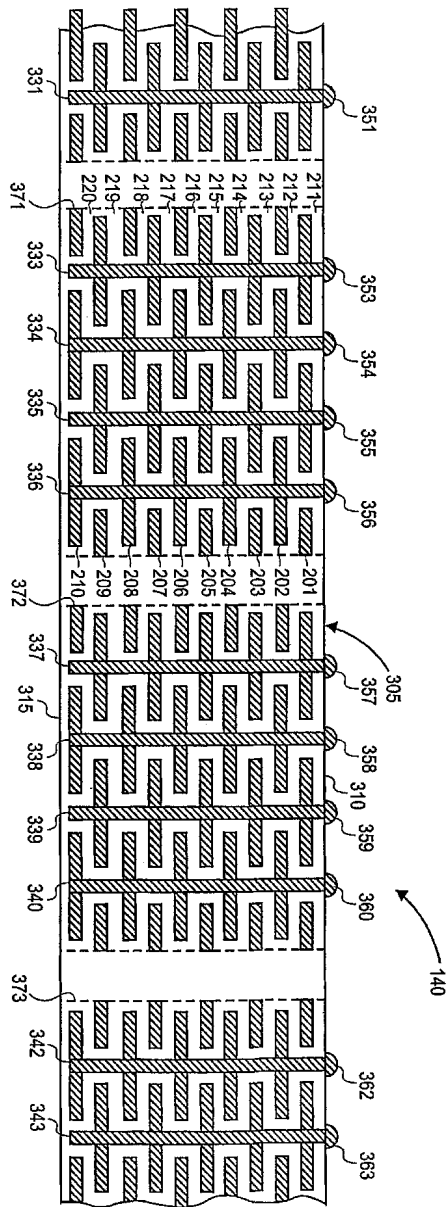
도면1



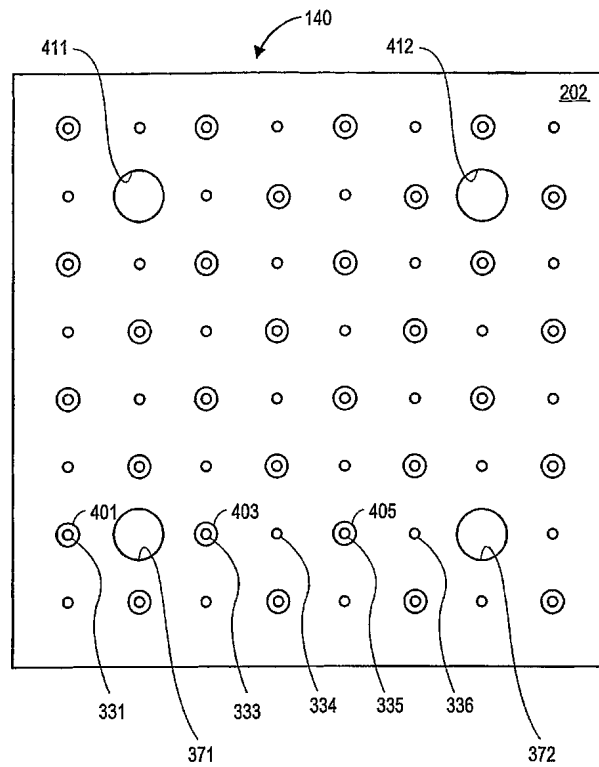
도면2



도면3



도면4



도면5

