СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1040491 A

3(51) G 06 F 15/332

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

Всесоюзная патентно-техническая библиотека

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3408715/18-24
(22) 09.03.82
(46) 07.09.83. Бюл. № 33
(72) А. А. Петровский и В. Б. Клюс
(71) Минский радиотехнический институт
(53) 681.32(088.8)
(56) 1. Авторское свидетельство СССР № 548863, кл. G 06 F 15/332, 1977.
2. Авторское свидетельство СССР № 430381, кл. G 06 F 9/00, 1974 (прототип).

(54)(57) 1. УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ ПРОЦЕССОРА БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ, содержащее (m+k)-разрядный регистр адреса, выходы которого являются выходами устройства, блок формирования адреса, первая группа входов которого соединена с информационными выходами k-разрядного счетчика, а вторая группа входов блока формирования адреса подключена к выходу k-разрядного регистра сдвига, выходы которого соединены с информационными входами k-разрядного счетчика, управляющий вход регистра адреса, первый управляющий вход регистра сдвига и управляющий вход блока формирования адреса соединены соответственно с первым, вторым и третьим выходами блока синхронизации, отличающееся тем, что, с целью расширения его функциональных возможностей за счет обработки n мерных процессов и упрощения схемы, в него введен m-разрядный счетчик, вход которого соединен с третьим выходом блока синхронизации, а информационные выходы m-разрядного счетчика соединены с первой группой входов регистра адреса, вторая группа входов которого подключена к выходам блока формирования адреса, выход m-го разряда соединен с управляющим входом k-разрядного счетчика, управляющий выход которого подключен к второму управляющему входу k-разрядного регистра сдвига, а выход k-го разряда регистра сдвига соединен с входом блока синхронизации.

2. Устройство по п. 1, отличающееся тем, что блок синхронизации содержит первый и второй триггеры, генератор одиночного импульса, элемент И, элемент задержки, генератор тактовых импульсов, выход которого соединен с первым входом элемента И, выход которого соединен с первым входом элемента И, выход которого подключен к входу элемента задержки и является первым выходом блока синхронизации, вход установки в нуль первого триггера и вход установки в единицу второго триггера соединены с выходом генератора одиночного импульса, выход которого является вторым выходом блока синхронизации, выход элемента задержки соединен со счетным входом первого триггера, выход которого является третьим выходом блока синхронизации, вход установки в нуль второго триггера подключен к входу блока синхронизации, а выход второго триггера соединен с вторым входом элемента И.

3. Устройство по п. 1, отличающееся тем, что k-разрядный счетчик содержит k пар элементов И, k элементов ИЛИ и k триггеров, выход первого элемента И группы в i-ой паре (i = 2, k) соединен с первым входом (i-1)-го элемента ИЛИ группы, второй вход которого соединен с выходом второго элемента И в (i-1)-ой паре группы, а выход (i-1)-го элемента ИЛИ группы соединен со счетным входом i-го триггера группы, выход (i-1)-го триггера группы соединен с первыми входами элементов И в i-ой паре группы, выход первого элемента И в первой паре группы соединен со счетным входом первого триггера, а выход k-го триггера группы соединен с пер-

(19) SU (11) 1040491 A

вым входом k-го элемента ИЛИ группы, второй вход которого подключен к выходу второго элемента И k-ой пары группы, а выход k-го элемента ИЛИ группы является управляющим выходом k-разрядного счетчика, вторые входы элементов И группы являются информационными входами k-разрядного счетчика, причем второй вход первого элемента И во всех парах группы является инверсным входом k-разрядного счетчика, а первые входы элементов И первой пары группы соединены с управляющим входом k-разрядного счетчика.

4. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок формирования адреса содержит группу элементов И и группу элементов ИЛИ, состоящих из k элементов каждая, выходы каждого элемента И группы соединены с первыми входами соответствующих элементов ИЛИ группы, выходы которых являются выходами блока формирования адреса, вторые входы элементов ИЛИ группы являются первой группой входов блока формирования адреса, первые входы элементов И группы образуют вторую группу входов блока формирования адреса, а вторые входы элементов И группы соединены с управляющим входом блока формирования адреса.

1

Изобретение относится к специализированным средствам вычислительной техники и может быть применено в системах цифровой обработки сигналов, в информационно-измерительных системах, в устройствах формирования и анализа случайных процессов.

Известно устройство адресации процессора быстрого преобразования Фурье, содержащее блок реконфигурации счетчика, выход которого соединен с управляющим входом счетчика, блок выдачи адресов, первый информационный вход которого соединен с выходом счетчика, а выход - с выходом устройства в целом, причем вход блока реконфигурации счетчика, первый и второй, счетные входы счетчика и первый управляющий вход блока выдачи адресов соединены соответственно с первым, вторым, третьим и четвертым входами блока, выход счетчика соединен с информационным входом регистра и первым входом группы элементов ИЛИ, выход регистра и выход группы элементов ИЛИ соединены соответственно с вторым и третьим информационными входами блока выдачи адресов, второй и третий управляющие входы которого, управляющий вход регистра и второй вход группы схем ИЛИ соединены соответственно с пятым, шестым, седьмым и первым входами блока [1].

Недостатком данного устройства является сложность построения и невозможность использования в процессоре с параллельной обработкой n-мерных векторных процессов.

Наиболее близким по технической сущности к предлагаемому является устройство адресации процессора быстрого преобразования Фурье, со-

2

держащее блок выдачи адреса, вход которого соединен с выходом сумматора и через блок выдачи информации с выходом счетчика, представляющего собой двоичный счетчик с логической схемой, позволяющей делить его на две части, причем вход сумматора соединен с выходом блока ввода информации в сумматор, выход блока разделения счетчика соединен с управляющими входами счетчика и блока ввода информации в сумматор, информационный вход которого соединен с выходом счетчика и выходом блока выдачи информации. Синхронизацию работы всего устройства осуществляет блок управляющих импульсов и потенциалов [2].

Недостаток известного устройства - сложность построения: наличие сумматора и двоичного счетчика со специальной логической схемой, позволяющей делить его на две части, а также невозможность адресации операндов при обработке n-мерных векторных процессов, кроме того, сложность переналадки устройства для реализации другой разновидности алгоритма быстрого преобразования Фурье, например, прореживания по времени с инверсным или прямым упорядочением выходных данных, т.е. малая степень унификации устройства.

Таким образом, основными недостатками известных устройств адресации процессора быстрого преобразования Фурье являются малые функциональные возможности (невозможно использовать устройство в процессоре обработки n-мерных векторных процессов), сложность структурной реализации; малая степень унификации.

Цель изобретения - расширение функциональных возможностей за счет обработки n-мерных процессов и упрощение структуры устройства.

Поставленная цель достигается тем, что в устройство для адресации процессора быстрого преобразования Фурье, содержащее (m+k)-разрядный регистр адреса, выходы которого являются выходами устройства, блок формирования адреса, первая группа входов которого соединена с информационными выходами k-разрядного счетчика, а вторая группа входов блока формирования адреса подключена к выходу k-разрядного регистра сдвига, выходы которого соединены с информационными входами k-разрядного счетчика, управляющий вход регистра, первый управляющий вход регистра сдвига и управляющий вход блока формирования адреса соединены соответственно с первым, вторым и третьим выходами блока синхронизации, введен m-разрядный счетчик, вход которого соединен с третьим выходом блока синхронизации, а информационные выходы m-разрядного счетчика соединены с первой группой входов регистра адреса, вторая группа входов которого подключена к выходам блока формирования адреса, выход m-го разряда соединен с управляющим входом k-разрядного счетчика, управляющий выход которого подключен к второму управляющему входу k-разрядного регистра сдвига, а выход k-го разряда регистра сдвига соединен с входом блока синхронизации.

Причем блок синхронизации содержит первый и второй триггеры, генератор одиночного импульса, элемент И, элемент задержки, генератор тактовых импульсов, выход которого соединен с первым входом элемента И, выход которого подключен к входу элемента задержки и является первым выходом блока синхронизации, вход установки в нуль первого триггера и вход установки в единицу второго триггера соединены с выходом генератора одиночного импульса, выход которого является вторым выходом блока синхронизации, выход эллмента задержки соединен со счетным входом первого триггера, выход которого является третьим выходом блока синхронизации, вход установки в нуль второго триггера подключен к входу блока синхронизации, а выход второго триггера соединен с вторым входом элемента И.

При этом k-разрядный счетчик содержит k пар элементов И, k элементов ИЛИ и k триггеров, выход первого элемента И группы в i-й паре (i = = 2, k) соединен с первым входом (i-1)-го элемента ИЛИ группы, второй вход которого соединен с выходом второго элемента И в (i-1)-ой паре группы, а выход (i-1)-го элемента ИЛИ группы соединен со счетным входом i-го триггера группы, выход (i -1)-го триггера группы соединен с первыми входами элементов И в i-й паре группы, выход первого элемента И в первой паре группы соединен со счетным входом первого триггера, а выход k-го триггера группы соединен с первым входом k-го элемента ИЛИ группы, второй вход которого подключен к выходу второго элемента И k-ой пары группы, а выход k-го элемента ИЛИ группы является управляющим выходом k-разрядного счетчика, вторые входы элементов И группы являются информационными входами k-разрядного счетчика, причем второй вход первого элемента И во всех парах группы является инверсным входом k-разрядного счетчика, а первые входы элементов И первой пары группы соединены с управляющим входом k-разрядного счетчика, причем блок формирования адреса содержит группу элементов И и группу элементов ИЛИ, состоящих из k элементов каждая, выходы каждого элемента И группы соединены с первыми входами соответствующих элементов ИЛИ группы, выходы которых являются выходами блока формирования адреса, вторые входы элементов ИЛИ группы являются первой группой входов блока формирования адреса, первые входы элементов И группы образуют вторую группу входов блока формирования адреса, а вторые входы элементов И группы соединены с управляющим входом блока формирования адреса.

На фиг. 1 показана структурная схема устройства для адресации процессора быстрого преобразования Фурье; на фиг. 2 - структурная схема блока синхронизации; на фиг. 3 - временные диаграммы, поясняющие принцип работы блока синхронизации; на фиг. 4 ю функциональная схема k-разрядного первого счетчика; на фиг. 5 - функциональная схема блока формирования адреса.

Устройство адресации процессора быстрого преобразования Фурье содержит (m+k)-разрядный регистр 1 адреса, блок 2 формирования адреса, k-разрядный счетчик 3, k-разрядный регистр 4 сдвига, блок 5 синхронизации, m-разрядный счетчик 6.

Блок 5 синхронизации предназначен для формирования необходимых последовательностей управляющих сигналов, обеспечивающих функционирование всего устройства адресации процессора быстрого преобразования Фурье. Блок синхронизации (фиг. 2) содержит ге-

нератор 7 тактовых импульсов, элемент И 8, элемент 9 задержки, первый триггер 10, второй триггер 11, генератор 12 одиночного импульса.

К-разрядный первый счетчик 3 с управляемыми цепями переноса предназначен для подготовки базы адреса. Его разрядность определяется следующим образом:

$$k = \log_2 N,$$

где $N=2^k$ - количество элементов в компоненте X_i входного вектора $X^T=\|X_1, \ldots, X_n\|$,

n - мерность векторного процесса;

T - знак транспортирования вектора, матрицы.

К-разрядный первый счетчик 3 содержит (фиг. 4) группу элементов И 13 из k пар элементов И, группу элементов ИЛИ 14 из k элементов ИЛИ и группу триггеров 15 из k триггеров

Второй m-разрядный счетчик 6 необходим для формирования базы адреса при обработке n-мерных векторных процессов, разрядность m которого определяется согласно выражению

$$m = \mathrm{Ent}(\log_2 n) + 1.$$

Второй m-разрядный счетчик 6 представляет собой двоичный суммирующий счетчик с коэффициентом пересчета, равным мерности n обрабатываемого векторного процесса.

Блок формирования адреса 2 предназначен для формирования адресов элементов обрабатываемого массива в соответствующих базовых операциях алгоритма быстрого преобразования Фурье с учетом полученных баз в k-разрядном первом счетчике 3 и в регистре 4 сдвига. Блок 2 формирования адреса (фиг. 5) содержит группу элементов И 16 и группу элементов ИЛИ 17, состоящих из k элементов.

Регистр адреса 1 предназначен для фиксирования адреса элементов обрабатываемого векторного процесса в соответствующих базовых операциях алгоритма быстрого преобразования Фурье. Он представляет собой (m+k)-разрядный регистр хранения информации. k-разрядный регистр 4 сдвига служит для управления цепями переноса k-разрядного первого счетчика 3. Он представляет собой k-разрядный регистр сдвига на один разряд, в котором также имеются цепи занесения определенного кода в разряды.

Устройство адресации процессора быстрого преобразования Фурье работает следующим образом.

По сигналу с выхода 2 блока синхронизации в регистр 4 сдвига заносится код

$$\underbrace{100\ldots0}_{k}$$

Данная единица по сигналу с управляющего выхода k-разрядного первого счетчика 3 сдвигается вправо (в сторону младших разрядов) на один разряд после выполнения каждой итерации в алгоритме быстрого преобразования Фурье. Следовательно, на одном из выходов k-разрядного регистра 4 сдвига будет потенциал единицы, что будет разрешать перенос из $(\ell-1)$-го разряда в $(\ell+1)$-ый и запрещать перенос в ℓ-ый разряд k-разрядного первого счетчика 3, т.е. единица на ℓ-ом выходе k-разрядного регистра 4 сдвига поступает на ℓ-ую пару элементов И группы 13 k-разрядного первого счетчика 3 и запрещает прохождение единицы переноса с $(\ell-1)$-го разряда через $(\ell-1)$-ый элемент ИЛИ группы 14 в ℓ-ый разряд данного счетчика, с другой стороны потенциал единицы на ℓ-ом выходе k-разрядного регистра 4 сдвига разрешает прохождение данной единицы переноса через ℓ-ый элемент ИЛИ группы 14 в $(\ell+1)$-ый разряд k-разрядного первого счетчика 3. Следует отметить, что ℓ-ый разряд данного счетчика будет в нуле и в течение выполнения ℓ-ой итерации не изменится его состояние. Здесь номер ℓ-го разряда соответствует $[k-(\ell-1)]$ номеру итерации в алгоритме быстрого преобразования Фурье.

Данный код в регистре 4 сдвига на $k-(\ell-1)$-ой итерации выполнения алгоритма быстрого преобразования Фурье участвует в формировании адресов операндов базовых операций, вычисляемых на этой итерации, соответствующих компонент векторного процесса.

Согласно алгоритму быстрого преобразования Фурье на каждой итерации происходит обработка базовых операций всех компонент вектора $X^T=\|X_1, \ldots, X_n\|^T$, т.е. устройство адресации процессора быстрого преобразования Фурье должно определять адреса операндов базовых операций компоненты $X_{i_1}(i)$, $i=\overline{1,N}$ вектора X_1, затем $X_2(i), \ldots, X_n(i)$. Для этого блок 5 синхронизации выдает все последовательности сигналов ТИ1 и ТИ3 (фиг. 2 и 3) на первом и третьем выходах соответственно. Сигналы ТИ3 образуются путем деления в два раза частоты задержанных сигналов ТИ1. Это осуществляется с помощью элемента 9 задержки и второго триггера 11. Время $t_{зад}$ и частота сигналов ТИ1 определяется, исходя из

длительности вычисления базовой операции операционным автоматом процессора быстрого преобразования Фурье.

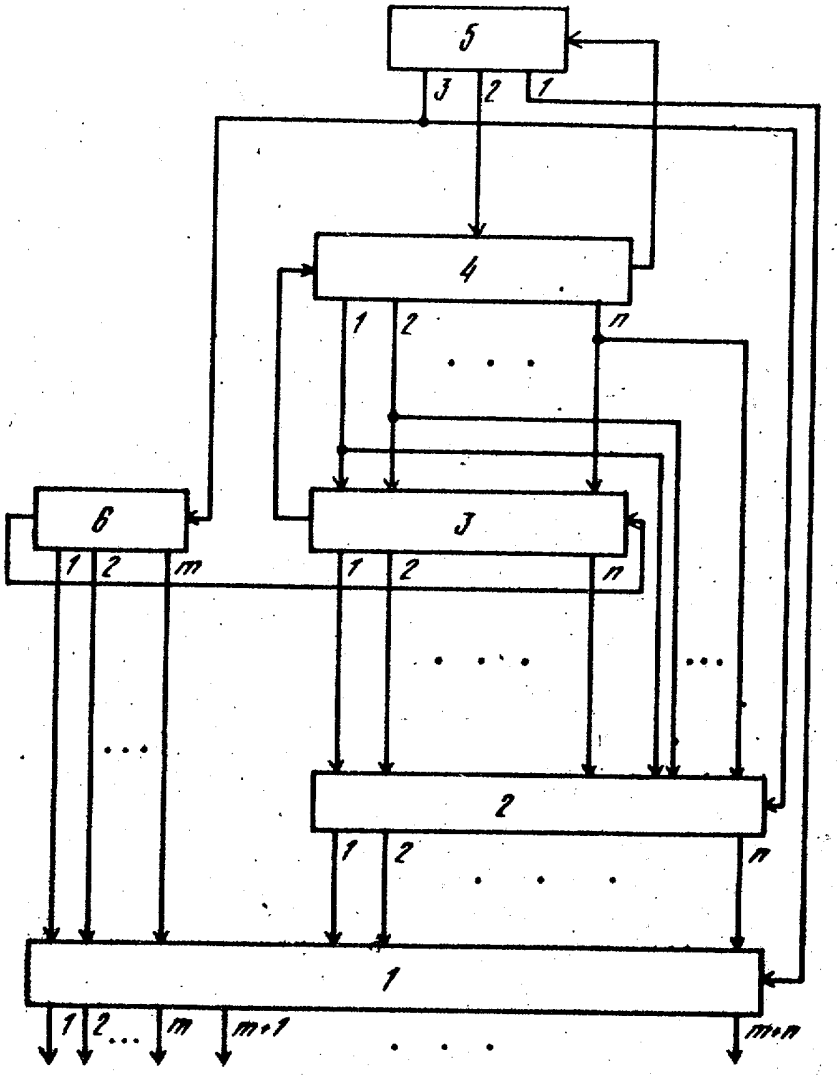
Согласно алгоритму БПФ на каждой итерации первыми определяются адреса операндов базовой операции компоненты X_1 вектора X^T, затем компоненты $X_2, \ldots, X_n$. Поэтому по первому сигналу последовательности ТИ1 с первого выхода блока 5 синхронизации содержимое m-разрядного счетчика 6 записывается в первые m старших разрядов регистра 1 адреса, а содержимое k-разрядного счетчика 3 через группу элементов ИЛИ 17 блока 2 формирования адреса передается в последующие k разрядов (m+k)-разрядного регистра адреса. При этом определяется адрес первого элемента X_{11} компоненты X_1 вектора X^T в базовой операции. Затем формируется первый сигнал последовательности ТИ3 с третьего выхода блока 5 синхронизации на управляющий вход блока 2 формирования адреса и разрешает передачу через группу элементов И 16 и группу элементов ИЛИ 17 на k младших информационных входа регистра 1 адреса содержимое k-разрядного счетчика 3 и регистра 4 сдвига. Далее согласно алгоритму работы блока 5 синхронизации (фиг. 3) поступает второй сигнал последовательности ТИ1 с первого выхода блока 5 синхронизации на управляющий вход регистра 1 адреса, по которому содержимое m-разрядного счетчика 6, k-разрядного счетчика 3 и регистра 4 сдвига записывается в (m+k)-разрядный регистр адреса. При этом, как отмечалось выше, в ℓ-ый разряд регистра 1 адреса на $[k - (\ell-1)]$-ой итерации запишется единица, так как в этом разряде k-разрядного счетчика 3 на данной итерации всегда ноль. Полученный адрес в регистре 1 адреса определяет второй элемент X_{12} компоненты X_1 вектора X^T в базовой операции. По заднему фронту данного сигнала последовательности ТИ3 в m-разрядный счетчик добавится единица.

Далее по следующей паре сигналов последовательности ТИ1 сигналу последовательности ТИ3 аналогично описанному выше формируются адреса элементов X_{21} и X_{22} компоненты X_2 вектора X^T. Снова к содержимому m-разрядного счетчика 6 прибавляется единица по заднему фронту сигнала последовательности ТИ3. Затем аналогично определяются адреса элементов X_{31} и X_{32} компоненты X_3 вектора X^T в базовой операции и т.д. И, наконец, формируются адреса элементов X_n и X_{n2} компоненты X_n вектора X^T в базовой операции. По заднему фронту сигнала последовательности ТИ3 с третьего выхода блока 5 синхронизации к содержимому m-разрядного счетчика 6 добавляется единица, счетчик переполняется, так как в нем было код $\underbrace{11\ldots1}_{n}$ при $n = \log_2 2^\alpha$, и по сигналу переполнения m-разрядного счетчика происходит добавление единицы к содержимому k-разрядного счетчика. Далее процесс продолжается аналогично описанному выше и определяются адреса элементов компонент $X_1, X_2, \ldots, X_n$ вектора X^T следующих "бабочек" на $[k - (\ell-1)]$-ой итерации.

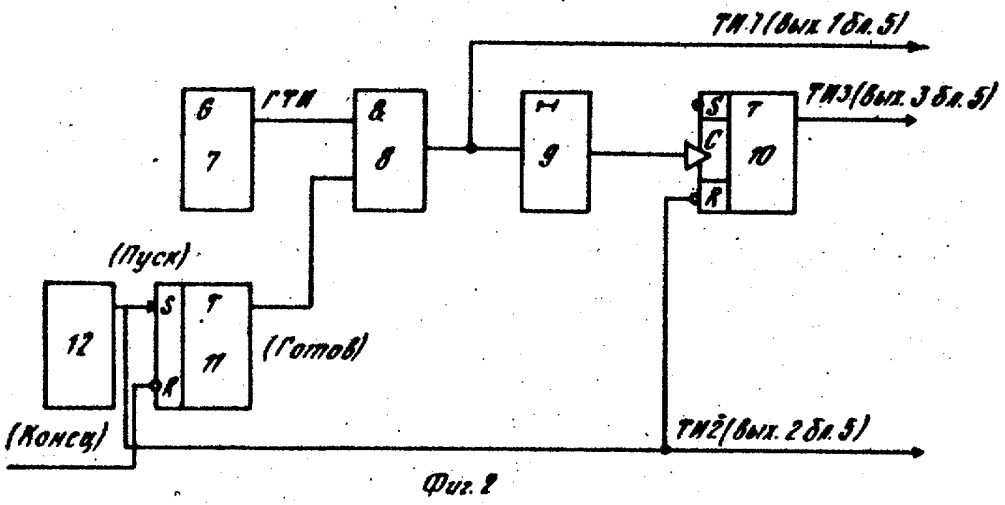
Сигнал переполнения k-разрядного счетчика 3 означает окончание данной итерации. Он поступает на управляющий вход регистра 4 и сдвигает хранящуюся в нем единицу на один разряд вправо (в сторону младших разрядов). Далее начинается формирование адресов на следующей итерации $(k-\ell)$ аналогично описанному выше. После формирования адресов последней k-ой итерации по сигналу переполнения с управляющего выхода k-разрядного счетчика 3 производится сдвиг содержимого регистра 4, по сигналу с которого выдвигаемая за пределы регистра единица поступает на вход блока 5 синхронизации и устанавливает в ноль первый триггер 11, что обеспечит нулевой потенциал на входе элемента И 8, а это запретит формирование последовательностей сигналов ТИ1 и ТИ3. На этом кончается один цикл работы устройства адресации процессора быстрого преобразования Фурье, и устройство готово к работе с новыми исходными данными, с новым вектором X^T.

Таким образом, используя данный подход для реализации устройства адресации процессора быстрого преобразования Фурье, оказывается возможным проводить обработку n-мерных векторных процессов, что особенно важно при построении цифровых систем управления пространственно-многомерными случайными вибрациями, при этом возможно построение матричных процессоров обработки n-мерных векторных процессов.

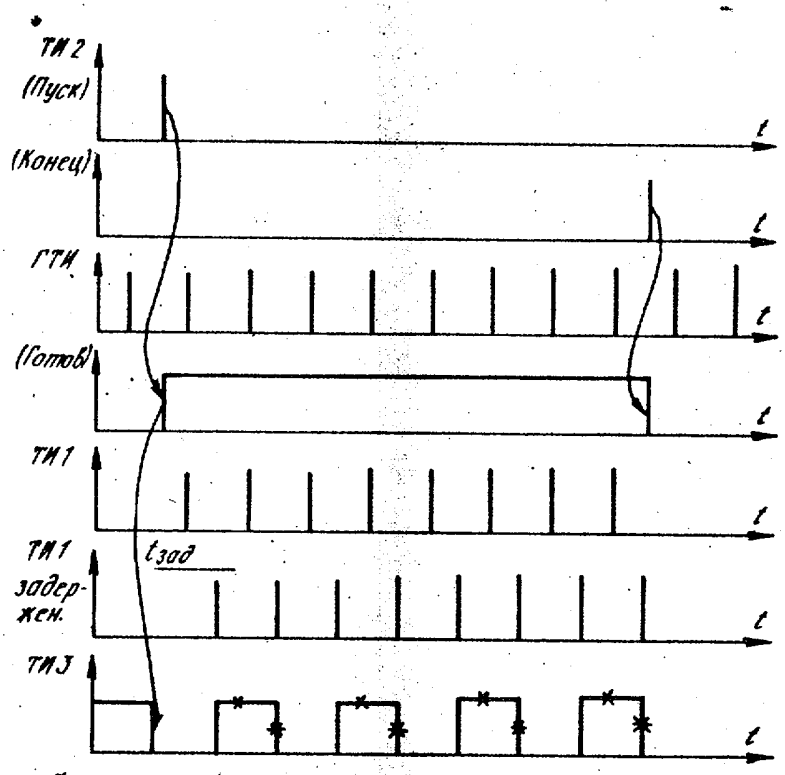
Кроме того, устройство отличает простота технической реализации (отсутствие сумматора, счетчика со специальной разделительной схемой).


5
3
2
1
4
1
2
n
6
1
2
m
3
1
2
n
2
1
2
n
1
1
2
m
m+1
m+n

Фиг. 1

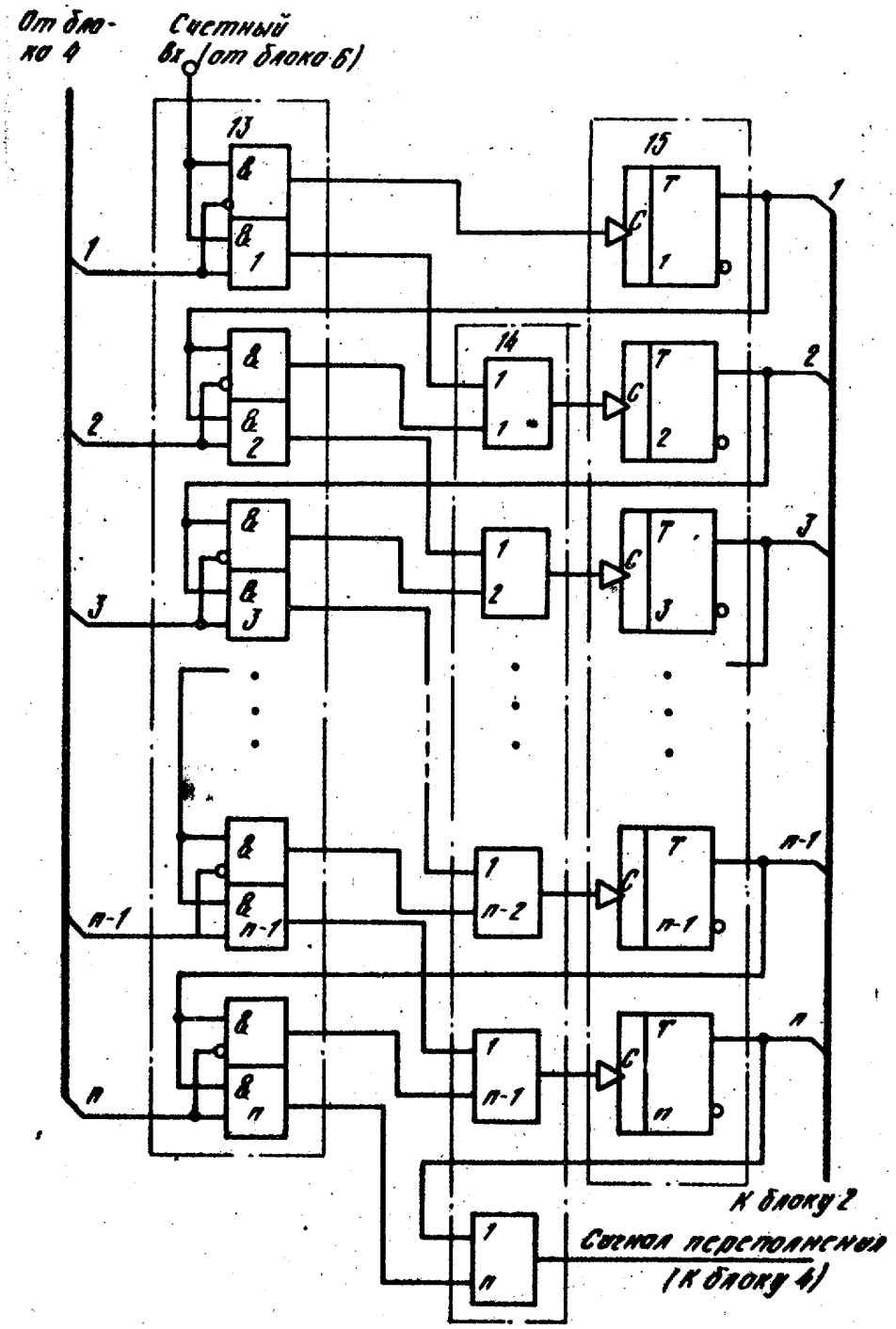

ТИ1(Вых 1 бл. 5)
ТИ3(Вых. 3 бл. 5)
6
7
ГТИ
&
8
1
9
S
C
R
T
10
(Пуск)
12
S
R
T
11
(Готов)
(Конец)
ТИ2(Вых. 2 бл. 5)

Фиг. 2

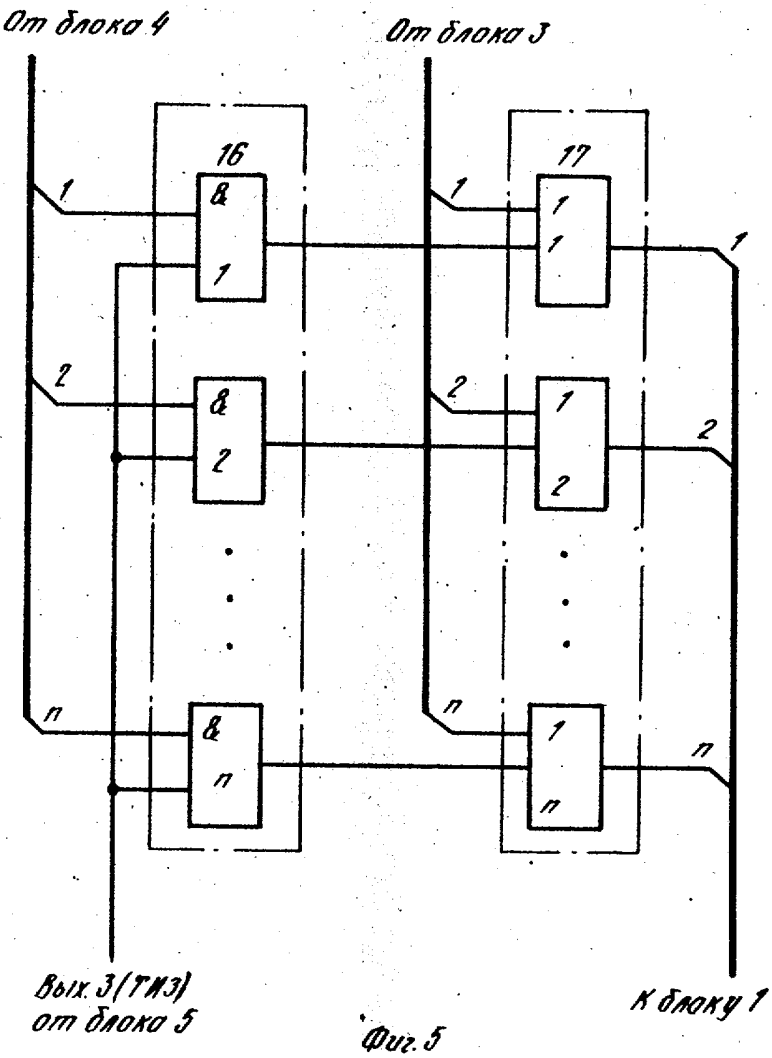


X - разрешение на передачу содержимого регистра сдвига 4;
X - увеличение на единицу содержимого m-разрядного счетчика 6

Фиг.3


От бло-
ка 4
Счетный
вх. (от блока 6)
13
14
15
&
1
2
3
n-1
n
T
C
К блоку 2
Сигнал переполнения
(К блоку 4)

Фиг. 4



Фиг. 5

Составитель А. Баранов
Редактор И. Ковальчук Техред М. Кузьма Корректор Ю. Макаренко

Заказ 6930/53 Тираж 706 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4