

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年7月1日(01.07.2021)



(10) 国際公開番号

WO 2021/132084 A1

(51) 国際特許分類:

H01L 27/04 (2006.01) G05F 1/567 (2006.01)
G01K 7/00 (2006.01)

(21) 国際出願番号: PCT/JP2020/047455

(22) 国際出願日: 2020年12月18日(18.12.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-236730 2019年12月26日(26.12.2019) JP

(71) 出願人: 国立大学法人大阪大学 (OSAKA UNIVERSITY) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 Osaka (JP).

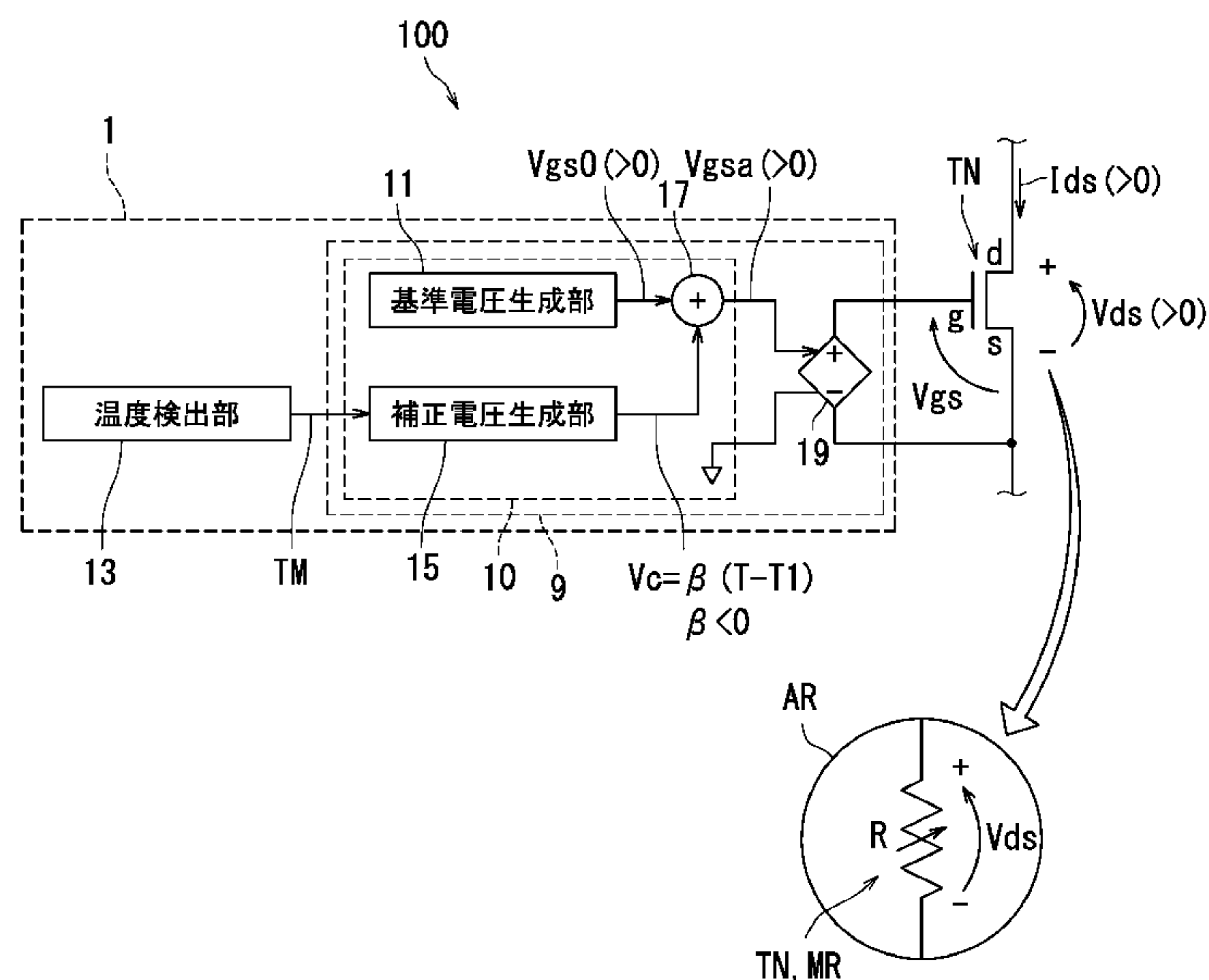
(72) 発明者: 亀田 成司(KAMEDA Seiji); 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学内 Osaka (JP). 平田 雅之(HIRATA Masayuki); 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学内 Osaka (JP).

(74) 代理人: 前井 宏之(MAEI Hiroyuki); 〒5410043 大阪府大阪市中央区高麗橋3丁目3番11号 淀屋橋フレックスタワー5階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: RESISTANCE DEVICE, INTEGRATED CIRCUIT DEVICE, IMPLANTABLE DEVICE, AND CORRECTION COEFFICIENT DETERMINING METHOD

(54) 発明の名称: 抵抗デバイス、集積回路装置、体内埋込装置、及び、補正係数決定方法



11 Reference voltage generation unit
13 Temperature detection unit
15 Correction voltage generation unit

(57) Abstract: This resistance device (100) comprises: a field effect transistor (TN); and a voltage application circuit (1). The voltage application circuit (1) applies, between the gate and the source of the field effect transistor (TN), a control voltage (Vgs) corresponding to a temperature (T), and controls the resistance value (R) between the drain and the source of the field effect transistor (TN). The control voltage (Vgs) indicates a voltage obtained by adding a correction voltage

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :
一 国際調査報告 (条約第21条(3))

(Vc) to a reference voltage (Vgs0). The correction voltage (Vc) depends on the temperature (T) and is set to be zero at a first temperature (T1).

(57) 要約 : 抵抗デバイス (100) は、電界効果トランジスタ (TN) と、電圧印加回路 (1) とを備える。電圧印加回路 (1) は、電界効果トランジスタ (TN) のゲートソース間に、温度 (T) に応じた制御電圧 (Vgs) を印加して、電界効果トランジスタ (TN) のドレインソース間の抵抗値 (R) を制御する。制御電圧 (Vgs) は、基準電圧 (Vgs0) に補正電圧 (Vc) を加算した電圧を示す。補正電圧 (Vc) は、温度 (T) に依存し、第1温度 (T1) でゼロになるように設定される。

明 細 書

発明の名称：

抵抗デバイス、集積回路装置、体内埋込装置、及び、補正係数決定方法
技術分野

[0001] 本発明は、抵抗デバイス、集積回路装置、体内埋込装置、及び、補正係数決定方法に関する。

背景技術

[0002] 特許文献 1 に記載された増幅回路は、帰還抵抗としての電界効果トランジスタと、抵抗補正部とを備える。抵抗補正部は、温度変化による電界効果トランジスタのドレイン－ソース間の抵抗の変動を補正する。

[0003] すなわち、電界効果トランジスタのゲート－ソース間の電圧 V_{gs} が一定の場合、閾値電圧 V_{th} が変化することにより、温度が高くなると、ドレイン－ソース間の抵抗 R_{ds} は低くなる。一方、温度が低くなると、ドレイン－ソース間の抵抗 R_{ds} は高くなる。そこで、抵抗補正部は、電圧 V_{gs} と閾値電圧 V_{th} との差 ($V_{gs} - V_{th}$) が一定値になるように、電界効果トランジスタのゲート端子に対して、閾値電圧 V_{th} 以下のゲート電圧 V_g を印加して、電界効果トランジスタのドレイン－ソース間の抵抗 R_{ds} が所定値になるように制御する。

[0004] 具体的には、抵抗補正部は、温度検出部を有する。温度検出部は、温度変化に対して線形に変化する電圧又は電流を出力する。抵抗補正部は、温度検出部が出力する電流又は電圧に基づいて、電界効果トランジスタのドレイン－ソース間の抵抗 R_{ds} が所定値になるように、電界効果トランジスタのゲート端子に対して、閾値電圧以下のゲート電圧 V_g を印加する。

[0005] 更に具体的には、抵抗補正部は、記憶部と、演算部とをさらに有する。記憶部は、温度検出部が出力する電流又は電圧と温度検出部の温度との関係を記憶している。また、記憶部は、温度検出部の温度と電界効果トランジスタのゲート端子に印加するゲート電圧 V_g との関係を記憶している。

[0006] 温度検出部が出力する電流又は電圧と温度検出部の温度との関係は、温度と、温度検出部が出力する電流又は電圧との関係を事前に測定して、記憶部に記憶される。温度検出部の温度と電界効果トランジスタのゲート端子に印加するゲート電圧 V_g との関係は、各温度において、電界効果トランジスタのゲートソース間の電圧 V_{gs} と閾値電圧 V_{th} との差 ($V_{gs} - V_{th}$) が一定値になるゲート電圧 V_g が決定されて、記憶部に記憶される。

[0007] 演算部は、記憶部が記憶する温度検出部が出力する電流又は電圧と温度検出部の温度との関係を参照して、温度検出部が出力する電流又は電圧に基づいて、温度検出部の温度を求める。また、演算部は、記憶部が記憶する温度検出部の温度と電界効果トランジスタのゲート端子に印加するゲート電圧 V_g との関係を参照して、求めた温度に基づいて、電界効果トランジスタのゲート端子に印加するゲート電圧 V_g を決定する。

先行技術文献

特許文献

[0008] 特許文献1：特開2015-122635号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、特許文献1には、電界効果トランジスタの電圧 V_{gs} と閾値電圧 V_{th} との差 ($V_{gs} - V_{th}$) が複数の異なる温度において一定値になるゲート電圧 V_g の決定方法について何ら記載されていない。

[0010] 換言すれば、特許文献1には、電界効果トランジスタのドレインソース間の抵抗 R_{ds} (電界効果トランジスタに関する物理量の一例) の温度依存性を低減して、抵抗 R_{ds} が所定値になるようにゲート電圧 V_g を補正するときの補正值の決定方法について何ら記載されていない。

[0011] 本発明の目的は、電界効果トランジスタに関する所望の物理量の温度依存性を低減するためにゲートソース間に印加する制御電圧を補正するときの補正係数と、電界効果トランジスタに関する所望の物理量との組み合わせを

、効率良く決定できる抵抗デバイス、集積回路装置、体内埋込装置、及び、補正係数決定方法を提供することにある。

課題を解決するための手段

[0012] 本発明の一局面によれば、抵抗デバイスは、電界効果トランジスタと、電圧印加回路とを備える。電圧印加回路は、前記電界効果トランジスタのゲートソース間に、温度に応じた制御電圧を印加して、前記電界効果トランジスタのドレインソース間の抵抗値を制御する。前記制御電圧は、基準電圧に補正電圧を加算した電圧を示す。前記補正電圧は、前記温度に依存し、第1温度でゼロになるように設定される。

[0013] 本発明の抵抗デバイスにおいて、前記電圧印加回路は、温度検出部と、制御電圧印加部とを含むことが好ましい。温度検出部は、前記温度に応じた検出信号を出力することが好ましい。制御電圧印加部は、前記検出信号に応じて前記温度に対して線形に変化する前記補正電圧を前記制御電圧が含むように、前記制御電圧を生成して、前記制御電圧を前記電界効果トランジスタのゲートソース間に印加することが好ましい。

[0014] 本発明の抵抗デバイスにおいて、前記第1温度は、前記補正電圧を定めるための係数である補正係数の変化に対して、前記電界効果トランジスタに関する物理量が略一定であるときの温度を示すことが好ましい。

[0015] 本発明の抵抗デバイスにおいて、前記補正電圧を定めるための係数である補正係数の値は、前記第1温度において前記電界効果トランジスタに関する目標物理量が得られるときの前記基準電圧に基づいて、前記第1温度と異なる第2温度において前記目標物理量が得られるときの値を示すことが好ましい。

[0016] 本発明の抵抗デバイスにおいて、前記温度検出部は、第1電流を生成する第1電流源回路と、第2電流を生成する第2電流源回路とを含むことが好ましい。前記第1電流源回路の温度依存性と前記第2電流源回路の温度依存性が異なることが好ましい。前記第1電流源回路と前記第2電流源回路とは、直列に接続されることが好ましい。前記第1電流と前記第2電流との差分

電流が前記検出信号であることが好ましい。前記第 1 電流源回路が前記第 1 電流の電流値を変更し、及び／又は、前記第 2 電流源回路が前記第 2 電流の電流値を変更することで、前記第 1 温度が変更されることが好ましい。

[0017] 本発明の抵抗デバイスにおいて、前記電圧印加回路は、前記電界効果トランジスタのゲートソース間に前記制御電圧を印加して、前記電界効果トランジスタの第 1 動作領域におけるドレインソース間の抵抗値を制御することが好ましい。前記第 1 動作領域は、前記電界効果トランジスタのゲートソース間の電圧の大きさが閾値電圧の大きさより大きい領域であることが好ましい。

[0018] 本発明の抵抗デバイスにおいて、前記電圧印加回路は、前記電界効果トランジスタのゲートソース間に前記制御電圧を印加して、前記電界効果トランジスタの第 2 動作領域におけるドレインソース間の抵抗値を制御することが好ましい。前記第 2 動作領域は、前記電界効果トランジスタのゲートソース間の電圧の大きさが閾値電圧の大きさより小さい領域であることが好ましい。

[0019] 本発明の他の局面によれば、集積回路装置は、上記抵抗デバイスの前記電界効果トランジスタ及び前記電圧印加回路を集積している。

[0020] 本発明の更に他の局面によれば、体内埋込装置は、体内に埋め込まれる。体内埋込装置は、生体組織に刺激信号を与える刺激装置と生体信号を計測する計測装置とのうちの少なくとも 1 つを備える。前記刺激装置と前記計測装置とのうちの少なくとも 1 つは、上記の集積回路装置を含む。

[0021] 本発明の更に他の局面によれば、補正係数決定方法は、電界効果トランジスタのゲートソース間に印加する制御電圧を補正するときの補正係数を決定する。補正係数決定方法では、次式において、前記制御電圧を「 V_{gs} 」で示し、基準電圧を「 V_{gs0} 」で示し、補正電圧を「 V_c 」で示し、補正係数を「 β 」で示し、変数としての温度を「 T 」で示し、前記補正電圧 V_c がゼロになるときの温度である第 1 温度を「 T_1 」で示す。補正係数決定方法は、前記第 1 温度 T_1 において前記電界効果トランジスタに関する目標物

理量が得られるときの前記基準電圧 V_{gs0} の電圧値である特定電圧値を決定する工程と、前記第 1 温度 T_1 と異なる第 2 温度及び前記基準電圧 V_{gs0} の前記特定電圧値において前記目標物理量が得られるときの前記補正係数 β の値である特定係数値を決定する工程とを含む。

$$V_{gs} = V_{gs0} + V_c = V_{gs0} + \beta (T - T_1)$$

[0022] 本発明の補正係数決定方法において、前記基準電圧 V_{gs0} の前記特定電圧値を決定する前記工程は、前記第 1 温度 T_1 において、前記基準電圧 V_{gs0} の電圧値を変更しながら、前記電界効果トランジスタに関する物理量を計測する工程と、前記基準電圧 V_{gs0} の前記電圧値を変更しながら計測された複数の前記物理量のうち、前記目標物理量と略一致する物理量を計測したときの前記基準電圧 V_{gs0} の前記電圧値を前記基準電圧 V_{gs0} の前記特定電圧値に決定する工程とを含むことが好ましい。前記補正係数 β の前記特定係数値を決定する前記工程は、前記第 2 温度及び前記基準電圧 V_{gs0} の前記特定電圧値において、前記補正係数 β の値を変更しながら、前記電界効果トランジスタに関する物理量を計測する工程と、前記補正係数 β の前記値を変更しながら計測された複数の前記物理量のうち、前記目標物理量と略一致する物理量を計測したときの前記補正係数 β の前記値を前記補正係数 β の前記特定係数値に決定する工程とを含むことが好ましい。

[0023] 本発明の補正係数決定方法において、前記第 1 温度 T_1 は、前記補正係数 β の変化に対して、前記電界効果トランジスタに関する物理量が略一定であるときの温度を示すことが好ましい。

[0024] 本発明の補正係数決定方法において、前記補正電圧 V_c は、第 1 電流と第 2 電流との差分電流に基づく値を有することが好ましい。前記第 1 電流は、温度の変化に対して線形に変化する電流を示すことが好ましい。前記第 2 電流は、前記温度の変化に対して線形に変化する電流を示すことが好ましい。前記第 1 電流の温度依存性と前記第 2 電流の温度依存性とが異なることが好ましい。補正係数決定方法は、前記第 1 電流の電流値と前記第 2 電流の電流値とのうちの少なくとも一方の電流値を変更することで、前記第 1 温度 T_1

を変更する工程をさらに含むことが好ましい。

[0025] 本発明の補正係数決定方法において、前記目標物理量は、前記電界効果トランジスタを含む電子回路から計測可能な、前記電界効果トランジスタの抵抗値を含む物理量であって、目標値として設定される物理量を示すことが好ましい。

発明の効果

[0026] 本発明によれば、電界効果トランジスタに関する所望の物理量の温度依存性を低減するためにゲートソース間に印加する制御電圧を補正するときの補正係数と、電界効果トランジスタに関する所望の物理量との組み合わせを、効率良く決定できる抵抗デバイス、集積回路装置、体内埋込装置、及び、補正係数決定方法を提供できる。

図面の簡単な説明

[0027] [図1]本発明の実施形態1に係る抵抗デバイスを示す図である。

[図2]実施形態1に係る電圧印加回路の内部で生成される補正電圧の温度依存性を示すグラフである。

[図3] (a) は、一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での飽和領域における $I_{ds} - V_{gs}$ 特性を示すグラフである。(b) は、一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での $I_{ds} - V_{ds}$ 特性を示すグラフである。

[図4] (a) は、一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での線形領域における $I_{ds} - V_{gs}$ 特性を示すグラフである。(b) は、一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での線形領域における抵抗値と V_{gs} との関係を示すグラフである。

[図5]一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での線形領域におけるドレイン電流の温度依存性を示すグラフである。

[図6] (a) は、一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での飽和領域における $I_{ds} - V_{gs}$ 特性を示すグラフである。(b) は、一般的なNMOSトランジスタの $V_{gs} > V_{th}$ での飽和領域におけるドレイン電流の

温度依存性を示すグラフである。

[図7] (a) は、実施形態 1 に係る電圧制御電圧源の第 1 例を示す回路図である。(b) は、実施形態 1 に係る電圧制御電圧源の第 2 例を示す回路図である。

[図8] 実施形態 1 に係る温度検出部及び補正電圧生成部の一例を示す回路図である。

[図9] (a) は、実施形態 1 に係る第 1 電流及び第 2 電流の温度依存性を示すグラフである。(b) は、実施形態 1 に係る差分電流の温度依存性を示すグラフである。(c) は、実施形態 1 に係る補正電圧の温度依存性を示すグラフである。

[図10] (a) は、実施形態 1 に係る第 1 電流の電流値を変更したときの第 1 電流及び第 2 電流の温度依存性を示すグラフである。(b) は、実施形態 1 に係る第 2 電流の電流値を変更したときの第 1 電流及び第 2 電流の温度依存性を示すグラフである。(c) は、実施形態 1 に係る差分電流の電流値が変更されたときの差分電流の温度依存性を示すグラフである。

[図11] (a) は、実施形態 1 に関し、複数の異なる温度において、補正係数とトランジスタの抵抗値との関係を示すグラフである。(b) は、実施形態 1 に関し、トランジスタの抵抗値の温度依存性に対する温度補正の効果を示すグラフである。

[図12] (a) は、実施形態 1 に関し、任意の異なる 2 つの温度における、補正係数に対するトランジスタの抵抗値を示す $R - \beta$ 曲線を、各々示したグラフである。(b) は、実施形態 1 に関し、第 1 温度及び第 2 温度における、補正係数に対するトランジスタの抵抗値を示す $R - \beta$ 曲線を、各々示したグラフである。

[図13] (a) は、実施形態 1 に関し、第 1 温度での基準電圧とトランジスタの抵抗値との関係を示すグラフである。(b) は、実施形態 1 に関し、第 2 温度での補正係数とトランジスタの抵抗値との関係を示すグラフである。(c) は、実施形態 1 に関し、トランジスタの抵抗値の温度依存性に対する温

度補正の効果を示すグラフである。

[図14] (a) は、一般的なNMOSトランジスタの $I_{ds} - V_{gs}$ 特性を示す片対数グラフである。(b) は、一般的なNMOSトランジスタのサブスレシヨルド領域における $I_{ds} - V_{ds}$ 特性を示すグラフである。

[図15] (a) は、一般的なNMOSトランジスタのサブスレシヨルド領域における $I_{ds} - V_{gs}$ 特性を示すグラフである。(b) は、一般的なNMOSトランジスタのサブスレシヨルド領域における $I_{ds} - V_{gs}$ 特性を示す片対数グラフである。(c) は、一般的なNMOSトランジスタのサブスレシヨルド領域における抵抗値と V_{gs} との関係を示すグラフである。

[図16] (a) は、一般的なNMOSトランジスタのサブスレシヨルド領域におけるドレイン電流の温度依存性を示すグラフである。(b) は、一般的なNMOSトランジスタのサブスレシヨルド領域におけるドレイン電流の温度依存性を示す片対数グラフである。

[図17] (a) は、実施形態1に関し、サブスレシヨルド領域における第1温度での基準電圧とトランジスタの抵抗値との関係を示すグラフである。(b) は、実施形態1に関し、サブスレシヨルド領域における第2温度での補正係数とトランジスタの抵抗値との関係を示すグラフである。(c) は、実施形態1に関し、サブスレシヨルド領域におけるトランジスタの抵抗値の温度依存性に対する温度補正の効果を示すグラフである。

[図18] (a) は、実施形態1に係るトランジスタの抵抗値の計測方法の第1例を説明するための図である。(b) は、実施形態1に係るトランジスタの抵抗値の計測方法の第2例を説明するための図である。

[図19] (a) は、実施形態1に係る抵抗デバイスを備える電子回路装置を示す図である。(b) は、実施形態1に係る電子回路から計測可能な物理量と補正係数との関係を一般化したグラフである。

[図20] (a) は、実施形態1に係るRCフィルタ回路としての積分フィルタの回路図である。(b) は、実施形態1に係るRCフィルタ回路としての微分フィルタの回路図である。

[図21]実施形態1に係るアクティブフィルタ回路の回路図である。

[図22]実施形態1に係る補正係数決定方法を示すフローチャートである。

[図23] (a) は、図22の工程S3を示すフローチャートである。(b) は、図22の工程S4を示すフローチャートである。

[図24] (a) ~ (d) は、実施形態1の第1変形例~第4変形例に係る抵抗デバイスを示す図である。

[図25]本発明の実施形態2に係る抵抗デバイスを示す図である。

[図26]実施形態2に係る補正電圧の温度依存性を示すグラフである。

[図27] (a) は、実施形態2に係る第1電流及び第2電流の温度依存性を示すグラフである。(b) は、実施形態2に係る差分電流の温度依存性を示すグラフである。(c) は、実施形態2に係る補正電圧の温度依存性を示すグラフである。

[図28] (a) は、実施形態2に関し、第1温度及び第2温度における、補正係数に対するトランジスタの抵抗値を示す $R-\beta$ 曲線を、各々示したグラフである。(b) は、実施形態2に関し、第1温度での基準電圧とトランジスタの抵抗値との関係を示すグラフである。(c) は、実施形態2に関し、第2温度での補正係数とトランジスタの抵抗値との関係を示すグラフである。

[図29] (a) は、実施形態2に係る電圧印加回路の一例を示す回路図である。(b) は、実施形態2に係る $P-TAT$ 電流の温度依存性を示す図である。

[図30]実施形態2に係る $P-TAT$ 回路の一例を示す回路図である。

[図31]実施形態2に係る $P-TAT$ 電流がゼロになる第1温度が変更可能であることを示すグラフである。

[図32] (a) ~ (d) は、実施形態2の第1変形例~第4変形例に係る抵抗デバイスを示す図である。

[図33]本発明の実施形態3に係る抵抗デバイスを示す図である。

[図34]本発明の実施形態4に係るブレインマシンインターフェース装置を示す図である。

[図35]実施形態4に係る集積回路装置の一例を示す回路図である。

発明を実施するための形態

[0028] 以下、本発明の実施形態について、図面を参照しながら説明する。なお、図中、同一または相当部分については同一の参照符号を付して説明を繰り返さない。また、電流に付する参照符号を電流の「電流値」を表す符号として使用する場合があり、電圧に付する参照符号を電圧の「電圧値」を表す符号として使用する場合があり、抵抗又は抵抗素子に付する参照符号を抵抗又は抵抗素子の「抵抗値」を表す符号として使用する場合がある。さらに、複数の数式中の同一記号は、同一定義を有するため、同一記号の説明は適宜省略する。なお、図面において、理解の容易のために、ゲート端子を「g」で示し、ドレイン端子を「d」で示し、ソース端子を「s」で示す場合がある。

[0029] (実施形態1)

図1～図23(b)を参照して、本発明の実施形態1に係る抵抗デバイス100を説明する。

[0030] 図1は、実施形態1に係る抵抗デバイス100を示す図である。図1に示すように、抵抗デバイス100は、電界効果トランジスタTNと、電圧印加回路1とを備える。図1に示すように、実施形態1では、電界効果トランジスタTNは、N型電界効果トランジスタである。具体的には、電界効果トランジスタTNは、n型MOSFET(n-type Metal-Oxide-Semiconductor Field-Effect Transistor)、つまり、NMOSトランジスタである。

[0031] 以下、電界効果トランジスタTNを「トランジスタTN」と記載する場合がある。

[0032] なお、電界効果トランジスタTNのバックゲート端子が、電界効果トランジスタTNのソース端子又はドレイン端子に接続されていてもよいし、アース又はグラウンドに接続されていてもよい。

[0033] 電界効果トランジスタTNは、抵抗素子として機能する。具体的には、電界効果トランジスタTNは、電界効果トランジスタTNのドレインーソース間の抵抗を利用することで抵抗素子として機能する。つまり、電界効果トラ

ンジスタ T_N は MOS 抵抗として機能する。電界効果トランジスタが MOS 抵抗として機能することは、例えば、「C.A.Mead, "Analog VLSI and Neural Systems", Addison-Wesley Publishing Company, 1989.」、又は、「T. Delbruck and C.A. Mead, "Adaptive photoreceptor with wide dynamic range", Proceedings of IEEE International Symposium on Circuits and Systems, 1994.」に記載されている。

[0034] 具体的には、電界効果トランジスタ T_N は、電界効果トランジスタ T_N のゲートソース間の電圧が閾値電圧よりも大きい領域（線形領域及び飽和領域）におけるドレインソース間の抵抗を利用することで抵抗素子として機能する。また、電界効果トランジスタ T_N は、電界効果トランジスタ T_N のゲートソース間の電圧が閾値電圧よりも小さい領域（サブスレッショルド領域）におけるドレインソース間の抵抗を利用することで抵抗素子として機能する。

[0035] 図 1 の領域 A R 内には、電界効果トランジスタ T_N が MOS 抵抗 M_R として機能するときの等価回路が示される。MOS 抵抗 M_R は、電界効果トランジスタ T_N のドレインソース間の抵抗値に相当する抵抗値 R を有する。電界効果トランジスタ T_N のドレインソース間の電圧に相当する電圧 V_{ds} が MOS 抵抗 M_R に印加されると、MOS 抵抗 M_R には、電界効果トランジスタ T_N のドレインソース間に流れるドレイン電流に相当する電流 I_{ds} が流れる。

[0036] 以下、電界効果トランジスタ T_N のドレインソース間の抵抗値 R を「電界効果トランジスタ T_N の抵抗値 R 」と記載する場合がある。

[0037] 電圧印加回路 1 は、電界効果トランジスタ T_N のゲートソース間に、温度 T に応じた制御電圧 V_{gs} を印加して、電界効果トランジスタ T_N のドレインソース間の抵抗値 R を制御する。「電界効果トランジスタ T_N のゲートソース間」とは、「電界効果トランジスタ T_N のゲート端子とソース端子との間」のことである。温度 T は、抵抗デバイス 100 の周囲温度を示す。制御電圧 V_{gs} は正の値を有する。制御電圧 V_{gs} は、電界効果トランジ

スタ T N のゲートソース間の電圧を示す。

[0038] 以下、制御電圧 V_{gs} を「ゲートソース電圧 V_{gs} 」と記載する場合がある。また、ドレインソース間の電圧 V_{ds} を「ドレインソース電圧 V_{ds} 」と記載する場合がある。

[0039] 制御電圧 V_{gs} は、基準電圧 V_{gs0} に補正電圧 V_c を加算した電圧を示す。具体的には、制御電圧 V_{gs} は、式 (1) によって表される。

$$[0040] \quad V_{gs} = V_{gs0} + V_c \quad \dots (1)$$

[0041] 補正電圧 V_c は、電界効果トランジスタ T N に関する所望の物理量の温度依存性を低減するために、基準電圧 V_{gs0} に加算される電圧である。

[0042] 電界効果トランジスタ T N に関する物理量は、電界効果トランジスタ T N を含む電子回路から計測可能な、電界効果トランジスタ T N の抵抗値 R を含む物理量である。電界効果トランジスタ T N に関する物理量は、例えば、電界効果トランジスタ T N のドレインソース間の抵抗値 R 、又は、電界効果トランジスタ T N を含むフィルタ回路の遮断周波数 f_c である。「抵抗値 R を含む物理量」は、抵抗値 R に依存する物理量を示す。以下、電界効果トランジスタ T N に関する所望の物理量を「目標物理量」と記載する場合がある。従って、目標物理量は、電界効果トランジスタ T N を含む電子回路から計測可能な、電界効果トランジスタ T N の抵抗値 R を含む物理量であって、目標値として設定される物理量を示す。

[0043] 具体的には、補正電圧 V_c は、式 (2) によって示される。式 (2) において、 β は補正係数を示し、 T は温度を示し、 T_1 は第 1 温度を示す。補正係数 β は、補正電圧 V_c を定めるための係数である。実施形態 1 では、補正係数 β は、負の値を有する。従って、補正電圧 V_c は、温度 T が高くなる程小さくなる。具体的には、補正係数 β は、電界効果トランジスタ T N に関する所望の物理量の温度依存性を低減するために、電界効果トランジスタ T N のゲートソース間に印加する制御電圧 V_{gs} を補正するときの係数である。

$$[0044] \quad V_c = \beta (T - T_1) \quad \dots (2)$$

[0045] 式（２）に示すように、補正電圧 V_c は、温度 T に依存し、第１温度 T_1 でゼロになるように設定される。換言すれば、第１温度 T_1 は、補正電圧 V_c がゼロになるときの温度である。従って、実施形態１によれば、第１温度 T_1 では補正の効果が無くなる。第１温度 T_1 で補正の効果が無くなるような電圧印加回路１を利用することで、電界効果トランジスタ T_N のゲートソース間に印加する制御電圧 V_{gs} を補正するときの補正係数 β と、電界効果トランジスタ T_N に関する所望の物理量との組み合わせを、効率良く決定できる。この点の詳細は後述する。

[0046] 図２は、補正電圧 V_c を示すグラフである。縦軸は補正電圧 V_c 〔V〕を示し、横軸は温度 T 〔K〕を示す。図２に示すように、補正電圧 V_c は、温度 T に対して線形に変化する。補正電圧 V_c を示す直線の傾きが補正係数 β を示す。

[0047] 次に、図３～図６を参照して、式（１）に示す制御電圧 V_{gs} のように、基準電圧 V_{gs0} に式（２）に示す温度 T に応じて線形に変化する補正電圧 V_c を加算することで MOS 抵抗 M_R としての電界効果トランジスタ T_N の温度依存性を補正できる理由を説明する。この場合、理解を容易にするために、 $NOMS$ トランジスタの「 $V_{gs} > V_{th}$ 」領域におけるドレインソース間の抵抗値 R に着目する。「 $V_{gs} > V_{th}$ 」領域とは、ゲートソース電圧 V_{gs} （ゲートソース間の電圧）の大きさが閾値電圧 V_{th} の大きさより大きいときの $NOMS$ トランジスタの動作領域のことである。「 $V_{gs} > V_{th}$ 」領域は、「電界効果トランジスタの第１動作領域」の一例に相当する。

[0048] 図３（a）は、一般的な $NMOS$ トランジスタの「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域における $I_{ds} - V_{gs}$ 特性を示すグラフである。横軸は、ゲートソース電圧 V_{gs} 〔V〕を示し、縦軸は、ドレイン電流 I_{ds} 〔 μA 〕を示す。

[0049] 図３（b）は、一般的な $NMOS$ トランジスタの $I_{ds} - V_{ds}$ 特性を示すグラフである。横軸は、ドレインソース電圧 V_{ds} 〔V〕を示し、縦軸

は、ドレイン電流 I_{ds} [μA] を示す。図 3 (b) では、 $V_{gs} = 0.8 V$ 、 $1.0 V$ 、 $1.2 V$ でのドレイン電流 I_{ds} が示される。

[0050] 「 $V_{gs} > V_{th}$ 」領域のうち「 $V_{ds} > V_{gs} - V_{th}$ 」で示される領域が NMOS トランジスタの飽和領域である。飽和領域におけるドレイン電流 I_{ds} は、式 (3) によって示される。式 (3) において、 C_{ox} は、NMOS トランジスタのゲート容量を示し、 μ_n は、NMOS トランジスタの電子移動度を示す。L は NMOS トランジスタのゲート長を示し、W は NMOS トランジスタのゲート幅を示す。

[0051] 図 3 (a) と図 3 (b) の「飽和領域」とに、式 (3) による標準的な回路パラメータを使用したシミュレーション結果を示す。図 3 (a) に示すように、ゲートソース電圧 V_{gs} が閾値電圧 V_{th} より大きくなると、ドレイン電流 I_{ds} が流れる。そして、図 3 (b) に示すように、飽和領域では、ドレイン電流 I_{ds} がほぼ一定値に飽和する。つまり、飽和領域では、ドレイン電流 I_{ds} は、ドレインソース電圧 V_{ds} に依存しない。NMOS トランジスタにおいて基本的に使用される領域は、飽和領域である。

[0052] [数1]

$$I_{ds} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

… (3)

[0053] 一方、「 $V_{gs} > V_{th}$ 」領域のうち「 $V_{ds} < V_{gs} - V_{th}$ 」で示される領域が NMOS トランジスタの線形領域である。線形領域におけるドレイン電流 I_{ds} は、式 (4) によって示される。図 3 (b) の「線形領域」に、式 (4) による標準的な回路パラメータを使用したシミュレーション結果を示す。図 3 (b) に示すように、「線形領域」では、ドレインソース電圧 V_{ds} に対してドレイン電流 I_{ds} が線形的に変化する。

[0054]

[数2]

$$I_{ds} = \mu_n C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$

… (4)

[0055] すなわち、線形領域においては、 $I_{ds} - V_{ds}$ 特性を線形近似できるため、好ましい例として、NMOSトランジスタをMOS抵抗として利用し易い。具体的には、 $V_{ds} = 0$ での式(4)に基づく接線方程式から、ド레인電流 I_{ds} は、式(5)に示すように線形近似できる。

[0056] [数3]

$$I_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}} V_{ds} = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds}$$

… (5)

[0057] 式(5)から理解できるように、ゲートソース電圧 V_{gs} によりド레인電流 I_{ds} を制御できる。 V_{gs} によってド레인電流 I_{ds} を制御できることは、 V_{gs} によってNMOSトランジスタの抵抗値 R を制御できることと同義である。なぜなら、 $R = V_{ds} / I_{ds}$ だからである。図3(b)の破線で示す直線は、 $V_{gs} = 0.8V, 1.0V, 1.2V$ での式(5)による標準的な回路パラメータを使用したシミュレーション結果を示す。 V_{gs} が小さいほど、破線で示す直線の傾きが小さくなる。つまり、 V_{gs} が小さいほど、抵抗値 R が上昇する。

[0058] そこで、ゲートソース電圧 V_{gs} [V] とド레인電流 I_{ds} [nA] 及び抵抗値 R [MΩ] との関係を図4(a)及び図4(b)に示す。図4(a)及び図4(b)は、式(4)に基づく標準的な回路パラメータを使用したシミュレーション結果を示す。

[0059] 図4 (a) に示すように、一例として、ドレイン電流 I_{ds} は、数100 mVの範囲でのゲートソース電圧 V_{gs} の増加に応じて、線形に増加する。つまり、ドレイン電流 I_{ds} は、数100 mVの範囲でのゲートソース電圧 V_{gs} に比例する。

[0060] MOS抵抗としてのNMOSトランジスタの抵抗値 R は、式(6)のように表せるため、図4 (b) に示すように、抵抗値 R はゲートソース電圧 V_{gs} に反比例する。

[0061] $R = V_{ds} / I_{ds} \quad \dots (6)$

[0062] なお、図3 (a) ~図4 (b) における標準的な回路パラメータによるシミュレーションの条件は、 $\mu_n \cdot C_{ox} = 170.0 \mu A/V^2$ 、 $W = 0.6 \mu m$ 、 $L = 60.0 \mu m$ 、 $\alpha_{th} = -1.7 mV/K$ 、 $\alpha_\mu = -1.5$ 、 $V_{th} = 0.7 V$ 、 $T_0 = 300 K$ 、 $C = 800.0 fF$ 、とした。

[0063] 以上、図3 (a) ~図4 (b) を参照して説明したように、NMOSトランジスタによるMOS抵抗は、「 $V_{gs} > V_{th}$ 」領域のうちの線形領域において線形抵抗として使用でき、例えば、MOS抵抗に流れる電流はゲートソース電圧 V_{gs} に比例するし、MOS抵抗で構成したRCフィルタの遮断周波数 f_c はゲートソース電圧 V_{gs} に比例する。すなわち、MOS抵抗に流れる電流及びRCフィルタの遮断周波数 f_c を V_{gs} により線形的に制御できる。

[0064] 但し、NMOSトランジスタの閾値電圧 V_{th} 及び電子移動度 μ_n には温度依存性がある。温度依存性を考慮した閾値電圧 V_{th} は、式(7)によって示される。ここで、 α_{th} は、閾値電圧 V_{th} の温度係数を示す。 $V_{th_T_0}$ は、温度 T_0 での閾値電圧 V_{th} を示す。つまり、式(7)のように、任意の温度 T_0 で観測値として得られる閾値電圧 $V_{th_T_0}$ を境に、温度の T_0 からの変化に応じて閾値電圧 V_{th} が $V_{th_T_0}$ から変化する。

[0065] [数4]

$$V_{th} = V_{th-T_0} + \alpha_{th}(T - T_0)$$

… (7)

[0066] 温度依存性を考慮した電子移動度 μ_n は、式 (8) によって示される。ここで、 α_μ は、電子移動度 μ_n の温度係数を示す。 μ_{n_T0} は、温度 T_0 での電子移動度 μ_n を示す。つまり、式 (8) のように、任意の温度 T_0 で観測値として得られる電子移動度は μ_{n_T0} を境に、温度の T_0 からの変化に応じて電子移動度 μ_n が μ_{n_T0} から変化する。

[0067] [数5]

$$\mu_n = \mu_{n_T0} \cdot (T/T_0)^{\alpha_\mu}$$

… (8)

[0068] 式 (4)、式 (7)、及び、式 (8) に基づいて、NMOSトランジスタの線形領域において、閾値電圧 V_{th} と電子移動度 μ_n との双方の温度依存性を反映したド레인電流 I_{ds} は、式 (9) によって示される。

[0069] [数6]

$$I_{ds} = \mu_{n_T0} \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th_T0} - \alpha_{th}(T - T_0)) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$

… (9)

[0070] 図5は、一般的なNMOSトランジスタの「 $V_{gs} > V_{th}$ 」領域のうちの線形領域におけるド레인電流 I_{ds} の温度依存性を示すグラフである。横軸は、温度 [K] を示し、縦軸は、ド레인電流 I_{ds} [nA] を示す。図5において、線500は、式 (9) において、 $\alpha_\mu = 0$ として、閾値電圧 V_{th} の温度依存性だけを反映させたときのド레인電流 I_{ds} を示す。線501は、式 (9) において、 $\alpha_{th} = 0$ として、電子移動度 μ_n の温度依存性だけを反映させたときのド레인電流 I_{ds} を示す。線502は、電子移動度 μ_n と閾値電圧 V_{th} との双方の温度依存性を反映させたときの式 (9) によるド레인電流 I_{ds} を示す。

[0071] 式 (7) 及び式 (9) の閾値電圧 V_{th} の温度係数 α_{th} は負の値をとる

ため、図5の線500で示されるように、閾値電圧 V_{th} の温度依存性のみを考慮すると、ドレイン電流 I_{ds} は、温度上昇にともなって線形に増加する。定性的には、温度上昇にともない移動可能な荷電粒子数が増加することにより、閾値電圧 V_{th} が低下するからである。

[0072] また、式(8)及び式(9)の電子移動度 μ_n の温度係数 α_μ は負の値をとるため、図5の線501で示されるように、電子移動度 μ_n の温度依存性のみを考慮すると、ドレイン電流 I_{ds} は、温度上昇にともなって概ね線形に減少する。定性的には、温度が上昇するとシリコン結晶格子の熱振動により荷電粒子の移動が阻害されるためである。

[0073] すなわち、線500及び線501で示されるように、閾値電圧 V_{th} の温度依存性を反映したドレイン電流 I_{ds} 、及び、電子移動度 μ_n の温度依存性反映したドレイン電流 I_{ds} は、線形近似できる。

[0074] 従って、線502で示されるように、閾値電圧 V_{th} の温度依存性と電子移動度 μ_n の温度依存性の双方を反映したドレイン電流 I_{ds} もまた、線形近似できる。

[0075] 具体的には、線502で示されるように、ドレイン電流 I_{ds} は、温度上昇にともなって概ね線形に増加する。この理由は、閾値電圧 V_{th} の温度依存性の方が、電子移動度 μ_n の温度依存性よりも、ドレイン電流 I_{ds} に及ぼす影響が大きいからである。換言すれば、閾値電圧 V_{th} の温度依存性の影響が、電子移動度 μ_n の温度依存性の影響により抑制される。

[0076] 一例として、標準的な閾値電圧 V_{th} の温度係数 α_{th} は、 -1.7 mV/K であるので、50度の温度上昇によって、閾値電圧 V_{th} が85 mV低下する。さらに、閾値電圧 V_{th} の低下幅(85 mV)は、電子移動度 μ_n の温度依存性による抑制効果によって狭くなる(85 mV未満)。

[0077] 一方、図4(a)に示すように、一例として、ゲートソース電圧 V_{gs} を100 mV上昇させたときのドレイン電流 I_{ds} の増加量は、線形近似できる。

[0078] 従って、温度上昇に伴って線形に増加するドレイン電流 I_{ds} (図5の線

502) に応じてゲートソース電圧 V_{gs} を線形に下げて、ド레인電流 I_{ds} を線形に減少させることで、ド레인電流 I_{ds} の温度依存性を抑制できる。その結果、「 $V_{gs} > V_{th}$ 」領域のうちの線形領域において、MOS抵抗としてのNMOSトランジスタの温度依存性を補正できる。

[0079] 以上より、「 $V_{gs} > V_{th}$ 」領域のうちの線形領域において、トランジスタ T_N のゲートソース間に印加する式 (1) に示す制御電圧 V_{gs} のように、基準電圧 V_{gs0} に式 (2) に示す温度 T に応じて線形に変化する補正電圧 V_c を加算することで、MOS抵抗 M_R としてのトランジスタ T_N の温度依存性を補正できることが分かる。

[0080] 同様に、トランジスタ T_N の「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域でも、式 (1) に示す制御電圧 V_{gs} のように、基準電圧 V_{gs0} に式 (2) に示す温度 T に応じて線形に変化する補正電圧 V_c を加算することで、MOS抵抗としてのトランジスタ T_N の温度依存性を補正できる。この点を、図 6 (a) 及び図 6 (b) を参照して説明する。

[0081] 図 6 (a) は、式 (3) による一般的なNMOSトランジスタの「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域におけるゲートソース電圧 V_{gs} に対するド레인電流 I_{ds} を示したグラフである。図 6 (a) に示すように、ド레인電流 I_{ds} は、図 4 (a) の線形領域に比べると、非線形性があるものの 100 mV 程度の範囲においては線形近似可能である。

[0082] 一方、温度依存性を反映したNMOSトランジスタの飽和領域におけるド레인電流 I_{ds} は、式 (3)、式 (7)、及び、式 (8) に基づいて、式 (10) によって示される。

[0083] [数7]

$$I_{ds} = \frac{1}{2} \mu_{n-T_0} \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} \left(V_{gs} - V_{th-T_0} - \alpha_{th}(T - T_0) \right)^2$$

… (10)

[0084] 図 6 (b) は、一般的なNMOSトランジスタの「 $V_{gs} > V_{th}$ 」領域

のうちの飽和領域におけるドレイン電流 I_{ds} の温度依存性を示すグラフである。横軸は、温度 $[K]$ を示し、縦軸は、ドレイン電流 $I_{ds} [nA]$ を示す。図 6 (b) において、線 503 は、式 (10) において、 $\alpha_{\mu} = 0$ として、閾値電圧 V_{th} の温度依存性だけを反映させたときのドレイン電流 I_{ds} を示す。線 504 は、式 (10) において、 $\alpha_{th} = 0$ として、電子移動度 μ_n の温度依存性だけを反映させたときのドレイン電流 I_{ds} を示す。線 505 は、電子移動度 μ_n と閾値電圧 V_{th} との双方の温度依存性を反映させたときの式 (10) によるドレイン電流 I_{ds} を示す。

[0085] 線 505 で示されるように、「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域においても線形領域と同様に、閾値電圧 V_{th} の温度依存性と電子移動度 μ_n の温度依存性の双方を反映したドレイン電流 I_{ds} もまた、線形近似できる。一例として、標準的な閾値電圧 V_{th} の温度係数 α_{th} は、 -1.7 mV/K であり、電子移動度 μ_n の温度依存性による抑制効果があることにより、飽和領域においても線形領域と同様に、50度の温度上昇にともなう閾値電圧 V_{th} の低下幅は、85 mV 未満である。一方、図 6 (a) に示すように、一例として、ゲートソース電圧 V_{gs} を 100 mV 上昇させたときのドレイン電流 I_{ds} の増加量は、線形近似できる。

[0086] 従って、温度上昇に伴って線形に増加するドレイン電流 I_{ds} (図 6 (b) の線 505) に応じてゲートソース電圧 V_{gs} を線形に下げて、ドレイン電流 I_{ds} を線形に減少させることで、ドレイン電流 I_{ds} の温度依存性を抑制できる。その結果、「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域において、MOS 抵抗としての NMOS トランジスタの温度依存性を補正できる。

[0087] 以上より、「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域においても、トランジスタ T_N のゲートソース間に印加する式 (1) に示す制御電圧 V_{gs} のように、基準電圧 V_{gs0} に式 (2) に示す温度 T に応じて線形に変化する補正電圧 V_c を加算することで、MOS 抵抗 M_R としてのトランジスタ T_N の温度依存性を補正できることが分かる。

[0088] なお、図 5 ~ 図 6 (b) における標準的な回路パラメータによるシミュレ

ーションの条件は、 $\mu_{n_T0} \cdot C_{ox} = 170.0 \mu A/V^2$ 、 $W = 0.6 \mu m$ 、 $L = 60.0 \mu m$ 、 $\alpha_{th} = -1.7 mV/K$ 、 $\alpha_{\mu} = -1.5$ 、 $V_{th_T0} = 0.7 V$ 、 $T0 = 300 K$ 、 $C = 800.0 fF$ 、とした。

[0089] 以上、図3(a)～図6(b)を参照して説明したように、線形領域、及び、飽和領域に関わらず、ゲートソース電圧 V_{gs} が閾値電圧 V_{th} より大きい「 $V_{gs} > V_{th}$ 」領域において、トランジスタ T_N のゲートソース間に印加する式(1)に示す制御電圧 V_{gs} のように、基準電圧 V_{gs0} に式(2)に示す温度 T に応じて線形に変化する補正電圧 V_c を加算することで、MOS抵抗 M_R としてのトランジスタ T_N の温度依存性を補正できる。

[0090] 式(1)及び式(2)に基づく手法に従って、トランジスタ T_N で構成されるMOS抵抗 M_R の温度依存性を補正する回路の一例が、図1の電圧印加回路1である。再び図1を参照して、電圧印加回路1の詳細を説明する。電圧印加回路1は、トランジスタ T_N のゲート端子とソース端子との間に配置される。ソース端子の電位（以下、「ソース電位 V_s 」と記載する場合がある）は、任意の値を取り得る。具体的には、トランジスタ T_N のドレイン端子及びソース端子の2端子は、MOS抵抗 M_R の両端の2端子として使用されるため、アース又はグラウンド（0[V]）とは電氣的に独立した状態（例えば浮いた状態）で使用される。その結果、ソース電位 V_s は、任意の値を取り得る。

[0091] 電圧印加回路1は、制御電圧印加部9と、温度検出部13とを含む。温度検出部13は、温度 T を検出して、温度 T に応じた検出信号 T_M を制御電圧印加部9に出力する。温度検出部13が、温度 T を検出して、温度 T を示す物理量（例えば、電流又は電圧）を表す検出信号 T_M 、又は、温度 T に相関のある物理量（例えば、電流又は電圧）を表す検出信号 T_M を出力できる限りは、温度検出部13の構成は、特に限定されない。例えば、温度検出部13は、サーミスタのような温度センサーを含んでいてもよい。例えば、温度検出部13は、電界効果トランジスタ又はバイポーラトランジスタを含んで

いて、電界効果トランジスタ又はバイポーラトランジスタの温度依存特性を利用してよい。例えば、温度検出部 13 は、P T A T (P r o p o r t i o n a l T o A b s o l u t e T e m p e r a t u r e) 回路を含んでいてもよい。P T A T 回路は、絶対温度に比例する電流を検出信号 T M として出力する。例えば、温度検出部 13 は、温度 T を検出して、検出信号 T M を出力する温度検出回路によって構成される。

[0092] 制御電圧印加部 9 は、温度 T を示す検出信号 T M に応じた制御電圧 V g s をトランジスタ T N のゲートソース間に印加する。具体的には、制御電圧印加部 9 は、検出信号 T M に応じて温度 T に対して線形に変化する補正電圧 V c を制御電圧 V g s が含むように、制御電圧 V g s を生成する。そして、制御電圧印加部 9 は、制御電圧 V g s をトランジスタ T N のゲートソース間に印加する。従って、実施形態 1 によれば、温度 T を示す検出信号 T M に応じて適切に、トランジスタ T N の抵抗値 R の温度依存性を低減できる。

[0093] 具体的には、制御電圧印加部 9 は、制御電圧生成部 10 と、電圧制御電圧源 19 とを含む。さらに、制御電圧生成部 10 は、基準電圧生成部 11 と、補正電圧生成部 15 と、加算部 17 とを含む。基準電圧生成部 11 は、式 (1) における基準電圧 V g s 0 を生成して、基準電圧 V g s 0 を加算部 17 に出力する。補正電圧生成部 15 は、温度 T に対して線形に変化する補正電圧 V c を温度の検出信号 T M に基づいて生成して、補正電圧 V c を加算部 17 に出力する。加算部 17 は、基準電圧 V g s 0 と補正電圧 V c とを加算し、加算結果である制御電圧 V g s a を生成する。このようにして、制御電圧生成部 10 は制御電圧 V g s a を生成する。制御電圧 V g s a を「基準制御電圧 V g s a」と記載してもよい。制御電圧 V g s a は、式 (11) によって示される。

[0094]
$$V g s a = V g s 0 + V c \quad \dots (11)$$

[0095] 式 (1) 及び式 (11) から明らかなように、制御電圧 V g s a と制御電圧 V g s とは、同じ電圧成分 (基準電圧 V g s 0 及び補正電圧 V c) 及び同じ電圧値を有している。式 (11) においても、補正電圧 V c は式 (2) に

よって示される。式（２）に示す補正電圧 V_c は、図２に示すように、温度 T に上昇に従い、線形に減少する。すなわち、トランジスタ T_N の場合、補正係数 β は負の値をとる。そして、補正係数 β を変更することで、温度 T に応じて制御電圧 V_{gsa} を下げる割合を調整することができる。

[0096] ここで、制御電圧 V_{gsa} は、具体的には、 $0[V]$ を基準とする電圧（つまり、 $0[V]$ を基準とする電位差）である。一方、トランジスタ T_N のソース電位 V_s は、任意の値を取り得る。したがって、制御電圧 V_{gsa} をゲートーソース間に直接印加すると、トランジスタ T_N のソース電位 V_s がアース又はグラウンド（ $0[V]$ ）から独立に任意の値をとる場合に、「 $V_{gsa} - V_s$ 」がトランジスタ T_N のゲートーソース間の電圧になる。その結果、ソース電位 V_s に応じて、トランジスタ T_N の抵抗値 R が変化し得る。そこで、実施形態１では、制御電圧 V_{gsa} が間接的にトランジスタ T_N のゲートーソース間に印加される。この場合の好ましい例として、実施形態１では、制御電圧印加部９が電圧制御電圧源１９を有している。ただし、例えば、トランジスタ T_N のソース電位 V_s が一定値をとる場合、及び／又は、ソース電位 V_s の変動に伴う抵抗値 R の変化が許容できる場合は、トランジスタ T_N のゲートーソース間に、制御電圧 V_{gsa} を直接印加してもよい。

[0097] 電圧制御電圧源１９は、トランジスタ T_N のゲート端子とソース端子との間に接続される。電圧制御電圧源１９は、入力のための２端子と、出力のための２端子とを有する。そして、電圧制御電圧源１９は、入力の２端子間の電位差に応じて、出力の２端子間の電位差が決まる電圧源である。電圧制御電圧源１９には、制御電圧生成部１０から、 $0[V]$ を基準とする制御電圧 V_{gsa} と、基準となる電圧 $0[V]$ が入力されることで、制御電圧 V_{gsa} が電位差として入力される。そして、電圧制御電圧源１９の出力の２端子をそれぞれトランジスタ T_N のゲート端子及びソース端子に接続することで、トランジスタ T_N のゲートーソース間に制御電圧 V_{gsa} と同じ電圧値を有する制御電圧 V_{gs} が印加される。このとき、ソース電位 V_s が変動して

も、電圧制御電圧源 19 の出力の 2 端子間の電位差、つまり、制御電圧 V_{gs} は変動しない。

[0098] また、電圧制御電圧源 19 には、制御電圧 V_{gsa} が電位差として入力されればよいので、基準となる電圧 0 [V] を任意の値にしてもよい。この場合、基準となる電圧を V_{ref} とすると、制御電圧生成部 10 からの出力電圧を「 $V_{gsa} + V_{ref}$ 」とすれば、電圧制御電圧源 19 に入力される電位差は、「 $V_{gsa} + V_{ref} - V_{ref}$ 」により V_{gsa} となる。

[0099] 以上より、図 1 の電圧印加回路 1 が式 (1) に示される任意の制御電圧 V_{gs} をトランジスタ T_N のゲートソース間に印加することができる。具体的には、トランジスタ T_N で構成される MOS 抵抗 M_R のドレイン電流 I_{ds} が温度 T の上昇に伴って略線形に増加することに対して（図 5 の線 502、図 6 (b) の線 505）、電圧印加回路 1 において補正電圧 V_c （図 2）の補正係数 β を適切に設定することで、電圧印加回路 1 は、温度 T に応じて制御電圧 V_{gs} を線形に下げて、ドレイン電流 I_{ds} を線形に減少させる。その結果、ドレイン電流 I_{ds} の温度依存性を抑制できる。ドレイン電流 I_{ds} の温度依存性を抑制できると、トランジスタ T_N に関する物理量の温度依存性を抑制できる。

[0100] 具体的な回路について、まず電圧制御電圧源 19 の一例を図 7 (a) 及び図 7 (b) を参照して、説明する。図 7 (a) は、電圧制御電圧源 19 の第 1 例を示す回路図である。図 7 (a) に示すように、第 1 例に係る電圧制御電圧源 19 は、第 1 スイッチ回路 191 と、第 2 スイッチ回路 192 と、キャパシタ 193 とを含む。

[0101] 第 1 スイッチ回路 191 は、端子 t_1 ～端子 t_3 を含む。端子 t_1 は制御電圧生成部 10 に接続される。端子 t_2 はトランジスタ T_N のゲート端子に接続される。端子 t_3 は、キャパシタ 193 の一方端子に接続される。

[0102] 第 2 スイッチ回路 192 は、端子 t_4 ～端子 t_6 を含む。端子 t_4 は制御電圧生成部 10 に接続される。端子 t_5 はトランジスタ T_N のソース端子に接続される。端子 t_6 は、キャパシタ 193 の他方端子に接続される。

- [0103] 制御電圧生成部 10 が制御電圧 V_{gsa} を生成する。第 1 スイッチ回路 191 は端子 t3 と端子 t1 とを接続する。加えて、第 2 スイッチ回路 192 は端子 t6 と端子 t4 とを接続する。その結果、キャパシタ 193 は制御電圧 V_{gsa} を保持する。その後、第 1 スイッチ回路 191 は端子 t3 と端子 t2 とを接続する。加えて、第 2 スイッチ回路 192 は端子 t6 と端子 t5 とを接続する。その結果、キャパシタ 193 に保持された制御電圧 V_{gsa} が制御電圧 V_{gs} として、トランジスタ TN のゲートーソース間に印加される。
- [0104] 図 7 (b) は、電圧制御電圧源 19 の第 2 例を示す回路図である。図 7 (b) に示すように、第 2 例に係る電圧制御電圧源 19 は、第 1 例に係る電圧制御電圧源 19 の構成に加えて、オペアンプ 194 をさらに含む。以下、第 2 例が第 1 例と異なる点を主に説明する。
- [0105] 第 2 例では、オペアンプ 194 の出力端子がノード N に接続される。ノード N は、端子 t2 とトランジスタ TN のゲート端子とを接続するラインに位置する。オペアンプ 194 の反転入力端子が端子 t5 に接続される。オペアンプ 194 の非反転入力端子がトランジスタ TN のソース端子に接続される。オペアンプ 194 が図 7 (b) のように帰還回路を形成している場合、非反転入力端子と反転入力端子の電位はほぼ等しくなる（仮想短絡）。従って、反転入力端子の電位はトランジスタ TN のソース電位 V_s と等しくなる。その結果、キャパシタ 193 に制御電圧 V_{gsa} が保持されて、キャパシタ 193 がオペアンプ 194 に接続されると、オペアンプ 194 の出力端子であるノード N の電位は「 $V_{gsa} + V_s$ 」となる。よって、トランジスタ TN のゲートーソース電圧 V_{gs} は制御電圧 V_{gsa} とほぼ等しくなる。
- [0106] すなわち、第 2 例に係る電圧制御電圧源 19 の動作は、第 1 例に係る電圧制御電圧源 19 の動作と同様である。特に、第 2 例では、トランジスタ TN のソース端子がオペアンプ 194 の非反転入力端子に接続されるため、第 1 例と比較して、トランジスタ TN のゲート端子及びソース端子の容量負荷の影響を低減できる。

- [0107] なお、電圧制御電圧源 19 が電氣的に浮いている任意の 2 端子間に挿入可能な限りにおいては、電圧制御電圧源 19 の構成は特に限定されない。
- [0108] 制御電圧生成部 10 の構成については、式 (11) によって表される制御電圧 V_{gsa} を生成できる限りは、特に限定されず、任意の制御電圧生成回路によって構成できる。
- [0109] なお、図 1 では、制御電圧生成部 10 の物理的又は論理的構成が示される。従って、図 1 が制御電圧生成部 10 の物理的構成を表す場合には、例えば、基準電圧生成部 11 は、基準電圧 V_{gs0} を生成する基準電圧生成回路によって構成され、補正電圧生成部 15 は、温度検出部 13 の検出信号 T_M に基づいて補正電圧 V_c を生成する補正電圧生成回路によって構成され、加算部 17 は、基準電圧 V_{gs0} に補正電圧 V_c を加算する加算回路によって構成される。
- [0110] また、図 1 が制御電圧生成部 10 の論理的構成を表す場合には、例えば、基準電圧生成部 11 と補正電圧生成部 15 と加算部 17 とが物理的構成として明確に区別されていない場合であっても、制御電圧生成部 10 が式 (11) で示される制御電圧 V_{gsa} を生成する限りは、制御電圧生成部 10 を構成する回路は特に限定されない。
- [0111] さらに、温度検出部 13 及び補正電圧生成部 15 の構成についても、図 1 では、温度検出部 13 及び補正電圧生成部 15 の物理的又は論理的構成が示されている。従って、温度検出部 13 及び補正電圧生成部 15 が論理的構成を表す場合には、例えば、温度検出部 13 と補正電圧生成部 15 とが物理的構成として明確に区別されていない場合であっても、式 (2) によって表される補正電圧 V_c を生成できる限りは、特に限定されず、任意の温度検出回路及び補正電圧生成回路によって構成できる。
- [0112] 温度検出部 13 及び補正電圧生成部 15 の一例を、図 8 を参照して説明する。図 8 は、温度検出部 13 及び補正電圧生成部 15 の一例を示す回路図である。温度検出部 13 及び補正電圧生成部 15 は、第 1 電流源回路 131、第 2 電流源回路 133、及び可変抵抗 R_o を含む。第 1 電流源回路 131 と

第2電流源回路133とは、第1電源ラインPL1と第2電源ラインPL2との間に直列に接続される。第1電流源回路131と第2電流源回路133との間のノードNcに可変抵抗R_oの一方端子が接続される。可変抵抗R_oの他方端子は接地される。この場合、第1電源ラインPL1の電位は正の値をとり、例えば、第1電源ラインPL1は、正電源電圧を供給する正電源に接続される。一方、第2電源ラインPL2の電位は負の値をとり、例えば、第2電源ラインPL2は、負電源電圧を供給する負電源に接続される。

[0113] 第1電流源回路131は第1電流I_pを生成する。第2電流源回路133は第2電流I_mを生成する。可変抵抗R_oには差分電流I_oが流れる。差分電流I_oは第1電流I_pと第2電流I_mとの差分を示す電流である。具体的には、差分電流I_oは、第1電流I_pから第2電流I_mを差し引いた電流である ($I_o = I_p - I_m$)。差分電流I_oが可変抵抗R_oに流れることで、可変抵抗R_oの両端間に電位差V_cが発生する。電位差V_cは、抵抗値R_oに電流値I_oを乗じた値である ($V_c = R_o \times I_o$)。

[0114] 図8の回路では、温度検出部13と補正電圧生成部15とを明確に区別していないが、温度検出に第1電流源回路131と第2電流源回路133との温度依存性を用いる。第1電流I_p及び第2電流I_mの温度依存性を示すグラフを図9(a)に示す。横軸は温度T[K]、縦軸は各電流源回路の電流値I[A]である。図9(a)に示すように、第1電流I_p及び第2電流I_mの各々は、温度Tの変化に対して線形に変化する。そして、第1電流I_pの温度依存性と第2電流I_mの温度依存性とは異なっている。つまり、温度検出部13の第1電流源回路131の温度依存性と第2電流源回路133の温度依存性とは異なっている。

[0115] 図9(a)の例では、第1電流I_pの温度依存性は第2電流I_mの温度依存性よりも低い。つまり、第1電流源回路131の温度依存性は、第2電流源回路133の温度依存性よりも低い。このとき、可変抵抗R_oに流れる差分電流I_o ($= I_p - I_m$) の温度依存性を図9(b)に示す。横軸は温度T[K]、縦軸は差分電流値I_o[A]である。図9(b)に示すように、

差分電流 I_o は、負の温度特性を有する。つまり、差分電流 I_o を表す直線の傾き A は負の値を有する。また、図 9 (a) において、第 1 電流 I_p と第 2 電流 I_m とが一致するときの温度 T が第 1 温度 T_1 である。第 1 温度 T_1 のとき、差分電流 I_o は図 9 (b) に示すようにゼロになる。従って、差分電流 I_o は、式 (12) によって表される。ここで、直列に接続された第 1 電流源回路 131 及び第 2 電流源回路 133 が、図 1 における温度検出部 13 を構成すると考えてもよい。また、差分電流 I_o を、図 1 における温度検出部 13 の検出信号 T_M と考えてもよい。

$$[0116] \quad I_o = A \times (T - T_1) \quad \dots (12)$$

[0117] 差分電流 I_o が可変抵抗 R_o に入力されたときの補正電圧 V_c は、式 (13) によって表される。補正電圧 V_c の温度依存性を示すグラフを図 9 (c) に示す。横軸は温度 T [K]、縦軸は補正電圧 V_c [V] である。差分電流 I_o が負の温度特性を有するため、図 9 (c) に示すように、補正電圧 V_c も負の温度特性を有する。すなわち、図 2 に示す補正電圧 V_c の温度依存性のグラフと一致する。また、温度が第 1 温度 T_1 のとき、補正電圧 V_c は図 9 (c) に示すようにゼロになる。ここで、補正係数 β は、式 (13) に示すように「 $R_o \times A$ 」であり、式 (12) の傾き A と同様に負の値をとる。そして、補正係数 β を変更したい場合は、可変抵抗 R_o を変更すればよいことが分かる。可変抵抗 R_o を、図 1 における補正電圧生成部 15 と考えてもよい。また、式 (13) から明らかなように、補正電圧 V_c は、差分電流 I_o に基づく値を有する。

$$[0118] \quad V_c = R_o \times I_o = R_o \times A \times (T - T_1) = \beta (T - T_1) \quad \dots (13)$$

[0119] ここで、差分電流 I_o 及び補正電圧 V_c がゼロになる第 1 温度 T_1 は以下の方法により変更可能である。図 8 及び図 10 (a) ~ 図 10 (c) を参照して、式 (2)、式 (12) 及び式 (13) に示す第 1 温度 T_1 の変更方法を説明する。

[0120] 第 1 電流 I_p の電流値を変更したときの第 1 電流 I_p 及び第 2 電流 I_m の

温度依存性を示すグラフを図10(a)に示す。図10(a)に示すように、第1電流 I_p と第2電流 I_m とが等しくなる温度が第1温度 T_1 である。従って、第1電流 I_p の電流値が増加すると、第1温度 T_1 も増加する。すなわち、第1電流源回路131が第1電流 I_p の電流値を変更することで、第1温度 T_1 を変更することができる。

[0121] 第2電流源回路133が第2電流 I_m の電流値を変更することでも、第1温度 T_1 を変更することができる。図10(b)に、第2電流 I_m の電流値を変更したときの第1電流 I_p 及び第2電流 I_m の温度依存性を示すグラフを示す。ただし、図10(b)に示すように、第2電流 I_m の電流値が増加すると、第1温度 T_1 は減少する。

[0122] 第1電流 I_p 及び／又は第2電流 I_m の電流値を変更すると、差分電流 I_o の温度依存性も電流値に応じて変化する。図10(c)に、差分電流 I_o の電流値が変更されたときの差分電流 I_o の温度依存性を示すグラフを示す。図10(c)に示すように、第1電流 I_p 及び／又は第2電流 I_m の電流値の変更に伴い、差分電流 I_o の電流値が増加すると、差分電流 I_o がゼロになる温度 T である第1温度 T_1 も増加する。また、差分電流 I_o がゼロのとき、補正電圧 V_c もゼロになる。

[0123] すなわち、実施形態1における図8の回路例においては、第1電流源回路131及び第2電流源回路133を設けて、第1電流 I_p 及び／又は第2電流 I_m を変更し、差分電流 I_o を変更することで、補正電圧 V_c がゼロになるときの温度 T である第1温度 T_1 を容易に変更できる。

[0124] なお、第2電源ライン PL_2 が接地されていてもよい。この場合、可変抵抗 R_o の一方端子がノード N_c に接続され、可変抵抗 R_o の他方端子が、参照電圧 V_{ref} ($0 < V_{ref} < PL_1$ 電位) を生成する参照電圧源に接続される。このとき、補正電圧生成部15の出力電圧は、「 $\beta(T - T_1) + V_{ref}$ 」になる。そこで、基準電圧生成部11の出力電圧を「 $V_{gs0} - V_{ref}$ 」に設定することで、式(11)と変わらず、 $V_{gsa} = V_{gs0} + \beta(T - T_1)$ となる。

[0125] また、図9（a）及び図10の例では、第1電流 I_p 及び第2電流 I_m を表す直線の傾きは両者とも正の値であるが、必ずしも正の値である必要はない。実施形態1において、トランジスタ T_N の温度依存性を補正するために補正電圧 V_c の補正係数 β が負となるためには、第2電流 I_m の傾きが第1電流 I_p の傾きに比べて大きければよく、傾きの符号の正負は関係ない。

[0126] 以上、図1に示す実施形態1に係る抵抗デバイス100の構成により、トランジスタ T_N の温度依存性を補正電圧 V_c の補正係数 β を適切に設定することで補正可能であることを説明した。この構成に従い、式（9）に式（1）及び式（2）を代入することで、「 $V_{gs} > V_{th}$ 」領域のうちの線形領域（ $V_{ds} < V_{gs} - V_{th}$ ）において、トランジスタ T_N のドレイン電流 I_{ds} は、補正係数 β を反映した式（14）によって表される。

[0127] [数8]

$$I_{ds} = \mu_{n-T_0} \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} \left[\left(V_{gs0} + \beta(T - T_1) - V_{th-T_0} - \alpha_{th}(T - T_0) \right) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \quad \dots (14)$$

[0128] また、式（10）に式（1）及び式（2）を代入することで、「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域（ $V_{ds} > V_{gs} - V_{th}$ ）において、トランジスタ T_N のドレイン電流 I_{ds} は、補正係数 β を反映した式（15）によって表される。

[0129] [数9]

$$I_{ds} = \frac{1}{2} \mu_{n-T_0} \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} \left(V_{gs0} + \beta(T - T_1) - V_{th-T_0} - \alpha_{th}(T - T_0) \right)^2 \quad \dots (15)$$

[0130] 式（14）及び式（15）には、温度 T に対して線形に変化する補正要素、つまり、補正電圧 V_c （ $= \beta(T - T_1)$ ）が含まれている。また、「 $V_{gs} > V_{th}$ 」領域のうちの線形領域及び飽和領域のいずれにおいても、トランジスタ T_N の抵抗値 R は、式（16）によって示される。

[0131] $R = V_{ds} / I_{ds} \quad \dots (16)$

[0132] 補正係数 β を適切に設定することで、トランジスタ T_N のドレイン電流 I_{ds} の温度依存性がなくなる。換言すれば、補正係数 β を適切に設定することで、ドレイン電流 I_{ds} に基づく抵抗値 R （式（16））の温度依存性がなくなる。図11（a）を参照して、補正電圧 V_c を定める補正係数 β の決定方法の一例を説明する。この例では、トランジスタ T_N の飽和領域に着目する。

[0133] 図11（a）は、複数の異なる温度において、補正係数 β とトランジスタ T_N の抵抗値 R との関係を示すグラフである。横軸は補正係数 β を示し、縦軸は抵抗値 R [$M\Omega$]を示す。

[0134] 図11（a）に示すように、「 $V_{gs} > V_{th}$ 」領域のうちの飽和領域における式（15）及び式（16）に基づいて抵抗値 R をシミュレーションして、 $R-\beta$ 曲線 $G10 \sim G16$ が得られた。標準的な回路パラメータによるシミュレーションの条件は、 $\mu_n \cdot C_{ox} = 170.0 \mu A/V^2$ 、 $W = 0.6 \mu m$ 、 $L = 60.0 \mu m$ 、 $\alpha_{th} = -1.7 mV/K$ 、 $\alpha_\mu = -1.5$ 、 $V_{th_T0} = 0.7 V$ 、 $T_0 = 300 K$ 、 $T_1 = 320 K$ 、である。また、基準電圧 V_{gs0} は、 $0.9 V$ であり、ドレインソース電圧 V_{ds} は、 $1.8 V$ である。

[0135] $R-\beta$ 曲線 $G10$ 、 $G11$ 、 $G12$ 、 $G13$ 、 $G14$ 、 $G15$ 、 $G16$ は、それぞれ、 $T = 330 K$ 、 $320 K$ 、 $310 K$ 、 $300 K$ 、 $290 K$ 、 $280 K$ 、 $270 K$ での抵抗値 R と補正係数 β との関係を示す。

[0136] $R-\beta$ 曲線 $G10 \sim G16$ の勾配は、温度 T に依存して互いに異なっている。そして、 $R-\beta$ 曲線 $G10 \sim G16$ は、ほぼ一点 P で交差している。図11（a）から理解できるように、交点 P においては、トランジスタ T_N の抵抗値 R が、ほぼ温度 T に依存しない。

[0137] 交点 P でのトランジスタ T_N の抵抗値 R を「 R_p 」、補正係数 β を「 $\beta(R_p)$ 」とし、式（2）において補正係数を $\beta(R_p)$ と設定することで、補正係数 $\beta(R_p)$ を含む補正電圧 V_c によってトランジスタ T_N の温度依存性を相殺できる。その結果、トランジスタ T_N の抵抗値 R の温度依存性を

低減できる。換言すれば、温度 T の変動に対しトランジスタ T_N の抵抗値 R を略一定に維持できる。以下、抵抗値 R がほぼ温度に依存しないことを、「温度に依存しない」又は「温度依存性のない」と記載する場合がある。

[0138] 補正係数 β (R_p) を取得するためには、少なくとも 2 つの $R - \beta$ 曲線を算出すればよい。なお、式 (15) 及び式 (16) から理解できるように、基準電圧 V_{gs0} が変わると、 $R - \beta$ 曲線も変わる。従って、基準電圧 V_{gs0} が変わると、交点 P の位置が変わる。その結果、基準電圧 V_{gs0} が変わると、補正係数 β (R_p) も変わる。

[0139] ここで、好ましくは、2 以上の温度 T において、補正係数 β を変えながら図 1 に示す抵抗デバイス 100 のトランジスタ T_N の抵抗値 R を実測して、2 以上の $R - \beta$ 曲線を求める。そして、2 以上の $R - \beta$ 曲線の交点 P での補正係数 β (R_p) を取得する。さらに、補正係数 β (R_p) を抵抗デバイス 100 の補正電圧生成部 15 の補正係数 β に設定する。特に、 $R - \beta$ 曲線を実測するため、実際に使用するトランジスタ T_N に適合した補正係数 β (R_p) を決定できる。その結果、トランジスタ T_N の抵抗値 R の温度依存性を更に低減できる。

[0140] なお、温度 T は、抵抗デバイス 100 の周囲温度を示すため、例えば、恒温槽に抵抗デバイス 100 を配置して、恒温槽によって温度 T を設定する。

[0141] 以上、図 11 (a) を参照して説明したように、実施形態 1 では、 $R - \beta$ 曲線 $G10 \sim G16$ の交点に基づいて、抵抗値 R が温度 T に依存しないときの補正係数 β (R_p) を取得できる。

[0142] 次に、補正係数 β の決定方法の更に好ましい例を、図 12 (a) 及び図 12 (b) を参照して説明する。図 12 (a) は、任意の異なる 2 つの温度 T_{11} 及び温度 T_{12} における、補正係数 β に対するトランジスタ T_N の抵抗値 R を示す $R - \beta$ 曲線 $G21$ 及び $G22$ を、各々示したグラフである。横軸は補正係数 β を示し、縦軸は抵抗値 R を示す。

[0143] まず、温度 T_{11} 及び温度 T_{12} の各々において、補正係数 β を変えながら、抵抗デバイス 100 のトランジスタ T_N の抵抗値 R を計測して、2 つの

$R - \beta$ 曲線 $G 2 1$ 、 $G 2 2$ を求める。そして、2つの $R - \beta$ 曲線 $G 2 1$ 、 $G 2 2$ の交点 P から補正係数 $\beta (R_r)$ を取得する。補正係数 β が補正係数 $\beta (R_r)$ であるときの抵抗値 R は、温度依存性のない抵抗値 R_r である。従って、補正係数 $\beta (R_r)$ を抵抗デバイス 100 の補正電圧生成部 15 の補正係数 β に設定すると、補正電圧 V_c によって、トランジスタ T_N の抵抗値 R の温度依存性を効果的に低減できる。その結果、トランジスタ T_N の抵抗値 R を抵抗値 R_r に維持できる。

[0144] ただし、交点 P における温度依存性のない抵抗値 R_r と、所望の抵抗値 R_d (以下、「目標抵抗値 R_d 」と記載する場合がある) とは基本的に一致しない。なぜなら、図 12 (a) のように、任意の温度 T_{11} 及び T_{12} におけるトランジスタ T_N の抵抗値 R は補正係数 β に応じて変動するため、各々の温度で $R - \beta$ 曲線を求める時点では、交点 P の抵抗値 R_r がどのような値になるかは分からない。

[0145] この場合に、抵抗値 R_r を目標抵抗値 R_d に一致させるためには、基準電圧 V_{gs0} を変更しながら、2つの異なる温度において補正係数 β に対する抵抗値 R を計測して、基準電圧 V_{gs0} に対する $R - \beta$ 曲線の交点を求めることを、交点の抵抗値 R_r と目標抵抗値 R_d とが一致するまで何度も繰り返し、探索することが要求される。

[0146] そこで、より効率良く、目標抵抗値 R_d に対応する補正係数 $\beta (R_d)$ を決定するために、図 11 (a) にける温度 T が 320 K であるときの $R - \beta$ 曲線 $G 1 1$ に着目する。図 11 (a) の例では、トランジスタ T_N の抵抗値 R は、温度 T が 320 K のとき、 $R - \beta$ 曲線 $G 1 1$ に示すように、補正係数 β に依存することなく、略一定の R_p となる。

[0147] 従って、温度 T が 320 K であるときは、補正係数 β を含む補正電圧 V_c による補正効果がない。換言すれば、温度 T が 320 K であるときは、補正電圧 V_c がゼロである。更に換言すれば、320 K の温度 T は、補正電圧 V_c がゼロになるときの温度である。従って、式 (2) において、320 K の温度 T は第 1 温度 T_1 に相当する。

[0148] 図 1 2 (b) は、第 1 温度 T_1 における補正係数 β に対するトランジスタ T_N の抵抗値 R を示す $R - \beta$ 曲線 G_{31} 、及び、第 2 温度 T_2 における補正係数 β に対するトランジスタ T_N の抵抗値 R を示す $R - \beta$ 曲線 G_{32} との関係を示したグラフである。横軸は補正係数 β を示し、縦軸は抵抗値 R を示す。第 2 温度 T_2 は第 1 温度 T_1 と異なる。

[0149] 図 1 2 (b) に示すように、 $R - \beta$ 曲線 G_{31} は、第 1 温度 T_1 でのトランジスタ T_N の抵抗値 R を示す。第 1 温度 T_1 は、補正係数 β の変化に対して、トランジスタ T_N に関する物理量が略一定であるときの温度を示す。図 1 2 (b) の例では、第 1 温度 T_1 は、補正係数 β の変化に対して、トランジスタ T_N の抵抗値 R が略一定であるときの温度を示す。つまり、第 1 温度 T_1 は、補正電圧 V_c がゼロになるときの温度である。第 1 温度 T_1 では、抵抗値 R は、温度依存性のない抵抗値 R_r である。

[0150] そこで、補正電圧 V_c がゼロになるときの温度である第 1 温度 T_1 において、基準電圧 V_{gs0} を変えながら抵抗デバイス 100 の抵抗値 R を実測して、抵抗値 R が目標抵抗値 R_d になるときの基準電圧 $V_{gs0} (R_d)$ を求める。

[0151] その後、抵抗デバイス 100 において、基準電圧 V_{gs0} を基準電圧 $V_{gs0} (R_d)$ に設定し、かつ、温度 T を第 1 温度 T_1 と異なる第 2 温度 T_2 に設定して、補正係数 β を変えながら抵抗値 R を実測することで、 $R - \beta$ 曲線 G_{32} を求める。 $R - \beta$ 曲線 G_{32} は、第 2 温度 T_2 でのトランジスタ T_N の抵抗値 R を示す。

[0152] そして、第 1 温度 T_1 での $R - \beta$ 曲線 G_{31} と第 2 温度 T_2 での $R - \beta$ 曲線 G_{32} との交点 P における補正係数 $\beta (R_r)$ を取得する。補正係数 $\beta (R_r)$ に対応する温度依存性のない抵抗値 R_r は、必ず、目標抵抗値 R_d に一致する。このとき、交点 P における補正係数 $\beta (R_r)$ も目標抵抗値 R_d に対する補正係数 $\beta (R_d)$ と一致する。従って、実施形態 1 によれば、補正係数 $\beta (R_d)$ を抵抗デバイス 100 の補正電圧生成部 15 の補正係数 β に設定すると、補正電圧 V_c によって、トランジスタ T_N の抵抗値 R の温度

依存性が効果的に低減されて、トランジスタ T_N の抵抗値 R を目標抵抗値 R_d に維持できる。

[0153] 特に、図 11 (a) を参照して説明したように、非線形性の影響により、複数の $R - \beta$ 曲線 $G_{10} \sim G_{16}$ は厳密に一点で交差するわけではない。そこで、第 2 温度 T_2 を、トランジスタ T_N を実際に使用する温度近傍の値に設定して、補正係数 $\beta(R_d)$ を取得することが好ましい。例えば、生体情報を検出する電子機器のようにトランジスタ T_N を体温近傍で使用する場合には、第 2 温度 T_2 を、人間の体温近傍の値である 310 K に設定し、第 1 温度 T_1 を、第 2 温度 T_2 の近傍の値である 320 K に設定する。

[0154] なお、例えば、図 11 (a) において、第 1 温度 T_1 である 320 K に対応する $R - \beta$ 曲線 G_{11} と、第 2 温度 T_2 である 310 K に対応する $R - \beta$ 曲線 G_{12} との交点においては、補正係数 $\beta(R_p)$ は、 -0.00115 、である。そして、式 (15) において、補正係数 $\beta(R_p)$ を -0.00115 に設定して、式 (15) 及び式 (16) から、トランジスタ T_N の抵抗値 R を算出した。

[0155] 図 11 (b) は、トランジスタ T_N の抵抗値 R の温度依存性に対する温度補正の効果を示すグラフである。曲線 506 は温度補正を実施しない場合を示し、曲線 507 は温度補正を実施した場合を示している。横軸は温度 T [K] を示し、縦軸は抵抗値 R [M Ω] を示す。温度補正を実施しない場合については、式 (15) の補正係数 β をゼロにして、式 (16) より抵抗値 R を算出し、曲線 506 をプロットした。曲線 506 から明らかなように、補正を実行しない場合は、抵抗値 R の温度依存性が強い。

[0156] 一方、温度補正を実施する場合については、式 (15) の補正係数 β を、図 11 (a) から求めた補正係数 $\beta(R_p)$ の -0.00115 に設定して、式 (16) より抵抗値 R を算出し、曲線 507 をプロットした。曲線 507 から明らかなように、抵抗値 R は、略一定であり、値 R_p を示している。つまり、補正係数 $\beta(R_p)$ に基づく補正によって、トランジスタ T_N の抵抗値 R の温度依存性が強く抑制できている。

[0157] 以上、実施形態 1 によれば、温度依存性のない目標抵抗値 R_d と補正係数 $\beta(R_d)$ との組み合わせを求める方法において、図 12 (a) を参照して説明した、基準電圧 V_{gs0} を変更しながら、任意の 2 つの異なる温度における $R-\beta$ 曲線の交点を繰り返し求めて探索する場合と比較して、図 12 (b) を参照して説明した、補正係数 β に依存しない第 1 温度 T_1 での $R-\beta$ 曲線と、第 1 温度 T_1 と異なる第 2 温度 T_2 での $R-\beta$ 曲線との交点 P により一意に決まる場合の方が、当該組み合わせを高速に決定できる。特に、図 12 (b) を参照して説明した、温度依存性のない目標抵抗値 R_d と補正係数 $\beta(R_d)$ の決定方法を実現するためには、第 1 温度 T_1 で補正の効果が無くなるような補正電圧 V_c を生成する補正電圧生成部 15 を有する電圧印加回路 1 は好適である。

[0158] なお、目標抵抗値 R_d は、「電界効果トランジスタに関する目標物理量」の一例に相当する。つまり、目標抵抗値 R_d は、電界効果トランジスタ T_N を含む電子回路から計測可能な、電界効果トランジスタ T_N の抵抗値であって、目標値として設定される抵抗値を示す。

[0159] 次に、図 13 (a) ~ 図 13 (c) を参照して、補正係数の決定方法の更に好ましい例を説明する。図 13 (a) は、第 1 温度 $T_1 (= 320\text{ K})$ での基準電圧 V_{gs0} とトランジスタ T_N の抵抗値 R との関係を示すグラフである。図 13 (b) は、第 2 温度 $T_2 (= 310\text{ K})$ での補正係数 β とトランジスタ T_N の抵抗値 R との関係を示すグラフである。図 13 (a) において、横軸は基準電圧 $V_{gs0} [\text{V}]$ を示す。図 13 (b) において、横軸は補正係数 β を示す。図 13 (a) 及び図 13 (b) において、縦軸は抵抗値 $R [\text{M}\Omega]$ を示す。下記に示す (手順 1) 及び (手順 2) によって補正係数 β が決定される。

[0160] (手順 1) 図 13 (a) に示すように、補正電圧 V_c がゼロになる第 1 温度 T_1 において、抵抗デバイス 100 のトランジスタ T_N の抵抗値 R が目標抵抗値 R_d (図 13 (a) の例では $40\text{ M}\Omega$) になるときの基準電圧 $V_{gs0}(R_d)$ を決定する。なお、第 1 温度 T_1 では、補正電圧 V_c がゼロであ

るため、補正係数 β は任意の値でよく、基準電圧 $V_{gs0}(R_d)$ は図1及び式(11)における制御電圧 V_{gsa} に一致する。

[0161] 具体的には、まず、抵抗デバイス100を恒温槽に配置して、恒温槽によって抵抗デバイス100の周囲温度を第1温度 T_1 に設定する。次に、基準電圧 V_{gs0} の電圧値を変更しながら、抵抗値 R を計測する。次に、抵抗値 R が目標抵抗値 R_d を示すときの基準電圧 $V_{gs0}(R_d)$ を決定する。

[0162] (手順2) 図13(b)に示すように、第2温度 T_2 及び基準電圧 $V_{gs0}(R_d)$ において、トランジスタ T_N の抵抗値 R が目標抵抗値 R_d (図13(b)の例では40M Ω)になるときの補正係数 $\beta(R_d)$ を決定する。

[0163] 具体的には、まず、抵抗デバイス100を恒温槽に配置して、恒温槽によって抵抗デバイス100の周囲温度を第2温度 T_2 に設定する。次に、基準電圧 V_{gs0} を(手順1)で決定した基準電圧 $V_{gs0}(R_d)$ に設定する。次に、補正係数 β の値を変更しながら、抵抗値 R を計測する。そして、抵抗値 R が目標抵抗値 R_d を示すときの補正係数 $\beta(R_d)$ を決定する。

[0164] (手順2)を実行することは、図12(b)において、第1温度 T_1 での $R-\beta$ 曲線 G_{31} と第2温度 T_2 での $R-\beta$ 曲線 G_{32} との交点 P での補正係数 $\beta(R_d)$ を取得することに相当する。理由は次の通りである。すなわち、図12(b)に示すように、第2温度 T_2 では、交点 P でだけ、抵抗値 R が目標抵抗値 R_d に一致する。従って、第2温度 T_2 において抵抗値 R が目標抵抗値 R_d を示すときの補正係数 β は、必ず、交点 P での補正係数 $\beta(R_d)$ に一致する。また、交点 P では、抵抗値 R は温度依存性のない抵抗値 R_r を示すため、目標抵抗値 R_d が、温度依存性のない抵抗値 R_r に一致する。

[0165] 以上、図13(a)及び図13(b)を参照して説明したように、実施形態1によれば、(手順1)及び(手順2)によって、温度依存性のない抵抗値 R_r に一致する目標抵抗値 R_d が得られる補正係数 $\beta(R_d)$ を決定している。従って、基準電圧 V_{gs0} を変更しながら、任意の2つの異なる温度における $R-\beta$ 曲線の交点を繰り返し求めることが要求されない。その結果

、温度依存性のない目標抵抗値 R_d と補正係数 $\beta(R_d)$ との組み合わせを高速かつ一意に決定できる。

[0166] すなわち、実施形態 1 では、補正係数 $\beta(R_d)$ の値は、第 1 温度 T_1 においてトランジスタ T_N の目標抵抗値 R_d が得られるときの基準電圧 $V_{gs0}(R_d)$ に基づいて、第 1 温度 T_1 と異なる第 2 温度 T_2 において目標抵抗値 R_d が得られるときの値を示す。

[0167] 特に、(手順 1) 及び (手順 2) を実現するためには、第 1 温度 T_1 で補正の効果が無くなるような補正電圧 V_c を生成する補正電圧生成部 15 を有する電圧印加回路 1 は好適である。

[0168] ここで、図 13 (a) 及び図 13 (b) に示す抵抗値 R は、式 (15) 及び式 (16) に基づくシミュレーション結果を示している。標準的な回路パラメータによるシミュレーションの条件は、 $\mu_{n_T0} \cdot C_{ox} = 170$ 、 $0 \mu A / V^2$ 、 $W = 0.6 \mu m$ 、 $L = 60.0 \mu m$ 、 $\alpha_{th} = -1.7 mV / K$ 、 $\alpha_{\mu} = -1.5$ 、 $V_{th_T0} = 0.7 V$ 、 $T_0 = 300 K$ 、である。また、図 13 (a) において、 $T = T_1 = 320 K$ である。さらに、図 13 (b) において、 $T = T_2 = 310 K$ である。

[0169] 図 13 (a) 及び図 13 (b) において、 $V_{gs0}(R_d) = 0.8368 V$ であり、 $\beta(R_d) = -0.00130$ である。

[0170] 図 13 (c) は、トランジスタ T_N の抵抗値 R の温度依存性に対する温度補正の効果を示すグラフである。曲線 508 は温度補正を実施しない場合を示し、曲線 509 は温度補正を実施した場合を示している。横軸は温度 $T [K]$ を示し、縦軸は抵抗値 $R [M\Omega]$ を示す。温度補正を実施しない場合については、式 (15) の補正係数 β をゼロ、基準電圧 V_{gs0} を (手順 1) で求めた $V_{gs0}(R_d)$ である $0.8368 V$ に設定して、式 (16) より抵抗値 R を算出し、曲線 508 をプロットした。曲線 508 から明らかなように、補正を実行しない場合は、抵抗値 R の温度依存性が強い。

[0171] 一方、温度補正を実施する場合については、式 (15) の補正係数 β を (手順 2) で求めた $\beta(R_d)$ である -0.00130 に設定して、式 (16

）より抵抗値 R を算出し、曲線 509 をプロットした。曲線 509 から明らかのように、抵抗値 R は、略一定であり、値 R_d を示している。つまり、補正係数 $\beta(R_d)$ に基づく補正によって、トランジスタ T_N の抵抗値 R の温度依存性が強く抑制できている。

[0172] 以上、図 11 (b) 及び図 13 (c) を参照して説明したように、「 $V_{gs} > V_{th}$ 」領域のうち非線形性の強い飽和領域 ($V_{ds} > V_{gs} - V_{th}$) において、補正係数 $\beta(R_p)$ 又は補正係数 $\beta(R_d)$ に基づいて、ドレイン電流 I_{ds} 及び抵抗値 R (MOS 抵抗) の温度補正を適切に実行できることを確認できた。

[0173] すなわち、図 1 に示す電圧印加回路 1 は、トランジスタ T_N のゲートソース間に制御電圧 V_{gs} ($= V_{gs0} + \beta(T - T_1)$) を印加して、トランジスタ T_N の飽和領域におけるドレインソース間の抵抗値 R を制御する。その結果、トランジスタ T_N の抵抗値 R の温度依存性を強く抑制できる。

[0174] 図 11 (b) 及び図 13 (c) を参照して説明したように、非線形性の強い飽和領域でさえ、ドレイン電流 I_{ds} 及び抵抗値 R (MOS 抵抗) の温度補正を適切に実行できることを確認できた。従って、「 $V_{gs} > V_{th}$ 」領域のうち線形性の高い線形領域 ($V_{ds} < V_{gs} - V_{th}$) であれば、ドレイン電流 I_{ds} 及び抵抗値 R (MOS 抵抗) の温度補正を、更に精度良く実行できる。この場合も、図 11 (a) ~ 図 13 (c) を参照して説明した手順と同様の手順によって、温度依存性のない抵抗値 R_p に対応する補正係数 $\beta(R_p)$ 又は温度依存性のない目標抵抗値 R_d に対応する補正係数 $\beta(R_d)$ を決定する。

[0175] すなわち、図 1 に示す電圧印加回路 1 は、トランジスタ T_N のゲートソース間に制御電圧 V_{gs} ($= V_{gs0} + \beta(T - T_1)$) を印加して、トランジスタ T_N の線形領域におけるドレインソース間の抵抗値 R を制御することが好ましい。

[0176] 以上、図 1 に示す電圧印加回路 1 は、トランジスタ T_N のゲートソース間に制御電圧 V_{gs} を印加して、トランジスタ T_N の「 $V_{gs} > V_{th}$ 」領

域におけるドレインソース間の抵抗値 R を制御する。

[0177] ここで、トランジスタ T_N のサブスレッシュヨルド領域を使用すれば、トランジスタ T_N のサイズ（ゲート長 L 及びゲート幅 W ）を変更することなく、更に高い抵抗値 R を実現できる。サブスレッシュヨルド領域は、ゲートソース電圧 V_{gs} （ゲートソース間の電圧）の大きさが閾値電圧 V_{th} の大きさ未満であるときのトランジスタ T_N の動作領域（ $V_{gs} < V_{th}$ ）を示す。サブスレッシュヨルド領域では、例えば、トランジスタ T_N のアスペクト比（ W/L ）が 0.01 である場合に、数 $M\Omega \sim$ 数 $10^7 \Omega$ の抵抗値 R を実現できる。サブスレッシュヨルド領域は、「電界効果トランジスタの第2動作領域」の一例に相当する。

[0178] トランジスタ T_N のサブスレッシュヨルド領域を使用する場合も、図1に示す電圧印加回路1の構成を採用できる。従って、電圧印加回路1は、トランジスタ T_N のゲートソース間に制御電圧 V_{gs} （ $= V_{gs0} + \beta(T - T_1)$ ）を印加して、トランジスタ T_N のサブスレッシュヨルド領域におけるドレインソース間の抵抗値 R を制御する。

[0179] サブスレッシュヨルド領域では、ゲートソース電圧 V_{gs} に対してドレイン電流 I_{ds} が指数関数的に増加する。従って、MOS抵抗としてのトランジスタ T_N の動作特性が、「 $V_{gs} > V_{th}$ 」領域における飽和領域及び線形領域と異なる。

[0180] そこで、図14(a)～図16(b)を参照して、サブスレッシュヨルド領域においても、制御電圧 V_{gs} が式(2)に示す線形関数によって補正可能な理由を説明する。

[0181] 図14(a)は、一般的なNMOSトランジスタの $I_{ds} - V_{gs}$ 特性を示す片対数グラフである。横軸は、ゲートソース電圧 V_{gs} [V] を示し、縦軸は、対数目盛でのドレイン電流 I_{ds} [μA] を示す。図14(a)に示すように、「 $V_{gs} < V_{th}$ 」で示される領域がサブスレッシュヨルド領域である。そして、サブスレッシュヨルド領域では、ドレイン電流 I_{ds} の対数 $\log_{10} I_{ds}$ が、ゲートソース電圧 V_{gs} に比例する。

[0182] 図14(b)は、一般的なNMOSトランジスタのサブスレッシュホールド領域における $I_{ds}-V_{ds}$ 特性を示すグラフである。横軸は、ドレインソース電圧 V_{ds} [V]を示し、縦軸は、ド레인電流 I_{ds} [fA]を示す。図14(b)では、 $V_{gs}=0.20V$ 、 $0.25V$ 、 $0.30V$ でのド레인電流 I_{ds} が示される。

[0183] サブスレッシュホールド領域のド레인電流 I_{ds} は、式(17)によって示される。式(17)の V_t は熱電圧と呼ばれ、式(18)によって示される。式(18)において、 k は、ボルツマン定数であり、 q は、電気素量である。また、式(17)の η は、式(19)によって示される。式(19)の C_d は、空乏層容量である。図14(a)は、式(17)によるシミュレーション結果を示す。式(17)から理解できるように、トランジスタTNのド레인電流 I_{ds} はゲートソース電圧 V_{gs} の増加に対して指数関数に従い増加する。したがって、図14(a)に示すように、サブスレッシュホールド領域では、ド레인電流 I_{ds} の対数が、ゲートソース電圧 V_{gs} に比例する。

[0184] [数10]

$$I_{ds} = \mu_n C_{ox} \frac{W}{L} (\eta - 1) V_t^2 e^{\frac{V_{gs} - V_{th}}{\eta V_t}} \left(1 - e^{-\frac{V_{ds}}{V_t}} \right) \quad \dots (17)$$

[0185] $V_t = k T / q \quad \dots (18)$

[0186] $\eta = 1 + (C_d / C_{ox}) \quad \dots (19)$

[0187] サブスレッシュホールド領域においては、 $I_{ds}-V_{ds}$ 特性を線形近似可能な範囲は、 $V_{ds} < \text{数}10\text{mV}$ と狭いため、一例として、NMOSトランジスタを、高抵抗値を有する非線形なMOS抵抗として利用する。具体的には、 $V_{ds}=0$ での式(17)に基づく接線方程式から、ド레인電流 I_{ds} は、式(20)に示すように線形近似できる。図14(b)の破線で示す直線は、 $V_{gs}=0.20V$ 、 $0.25V$ 、 $0.30V$ での式(20)による

標準的な回路パラメータを使用したシミュレーション結果を示す。図14（b）の例では、 $V_{ds} < \text{数} 10 \text{ mV}$ の範囲において線形近似できることが分かる。 V_{gs} が小さいほど、図14（b）の破線で示す直線の傾きも小さくなる。 $V_{ds} < \text{数} 10 \text{ mV}$ の範囲での $I_{ds} - V_{ds}$ 特性は、「 $V_{gs} > V_{th}$ 」領域における線形領域に相当する。

[0188] [数11]

$$I_{ds} = \mu_n C_{ox} \frac{W}{L} (\eta - 1) V_t e^{\frac{V_{gs} - V_{th}}{\eta V_t}} \cdot V_{ds}$$

… (20)

[0189] 一方、 V_{ds} が大きくなるとトランジスタTNのド레인電流 I_{ds} は一定値に飽和する。図14（b）の例では、 $V_{ds} > 100 \text{ mV}$ の範囲において、ド레인電流 I_{ds} が一定値に飽和していることが分かる。 $V_{ds} > 100 \text{ mV}$ の範囲での $I_{ds} - V_{ds}$ 特性は、「 $V_{gs} > V_{th}$ 」領域における飽和領域に相当する。

[0190] すなわち、サブスレッショルド領域（ $V_{gs} < V_{th}$ ）でのトランジスタTNのド레인電流 I_{ds} を示した式（17）は、「 $V_{gs} > V_{th}$ 」領域において線形領域でのトランジスタTNのド레인電流 I_{ds} を示した式（4）と飽和領域でのトランジスタTNのド레인電流 I_{ds} を示した式（3）との双方の特性を一つの式で表現している。サブスレッショルド領域においても、トランジスタTNの抵抗値 R は、式（21）によって示される。

[0191] $R = V_{ds} / I_{ds}$ … (21)

[0192] 式（17）から理解できるように、ゲートソース電圧 V_{gs} によりド레인電流 I_{ds} を指数関数的に制御できる。 V_{gs} によってド레인電流 I_{ds} を制御できることは、 V_{gs} によってNMOSトランジスタの抵抗値 R を制御できることと同義である。なぜなら、式（21）のように、 $R = V_{ds} / I_{ds}$ だからである。

[0193] そこで、一般的なNMOSトランジスタのサブスレッショルド領域におけるゲートソース電圧 V_{gs} とド레인電流 I_{ds} 及び抵抗値 R との関係を図15に示す。図15は式(17)に基づく、標準的な回路パラメータを使用したシミュレーション結果である。図15(a)～図15(c)の横軸は、ゲートソース電圧 V_{gs} [V]を示す。図15(a)の縦軸は、ド레인電流 I_{ds} [fA]を示す。図15(b)の縦軸は、図15(a)の縦軸を対数目盛にした片対数グラフのド레인電流 I_{ds} [A]を示す。図15(c)は、図15(a)のド레인電流 I_{ds} のグラフを、式(21)により抵抗値 R に変換したもので、縦軸は抵抗値 R [TΩ]を示す。このとき、 V_{ds} は0.1Vとした。

[0194] 図15(a)に示すように、サブスレッショルド領域において、ド레인電流 I_{ds} は、ゲートソース電圧 V_{gs} に対して指数関数的に増加する。従って、図15(b)に示すように、サブスレッショルド領域において、ド레인電流 I_{ds} の対数 $\log_{10} I_{ds}$ が、ゲートソース電圧 V_{gs} に比例する。また、図15(c)に示すように、サブスレッショルド領域では、一例として、テラ(T)Ω以上の高抵抗値 R ($=V_{ds}/I_{ds}$)を実現可能である。

[0195] 一方、サブスレッショルド領域においても、NMOSトランジスタの閾値電圧 V_{th} 及び電子移動度 μ_n には温度依存性がある。温度依存性を考慮した電子移動度 μ_n は、式(8)によって示される。また、式(8)及び式(17)に基づいて、サブスレッショルド領域において、電子移動度 μ_n と閾値電圧 V_{th} との双方の温度依存性を反映したド레인電流 I_{ds} は、式(22)によって示される。閾値電圧 V_{th} の温度依存性は、式(22)の V_t ($=q/kT$)に含まれる。

[0196] [数12]

$$I_{ds} = \mu_{n-T_0} \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} (\eta - 1) V_t^2 e^{\frac{V_{gs}-V_{th}}{\eta V_t}} \left(1 - e^{-\frac{V_{ds}}{V_t}} \right)$$

… (22)

- [0197] 図16(a)は、式(22)によるNMOSトランジスタのサブスレッシュヨルド領域におけるド레인電流 I_{ds} の温度依存性を示すグラフである。横軸は、温度[K]を示し、縦軸は、ド레인電流 I_{ds} [fA]を示す。図16(b)は、図16(a)の縦軸を対数目盛にした片対数グラフで、横軸は、温度[K]を示し、縦軸は、対数目盛でのド레인電流 I_{ds} [A]を示す。図16(a)及び図16(b)は、標準的な回路パラメータを使用したシミュレーション結果を示している。
- [0198] 図16(a)に示すように、電子移動度 μ_n と閾値電圧 V_{th} との双方の温度依存性を反映したド레인電流 I_{ds} は、温度 T の上昇にともなって指数関数的に増加する。従って、図16(b)に示すように、ド레인電流 I_{ds} の対数 $\log_{10} I_{ds}$ が、温度 T に略比例する。
- [0199] 一方、図15(a)に示すように、ド레인電流 I_{ds} は、ゲートソース電圧 V_{gs} の増加にともなって指数関数的に増加する。従って、図15(b)に示すように、ド레인電流 I_{ds} の対数 $\log_{10} I_{ds}$ が、ゲートソース電圧 V_{gs} に比例する。
- [0200] そこで、温度上昇にともなって指数関数的に増加するド레인電流 I_{ds} に応じてゲートソース電圧 V_{gs} を線形に下げて、ド레인電流 I_{ds} を指数関数的に減少させることで、ド레인電流 I_{ds} の温度依存性を抑制できる。その結果、サブスレッシュヨルド領域において、MOS抵抗としてのNMOSトランジスタの温度依存性を補正できる。
- [0201] 以上より、サブスレッシュヨルド領域において、トランジスタ T_N のゲートソース間に印加する制御電圧 V_{gs} が式(2)に示す線形関数(補正電圧 V_c)によって補正可能である。この場合も、図11(a)～図13(c)を参照して説明した手順と同様の手順によって、温度依存性のない抵抗値 R_p に対応する補正係数 $\beta(R_p)$ 又は温度依存性のない目標抵抗値 R_d に対応する補正係数 $\beta(R_d)$ を決定する。
- [0202] なお、図14(a)～図16(b)における標準的な回路パラメータを使

用したシミュレーションの条件は、 $\mu_n \cdot C_{ox} = 170.0 \mu A/V^2$ 、 $\mu_{n_T0} \cdot C_{ox} = 170.0 \mu A/V^2$ 、 $W = 0.6 \mu m$ 、 $L = 60.0 \mu m$ 、 $\eta = 1/0.7$ 、 $\alpha_\mu = -1.5$ 、 $\eta = 1/0.7$ 、 $k = 1.381 \times 10^{-23} J/K$ 、 $q = 1.602 \times 10^{-19} C$ 、 $V_{th} = 0.7 V$ 、 $T_0 = 300 K$ 、である。なお、図14(a)～図15(c)では、 $T = 310 K$ 、である。

[0203] ここで、トランジスタTNの温度依存性を補正するための補正係数 β を式(22)に反映すると、サブスレッショルド領域において、トランジスタTNのドレイン電流 I_{ds} は、式(23)によって表される。

[0204] [数13]

$$I_{ds} = \mu_{n_T0} \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} (\eta - 1) V_t^2 e^{\frac{V_{gs0} - \beta(T-T_1) - V_{th}}{\eta V_t}} \left(1 - e^{-\frac{V_{ds}}{V_t}}\right) \quad \dots (23)$$

[0205] 次に、図17(a)～図17(c)を参照して、サブスレッショルド領域における補正係数 β の決定方法の一例を説明する。図17(a)は、第1温度 $T_1 (= 320 K)$ での基準電圧 V_{gs0} とトランジスタTNの抵抗値 R との関係を示すグラフである。図17(b)は、第2温度 $T_2 (= 310 K)$ での補正係数 β とトランジスタTNの抵抗値 R との関係を示すグラフである。図17(a)において、横軸は電圧値 $[V]$ を示す。図17(b)において、横軸は補正係数 β を示す。図17(a)及び図17(b)において、縦軸は抵抗値 $R [T \Omega]$ を示す。下記に示す(手順1)及び(手順2)によって補正係数 β が決定される。

[0206] (手順1) 図17(a)に示すように、補正電圧 V_c がゼロになる第1温度 T_1 において、基準電圧 V_{gs0} の電圧値を変更しながら、抵抗デバイス100の抵抗値 R を計測して、抵抗値 R が目標抵抗値 R_d (図17(a)の例では $10 T \Omega$)を示すときの基準電圧 $V_{gs0} (R_d)$ を決定する。なお、第1温度 T_1 では、補正電圧 V_c がゼロであるため、補正係数 β は任意の値でよい。

[0207] (手順2) 図17(b)に示すように、抵抗デバイス100において基準電圧 V_{gs0} を(手順1)で決定した基準電圧 $V_{gs0}(R_d)$ に設定する。次に、第2温度 T_2 において、補正係数 β の値を変更しながら、抵抗値 R を計測して、抵抗値 R が目標抵抗値 R_d (図17(b)の例では $10T\Omega$)を示すときの補正係数 $\beta(R_d)$ を決定する。

[0208] ここで、図17(a)及び図17(b)に示す抵抗値 R は、式(21)及び式(23)に基づくシミュレーション結果を示している。標準的な回路パラメータを使用したシミュレーションの条件は、 $\mu_{n_T0} \cdot C_{ox} = 170.0 \mu A/V^2$ 、 $W = 0.6 \mu m$ 、 $L = 60.0 \mu m$ 、 $\alpha_{\mu} = -1.5$ 、 $\eta = 1/0.7$ 、 $k = 1.381 \times 10^{-23} J/K$ 、 $q = 1.602 \times 10^{-19} C$ 、 $V_{th} = 0.7 V$ 、 $T_0 = 300 K$ 、である。また、図17(a)において、 $T = T_1 = 320 K$ である。さらに、図17(b)において、 $T = T_2 = 310 K$ 、である。

[0209] 図17(a)及び図17(b)において、 $V_{gs0}(R_d) = 0.2746 V$ であり、 $\beta(R_d) = -0.00138$ である。

[0210] 図17(c)は、トランジスタ T_N の抵抗値 R の温度依存性に対する温度補正の効果を示すグラフである。曲線510は温度補正を実施しない場合を示し、曲線511は温度補正を実施した場合を示している。横軸は温度 $T [K]$ を示し、縦軸は抵抗値 $R [T\Omega]$ を示す。温度補正を実施しない場合については、式(23)の補正係数 β をゼロ、基準電圧 V_{gs0} を(手順1)で求めた $V_{gs0}(R_d)$ である $0.2746 V$ に設定して、式(21)より抵抗値 R を算出し、曲線510をプロットした。曲線510から明らかなように、補正を実行しない場合は、抵抗値 R の温度依存性が強い。

[0211] 一方、温度補正を実施する場合については、式(23)の補正係数 β を(手順2)で求めた $\beta(R_d)$ である -0.00138 に設定して、式(23)より抵抗値 R を算出し、曲線511をプロットした。曲線511から明らかなように、抵抗値 R は、略一定であり、値 R_d を示している。つまり、補正係数 $\beta(R_d)$ に基づく補正によって、トランジスタ T_N の抵抗値 R の温

度依存性が強く抑制できている。

[0212] 以上、図 17 (c) を参照して説明したように、サブスレッシュホールド領域 ($V_{gs} < V_{th}$) において、補正係数 β (R_d) に基づいて、ドレイン電流 I_{ds} 及び抵抗値 R (MOS 抵抗) の温度補正を適切に実行できることを確認できた。すなわち、ゲートソース電圧については、 $V_{gs} < V_{th}$ (サブスレッシュホールド領域) 及び $V_{gs} > V_{th}$ (「 $V_{gs} > V_{th}$ 」領域) の全範囲において温度補正が実施できる。加えて、ドレインソース電圧についても、トランジスタ T_N のドレイン電流 I_{ds} が線形近似できる領域 (線形領域) から、一定値に飽和する領域 (飽和領域) の全範囲において、温度補正が実施できる。

[0213] 次に、図 18 (a) 及び図 18 (b) を参照して、基準電圧 V_{gs0} 及び補正係数 β を決定するときのトランジスタ T_N の抵抗値 R (例えば、図 11 (a)、図 12 (b)、図 13 (a)、図 13 (b)、図 17 (a)、図 17 (b)) の計測方法の一例を説明する。なお、図 18 (a) 及び図 18 (b) では、図面の簡略化のために、温度検出部 13 を省略している。

[0214] 図 18 (a) は、実施形態 1 に係るトランジスタ T_N の抵抗値 R の計測方法の第 1 例を説明するための図である。図 18 (a) に示すように、抵抗デバイス 100 は、電子回路装置 200 に搭載されている。電子回路装置 200 は、例えば、集積回路装置である。

[0215] 電子回路装置 200 は、抵抗デバイス 100 と、スイッチ $SW1$ ~ スイッチ $SW4$ と、電子回路 3 と、モニタ端子 $Mt1$ と、モニタ端子 $Mt2$ とを含む。抵抗デバイス 100 のトランジスタ T_N は、スイッチ $SW3$ 、 $SW4$ を介して電子回路 3 に接続される。

[0216] スイッチ $SW1$ とスイッチ $SW3$ とは、モニタ端子 $Mt1$ と電子回路 3 との間に直列に接続される。スイッチ $SW1$ とスイッチ $SW3$ との間のノード $N1$ に、抵抗デバイス 100 のトランジスタ T_N の一方端 (ドレイン端子) が接続される。スイッチ $SW2$ とスイッチ $SW4$ とは、モニタ端子 $Mt2$ と電子回路 3 との間に直列に接続される。スイッチ $SW2$ とスイッチ $SW4$ と

の間のノードN 2に、抵抗デバイス1 0 0のトランジスタT Nの他方端（ソース端子）が接続される。

[0217] トランジスタT Nの抵抗値Rを計測し、基準電圧 V_{gs0} 及び補正係数 β を決定するときは、スイッチSW 1、SW 2は、トランジスタT Nをモニタ端子M t 1、M t 2に接続する。また、スイッチSW 3、SW 4は、トランジスタT Nを電子回路3から切り離す。

[0218] 電子回路装置2 0 0を単体で動作させるときには、決定した基準電圧 V_{gs0} 及び補正係数 β を制御電圧印加部9に設定して、スイッチSW 1、SW 2は、モニタ端子M t 1、M t 2から、トランジスタT N及び電子回路3を切り離す。さらに、スイッチSW 3、SW 4は、トランジスタT Nを電子回路3に接続する。

[0219] 計測システムS Y Sは、トランジスタT Nの抵抗値Rの計測と計測データの処理とを行う。計測システムS Y Sは、コンピューター3 0 0と、計測器4 0 0とを含む。

[0220] 計測器4 0 0は、モニタ端子M t 1、M t 2に接続される。そして、計測器4 0 0は、モニタ端子M t 1、M t 2を介して、トランジスタT Nによる抵抗の両端に電圧 V_{ds} を印加し、抵抗に流れる電流 I_{ds} を計測することで、トランジスタT Nの抵抗値Rを計測する。

[0221] コンピューター3 0 0は、制御電圧印加部9の基準電圧生成部1 1に基準電圧 V_{gs0} の電圧値を設定する。また、コンピューター3 0 0は、目標抵抗値 R_d に対する基準電圧 V_{gs0} (R_d)を探索するときには、基準電圧生成部1 1に設定する基準電圧 V_{gs0} の電圧値を変更する。

[0222] コンピューター3 0 0は、制御電圧印加部9の補正電圧生成部1 5に対して補正係数 β の値を設定する。また、コンピューター3 0 0は、目標抵抗値 R_d に対する補正係数 β (R_d)を探索するときには、補正電圧生成部1 5に設定する補正係数 β の値を変更する。

[0223] コンピューター3 0 0は、計測器4 0 0を制御する。そして、コンピューター3 0 0は、計測器4 0 0から、トランジスタT Nの抵抗値Rを示す計測

データを取得する。さらに、コンピューター300は、計測データを処理して、目標抵抗値 R_d に対する基準電圧 $V_{gs0}(R_d)$ 及び補正係数 $\beta(R_d)$ を決定する。

[0224] 以上、図18(a)を参照して説明したように、計測方法の第1例では、トランジスタTNがモニタ端子Mt1、Mt2に接続されて、トランジスタTNの抵抗値Rが直接計測される。従って、精度良く抵抗値Rを計測できる。特に、計測方法の第1例は、トランジスタTNにモニタ端子Mt1、Mt2を接続することと、スイッチSW3、SW4をトランジスタTNと電子回路3との間に接続することとが、トランジスタTNの特性及び電子回路3の動作に影響しない場合には、有効である。

[0225] 図18(b)は、実施形態1に係るトランジスタTNの抵抗値Rの計測方法の第2例を説明するための図である。以下、第2例が第1例と異なる点を主に説明する。

[0226] 図18(b)に示すように、抵抗デバイス100は、電子回路装置200Aに搭載されている。電子回路装置200Aは、例えば、集積回路装置である。

[0227] 電子回路装置200Aは、抵抗デバイス100と、電子回路3と、モニタ端子Mt1と、モニタ端子Mt2と、電圧制御電圧源19xと、トランジスタTNDとを含む。

[0228] トランジスタTNDの構成は、トランジスタTNの構成と同一である。トランジスタTNDは、トランジスタTNに近接して配置される。第2例では、トランジスタTNと同一構成のトランジスタTNDの抵抗値（以下、「抵抗値 R_x 」と記載する。）を計測して、抵抗値 R_x が、トランジスタTNの抵抗値Rであると推定する。

[0229] トランジスタTNDの一方端子（ドレイン端子）は、モニタ端子Mt1に接続され、他方端子（ソース端子）は、モニタ端子Mt2に接続される。一方、トランジスタTNは、電子回路3に接続される。

[0230] 電圧制御電圧源19xの構成は、電圧制御電圧源19の構成と同一である

。電圧制御電圧源 $19x$ は、制御電圧印加部 9 に接続される。従って、電圧制御電圧源 $19x$ は、制御電圧 V_{gsa} に基づいて、電圧制御電圧源 19 が生成する制御電圧 V_{gs} と同じ電圧値を有する制御電圧（以下、「計測用制御電圧 V_{gsx} 」と記載する。）を生成して、計測用制御電圧 V_{gsx} を、トランジスタ TND のゲートソース間に印加する。

[0231] 計測器 400 は、モニタ端子 $Mt1$ 、 $Mt2$ を介してトランジスタ TND による抵抗の両端に電圧 V_{ds} を印加し、抵抗に流れるドレイン電流を計測することで、トランジスタ TND の抵抗値 R_x を計測する。そして、コンピューター 300 は、計測器 400 から、トランジスタ TND の抵抗値 R_x を示す計測データを取得する。さらに、コンピューター 300 は、計測データを処理して、目標抵抗値 R_d に対する基準電圧 $V_{gs0}(R_d)$ 及び補正係数 $\beta(R_d)$ を決定する。つまり、コンピューター 300 は、トランジスタ TND の抵抗値 R_x がトランジスタ TN の抵抗値 R であると推定して、基準電圧 $V_{gs0}(R_d)$ 及び補正係数 $\beta(R_d)$ を決定する。

[0232] 以上、図 18 (b) を参照して説明したように、計測方法の第 2 例では、電子回路 3 に接続されるトランジスタ TN と同一構成のトランジスタ TND の抵抗値 R_x を計測することで、トランジスタ TN の抵抗値 R を間接的に計測している。従って、モニタ端子 $Mt1$ 、 $Mt2$ がトランジスタ TN の特性及び電子回路 3 の動作に影響を与えることを防止できる。

[0233] 特に、計測方法の第 2 例では、トランジスタ TND を、可能な限りトランジスタ TN に近接して配置することが好ましい。トランジスタ TND とトランジスタ TN との間の特性のバラツキを抑制できて、抵抗値 R_x と抵抗値 R との一致度が更に向上するからである。

[0234] ここで、図 18 (a) 及び図 18 (b) において、電子回路 3 の構成は、電子回路 3 にトランジスタ TN が接続される限りにおいては、特に限定されない。電子回路 3 は、例えば、トランジスタとダイオードとキャパシタとインダクタと抵抗とのうちの少なくとも 1 つを含んでいてもよい。

[0235] ここまで、抵抗デバイス 100 のトランジスタ TN の抵抗値 R の温度補正

を行うために、一例として、対象となるトランジスタ T_N の抵抗値 R を計測する手法を説明した。ただし、抵抗値 R 以外の物理量でもトランジスタ T_N の抵抗値 R の温度補正は可能である。換言すれば、温度補正を行う抵抗デバイス 100 を含む電子回路から計測可能な物理量（以下、「物理量 G 」と記載する）を使用することで、温度補正のための基準電圧 V_{gs0} 及び補正係数 β を決定することが可能である。以下、電子回路から計測可能な物理量 G を、「電子回路の物理量 G 」と記載する場合がある。

[0236] 図 19 (a) を参照して、抵抗デバイス 100 を含む電子回路から計測可能な物理量 G を使用して、基準電圧 V_{gs0} 及び補正係数 β を決定して、温度補正を実施できることを説明する。図 19 (a) は、抵抗デバイス 100 を備える電子回路装置 200B を示す図である。なお、図 19 (a) では、図面の簡略化のために、温度検出部 13 を省略している。

[0237] 図 19 (a) に示すように、電子回路装置 200B は、電子回路 3B と、抵抗デバイス 100 とを含む。抵抗デバイス 100 のトランジスタ T_N (MOS 抵抗 M_R) が、電子回路 3B の回路要素として電子回路 3B に内蔵される。電子回路 3B の入力端子 I_n 及び出力端子 $O_u t$ が、それぞれ、電子回路装置 200B の端子 $M t 1$ 及び端子 $M t 2$ に接続される。ここで、図 19 (a) では、電子回路 3B の入力端子 I_n 及び出力端子 $O_u t$ 、並びに、電子回路装置 200B の端子 $M t 1$ 及び端子 $M t 2$ が、それぞれ 1 端子ずつ図示されているが、端子数の制限は特に無く、電子回路 3B の物理量 G を計測するために必要な数の端子で、計測器 400 と電子回路 3B とを接続してもよい。

[0238] 計測システム $S Y S$ は、コンピューター 300 と、計測器 400 とを含む。計測器 400 は、端子 $M t 1$ 及び端子 $M t 2$ を介して、電子回路 3B の入力端子 I_n と出力端子 $O_u t$ とに接続され、電子回路 3B の物理量 G を計測する。コンピューター 300 は、計測器 400 を制御し、計測器 400 からの計測データを取得する。

[0239] 抵抗デバイス 100 のトランジスタ T_N (MOS 抵抗 M_R) を含む電子回

路 3 B から計測器 4 0 0 によって計測可能な物理量 G は、式 (24) のように、トランジスタ T_N の抵抗値 R の関数として一般化して表現できる。具体的には、抵抗値 R は、温度 T 、基準電圧 V_{gs0} 、及び、補正係数 β の関数として一般化して表現できる。従って、抵抗値 R の関数として表現される物理量 G もまた、温度 T 、基準電圧 V_{gs0} 、及び、補正係数 β の関数として一般化して表現できる。

$$\begin{aligned} [0240] \quad G &= G(R) = G(R(T, V_{gs0}, \beta)) \\ &\dots (24) \end{aligned}$$

[0241] 抵抗デバイス 1 0 0 におけるトランジスタ T_N の抵抗値 R の温度補正の実施によって、式 (24) で示される、トランジスタ T_N の抵抗値 R の関数である物理量 G の温度依存性も補正される。例えば、電子回路 3 B において、抵抗デバイス 1 0 0 のトランジスタ T_N の温度依存性が支配的であり、電子回路 3 B を構成する他の回路要素の温度依存性が十分無視できる場合、トランジスタ T_N の抵抗値 R の温度補正が適切に実施されれば、式 (24) で示される、トランジスタ T_N の抵抗値 R の関数である物理量 G の温度依存性も効果的に補正される。

[0242] このとき、電子回路 3 B から計測可能な物理量 G と、電子回路 3 B に含まれる抵抗デバイス 1 0 0 のトランジスタ T_N の抵抗値 R の補正係数 β との関係を一般化したグラフを図 19 (b) に示す。曲線 $G91$ は、トランジスタ T_N の補正電圧 V_c がゼロになる第 1 温度 T_1 における補正係数 β に対する物理量 G 、すなわち $G-\beta$ 曲線を示す。ここで、第 1 温度 T_1 と異なる 2 つの第 2 温度 T_2 を導入する。2 つの第 2 温度 T_2 の一方を第 2 温度 T_{21} と記載し、2 つの第 2 温度 T_2 の他方を第 2 温度 T_{22} と記載する。第 2 温度 T_{21} と第 2 温度 T_{22} とは異なる。曲線 $G92$ および曲線 $G93$ は、第 2 温度 T_{21} および第 2 温度 T_{22} における $G-\beta$ 曲線をそれぞれ示す。このように、 $G-\beta$ 曲線は、物理量 G と補正係数 β との関係を示す。

[0243] 電子回路 3 B において、例えば、温度依存性を有する回路要素が抵抗デバイス 1 0 0 のトランジスタ T_N のみである場合、トランジスタ T_N の抵抗値

Rの温度依存性が適切に補正されると、電子回路3Bの物理量Gの温度依存性も無くなる。すなわち、トランジスタTNの抵抗値Rの温度依存性が適切に補正されると、図19(b)において、補正電圧 V_c がゼロの第1温度 T_1 での物理量Gと、第2温度 T_{21} での物理量Gとが一致するだけでなく、補正電圧 V_c がゼロの第1温度 T_1 での物理量Gと、第2温度 T_{22} での物理量Gとが一致する。換言すると、第1温度 T_1 における曲線G91と第2温度 T_{21} における曲線G92との交点と、第1温度 T_1 における曲線G91と第2温度 T_{22} における曲線G93との交点とが、交点Pで一致する。さらに換言すると、第1温度 T_1 における曲線G91と、第1温度 T_1 とは異なる任意の温度における任意の $G-\beta$ 曲線との交点は、一点である交点Pで一致する。さらに換言すると、第1温度 T_1 における曲線G91と、第1温度 T_1 と異なる2以上の任意の温度にそれぞれ対応する2以上の $G-\beta$ 曲線とは、一点である交点Pで交差する。従って、補正電圧 V_c がゼロの第1温度 T_1 における曲線G91と、第1温度 T_1 と異なる1つの温度（例えば、第2温度 T_{21} ）における $G-\beta$ 曲線（例えば、曲線G92）との交点Pから、温度依存性がない物理量 G_d 及び補正係数 $\beta(G_d)$ が一意に決まる。

[0244] また、図19(b)に示すように、第1温度 T_1 では補正電圧 V_c がゼロになるため、トランジスタTNの抵抗値Rは補正係数 β によらず略一定となり、式(24)で示される電子回路3Bの物理量Gも略一定となる。したがって、第1温度 T_1 において目標物理量 G_d となる基準電圧 $V_{gs0}(G_d)$ を探索し、抵抗デバイス100の基準電圧 V_{gs0} を $V_{gs0}(G_d)$ に設定し、第1温度 T_1 とは異なる第2温度 T_2 において目標物理量 G_d に対する補正係数 $\beta(G_d)$ を探索することで、一意に基準電圧 V_{gs0} 及び補正係数 β を決定できる。

[0245] すなわち、図11～図13、及び図17を参照して説明した、基準電圧 V_{gs0} 及び補正係数 β の決定方法において、抵抗デバイス100のトランジスタTNの「抵抗値R」を、抵抗デバイス100が含まれる電子回路3Bの

「物理量 G 」と読み替え、さらに、「目標抵抗値 R_d 」を「目標物理量 G_d 」と読み替えて、「物理量 G 」の場合でも、「抵抗値 R 」の場合と同様の手順により基準電圧 V_{gs0} 及び補正係数 β を決定できる。その他、図 11 ～ 図 13、及び図 17 を参照して説明した、基準電圧 V_{gs0} 及び補正係数 β の決定方法において、「抵抗値」を「物理量」と読み替え、「 $R - \beta$ 曲線」を「 $G - \beta$ 曲線」と読み替える。

[0246] 抵抗デバイス 100 のトランジスタ T_N とは異なる、電子回路 3B を構成する他の回路要素に温度依存性がある場合は、図 19 (b) において、曲線 G_{91} 、 G_{92} 及び G_{93} が 1 点 P では交わらない。つまり、複数の交点が存在する。例えば、曲線 G_{91} と曲線 G_{92} との交点、曲線 G_{91} と曲線 G_{93} との交点、及び、曲線 G_{92} と曲線 G_{93} との交点が存在する。換言すれば、任意の異なる 2 つの温度での $G - \beta$ 曲線の交点が複数存在する。しかし、他の回路要素の温度依存性が抵抗デバイス 100 のトランジスタ T_N の温度依存性に比べて十分に小さい場合は、任意の異なる 2 つの温度での $G - \beta$ 曲線の複数の交点が近い値を取る。従って、例えば、複数の交点からそれぞれ決定した複数の補正係数 β の平均値又は中央値を最終的な補正係数 β に決定することにより、補正係数 β を適切に決定することで、電子回路 3B の物理量 G の温度依存性を抑制できる。

[0247] なお、補正係数 β (G_d) の値は、第 1 温度 T_1 においてトランジスタ T_N に関する目標物理量 G_d が得られるときの基準電圧 V_{gs0} (G_d) に基づいて、第 1 温度 T_1 と異なる第 2 温度 T_2 において目標物理量 G_d が得られるときの値を示す。

[0248] ここで、図 19 (a) に示す、抵抗デバイス 100 のトランジスタ T_N を含む電子回路 3B の温度補正方法の具体的な例を、RC フィルタ回路を使用して説明する。図 20 (a) は、実施形態 1 に係る RC 積分フィルタ 110A を示す回路図である。図 20 (b) は、実施形態 1 に係る RC 微分フィルタ 110B を示す回路図である。RC 積分フィルタ 110A 及び RC 微分フィルタ 110B の各々は、RC フィルタ回路の一例である。以下、RC 積分

フィルタ 1 1 0 A 及び R C 微分フィルタ 1 1 0 B を総称して、「R C フィルタ回路 1 1 0 X」と記載する場合がある。

[0249] 図 2 0 (a) 及び図 2 0 (b) に示すように、R C フィルタ回路 1 1 0 X は、抵抗値 R の抵抗素子 R と、容量値 C のキャパシタ C とを含み、基本的な電子回路の一つである。R C フィルタ回路 1 1 0 X は、入力端子 I n 及び出力端子 O u t を有する。なお、入力端子 I n に入力される電圧を「入力電圧 I n」と記載し、出力端子 O u t から出力される電圧を「出力電圧 O u t」と記載する場合がある。

[0250] 図 1 9 (a) の電子回路 3 B の具体的な回路例が、図 2 0 (a) の R C 積分フィルタ 1 1 0 A、又は、図 2 0 (b) の R C 微分フィルタ 1 1 0 B である。換言すれば、R C 積分フィルタ 1 1 0 A 及び R C 微分フィルタ 1 1 0 B の各々の入力端子 I n 及び出力端子 O u t が、図 1 9 (a) の電子回路 3 B の入力端子 I n 及び出力端子 O u t にそれぞれ対応する。また、R C 積分フィルタ 1 1 0 A 及び R C 微分フィルタ 1 1 0 B の各々の抵抗素子 R が、図 1 9 (a) の抵抗デバイス 1 0 0 のトランジスタ T N (M O S 抵抗 M R) に相当する。

[0251] 図 2 0 (a) 及び図 2 0 (b) に示す R C フィルタ回路 1 1 0 X の基本的な特性を示す物理量に、遮断周波数 f_c [H z] がある。図 2 0 (a) に示す R C 積分フィルタ 1 1 0 A では、入力端子 I n に印加される正弦波の電圧信号の周波数を増やしていくと、周波数が遮断周波数 f_c を超えたところで、回路の利得 (= 出力電圧 O u t の振幅 / 入力電圧 I n の振幅) が減少する。理論的には、遮断周波数 f_c での回路の利得は、遮断周波数 f_c よりも十分低い周波数の正弦波が入力されたときに比べて 3 d B 低下し、高域遮断周波数と呼ばれる。図 2 0 (b) に示す R C 微分フィルタ 1 1 0 B では、入力端子 I n に印加される正弦波の電圧信号の周波数を減らしていくと、周波数が遮断周波数 f_c を下回ったところで、回路の利得が減少する。理論的には、遮断周波数 f_c での回路の利得は、遮断周波数 f_c よりも十分高い周波数の正弦波が入力されたときに比べて 3 d B 低下し、低域遮断周波数と呼ばれ

る。

[0252] 遮断周波数 f_c は、RC積分フィルタ 110AとRC微分フィルタ 110Bとで共通しており、式(25)のように抵抗値 R と容量値 C とで表される。RCフィルタ回路 110Xの抵抗素子 R をトランジスタ T_N によるMOS抵抗で構成し、RCフィルタ回路 110Xのキャパシタ C を一般的な並行平板容量で構成する場合、キャパシタ C の温度依存性は、MOS抵抗に比べ、十分低い。したがって、温度依存性に関しては、遮断周波数 f_c は温度依存性の高い抵抗値 R の関数として表せる。換言すれば、式(25)から理解できるように、遮断周波数 f_c は抵抗値 R の逆数 $(=1/R)$ で表され、 $1/R$ が温度依存性の十分低い定数 $1/(2\pi C)$ 倍される。

[0253] $f_c = 1/(2\pi RC) = f_c(R(T, V_{gs0}, \beta)) \quad \dots (25)$

[0254] RCフィルタ回路 110Xの遮断周波数 f_c を表す式(25)は、電子回路 3Bから計測可能な物理量 G を一般化した式(24)と同様に、温度 T 、基準電圧 V_{gs0} 、及び、補正係数 β の関数で表せる。従って、式(24)と図19(a)を参照した説明における、電子回路 3Bから計測可能な物理量 G と、RCフィルタ回路 110Xの遮断周波数 f_c とは同様である。つまり、遮断周波数 f_c は、電子回路 3Bから計測可能な物理量 G の一例である。従って、遮断周波数 f_c を計測することで、所望の遮断周波数 f_d (以下、「目標遮断周波数 f_d 」と記載する場合がある)における基準電圧 V_{gs0} 及び補正係数 β を決定できる。目標遮断周波数 f_d は、「電界効果トランジスタに関する目標物理量」の一例に相当する。つまり、目標遮断周波数 f_d は、電界効果トランジスタ T_N を含む電子回路(RCフィルタ回路 110X)から計測可能な、電界効果トランジスタ T_N の抵抗値を含む物理量であって、目標値として設定される遮断周波数 f_c を示す。

[0255] また、温度補正の手順の説明に使用した、図11～図13及び図17のグラフの縦軸の物理量を、式(25)に従い遮断周波数 f_c に変換すれば、RCフィルタ回路 110Xの遮断周波数 f_c による温度補正の手順を説明するグラフになる。従って、図11～図13及び図17のグラフを参照して説明

した手順と同様にして、目標遮断周波数 f_d における基準電圧 V_{gs0} 及び補正係数 β を決定できることが分かる。

[0256] 例えば、図 11 (a)、図 12 (a)、及び、図 12 (b) のグラフにおいて、縦軸を抵抗値 R の逆数 ($1/R$) に変更すると、曲線の形状は変わるが、2つの異なる温度における2つの曲線の交点での補正係数 $\beta(R_p)$ 又は $\beta(R_r)$ の値は変わらない。そして、この場合、グラフの交点における縦軸の $1/R$ の値は、 $1/R_p$ 又は $1/R_r$ となる。さらに、この場合に、グラフの縦軸の $1/R$ を、定数 $1/(2\pi C)$ 倍することで、グラフの縦軸の物理量を遮断周波数 f_c に変換しても、2つの異なる温度における2つの曲線の交点での補正係数 $\beta(R_p)$ 又は $\beta(R_r)$ の値は変わらない。そして、この場合、グラフの交点における縦軸の遮断周波数 f_c の値が $1/(2\pi C \times R_p)$ 又は $1/(2\pi C \times R_r)$ となる。そして、 $1/(2\pi C \times R_p)$ 又は $1/(2\pi C \times R_r)$ が、温度依存性の無い遮断周波数となる。

[0257] 従って、抵抗値 R の逆数で表される遮断周波数 f_c に対しても、図 11 及び図 12 を参照して説明した手順と同様の手順によって、温度依存性の無い目標遮断周波数 f_d における基準電圧 $V_{gs0}(f_d)$ 及び補正係数 $\beta(f_d)$ を決定できる。

[0258] また、例えば、図 13 (a)、図 13 (b)、図 17 (a)、及び、図 17 (b) のグラフにおいて、式 (25) によって縦軸の物理量を遮断周波数 f_c に変換することで、図 13 (a)、図 13 (b)、図 17 (a)、及び、図 17 (b) を参照して説明した手順によって、温度依存性の無い目標遮断周波数 f_d における基準電圧 $V_{gs0}(f_d)$ 及び補正係数 $\beta(f_d)$ を決定できる。

[0259] 以上のように、目標遮断周波数 f_d における基準電圧 $V_{gs0}(f_d)$ 及び補正係数 $\beta(f_d)$ を決定する場合、図 11 ~ 図 13 及び図 17 を参照して説明した、基準電圧 V_{gs0} 及び補正係数 β の決定方法において、抵抗デバイス 100 のトランジスタ T_N の「抵抗値 R 」を、トランジスタ T_N を含む電子回路 3B の「遮断周波数 f_d 」と読み替え、さらに、「目標抵抗値 R

d」を「目標遮断周波数 f_d 」と読み替えて、「遮断周波数 f_d 」の場合でも、「抵抗値 R 」の場合と同様の手順により基準電圧 V_{gs0} 及び補正係数 β を決定できる。その他、図 11～図 13 及び図 17 を参照して説明した、基準電圧 V_{gs0} 及び補正係数 β の決定方法において、「抵抗値」を「遮断周波数」と読み替え、「 $R-\beta$ 曲線」を「 $f_c-\beta$ 曲線」と読み替える。 $f_c-\beta$ 曲線は、遮断周波数 f_c と補正係数 β との関係を示す。

[0260] RCフィルタ回路 110X の遮断周波数 f_c の計測方法の一例を、図 19 (a) を使用して説明する。計測システム SYS の計測器 400 が、端子 Mt1 を介して、電子回路 3B、すなわち、図 20 (a) 又は図 20 (b) に示す RCフィルタ回路 110X の入力端子 In に、正弦波の電圧信号を印加する。このときの、電子回路 3B、すなわち、RCフィルタ回路 110X の出力端子 Out からの出力波形を、端子 Mt2 を介して、計測システム SYS の計測器 400 が計測する。計測器 400 は、このような計測を、正弦波の周波数を変えながら繰り返し、RCフィルタ回路 110X の利得 (= 出力電圧 Out の振幅 / 入力電圧 In の振幅) と入力周波数との関係に基づいて、遮断周波数 f_c を計測 (算出) する。

[0261] コンピュータ 300 は、遮断周波数 f_c の計測目的に応じて、基準電圧生成部 11 に設定する基準電圧 V_{gs0} の電圧値を変更する。また、コンピュータ 300 は、遮断周波数 f_c の計測目的に応じて、補正電圧生成部 15 に設定する補正係数 β の値を変更する。さらに、コンピュータ 300 は、計測器 400 から、電子回路 3B、すなわち、図 20 (a) 又は図 20 (b) に示す RCフィルタ回路 110X の遮断周波数 f_c を算出するための計測データを取得する。そして、コンピュータ 300 は、計測データを処理して、基準電圧 V_{gs0} 及び補正係数 β を決定する。

[0262] ここでは、図 19 (a) に示す、抵抗デバイス 100 のトランジスタ TN を含む電子回路 3B の温度補正方法の具体的な例として、最も基本的なフィルタ回路として、図 20 に示す RCフィルタ回路 110X を使用して説明したが、フィルタ回路の構成は特に限定されない。例えば、図 21 に示すよう

な、演算増幅器 90 を含むアクティブフィルタ回路 110C でも同様に温度補正できる。

[0263] 図 21 は、実施形態 1 に係るアクティブフィルタ回路 110C の一例を示す。図 21 に示すように、アクティブフィルタ回路 110C は、演算増幅器 90 と、入力キャパシタ C_{i1} 及び C_{i2} と、帰還キャパシタ C_{f1} 及び C_{f2} と、帰還抵抗 R_{f1} 及び R_{f2} とを含む。帰還抵抗 R_{f1} 及び R_{f2} の各々が、抵抗デバイス 100 のトランジスタ T_N (MOS 抵抗 M_R) によって構成される。このように、図 19 (a) に示す電子回路 3B は、2 以上のトランジスタ T_N (MOS 抵抗 M_R) を含んでいてもよい。

[0264] 図 21 の例では、2 入力、2 出力の全差動構成になっており、入力端子 I_{n1} 及び I_{n2} が図 19 (a) の電子回路 3B の入力端子 I_n に対応し、出力端子 O_{u1} 及び O_{u2} が、図 19 (a) の電子回路 3B の出力端子 O_u に対応する。

[0265] 演算増幅器 90 は、全差動構成を有し、入力キャパシタ C_{in1} 及び C_{in2} を介して差動型の電圧信号 I_{n1} 及び I_{n2} を入力して、差動型の電圧信号 O_{u1} 及び O_{u2} を出力する。

[0266] 帰還キャパシタ C_{f1} と帰還抵抗 R_{f1} とで構成される第 1 帰還回路 91 は、演算増幅器 90 の反転入力端子と正出力端子との間において並列に接続される。

[0267] 帰還キャパシタ C_{f2} と帰還抵抗 R_{f2} とで構成される第 2 帰還回路 92 は、演算増幅器 90 の非反転入力端子と負出力端子との間において並列に接続される。

[0268] 一般的に、図 21 に示すような全差動構成のアクティブフィルタ回路 110C の場合、入力端子 I_{n1} 及び出力端子 O_{u1} 側の回路パラメータと、入力端子 I_{n2} 及び出力端子 O_{u2} 側の回路パラメータとは、数値及び特性を出来る限り揃える。従って、入力キャパシタ C_{in1} 及び C_{in2} の容量値は、一般的には等しく設定される。同様に、帰還キャパシタ C_{f1} 及び C_{f2} の容量値は、一般的には等しく設定され、帰還抵抗 R_{f1} 及び R_{f2}

の抵抗値は、一般的には等しく設定される。

[0269] 図21に示すアクティブフィルタ回路110Cは、図20(b)に示すRC微分フィルタ110Bと同様の微分フィルタとして動作する。そして、アクティブフィルタ回路110Cの遮断周波数 f_c は、帰還キャパシタ C_{f1} 及び C_{f2} の容量値及び帰還抵抗 R_{f1} 及び R_{f2} の抵抗値で決まる。帰還キャパシタ C_{f1} 及び C_{f2} の容量値を C 、帰還抵抗 R_{f1} 及び R_{f2} の抵抗値を R とすると、遮断周波数 f_c は式(26)のように表せる。式(26)は、図20(a)及び図20(b)のRCフィルタ回路110Xの遮断周波数 f_c を表す式(25)に一致する。

[0270]
$$f_c = 1 / (2\pi RC) \quad \dots (26)$$

[0271] 従って、アクティブフィルタ回路110Cの遮断周波数を表す式(26)は、電子回路3Bから計測可能な物理量 G を一般化した式(24)とも同様に、温度 T 、基準電圧 V_{gs0} 、及び、補正係数 β の関数で表せる。従って、式(24)と図19(a)とを参照した説明における、電子回路3Bから計測可能な物理量 G と、アクティブフィルタ回路110Cの遮断周波数 f_c は同様である。その結果、遮断周波数 f_c を計測することで、目標遮断周波数 f_d における基準電圧 V_{gs0} 及び補正係数 β を決定できる。

[0272] 以上より、図19(a)における一例として、電子回路3Bの構成を、図20(a)若しくは図20(b)に示すRCフィルタ回路110X、又は、図21に示すアクティブフィルタ回路110Cとし、計測する物理量を遮断周波数 f_c とした場合でも、RCフィルタ回路110X又はアクティブフィルタ回路110Cに含まれる、抵抗デバイス100のトランジスタ T_N の温度補正を実施できることが理解できる。

[0273] さらに一般化して、抵抗デバイス100のトランジスタ T_N を含む電子回路3Bから、トランジスタ T_N の抵抗値 R を含む物理量が計測可能である場合は、電子回路3Bに含まれるトランジスタ T_N の温度補正を実施できることが理解できる。この場合は、図18(a)及び図18(b)のように抵抗デバイス100のトランジスタ T_N の抵抗値 R を直接的あるいは間接的に計

測しなくてもよい。

[0274] ここで、図19(a)において(本明細書において)、トランジスタTNに関する物理量、つまり、トランジスタTNを含む電子回路3Bから計測可能な、トランジスタTNの抵抗値Rを含む物理量は、抵抗値R及び遮断周波数 f_c に限定されない。例えば、トランジスタTNに関する物理量は、電子回路3Bに含まれる回路素子又は回路の抵抗値、電流値、電圧値、周波数、ゲイン、位相、音、光、圧力、又は、エネルギーである。例えば、トランジスタTNに関する物理量は、電子回路3Bに含まれる回路素子又は回路の抵抗値と電流値と電圧値と周波数とゲインと位相と音と光と圧力とエネルギーとのうちの2以上を組み合わせて得られる物理量である。例えば、トランジスタTNに関する物理量は、電子回路3Bに含まれる回路素子又は回路の抵抗値と電流値と電圧値と周波数とゲインと位相と音と光と圧力とエネルギーとのうちの1以上の周波数分布、空間分布、又は、時間分布である。

[0275] 例えば、電子回路3BがトランジスタTNを含む電流源を有する場合、物理量としての「電流値」は、トランジスタTNのドレイン電流 I_{ds} の電流値である。例えば、電子回路3Bが、トランジスタTNを含む電流源と、電流源で動作する演算増幅器とを有する場合、「電圧値と電流値との組み合わせで得られる物理量」は、演算増幅器のスルーレートである。スルーレートは、 $C \times (V_{out} / I_{out})$ で表される。Cは定数であり、 V_{out} は演算増幅器の出力電圧を示し、 I_{out} は演算増幅器の出力電流を示す。

[0276] 例えば、電子回路3Bが、トランジスタTNを含む電流源と、電流源で動作する発振器とを有する場合、物理量としての「周波数」は、発振器の発信周波数である。例えば、電子回路3Bが、トランジスタTNを含む電流源と、発振器と、発振器に接続される電磁ブザーとを有する場合、物理量としての「音」は、発振器の発信周波数に応じて電磁ブザーが出力する音の高さである。

[0277] 例えば、電子回路3Bが、演算増幅器と、演算増幅器の位相補償を行う位相補償回路とを有する場合、物理量としての「ゲインの周波数分布」は、演

算増幅器のゲインの周波数特性である。位相補償回路は、例えば、トランジスタ T N 及びキャパシタを含む。例えば、電子回路 3 B が、演算増幅器と、位相補償回路とを有する場合、物理量としての「位相の周波数分布」は、演算増幅器の位相の周波数特性である。

[0278] 例えば、電子回路 3 B が、トランジスタ T N を含む電流源と、電流源で動作する発光素子（例えば、発光ダイオード）とを有する場合、物理量としての「光」は、発光素子の発光量である。発光量は、例えば、光度（C d）、照度（l u x）、又は、放射照度（W/m²）によって表される。

[0279] 例えば、電子回路 3 B が、抵抗回路網を有する場合、物理量としての「電圧値の空間分布」は、抵抗回路網の複数の出力端子からの出力電圧の分布である。具体的には、抵抗回路網は、各々に異なる入力電圧が入力される複数の入力端子と、各々から異なる出力電圧が出力される複数の出力端子とを含む。また、抵抗回路網は、複数の第 1 M O S 抵抗と、複数の第 2 M O S 抵抗とを有する。複数の第 1 M O S 抵抗の一方端子がそれぞれ複数の入力端子であり、複数の第 1 M O S 抵抗の他方端子がそれぞれ複数の出力端子である。一方、複数の第 2 M O S 抵抗は直列に接続される。そして、隣り合う第 2 M O S 抵抗と第 2 M O S 抵抗との間のノードに第 1 M O S 抵抗の他方端子である出力端子が接続される。第 1 M O S 抵抗と第 2 M O S 抵抗とのうちの少なくとも一方が、トランジスタ T N によって構成される。なお、例えば、抵抗回路網によって、画像フィルタ等の空間フィルタを構成できる。この場合、抵抗回路網の複数の出力端子からの出力電圧の分布は、空間フィルタ特性を示す。

[0280] 次に、図 2 2、図 2 3（a）及び図 2 3（b）を参照して、本発明の実施形態 1 に係る補正係数決定方法を説明する。補正係数決定方法は、M O S 抵抗としての電界効果トランジスタ T N のゲートーソース間に印加する制御電圧 V g s を補正するときの補正係数 β を決定する。補正係数決定方法は、例えば、計測システム S Y S によって実行される（図 1 8（a）～図 1 9（a））。

[0281] また、補正係数決定方法では、式（27）において、制御電圧 V_{gs} を「 V_{gs} 」で示し、基準電圧 V_{gs0} を「 V_{gs0} 」で示し、補正電圧 V_c を「 V_c 」で示し、補正係数 β を「 β 」で示し、変数としての温度 T を「 T 」で示し、補正電圧 V_c がゼロになるときの温度である第1温度 T_1 を「 T_1 」で示している。つまり、式（27）は、式（1）と同じである。

[0282] $V_{gs} = V_{gs0} + V_c = V_{gs0} + \beta (T - T_1)$... (27)

[0283] 図22は、実施形態1に係る補正係数決定方法を示すフローチャートである。図22に示すように、補正係数決定方法は、工程S1～工程S4を含む。

[0284] 工程S1において、計測システムSYSは、第1温度 T_1 を変更する指示を受け付けたか否かを判定する。

[0285] 工程S1で否定的判定がされた場合は（No）、処理は工程S3に進む。

[0286] 一方、工程S1で肯定的判定がされた場合は（Yes）。処理は工程S2に進む。

[0287] 工程S2において、計測システムSYSは、温度検出部13を制御して、第1電流 I_p の電流値と第2電流 I_m の電流値とのうちの少なくとも一方の電流値を変更することで、第1温度 T_1 を変更する。そして、処理は、工程S1に進む。

[0288] 工程S3において、計測システムSYSは、第1温度 T_1 において電界効果トランジスタ T_N に関する目標物理量 G_d が得られるときの基準電圧 V_{gs0} の電圧値である特定電圧値 X を決定する。目標物理量 G_d は、例えば、電界効果トランジスタ T_N の目標抵抗値 R_d 、又は、電界効果トランジスタ T_N を含むフィルタ回路（例えば、RCフィルタ回路110X又はアクティブフィルタ回路110C）の目標遮断周波数 f_d を示す。特定電圧値 X を有する基準電圧 V_{gs0} は、基準電圧 $V_{gs0}(G_d)$ である。基準電圧 $V_{gs0}(G_d)$ は、例えば、基準電圧 $V_{gs0}(R_d)$ 、又は、基準電圧 $V_{gs0}(f_d)$ である。

[0289] 工程S4において、計測システムSYSは、第1温度 T_1 と異なる第2温

度 T_2 及び基準電圧 V_{gs0} の特定電圧値 X において目標物理量 G_d が得られるときの補正係数 β の値である特定係数値 W を決定する。特定係数値 W を有する補正係数 β は、補正係数 $\beta(G_d)$ である。補正係数 $\beta(G_d)$ は、例えば、補正係数 $\beta(R_d)$ 又は、補正係数 $\beta(f_d)$ である。

[0290] 以上、図 22 を参照して説明したように、実施形態 1 の補正係数決定方法によれば、工程 S3 によって、補正電圧 V_c がゼロになる第 1 温度 T_1 において、目標物理量 G_d に対応する基準電圧 V_{gs0} の特定電圧値 X を決定した後に、工程 S4 によって、第 2 温度 T_2 において基準電圧 V_{gs0} が特定電圧値 X を有する状態で、目標物理量 G_d に対応する補正係数 β の特定係数値 W を決定する。従って、異なる基準電圧 V_{gs0} ごとに繰り返し複数の $G-\beta$ 曲線（例えば、複数の $R-\beta$ 曲線、又は、複数の $f_c-\beta$ 曲線）を求めることが要求されない。その結果、温度依存性のない目標物理量 G_d と補正係数 β の特定係数値 W （補正係数 $\beta(G_d)$ （例えば補正係数 $\beta(R_d)$ 又は補正係数 $\beta(f_d)$ ））との組み合わせを高速かつ一意に決定できる。

[0291] また、実施形態 1 の補正係数決定方法によれば、工程 S2 によって、第 1 電流 I_p 及び／又は第 2 電流 I_m を変更することで、補正電圧 V_c がゼロになるときの温度 T である第 1 温度 T_1 を容易に変更できる。

[0292] 図 23 (a) は、図 22 の工程 S3 を示すフローチャートである。図 23 (a) に示すように、図 22 の工程 S3（基準電圧 V_{gs0} の決定処理）は、工程 S31 と、工程 S32 とを含む。

[0293] 工程 S31 において、計測システム SYS の計測器 400 は、第 1 温度 T_1 において、基準電圧 V_{gs0} の電圧値を変更しながら、電界効果トランジスタに関する物理量 G を計測する。

[0294] 工程 S32 において、計測システム SYS のコンピューター 300 は、工程 S31 で基準電圧 V_{gs0} の電圧値を変更しながら計測された複数の物理量 G のうち、目標物理量 G_d と略一致する物理量 G を計測したときの基準電圧 V_{gs0} の電圧値を基準電圧 V_{gs0} の特定電圧値 X に決定する。従って、実施形態 1 によれば、目標物理量 G_d が得られるときの基準電圧 V_{gs0}

の電圧値である特定電圧値 X を高速かつ一意に決定できる。

[0295] 図23(b)は、図22の工程S4を示すフローチャートである。図23(b)に示すように、図22の工程S4(補正係数 β の決定処理)は、工程S41と、工程S42とを含む。

[0296] 工程S41において、計測器400は、第2温度 T_2 及び基準電圧 V_{gs0} の特定電圧値 X において、補正係数 β の値を変更しながら、電界効果トランジスタ T_N に関する物理量 G を計測する。

[0297] 工程S42において、コンピューター300は、工程S41で補正係数 β の値を変更しながら計測された複数の物理量 G のうち、目標物理量 G_d と略一致する物理量 G を計測したときの補正係数 β の値を補正係数 β の特定係数値 W に決定する。従って、実施形態1によれば、目標物理量 G_d に対応する補正係数 β の値である特定係数値 W を高速かつ一意に決定できる。

[0298] (変形例)

図24(a)～図24(d)を参照して、本発明の実施形態1の第1変形例～第4変形例を説明する。図24(a)～図24(d)では、図面の簡略化のために、制御電圧生成部10及び温度検出部13を省略している。以下では、第1変形例～第4変形例が図1に示す実施形態1に係る抵抗デバイス100と異なる点を主に説明する。

[0299] 図24(a)は、実施形態1の第1変形例に係る抵抗デバイス100Aを示す図である。図24(a)に示すように、抵抗デバイス100Aは、電圧制御電圧源19と、複数のトランジスタ T_N とを含む。複数のトランジスタ T_N は、ノード n_1 とノード n_2 との間に直列に接続される。電圧制御電圧源19は、複数のトランジスタ T_N のゲート端子が接続されるライン L_N と、ノード n_1 との間に接続される。従って、電圧制御電圧源19は、複数のトランジスタ T_N の各々のゲート端子と、ノード n_1 に接続される単一のソース端子との間に制御電圧 V_{gs} を印加する。

[0300] また、複数のトランジスタ T_N の各々のバックゲート端子が、ソース端子に接続される。従って、バックゲート端子をソース端子に接続しない場合と

比較して、各トランジスタ T_N のソースドレイン電圧 V_{ds} が低くなる。その結果、各トランジスタ T_N の特性の線形性が向上する。また、基板バイアス効果の影響も抑制できる。

[0301] 図 24 (b) は、実施形態 1 の第 2 変形例に係る抵抗デバイス 100B を示す図である。図 24 (b) に示すように、抵抗デバイス 100B は、複数の電圧制御電圧源 19 と、複数のトランジスタ T_N とを含む。複数のトランジスタ T_N は、ノード n_1 とノード n_2 との間に直列に接続される。複数のトランジスタ T_N の各々のバックゲート端子が、ソース端子に接続される。従って、第 1 変形例と同様に、各トランジスタ T_N の特性の線形性が向上するとともに、基板バイアス効果の影響も抑制できる。

[0302] 複数の電圧制御電圧源 19 は、それぞれ、複数のトランジスタ T_N に対応して配置される。そして、電圧制御電圧源 19 は、対応するトランジスタ T_N のゲート端子とソース端子との間に接続される。従って、電圧制御電圧源 19 は、対応するトランジスタ T_N のゲートーソース間に制御電圧 V_{gs} を印加する。その結果、複数のトランジスタ T_N において、トランジスタ T_N のドレイン側のノード n_2 の電位に起因してゲートーソース間の電圧が相違することを抑制できる。

[0303] 図 24 (c) は、実施形態 1 の第 3 変形例に係る抵抗デバイス 100C を示す図である。図 24 (c) に示すように、抵抗デバイス 100C は、2 つの電圧制御電圧源 19 と、2 つのトランジスタ T_N とを含む。2 つのトランジスタ T_N は、ノード n_1 とノード n_2 との間に直列に接続される。この場合、一方のトランジスタ T_N のドレイン端子と他方のトランジスタ T_N のドレイン端子とが接続される。電圧制御電圧源 19 の各々は、対応するトランジスタ T_N のゲート端子とソース端子との間に配置される。また、各トランジスタ T_N のバックゲート端子はソース端子に接続される。

[0304] そして、一方の電圧制御電圧源 19 と一方のトランジスタ T_N とのペア PA_1 と、他方の電圧制御電圧源 19 と他方のトランジスタ T_N とのペア PA_2 とを対称に配置している。その結果、バックゲート端子の接続先及び／又

は電圧制御電圧源 19 の配置に起因するノード $n1$ 、 $n2$ の電位に対する非対称性を抑制できる。

[0305] 図 24 (d) は、実施形態 1 の第 4 変形例に係る抵抗デバイス 100D を示す図である。図 24 (d) に示すように、抵抗デバイス 100D は、1 つの電圧制御電圧源 19 と、2 つのトランジスタ TN とを含む。2 つのトランジスタ TN は、ノード $n1$ とノード $n2$ との間に直列に接続される。この場合、一方のトランジスタ TN のソース端子と他方のトランジスタ TN のソース端子とが接続される。電圧制御電圧源 19 は、トランジスタ TN のゲート端子とソース端子との間に配置される。従って、電圧制御電圧源 19 は、2 つのトランジスタ TN のゲートーソース間に制御電圧 V_{gs} を印加する。また、トランジスタ TN のバックゲート端子はソース端子に接続される。

[0306] そして、電圧制御電圧源 19 に対して、一方のトランジスタ TN と他方のトランジスタ TN とを対称に配置している。その結果、バックゲート端子の接続先及び／又は電圧制御電圧源 19 の配置に起因するノード $n1$ 、 $n2$ の電位に対する非対称性を抑制できる。

[0307] なお、図 24 (a) ～図 24 (d) では、複数のトランジスタ TN の各々のバックゲート端子が、ソース端子に接続されているが、アース又はグラウンド (0 [V]) に接続されていてもよい。但し、線形性は、複数のトランジスタ TN の各々のバックゲート端子をソース端子に接続した場合に比べ劣る。

[0308] また、図 24 (a) ～図 24 (d) に示す第 1 変形例～第 4 変形例のうち 2 つ以上の変形例を組み合わせてもよい。例えば、第 1 変形例と、第 3 変形例とを組み合わせ、図 24 (c) に示す、2 つのトランジスタ TN の各々を、図 24 (a) に示す複数のトランジスタ TN に変更してもよい。例えば、第 1 変形例と第 2 変形例とを組み合わせ、図 24 (b) に示す、複数のトランジスタ TN の各々を、図 24 (a) に示す複数のトランジスタ TN に変更してもよい。例えば、第 1 変形例～第 4 変形例のうち 2 以上の変形例に係る抵抗デバイスを、直列又は並列に並べてもよい。

[0309] (実施形態2)

図25～図32(d)を参照して、本発明の実施形態2に係る抵抗デバイス100Zを説明する。実施形態2に係る抵抗デバイス100ZがPMOSトランジスタをMOS抵抗として使用する点で、実施形態2は、NMOSトランジスタをMOS抵抗として使用する実施形態1と主に異なる。以下、実施形態2が実施形態1と異なる点を主に説明する。

[0310] 図25は、実施形態2に係る抵抗デバイス100Zを示す図である。図25に示すように、抵抗デバイス100Zは、電界効果トランジスタTPと、電圧印加回路1Aとを備える。図25に示すように、実施形態2では、電界効果トランジスタTPは、P型電界効果トランジスタである。具体的には、電界効果トランジスタTPは、p型MOSFET (p-type Metal-Oxide-Semiconductor Field-Effect Transistor)、つまり、PMOSトランジスタである。

[0311] 以下、電界効果トランジスタTPを「トランジスタTP」と記載する場合がある。

[0312] なお、電界効果トランジスタTPのバックゲート端子が、電界効果トランジスタTNのソース端子に接続されていてもよいし、電源に接続されていてもよい。

[0313] 電界効果トランジスタTPは、抵抗素子として機能する。具体的には、電界効果トランジスタTPは、電界効果トランジスタTPのドレインーソース間の抵抗を利用することで抵抗素子として機能する。つまり、電界効果トランジスタTPはMOS抵抗として機能する。更に具体的には、電界効果トランジスタTPは、電界効果トランジスタTPのゲートーソース間の電圧が閾値電圧よりも大きい領域（線形領域及び飽和領域）におけるドレインーソース間の抵抗を利用することで抵抗素子として機能する。また、電界効果トランジスタTPは、電界効果トランジスタTPのゲートーソース間の電圧が閾値電圧よりも小さい領域（サブスレッショルド領域）におけるドレインーソース間の抵抗を利用することで抵抗素子として機能する。

- [0314] 図 25 の領域 A R 内には、電界効果トランジスタ T P が M O S 抵抗 M R として機能するときの等価回路が示される。
- [0315] 以下、電界効果トランジスタ T P のドレインーソース間の抵抗値 R を「電界効果トランジスタ T N の抵抗値 R」と記載する場合がある。
- [0316] 電圧印加回路 1 A は、電界効果トランジスタ T P のゲートーソース間に、温度 T に応じた制御電圧 V_{gs} を印加して、電界効果トランジスタ T N のドレインーソース間の抵抗値 R を制御する。「電界効果トランジスタ T P のゲートーソース間」とは、「電界効果トランジスタ T P のゲート端子とソース端子との間」のことである。温度 T は、抵抗デバイス 100 の周囲温度を示す。制御電圧 V_{gs} は負の値を有する。制御電圧 V_{gs} は、電界効果トランジスタ T P のゲートーソース間の電圧を示す。
- [0317] 制御電圧 V_{gs} は、基準電圧 V_{gs0} に補正電圧 V_c を加算した電圧を示す。具体的には、制御電圧 V_{gs} は、式 (28) によって表される。
- [0318]
$$V_{gs} = V_{gs0} + V_c \quad \dots (28)$$
- [0319] 補正電圧 V_c は、電界効果トランジスタ T P に関する所望の物理量の温度依存性を低減するために、基準電圧 V_{gs0} に加算される電圧である。
- [0320] 電界効果トランジスタ T P に関する物理量は、電界効果トランジスタ T P を含む電子回路から計測可能な、電界効果トランジスタ T P の抵抗値 R を含む物理量である。「抵抗値 R を含む物理量」は、抵抗値 R に依存する物理量を示す。例えば、電界効果トランジスタ T P に関する物理量は、電界効果トランジスタ T P のドレインーソース間の抵抗値 R、又は、電界効果トランジスタ T P を含むフィルタ回路の遮断周波数 f_c である。なお、電界効果トランジスタ T P に関する物理量は、実施形態 1 に係る電界効果トランジスタ T N に関する物理量と同様に、抵抗値 R 及び遮断周波数 f_c に限定されない。例えば、電界効果トランジスタ T P に関する物理量の例示として、電界効果トランジスタ T N に関する物理量の例示が適用される。以下、電界効果トランジスタ T P に関する所望の物理量を「目標物理量」と記載する場合がある。従って、目標物理量は、電界効果トランジスタ T P を含む電子回路から計

測可能な、電界効果トランジスタTPの抵抗値Rを含む物理量であって、目標値として設定される物理量を示す。

[0321] 具体的には、補正電圧 V_c は、式(29)によって示される。式(29)において、 β は補正係数を示し、 T は温度を示し、 T_1 は第1温度を示す。補正係数 β は、補正電圧 V_c を定めるための係数である。実施形態2では、補正係数 β は、正の値を有する。従って、補正電圧 V_c は、温度 T が高くなる程大きくなる。具体的には、補正係数 β は、電界効果トランジスタTPに関する所望の物理量の温度依存性を低減するために、電界効果トランジスタTPのゲートソース間に印加する制御電圧 V_{gs} を補正するときの係数である。

[0322] $V_c = \beta (T - T_1) \quad \dots (29)$

[0323] 式(29)に示すように、補正電圧 V_c は、温度 T に依存し、第1温度 T_1 でゼロになるように設定される。換言すれば、第1温度 T_1 は、補正電圧 V_c がゼロになるときの温度である。従って、実施形態2によれば、第1温度 T_1 では補正の効果が無くなる。第1温度 T_1 で補正の効果が無くなるような電圧印加回路1Aを利用することで、電界効果トランジスタTPのゲートソース間に印加する制御電圧 V_{gs} を補正するときの補正係数 β と、電界効果トランジスタTPに関する所望の物理量との組み合わせを、効率良く決定できる。この点は、実施形態1と同様である。

[0324] なお、実施形態2でも、実施形態1と同様に、「 $|V_{gs}| > |V_{th}|$ 」領域における飽和領域及び線形領域と、サブスレッショルド領域とのいずれにおいても、制御電圧 V_{gs} を式(29)に示す線形関数によって補正可能である。

[0325] 実施形態2では、電界効果トランジスタTPがPMOSトランジスタであるため、「 $|V_{gs}| > |V_{th}|$ 」領域は、ゲートソース電圧 V_{gs} の大きさが閾値電圧 V_{th} の大きさよりも大きいときのPMOSトランジスタの動作領域を示す。「 $|V_{gs}| > |V_{th}|$ 」領域は、「電界効果トランジスタの第1動作領域」の一例に相当する。「 $|V_{gs}| > |V_{th}|$ 」領

域のうち「 $|V_{ds}| > |V_{gs} - V_{th}|$ 」で示される領域がPMOSトランジスタの飽和領域である。「 $|V_{gs}| > |V_{th}|$ 」領域のうち「 $|V_{ds}| < |V_{gs} - V_{th}|$ 」で示される領域がPMOSトランジスタの線形領域である。また、サブスレッシュールド領域は、ゲートソース電圧 V_{gs} の大きさが閾値電圧 V_{th} の大きさ未満であるときのPMOSトランジスタの動作領域（ $|V_{gs}| < |V_{th}|$ ）を示す。サブスレッシュールド領域は、「電界効果トランジスタの第2動作領域」の一例に相当する。

[0326] また、実施形態2でも、「 $|V_{gs}| > |V_{th}|$ 」領域における飽和領域と、「 $|V_{gs}| > |V_{th}|$ 」領域における線形領域と、サブスレッシュールド領域とのいずれにおいても、実施形態1の図11(a)～図13(c)及び図17(a)～図17(c)を参照して説明した手順と同様の手順によって、補正係数 β を決定できる。

[0327] なぜなら、PMOSトランジスタであるトランジスタTPとNMOSトランジスタであるトランジスタTNとは、極性が異なるだけだからである。トランジスタTPとトランジスタTNとの極性が異なることは、図1及び図25に示すように、ゲートソース電圧 V_{gs} の極性が異なることと、ドレインソース電圧 V_{ds} の極性が異なることと、ド레인電流 I_{ds} の極性が異なることを示す。

[0328] すなわち、トランジスタTPの「 $|V_{gs}| > |V_{th}|$ 」領域のうちの飽和領域におけるド레인電流 I_{ds} は、式(30)によって示される。式(30)と式(10)との比較から明らかなように、飽和領域において、トランジスタTPとトランジスタTNとは極性が異なるだけである。温度係数 α_{th} は正の値を示す。

[0329] [数14]

$$I_{ds} = -\frac{1}{2}\mu_{n-}T_0 \cdot (T/T_0)^{\alpha_{\mu}} \cdot C_{ox} \frac{W}{L} \left(V_{gs} - V_{th-T_0} - \alpha_{th}(T - T_0) \right)^2$$

… (30)

[0330] また、トランジスタTPの「 $|V_{gs}| > |V_{th}|$ 」領域のうちの線形

領域におけるドレイン電流 I_{ds} は、式 (31) によって示される。式 (31) と式 (9) との比較から明らかなように、線形領域において、トランジスタ T_P とトランジスタ T_N とは極性が異なるだけである。温度係数 α_{th} は正の値を示す。

[0331] [数15]

$$I_{ds} = -\mu_n T_0 \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} \left[\left(V_{gs} - V_{th} T_0 - \alpha_{th} (T - T_0) \right) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$

… (31)

[0332] さらに、サブスレッショルド領域 ($|V_{gs}| < |V_{th}|$) におけるトランジスタ T_P のドレイン電流 I_{ds} は、式 (32) によって示される。式 (32) と式 (22) との比較から明らかなように、サブスレッショルド領域において、トランジスタ T_P とトランジスタ T_N とは極性が異なるだけである。

[0333] [数16]

$$I_{ds} = -\mu_n T_0 \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} (\eta - 1) V_t^2 e^{-\frac{V_{gs} - V_{th}}{\eta V_t}} \left(1 - e^{+\frac{V_{ds}}{V_t}} \right)$$

… (32)

[0334] 図26は、補正電圧 V_c を示すグラフである。縦軸は補正電圧 V_c [V] を示し、横軸は温度 T [K] を示す。図26に示すように、補正電圧 V_c は、温度 T に対して線形に変化する。補正電圧 V_c を示す直線の傾きが補正係数 β を示す。但し、トランジスタ T_P とトランジスタ T_N とは極性が異なるため、図2に示す、実施形態1の補正電圧 V_c を示すグラフとは異なり、補正電圧 V_c を示す直線の傾き、すなわち、補正係数 β が正の値を有する。

[0335] 次に、図25に戻って、電圧印加回路1Aの詳細を説明する。電圧印加回路1Aは、トランジスタ T_P のゲート端子とソース端子との間に配置される。ソース端子の電位（以下、「ソース電位 V_s 」と記載する場合がある。）は、実施形態1と同様に、任意の値を取り得る。

[0336] 電圧印加回路 1 A は、制御電圧印加部 9 A と、温度検出部 1 3 A とを含む。温度検出部 1 3 A は、温度 T を検出して、温度 T に応じた検出信号 T M を制御電圧印加部 9 A に出力する。その他、温度検出部 1 3 A は、図 1 に示す温度検出部 1 3 と同様である。例えば、温度検出部 1 3 A は、図 8 に示す温度検出部 1 3 と同様の構成を取り得る。

[0337] 制御電圧印加部 9 A は、検出信号 T M に応じて温度 T に対して線形に変化する補正電圧 V c を制御電圧 V g s が含むように、制御電圧 V g s を生成する。そして、制御電圧印加部 9 A は、制御電圧 V g s をトランジスタ T P のゲートソース間に印加する。その他、制御電圧印加部 9 A は、図 1 に示す制御電圧印加部 9 と同様である。

[0338] 具体的には、制御電圧印加部 9 A は、制御電圧生成部 1 0 A と、電圧制御電圧源 1 9 A とを含む。

[0339] 制御電圧生成部 1 0 A は、検出信号 T M に基づいて温度 T に対して線形に変化する補正電圧 V c を含むように制御電圧 V g s a を生成する。制御電圧 V g s a は負の値を有する。制御電圧 V g s a を「基準制御電圧 V g s a」と記載してもよい。制御電圧 V g s a は、式 (3 3) によって示される。

[0340] $V_{gsa} = V_{gs0} + V_c \quad \dots (33)$

[0341] 式 (2 8) 及び式 (3 3) から明らかなように、制御電圧 V g s a と制御電圧 V g s とは、同じ電圧成分 (基準電圧 V g s 0 及び補正電圧 V c) 及び同じ電圧値を有している。式 (3 3) においても、補正電圧 V c は式 (2 9) によって示される。その他、制御電圧生成部 1 0 A は、図 1 に示す制御電圧生成部 1 0 と同様である。

[0342] 制御電圧 V g s a は、実施形態 1 と同様に、0 [V] を基準とする電圧 (つまり、0 [V] を基準とする電位差) である。従って、実施形態 1 と同様の理由により、制御電圧印加部 9 A が電圧制御電圧源 1 9 A を有している。

[0343] 電圧制御電圧源 1 9 A は、トランジスタ T P のゲート端子とソース端子との間に接続される。電圧制御電圧源 1 9 A は、入力の 2 端子間の電位差に応じて、出力の 2 端子間の電位差が決まる電圧源である。電圧制御電圧源 1 9

Aには、制御電圧生成部10Aから、0[V]を基準とする制御電圧 V_{gsa} と、基準となる電圧0[V]が入力されることで、制御電圧 V_{gsa} が電位差として入力される。そして、電圧制御電圧源19Aの出力の2端子をそれぞれトランジスタTNのゲート端子及びソース端子に接続することで、トランジスタTPのゲートーソース間に制御電圧 V_{gsa} と同じ電圧値を有する制御電圧 V_{gs} が印加される。このとき、ソース電位 V_s が変動しても、電圧制御電圧源19Aの出力の2端子間の電位 V_{gs} は変動しない。その他、電圧制御電圧源19Aは、図1に示す電圧制御電圧源19と同様である。例えば、電圧制御電圧源19Aは、図7(a)及び図7(b)の電圧制御電圧源19と同様の構成を取り得る。

[0344] また、電圧制御電圧源19Aには、制御電圧 V_{gsa} が電位差として入力されればよいので、実施形態1と同様に、基準となる電圧0[V]を任意の値にしてもよい。この場合、基準となる電圧を V_{ref} とすると、制御電圧生成部10Aからの出力電圧を「 $V_{gsa} + V_{ref}$ 」とすれば、電圧制御電圧源19Aに入力される電位差は、「 $V_{gsa} + V_{ref} - V_{ref}$ 」により V_{gsa} となる。

[0345] 制御電圧生成部10Aは、式(33)によって表される制御電圧 V_{gsa} を生成できる限りは、制御電圧生成部10Aの構成は特に限定されず、任意の制御電圧生成回路によって構成できる。

[0346] 実施形態2では、制御電圧生成部10Aは、基準電圧生成部11Aと、補正電圧生成部15Aと、加算部17Aとを含む。

[0347] 基準電圧生成部11Aは、基準電圧 V_{gs0} を生成して、加算部17Aに出力する。基準電圧 V_{gs0} は負の値を有する。一方、補正電圧生成部15Aは、温度検出部13Aの検出信号TMに基づいて補正電圧 V_c を生成して、加算部17Aに出力する。加算部17Aは、基準電圧 V_{gs0} に補正電圧 V_c を加算して、加算結果である制御電圧 V_{gsa} を生成する。そして、加算部17Aは、制御電圧 V_{gsa} を電圧制御電圧源19Aに出力する。

[0348] その他、基準電圧生成部11A、補正電圧生成部15A、及び、加算部1

7 Aは、それぞれ、図1に示す基準電圧生成部11、補正電圧生成部15、及び、加算部17と同様である。例えば、補正電圧生成部15Aは、図8に示す補正電圧生成部15と同様の構成を取り得る。なお、図25では、図1と同様に、制御電圧生成部10Aの物理的構成又は論理的な構成が示される。

[0349] 次に、図8及び図27(a)～図27(c)を参照して、温度検出部13A及び補正電圧生成部15Aの詳細を説明する。温度検出部13A及び補正電圧生成部15Aは、それぞれ、図8に示す温度検出部13及び補正電圧生成部15と同様である。

[0350] 図27(a)は、第1電流 I_p 及び第2電流 I_m の温度依存性を示すグラフである。図27(b)は、差分電流 I_o の温度依存性を示すグラフである。図27(c)は、補正電圧 V_c の温度依存性を示すグラフである。

[0351] 図27(a)に示すように、実施形態1と同様に、第1電流 I_p の温度依存性と第2電流 I_m の温度依存性とは異なっている。第1電流 I_p 及び第2電流 I_m の各々は、温度 T に対して線形に変化する。

[0352] 図27(a)の例では、第1電流 I_p の温度依存性は第2電流 I_m の温度依存性よりも高い。つまり、第1電流源回路131の温度依存性は、第2電流源回路133の温度依存性よりも高い。

[0353] 第1電流 I_p と第2電流 I_m とが一致するときの温度 T が第1温度 T_1 である。つまり、差分電流 I_o がゼロになるときの温度 T が第1温度 T_1 である。

[0354] 図27(b)に示すように、差分電流 $I_o (= I_p - I_m)$ は、正の温度特性を有する。つまり、差分電流 I_o を表す直線の傾き A は正の値を有する。従って、差分電流 I_o は、式(34)によって表される。温度 T が第1温度 T_1 であるときには、差分電流 I_o はゼロである。

[0355]
$$I_o = A \times (T - T_1) \quad \dots (34)$$

[0356] 差分電流 I_o が正の温度特性を有するため、図27(c)に示すように、補正電圧 V_c も正の温度特性を有する。図27(c)のグラフは、図26に

示す補正電圧 V_c の温度依存性のグラフと一致する。補正電圧 V_c は、式（35）によって表される。

$$[0357] \quad V_c = R_o \times I_o = R_o \times A \times (T - T_1) = \beta (T - T_1) \quad \dots (35)$$

[0358] 式（35）に示すように、「 $R_o \times A$ 」が補正係数 β である。補正係数 β は正の値を示す。また、温度 T が第1温度 T_1 であるときには、補正電圧 V_c はゼロである。

[0359] なお、図27（a）の例では、第1電流 I_p 及び第2電流 I_m を表す直線の傾きは両者とも正の値であるが、必ずしも正の値である必要は無い。実施形態2において、トランジスタ TP の温度依存性を補正するために補正電圧 V_c の補正係数 β が正となるためには、第1電流 I_p の傾きが第2電流 I_m の傾きに比べて大きければよく、傾きの符号の正負は関係ない。

[0360] なお、実施形態2でも、実施形態1と同様に、第1電流 I_p の電流値及び／又は第2電流 I_m の電流値を変更することで、第1温度 T_1 を変更できる。

[0361] ここで、トランジスタ TP の温度依存性を補正するための補正係数 β を式（30）に反映すると、「 $|V_{gs}| > |V_{th}|$ 」領域のうちの飽和領域（ $|V_{ds}| > |V_{gs} - V_{th}|$ ）において、トランジスタ TP のドレイン電流 I_{ds} は、式（36）によって表される。

[0362] [数17]

$$I_{ds} = -\frac{1}{2} \mu_n T_0 \cdot (T/T_0)^{\alpha_\mu} \cdot C_{ox} \frac{W}{L} \left(V_{gs0} + \beta(T - T_1) - V_{th} T_0 - \alpha_{th}(T - T_0) \right)^2 \quad \dots (36)$$

[0363] また、補正係数 β を式（31）に反映すると、「 $|V_{gs}| > |V_{th}|$ 」領域のうちの線形領域（ $|V_{ds}| < |V_{gs} - V_{th}|$ ）において、トランジスタ TP のドレイン電流 I_{ds} は、式（37）によって表される。温度係数 α_{th} は正の値を示す。

[0364] [数18]

$$I_{ds} = -\mu_{n-T_0} \cdot (T/T_0)^{\alpha_{\mu}} \cdot C_{ox} \frac{W}{L} \left[\left(V_{gs0} + \beta(T - T_1) - V_{th-T_0} - \alpha_{th}(T - T_0) \right) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$

… (37)

[0365] さらに、補正係数 β を式(32)に反映すると、サブスレッシュヨルド領域において、トランジスタTPのドレイン電流 I_{ds} は、式(38)によって表される。温度係数 α_{th} は正の値を示す。

[0366] [数19]

$$I_{ds} = -\mu_{n-T_0} \cdot (T/T_0)^{\alpha_{\mu}} \cdot C_{ox} \frac{W}{L} (\eta - 1) V_t^2 e^{-\frac{V_{gs0} + \beta(T - T_1) - V_{th}}{\eta V_t}} \left(1 - e^{+\frac{V_{ds}}{V_t}} \right)$$

… (38)

[0367] 飽和領域、線形領域、及びサブスレッシュヨルド領域のいずれにおいても、トランジスタTPの抵抗値Rは、式(39)によって示される。

$$R = V_{ds} / I_{ds} \quad \dots (39)$$

[0369] 次に、図28(a)を参照して、補正係数 β の決定方法の一例を説明する。図28(a)は、第1温度 T_1 での補正係数 β とトランジスタTPの抵抗値Rとの関係、及び、第2温度 T_2 での補正係数 β とトランジスタTPの抵抗値Rとの関係を示すグラフである。第1温度 T_1 及び第2温度 T_2 は、それぞれ、実施形態1における第1温度 T_1 及び第2温度 T_2 と同様である。

[0370] 図28(a)に示すように、 $R - \beta$ 曲線G110は、第1温度 T_1 での抵抗値Rを示す。 $R - \beta$ 曲線G120は、第2温度 T_2 での抵抗値Rを示す。そして、図12(b)を参照して説明した実施形態1と同様の手順によって、 $R - \beta$ 曲線G110と $R - \beta$ 曲線G120との交点Pにおける補正係数 $\beta(R_r)$ を取得する。実施形態2では、実施形態1と同様に、補正係数 $\beta(R_r)$ に対応する温度依存性のない抵抗値 R_r は、必ず、目標抵抗値 R_d に一致する。このとき、交点Pにおける補正係数 $\beta(R_r)$ も目標抵抗値 R_d に対する補正係数 $\beta(R_d)$ と一致する。従って、実施形態2によれば、補正係数 $\beta(R_d)$ を抵抗デバイス100Aの補正電圧生成部15Aの補正係

数 β に設定すると、補正電圧 V_c によって、トランジスタ T_P の抵抗値 R の温度依存性が効果的に低減されて、抵抗値 R を目標抵抗値 R_d に維持できる。

[0371] 次に、図28(b)及び図28(c)を参照して、補正係数 β の決定方法の更に好ましい例を説明する。図28(b)は、第1温度 T_1 での基準電圧 V_{gs0} とトランジスタ T_P の抵抗値 R との関係を示すグラフである。図28(c)は、第2温度 T_2 での補正係数 β とトランジスタ T_P の抵抗値 R との関係を示すグラフである。下記に示す(手順1)及び(手順2)によって補正係数 β が決定される。

[0372] (手順1) 図28(b)に示すように、補正電圧 V_c がゼロになる第1温度 T_1 において、基準電圧 V_{gs0} の電圧値を変更しながら、抵抗デバイス100Aのトランジスタ T_P の抵抗値 R を計測して、抵抗値 R が目標抵抗値 R_d を示すときの基準電圧 $V_{gs0}(R_d)$ を決定する。なお、第1温度 T_1 では、補正電圧 V_c がゼロであるため、補正係数 β は任意の値で良く、基準電圧 $V_{gs0}(R_d)$ は図25及び式(33)における制御電圧 V_{gsa} に一致する。

[0373] (手順2) 図28(c)に示すように、抵抗デバイス100Aにおいて基準電圧 V_{gs0} を(手順1)で決定した基準電圧 $V_{gs0}(R_d)$ に設定する。次に、第1温度 T_1 とは異なる第2温度 T_2 において、補正係数 β の値を変更しながら、トランジスタ T_P の抵抗値 R を計測して、抵抗値 R が目標抵抗値 R_d を示すときの補正係数 $\beta(R_d)$ を決定する。目標抵抗値 R_d は、温度依存性のない抵抗値 R_r に一致する。

[0374] 以上、図28(a)及び図28(b)を参照して説明したように、実施形態2によれば、(手順1)及び(手順2)によって、温度依存性のない抵抗値 R_r に一致する目標抵抗値 R_d が得られる補正係数 $\beta(R_d)$ を決定している。従って、実施形態2では、実施形態1と同様に、温度依存性のない目標抵抗値 R_d と補正係数 $\beta(R_d)$ との組み合わせを高速かつ一意に決定できる。

- [0375] 特に、（手順１）及び（手順２）を実現するためには、第１温度 T_1 で補正の効果が無くなるような補正電圧 V_c を生成する電圧印加回路１は好適である。
- [0376] なお、補正係数 β を決定するときのトランジスタ T_P の抵抗値 R の計測方法は、図１８（ａ）及び図１８（ｂ）を参照して説明した実施形態１と同様である。
- [0377] 以上より、PMOSトランジスタであるトランジスタ T_P をMOS抵抗として使用する実施形態２においても、実施形態１同様に温度補正可能であることが理解できる。
- [0378] ここまで、抵抗デバイス１００Ｚのトランジスタ T_P の抵抗値 R の温度補正を行うために、一例として、対象となるトランジスタ T_P の抵抗値 R を計測する手法を説明した。ただし、実施形態１と同様に、抵抗値 R 以外の物理量でもトランジスタ T_N の抵抗値 R の温度補正は可能である。換言すれば、温度補正を行う抵抗デバイス１００Ｚを含む電子回路から計測可能な物理量（以下、「物理量 G 」と記載する）を使用することで、温度補正のための基準電圧 V_{gs0} 及び補正係数 β を決定することが可能である。以下、電子回路から計測可能な物理量 G を、「電子回路の物理量 G 」と記載する場合がある。
- [0379] 実施形態２においても、図１９（ａ）の電子回路３Ｂの回路要素として抵抗デバイス１００Ｚのトランジスタ T_P （MOS抵抗 M_R ）が内蔵される場合、電子回路３Ｂから計測可能な物理量 G は、実施形態１の式（２４）と同様に、トランジスタ T_P の抵抗値 R の関数として一般化して表現でき、さらに、温度 T 、基準電圧 V_{gs0} 、及び補正係数 β の関数として一般化して表現できる。
- [0380] すなわち、実施形態１において、図１９（ａ）、図１９（ｂ）及び式（２４）を参照して説明したのと同様に、実施形態２において、抵抗デバイス１００Ｚのトランジスタ T_P を含む電子回路３Ｂから、抵抗デバイス１００Ｚのトランジスタ T_P の抵抗値 R を含む物理量 G を計測することで、目標物理

量 G_d に対する基準電圧 $V_{gs0}(G_d)$ 及び補正係数 $\beta(G_d)$ を決定し、温度補正を実施できる。

[0381] また、実施形態 1 において、図 19 (a)、図 20 及び図 21 を参照して説明したのと同様に、実施形態 2 において、図 19 (a) における一例として、電子回路 3 B の構成を図 20 (a) 又は図 20 (b) に示す RC フィルタ回路 110 X とし、又は、図 21 に示すアクティブフィルタ回路 110 C とし、計測する物理量 G を遮断周波数 f_c とした場合でも、RC フィルタ回路 110 X、又は、アクティブフィルタ回路 110 C に含まれる、抵抗デバイス 100 Z のトランジスタ T_P の温度補正が実施できる。

[0382] ここで、実施形態 2 においても、抵抗デバイス 100 Z のトランジスタ T_P に対して、図 22 ~ 図 23 (b) を参照して説明した実施形態 1 に係る補正係数決定方法によって補正係数 β を決定できる。なお、実施形態 2 においても、図 11 (a) 及び図 12 (a) を参照して説明した、基準電圧 V_{gs0} 及び補正係数 β の決定方法を適用できる。

[0383] また、実施形態 2 においても、図 24 (a) ~ 図 24 (d) を参照して説明した実施形態 1 のトランジスタ T_N 及び電圧制御電圧源 19 と同様に、トランジスタ T_P 及び電圧制御電圧源 19 A を配置できる。

[0384] 次に、実施形態 2 における、具体的な回路例として、図 29 (a) 及び図 29 (b) を参照して、電圧印加回路 1 A の一例を説明する。図 29 (a) は、電圧印加回路 1 A の一例を示す回路図である。図 29 (a) に示すように、電圧印加回路 1 A は、デジタル-アナログ変換器 (DAC: Digital to Analog Converter) 110 と、抵抗素子 R_g と、PTAT 回路 130 と、可変抵抗器 150 と、差動増幅器 170 と、電圧制御電圧源 19 とを含む。

[0385] DAC 110 の出力端子は、抵抗素子 R_g の一方端子及び差動増幅器 170 の反転入力端子に接続される。抵抗素子 R_g の他方端子は、差動増幅器 170 の出力端子に接続される。差動増幅器 170 の非反転入力端子には、可変抵抗器 150 の一方端子が接続される。可変抵抗器 150 の他方端子には

、参照電圧生成回路から参照電圧 V_{ref} が入力される。

[0386] DAC 110 は、実施形態 2 では、例えば、R2-R ラダー型の m ビット DAC である。DAC 110 には、入力コード d が入力される。入力コード d は、デジタルコードであり、「 $0 < d \leq 2^m$ 」の範囲で設定される。DAC 110 は、入力コード d に応じて、出力端子から電流 I_{g0} を出力する。電流 I_{g0} は、式 (40) によって示される。式 (40) において、 I_{lsb} は、DAC 110 が出力可能な電流の最小値を示す。

[0387] $I_{g0} = d \times I_{lsb} \quad \dots (40)$

[0388] 可変抵抗器 150 は、例えば、 n ビットの抵抗分圧器 (n ビットのデジタルポテンショメータ) である。図 29 において、可変抵抗器 150 の両端は、それぞれ参照電圧 V_{ref} と、差動増幅器 170 の非反転入力端子に接続される。可変抵抗器 150 の両端の中間に位置する中間ノード N_m は、PTAT 回路 130 に接続される。可変抵抗器 150 は、同一抵抗値を有する 2^n 個の抵抗体が直列に並んだ構造になっており、1 つの抵抗体の抵抗値を r とする。可変抵抗器 150 には、入力コード s が入力される。入力コード s は、デジタルコードであり、「 $0 < s \leq 2^n$ 」の範囲で設定される。図 29 において、参照電圧 V_{ref} の入力側から、 s 個目の抵抗体と $s+1$ 個目の抵抗体との間のノードと、可変抵抗器の中間ノード N_m とが接続される。従って、参照電圧 V_{ref} の入力側から、中間ノード N_m までの抵抗値は、入力コード s に応じて「 $s \times r$ 」に設定される。

[0389] PTAT 回路 130 は、温度 T に応じた PTAT 電流 I_{ptat} を出力して、PTAT 電流 I_{ptat} を可変抵抗器 150 の中間ノード N_m に入力する。ここで、差動増幅器 170 の非反転入力端子に電流が流れないとする、PTAT 回路 130 から差動増幅器 170 へ電流は流れないため、PTAT 電流 I_{ptat} は、参照電圧 V_{ref} 側に全て流れる。このとき、可変抵抗器 150 の中間ノード N_m から差動増幅器 170 の非反転入力端子との間の抵抗体では電圧降下が生じない。その結果、中間ノード N_m の電位と、差動増幅器 170 の非反転入力端子の電位 V_p とが等しくなる。中間ノード N

mの電位は、中間ノードNmから参照電圧Vrefの入力側までの抵抗値「 $s \times r$ 」とPTAT電流Iptatとに応じた電圧に、参照電圧Vrefを加算した電位になる。以上より、差動増幅器170の非反転入力端子の電圧Vpは、式(41)によって示される。PTAT電流Iptatは、検出信号TMに相当する。従って、PTAT回路130が温度検出部13に相当する。

$$[0390] \quad V_p = s \times r \times I_{ptat} + V_{ref} \quad \dots (41)$$

[0391] 図29(b)は、PTAT電流Iptatの温度依存性を示す図である。横軸は温度[K]を示し、縦軸は電流値[A]を示す。図29(b)に示すように、PTAT電流Iptatは温度Tに比例する。PTAT電流Iptatは、式(42)によって示される。pは、比例定数を示し、T1は第1温度を示す。pは、正の値を有する。PTAT回路130は、PTAT電流Iptatの電流値がゼロになる第1温度T1を含むように構成される。

$$[0392] \quad I_{ptat} = p(T - T_1) \quad \dots (42)$$

[0393] 図29(a)に戻って、差動増幅器170は、抵抗素子Rgの抵抗値Rgと電流Ig0とで定まる電圧と、電圧Vpとを入力して、制御電圧Vgsaを出力する。制御電圧Vgsaは、式(43)によって示される。式(43)のVgs0{d}は、式(44)によって示され、 $\beta\{s\}$ は、式(45)によって示される。Vgs0{d}は、基準電圧Vgs0に相当し、 $\beta\{s\}$ は、補正係数 β に相当する。

$$[0394] \quad \begin{aligned} V_{gsa} &= -R_g \times I_{g0} + V_p \\ &= -d \times R_g \times I_{lsb} + V_{ref} + s \times r \times p(T - T_1) \\ &= V_{gs0\{d\}} + \beta\{s\} \times (T - T_1) \\ &\dots (43) \end{aligned}$$

$$[0395] \quad V_{gs0\{d\}} = -d \times R_g \times I_{lsb} + V_{ref} \quad \dots (44)$$

$$[0396] \quad \beta\{s\} = s \times r \times p \quad \dots (45)$$

[0397] 式(44)から明らかなように、入力コードdによって、基準電圧Vgs0{d}の値を変更可能である。また、式(45)から明らかなように、入

力コード s によって、補正係数 $\beta \{s\}$ の値を変更可能である。

[0398] 図 29 における、PTAT 回路 130 の一例を、図 30 及び図 31 を参照して説明する。図 30 は、PTAT 回路 130 の一例を示す回路図である。図 31 は、PTAT 電流 I_{ptat} を示すグラフである。横軸は温度 [K] を示し、縦軸は電流値 [A] を示す。

[0399] 図 30 に示すように、PTAT 回路 130 は、BGR (Band Gap Reference) 回路 140 と、PMOS トランジスタ $T5 \sim T12$ と、NMOS トランジスタ $T14 \sim T17$ と、可変抵抗器 $R2$ と、抵抗素子 $R7$ と、キャパシタ $C2$ と、オペアンプ $AP2$ とを含む。BGR 回路 140 は、PMOS トランジスタ $T1$ 、 $T2$ と、バイポーラトランジスタ $T3$ 、 $T4$ と、可変抵抗器 $R1$ と、抵抗素子 $R3 \sim R6$ と、キャパシタ $C1$ と、オペアンプ $AP1$ とを含む。

[0400] PTAT 回路 130 は、温度 T に比例する PTAT 電流 I_{ptat} を出力する。

[0401] 具体的には、BGR 回路 140 に流れる電流 I_{p1} は正の線形な温度特性を有する。PMOS トランジスタ $T11$ を流れる第 1 電流 I_p は、カレントミラー回路によって、 $I_p = I_{p1} / A$ と表すことができる。つまり、 $A : 1 = I_{p1} : I_p$ 、である。従って、図 31 に示すように、第 1 電流 I_p は、電流 I_{p1} に比例した正の温度特性を有する。

[0402] BGR 回路 140 は、温度依存性の低い電圧 V_{bgr} を出力する。温度依存性の低い電圧 V_{bgr} は、オペアンプ $AP2$ の非反転入力端子に入力される。この場合、オペアンプ $AP2$ の仮想短絡の効果により、オペアンプ $AP2$ の反転入力端子において、温度依存性の低い電圧 V_z ($\doteq V_{bgr}$) を得る。そして、可変抵抗器 $R2$ に電圧 V_z が印加されることで、可変抵抗器 $R2$ に、温度依存性の低い電流 I_{p2} ($= R2 \times V_z$) が流れる。

[0403] NMOS トランジスタ $T17$ を流れる第 2 電流 I_m は、カレントミラー回路によって、 $I_m = I_{p2a} = I_{p2} / B$ と表すことができる。つまり、 $B : 1 = I_{p2} : I_{p2a}$ 、である。従って、図 31 に示すように、第 2 電流

I_m は、温度依存性の低い電流 I_{p2} に比例するため、温度依存性は低い。可変抵抗器 R_2 の抵抗値を調整することで第2電流 I_m の電流値を変更できる。

[0404] P T A T回路130は、第1電流 I_p と第2電流 I_m との差分電流を、P T A T電流 I_{ptat} ($= I_p - I_m$) として、図29(a)の可変抵抗器150に出力する。この場合、図31に示すように、第1電流 I_p と第2電流 I_m とが一致する第1温度 T_1 において、P T A T電流 I_{ptat} はゼロ[A]になる。

[0405] 図31に示すように、可変抵抗器 R_2 の抵抗値を調整して第2電流 I_m の電流値を変更することで、P T A T電流 I_{ptat} がゼロ[A]になる第1温度 T_1 を調整できる。

[0406] なお、トランジスタ T_2 、 T_6 、 T_8 、 T_{10} 、 T_{12} のゲート端子には、P T A T回路130を動作させるための電圧 V_b が入力される。

[0407] (変形例)

図32(a)～図32(d)を参照して、本発明の実施形態2の第1変形例～第4変形例を説明する。図32(a)～図32(d)では、図面の簡略化のために、制御電圧生成部10A及び温度検出部13Aを省略している。以下では、第1変形例～第4変形例が図25に示す実施形態2に係る抵抗デバイス100Zと異なる点を主に説明する。

[0408] 図32(a)は、実施形態2の第1変形例に係る抵抗デバイス100Eを示す図である。図32(a)に示すように、抵抗デバイス100Eは、電圧制御電圧源19Aと、複数のトランジスタ T_P とを含む。複数のトランジスタ T_P は、ノード n_1 とノード n_2 との間に直列に接続される。電圧制御電圧源19Aは、複数のトランジスタ T_P のゲート端子が接続されるライン L_N と、ノード n_1 との間に接続される。従って、電圧制御電圧源19Aは、複数のトランジスタ T_P の各々のゲート端子と、ノード n_1 に接続される単一のソース端子との間に制御電圧 V_{gs} を印加する。

[0409] また、複数のトランジスタ T_P の各々のバックゲート端子が、ソース端子

に接続される。従って、図24(a)に示す抵抗デバイス100Aの場合と同様の理由により、各トランジスタTPの特性の線形性が向上するとともに、基板バイアス効果の影響も抑制できる。

[0410] 図32(b)は、実施形態2の第2変形例に係る抵抗デバイス100Fを示す図である。図32(b)に示すように、抵抗デバイス100Fは、複数の電圧制御電圧源19Aと、複数のトランジスタTPとを含む。複数のトランジスタTPは、ノードn1とノードn2との間に直列に接続される。複数のトランジスタTPの各々のバックゲート端子が、ソース端子に接続される。従って、第1変形例と同様に、各トランジスタTPの特性の線形性が向上するとともに、基板バイアス効果の影響も抑制できる。

[0411] 複数の電圧制御電圧源19Aは、それぞれ、複数のトランジスタTPに対応して配置される。そして、電圧制御電圧源19Aは、対応するトランジスタTPのゲート端子とソース端子との間に接続される。従って、電圧制御電圧源19Aは、対応するトランジスタTPのゲートーソース間に制御電圧 V_{gs} を印加する。その結果、複数のトランジスタTPにおいて、トランジスタTPのドレイン側のノードn2の電位に起因してゲートーソース間の電圧が相違することを抑制できる。

[0412] 図32(c)は、実施形態2の第3変形例に係る抵抗デバイス100Gを示す図である。図32(c)に示すように、抵抗デバイス100Gは、2つの電圧制御電圧源19Aと、2つのトランジスタTPとを含む。2つのトランジスタTPは、ノードn1とノードn2との間に直列に接続される。この場合、一方のトランジスタTPのドレイン端子と他方のトランジスタTPのドレイン端子とが接続される。電圧制御電圧源19Aの各々は、対応するトランジスタTPのゲート端子とソース端子との間に配置される。また、各トランジスタTPのバックゲート端子はソース端子に接続される。

[0413] そして、一方の電圧制御電圧源19Aと一方のトランジスタTPとのペアPB1と、他方の電圧制御電圧源19Aと他方のトランジスタTPとのペアPB2とを対称に配置している。その結果、バックゲート端子の接続先及び

／又は電圧制御電圧源 19 の配置に起因するノード $n1$ 、 $n2$ の電位に対する非対称性を抑制できる。

[0414] 図 32 (d) は、実施形態 2 の第 4 変形例に係る抵抗デバイス 100H を示す図である。図 32 (d) に示すように、抵抗デバイス 100H は、1 つの電圧制御電圧源 19A と、2 つのトランジスタ TP とを含む。2 つのトランジスタ TP は、ノード $n1$ とノード $n2$ との間に直列に接続される。この場合、一方のトランジスタ TP のソース端子と他方のトランジスタ TP のソース端子とが接続される。電圧制御電圧源 19A は、トランジスタ TP のゲート端子とソース端子との間に配置される。従って、電圧制御電圧源 19A は、2 つのトランジスタ TP のゲートーソース間に制御電圧 V_{gs} を印加する。また、トランジスタ TP のバックゲート端子はソース端子に接続される。

[0415] そして、電圧制御電圧源 19A に対して、一方のトランジスタ TP と他方のトランジスタ TP とを対称に配置している。その結果、バックゲート端子の接続先及び／又は電圧制御電圧源 19A の配置に起因するノード $n1$ 、 $n2$ の電位に対する非対称性を抑制できる。

[0416] なお、図 32 (a) ～図 32 (d) では、複数のトランジスタ TP の各々のバックゲート端子が、ソース端子に接続されているが、電源電圧に接続されていてもよい。但し、線形性は、複数のトランジスタ TP の各々のバックゲート端子をソース端子に接続した場合に比べ劣る。

[0417] また、図 32 (a) ～図 32 (d) に示す第 1 変形例～第 4 変形例のうち 2 つ以上の変形例を組み合わせてもよい。例えば、第 1 変形例と、第 3 変形例とを組み合わせ、図 32 (c) に示す、2 つのトランジスタ TP の各々を、図 32 (a) に示す複数のトランジスタ TP に変更してもよい。例えば、第 1 変形例と第 2 変形例とを組み合わせ、図 32 (b) に示す、複数のトランジスタ TP の各々を、図 32 (a) に示す複数のトランジスタ TP に変更してもよい。例えば、第 1 変形例～第 4 変形例のうち 2 以上の変形例に係る抵抗デバイスを、直列又は並列に並べてもよい。

[0418] (実施形態3)

図33を参照して、本発明の実施形態3に係る抵抗デバイス100Qを説明する。実施形態3に係る抵抗デバイス100Qが互いに極性の異なるNMOSトランジスタ及びPMOSトランジスタをMOS抵抗として使用する点で、実施形態3は実施形態1及び実施形態2と主に異なる。以下、実施形態3が実施形態1及び実施形態2と異なる点を主に説明する。

[0419] 図33は、実施形態3に係る抵抗デバイス100Qを示す図である。図33に示すように、抵抗デバイス100Qは、電圧印加回路1と、電圧制御電圧源19と、電界効果トランジスタTNと、電圧印加回路1Aと、電圧制御電圧源19Aと、電界効果トランジスタTPとを含む。電圧印加回路1、電圧制御電圧源19、及び、電界効果トランジスタTNの構成は、それぞれ、図1を参照して説明した電圧印加回路1、電圧制御電圧源19、及び、電界効果トランジスタTNの構成と同じである。電圧印加回路1A、電圧制御電圧源19A、及び、電界効果トランジスタTPの構成は、それぞれ、図25を参照して説明した電圧印加回路1A、電圧制御電圧源19A、及び、電界効果トランジスタTPの構成と同じである。

[0420] 電圧制御電圧源19は、トランジスタTNのゲート端子とソース端子との間に接続される。電圧制御電圧源19Aは、トランジスタTPのゲート端子とソース端子との間に接続される。

[0421] トランジスタTNとトランジスタTPとは、ノードn1とノードn2との間に並列に接続される。具体的には、トランジスタTNのソース端子がノードn1に接続され、トランジスタTNのドレイン端子がノードn2に接続される。また、トランジスタTPのソース端子がノードn2に接続され、トランジスタTPのドレイン端子がノードn1に接続される。

[0422] 以上、図33を参照して説明したように、実施形態3では、PMOS抵抗としてのトランジスタTPとNMOS抵抗としてのトランジスタTNとを並列に接続することで、抵抗デバイス100Qの動作域が拡大し、抵抗デバイス100Qの線形性を更に向上できる。PMOSトランジスタであるラン

ジスタTPの動作域は電源電圧側であり、NMOSトランジスタであるトランジスタTNの動作域は接地側であるからである。抵抗デバイス100Qの動作域とは、トランジスタTPとトランジスタTNとを1つのMOS抵抗として捉えたときに、1つのMOS抵抗の動作域のことである。同様に、抵抗デバイス100Qの線形性とは、トランジスタTPとトランジスタTNとを1つのMOS抵抗として捉えたときに、トランジスタTPとトランジスタTNとの合成抵抗の線形性のことである。

[0423] (変形例)

本発明の実施形態1の第1変形例～第4変形例を説明した図24(a)～図24(d)、実施形態2の第1変形例～第4変形例を説明した図32(a)～図32(d)、及び、図33を参照して、実施形態3の変形例を説明する。実施形態3では、トランジスタTPとトランジスタTNとを並列に接続することで1つのMOS抵抗として捉えている。つまり、図33では、単一のトランジスタTNと単一のトランジスタTPとで1つのMOS抵抗が構成されている。ただし、図24(a)～図24(d)、及び、図32(a)～図32(d)に示すような複数のトランジスタTN、及び複数のトランジスタTPを組み合わせて、1つのMOS抵抗を構成してもよい。

[0424] 例えば、抵抗デバイス100Qは、図33の電圧制御電圧源19及びトランジスタTNに代えて、図24(a)～図24(d)に示す第1変形例～第4変形例のうちのいずれかの変形例の電圧制御電圧源19及び複数のトランジスタTNを備えていてもよいし、図24(a)～図24(d)に示す第1変形例～第4変形例のうち2つ以上の変形例を組み合わせた構成を備えていてもよい。また、例えば、抵抗デバイス100Qは、図33の電圧制御電圧源19A及びトランジスタTPに代えて、図32(a)～図32(d)に示す第1変形例～第4変形例のうちのいずれかの変形例の電圧制御電圧源19A及び複数のトランジスタTPを備えていてもよいし、図32(a)～図32(d)に示す第1変形例～第4変形例のうち2つ以上の変形例を組み合わせた構成を備えていてもよい。

[0425] (実施形態4)

図34及び図35を参照して、本発明の実施形態4に係るブレインマシンインターフェース装置BMIを説明する。実施形態4に係るブレインマシンインターフェース装置BMIには、実施形態1（変形例を含む）の抵抗デバイス100、100A、100B、100C、100D、実施形態2（変形例を含む）の抵抗デバイス100Z、100E、100F、100G、100H、又は、実施形態3（変形例を含む）の抵抗デバイス100Qが搭載される。ブレインマシンインターフェース装置BMIは、「生体インターフェース装置」の一例に相当する。生体インターフェース装置は、生体信号を検出したり、生体組織に対して刺激信号を付与したりして、生体とコンピューターとを繋ぐ装置である。

[0426] 図34は、実施形態4に係るブレインマシンインターフェース装置BMIを示す図である。図34に示すように、ブレインマシンインターフェース装置BMIは、脳波信号を検出したり、脳に対して刺激信号を付与したりして、脳とコンピューターとを繋ぐ装置である。

[0427] ブレインマシンインターフェース装置BMIは、体内装置6と、体外装置7とを備える。体内装置6は、頭部HD内に埋め込まれる。体内装置6は、「体内に埋め込まれる体内埋込装置」の一例に相当する。頭部HDは、「体」の一例に相当する。体内装置6は、脳波信号を検出して、脳波信号の応じた脳情報を体外装置7に送信する。また、体内装置6は、体外装置7からの指示に応じて、脳に対して刺激信号を付与する。体外装置7は、体内装置6から受信した脳情報に応じた動作を行なう。体外装置7と体内装置6とは、互いに無線通信する。

[0428] 体内装置6は、計測装置63と刺激装置67との少なくとも1つを含む。実施形態4では、体内装置6は、計測装置63と刺激装置67とを含む。また、体内装置6は、複数個の計測電極65と、複数個の刺激電極69と、制御装置61とをさらに含む。

[0429] 制御装置61は、計測装置63及び刺激装置67を制御する。制御装置6

1 は、体外装置 7 と無線通信する通信機（不図示）を有する。制御装置 6 1 は、CPU（Central Processing Unit）のようなプロセッサと、半導体メモリのような記憶装置とを含む。例えば、制御装置 6 1 は、マイクロコンピュータである。

[0430] 計測装置 6 3 は、複数個の計測電極 6 5 を介して脳波信号を計測する。具体的には、複数個の計測電極 6 5 の各々は、脳に配置され、脳波信号を検出して、脳波信号を計測装置 6 3 に出力する。計測装置 6 3 は、集積回路装置（IC：Integrated Circuit）6 3 1 を含む。集積回路装置 6 3 1 は、脳波信号を増幅して、増幅後の脳波信号を制御装置 6 1 に出力する。制御装置 6 1 は、脳波信号を表す脳情報を体外装置 7 に送信する。計測装置 6 3 は、「体内に配置されて生体信号を計測する計測装置」の一例に相当する。脳波信号は、「生体信号」の一例に相当する。

[0431] 刺激装置 6 7 は、複数個の刺激電極 6 9 を介して脳に刺激信号を与える。具体的には、刺激装置 6 7 は、刺激信号を生成して、刺激信号を複数個の刺激電極 6 9 に出力する。そして、複数個の刺激電極 6 9 の各々は、脳に配置され、刺激信号を脳に付与する。刺激装置 6 7 は、集積回路装置（IC）6 7 1 を含む。集積回路装置 6 7 1 は、ノイズを除去しつつ刺激信号を増幅して、増幅後の刺激信号を、複数個の刺激電極 6 9 に出力する。刺激装置 6 7 は、「体内に配置されて生体組織に刺激信号を与える刺激装置」の一例に相当する。脳は、「生体組織」の一例に相当する。

[0432] 集積回路装置 6 3 1 及び集積回路装置 6 7 1 の各々には、実施形態 1（変形例を含む）の抵抗デバイス 1 0 0、1 0 0 A～1 0 0 D の電圧印加回路 1 及び電界効果トランジスタ T N が集積されるか、実施形態 2（変形例を含む）の抵抗デバイス 1 0 0 Z、1 0 0 E～1 0 0 H の電圧印加回路 1 A 及び電界効果トランジスタ T P が集積されるか、又は、実施形態 3（変形例を含む）の抵抗デバイス 1 0 0 Q の電圧印加回路 1、1 A 及び電界効果トランジスタ T N、T P が集積されるかしている。特に、頭部 H D に埋め込む体内装置 6 では、電源電圧を高くできず、かつ、複数個の計測電極 6 5 からの脳波信

号及び複数個の刺激電極 6 9 への刺激信号が必要になるため、抵抗デバイス 1 0 0、1 0 0 A ~ 1 0 0 H、1 0 0 Z、1 0 0 Q の集積回路化は特に有効である。

[0433] 次に、体内装置 6 に集積回路装置 6 3 1 及び集積回路装置 6 7 1 を設けることが特に有効な理由を説明する。一例として、脳波信号の計測に着目する。

[0434] すなわち、脳波信号の計測においては、1 H z 以下の低周波な基線レベルの緩やかな変動に、1 H z ~ 数 1 0 0 H z 帯域の脳波信号が重畳された信号が、計測電極 6 5 を介して計測装置 6 3 に入力される。一般的には、脳波信号は、数 μ V ~ 数 1 0 0 μ V のレベルであるため、周囲環境からの外因性の雑音又は体内装置 6 に起因した内因性の雑音の影響を受けることを回避するために、例えば、数 1 0 0 倍 ~ 数 1 0 0 0 倍に脳波信号を増幅することが要求される。

[0435] 一方、基線レベルの変動は、一般的には脳波信号よりも大きいため、計測電極 6 5 から取得した信号を単純に増幅すると、計測装置 6 3 の入力レンジを超えてしまい、脳波信号を取得できなくなる。そこで、計測電極 6 5 からの信号から、所望の周波数帯域の脳波信号だけを増幅するためのフィルタ回路が必要になる。フィルタ回路が集積回路装置 6 3 1 に搭載される。

[0436] フィルタ回路としては、抵抗 R と容量 C との組み合わせで構成される図 2 0 に示すような R C フィルタ回路 1 1 0 X、又は、図 2 1 に示すようなアクティブフィルタ回路 1 1 0 C を利用できる。この場合、帯域制限を行う遮断周波数 f_c は、 $f_c = 1 / (2 \pi \times R C)$ で表される。そして、集積回路装置 6 3 1 に、1 H z 以下の周波数帯域の信号を遮断するフィルタを構成するためには、 $R C \geq 1 / 2 \pi$ となる抵抗 R と容量 C との組み合わせが必要になる。しかしながら、一般的な高抵抗ポリシリコン及び M I M (Metal-Insulator-Metal) 容量では、現実的なサイズでの実現が困難である。

[0437] そこで、フィルタ回路を構成する抵抗素子に、実施形態 1 ~ 実施形態 3 の

抵抗デバイス 100、100A~100H、100Z、100Q のトランジスタ T_N 、 T_P を利用した MOS 抵抗を採用することで、一般的な高抵抗ポリシリコンと同程度のサイズで、一般的な高抵抗ポリシリコンよりも 10 倍~10⁸ 倍の抵抗値を実現でき、現実的なサイズにおいて、 $RC \geq 1 / (2\pi \times 1)$ となる抵抗 R と容量 C との組み合わせが可能になる。

[0438] 加えて、実施形態 1~実施形態 3 の抵抗デバイス 100、100A~100H、100Z、100Q を集積回路装置 631 に集積することで、電圧印加回路 1、1A による温度補正によって、トランジスタ T_N 、 T_P の抵抗値 R の温度依存性が低減する。ひいては、遮断周波数 f_c の温度依存性が低減する。従って、実施形態 1~実施形態 3 のトランジスタ T_N 及び/又はトランジスタ T_P を含むフィルタ回路（例えば、図 21 のアクティブフィルタ回路 110C）を集積回路装置 631 に集積することで、頭部 HD（脳）における温度変動の影響を極力抑制して、計測電極 65 からの信号から、所望の周波数帯域の脳波信号だけを精度良く取り出して、所望の周波数帯域の脳波信号だけを増幅できる。同様に、体内装置 6 に集積回路装置 671 を設けることは有効である。

[0439] 図 35 は、集積回路装置 631 の一例を示す回路図である。図 35 に示すように、集積回路装置 631 は、複数の増幅器 81 と、複数のサンプルホールド回路 82 と、マルチプレクサ 83 と、アナログーデジタル変換器（ADC: Analog to Digital Converter）84 と、実施形態 1 の電圧印加回路 1 とを含む。

[0440] 複数の増幅器 81 は、それぞれ、複数の計測電極 65 が検出した検出信号を受信する。複数の増幅器 81 の各々は、対応する計測電極 65 の検出信号からノイズを除去して脳波信号を取り出し、脳波信号を増幅し、増幅した脳波信号を、対応するサンプルホールド回路 82 に出力する。

[0441] 具体的には、複数の増幅器 81 の各々は、実施形態 1 の MOS 抵抗としてのトランジスタ T_N を含むフィルタ回路、例えば、図 21 に示すアクティブフィルタ回路 110C を有する。そして、電圧印加回路 1 は、複数の増幅器

81の各々のトランジスタTN（MOS抵抗MR）のゲートソース間に制御電圧 V_{gs} を印加する。この場合、電圧印加回路1及び複数のトランジスタTNが抵抗デバイス100を構成する。なお、電圧制御電圧源19は、トランジスタTNごとに設けられていてもよい。また、例えば、複数の増幅器81の各々は、図20に示すRCフィルタ回路110Xによって構成されていてもよい。

[0442] なお、複数の増幅器81の各々は、実施形態2のMOS抵抗としてのトランジスタTPを含むフィルタ回路を有していてもよいし、実施形態3のMOS抵抗としてのトランジスタTN、TPを含むフィルタ回路を有していてもよい。

[0443] 複数のサンプルホールド回路82の各々は、対応する増幅器81が出力した脳波信号を保持して、保持した脳波信号をマルチプレクサ83に出力する。マルチプレクサ83は、複数のサンプルホールド回路82が出力した脳波信号を多重化したシリアル信号をADC84に出力する。ADC84は、アナログのシリアル信号をデジタル信号に変換して、デジタルのシリアル信号を制御装置61に出力する。

[0444] ここまで、実施形態4では、抵抗デバイス100、100A～100H、100Z、100Qの応用例の1つとして、生体の脳に対する計測と刺激とを行うブレインマシンインターフェース装置BMIを説明した。ただし、抵抗デバイス100、100A～100H、100Z、100Qの適用は、ブレインマシンインターフェース装置BMIに限られず、例えば、生体インターフェース装置に適用できる。具体的には、実施形態4では、体内装置6を説明したが、抵抗デバイス100、100A～100H、100Z、100Qの適用は、頭部HDに埋め込まれる体内装置6に限られず、例えば、人間等の動物の体内に埋め込まれる、生体組織に刺激信号を与える刺激装置と生体信号を計測する計測装置とのうちの少なくとも1つを備える体内埋込装置に適用できる。例えば、体内埋込装置は、ペースメーカー、又は、人工内耳である。

[0445] 以上、図面を参照して本発明の実施形態（変形例を含む）について説明した。ただし、本発明は、上記の実施形態に限られるものではなく、その要旨を逸脱しない範囲で種々の態様において実施できる。また、上記の実施形態に開示される複数の構成要素は適宜改変可能である。例えば、ある実施形態に示される全構成要素のうちのある構成要素を別の実施形態の構成要素に追加してもよく、または、ある実施形態に示される全構成要素のうちの一つかの構成要素を実施形態から削除してもよい。

[0446] また、図面は、発明の理解を容易にするために、それぞれの構成要素を主体に模式的に示しており、図示された各構成要素の厚さ、長さ、個数、間隔等は、図面作成の都合上から実際とは異なる場合もある。また、上記の実施形態で示す各構成要素の構成は一例であって、特に限定されるものではなく、本発明の効果から実質的に逸脱しない範囲で種々の変更が可能であることは言うまでもない。

産業上の利用可能性

[0447] 本発明は、抵抗デバイス、集積回路装置、体内埋込装置、及び、補正係数決定方法を提供するものであり、産業上の利用可能性を有する。

符号の説明

[0448] 1、1 A 電圧印加回路
6 体内装置（体内埋込装置）
9、9 A 制御電圧印加部
13、13 A 温度検出部
63 計測装置
67 刺激装置
100、100 A～100 H、100 Q、100 Z 抵抗デバイス
131 第1電流源回路
133 第2電流源回路
200、200 A、200 B 電子回路装置（集積回路装置）
631、671 集積回路装置

T N、T P 電界効果トランジスタ

請求の範囲

- [請求項1] 電界効果トランジスタと、
 前記電界効果トランジスタのゲートソース間に、温度に応じた制御電圧を印加して、前記電界効果トランジスタのドレインソース間の抵抗値を制御する電圧印加回路と
 を備え、
 前記制御電圧は、基準電圧に補正電圧を加算した電圧を示し、
 前記補正電圧は、前記温度に依存し、第1温度でゼロになるように設定される、抵抗デバイス。
- [請求項2] 前記電圧印加回路は、
 前記温度に応じた検出信号を出力する温度検出部と、
 前記検出信号に応じて前記温度に対して線形に変化する前記補正電圧を前記制御電圧が含むように、前記制御電圧を生成して、前記制御電圧を前記電界効果トランジスタのゲートソース間に印加する制御電圧印加部と
 を含む、請求項1に記載の抵抗デバイス。
- [請求項3] 前記第1温度は、前記補正電圧を定めるための係数である補正係数の変化に対して、前記電界効果トランジスタに関する物理量が略一定であるときの温度を示す、請求項1又は請求項2に記載の抵抗デバイス。
- [請求項4] 前記補正電圧を定めるための係数である補正係数の値は、前記第1温度において前記電界効果トランジスタに関する目標物理量が得られるときの前記基準電圧に基づいて、前記第1温度と異なる第2温度において前記目標物理量が得られるときの値を示す、請求項1から請求項3のいずれか1項に記載の抵抗デバイス。
- [請求項5] 前記温度検出部は、
 第1電流を生成する第1電流源回路と、
 第2電流を生成する第2電流源回路と

を含み、

前記第 1 電流源回路の温度依存性と前記第 2 電流源回路の温度依存性とが異なり、

前記第 1 電流源回路と前記第 2 電流源回路とは、直列に接続され、
前記第 1 電流と前記第 2 電流との差分電流が前記検出信号であり、
前記第 1 電流源回路が前記第 1 電流の電流値を変更し、及び／又は、
前記第 2 電流源回路が前記第 2 電流の電流値を変更することで、前記第 1 温度が変更される、請求項 2 に記載の抵抗デバイス。

[請求項6]

前記電圧印加回路は、前記電界効果トランジスタのゲートソース間に前記制御電圧を印加して、前記電界効果トランジスタの第 1 動作領域におけるドレインソース間の抵抗値を制御し、

前記第 1 動作領域は、前記電界効果トランジスタのゲートソース間の電圧の大きさが閾値電圧の大きさより大きい領域を示す、請求項 1 から請求項 5 のいずれか 1 項に記載の抵抗デバイス。

[請求項7]

前記電圧印加回路は、前記電界効果トランジスタのゲートソース間に前記制御電圧を印加して、前記電界効果トランジスタの第 2 動作領域におけるドレインソース間の抵抗値を制御し、

前記第 2 動作領域は、前記電界効果トランジスタのゲートソース間の電圧の大きさが閾値電圧の大きさより小さい領域を示す、請求項 1 から請求項 5 のいずれか 1 項に記載の抵抗デバイス。

[請求項8]

請求項 1 から請求項 7 のいずれか 1 項に記載の抵抗デバイスの前記電界効果トランジスタ及び前記電圧印加回路を集積した集積回路装置。

[請求項9]

体内に埋め込まれる体内埋込装置であって、

生体組織に刺激信号を与える刺激装置と生体信号を計測する計測装置とのうちの少なくとも 1 つを備え、

前記刺激装置と前記計測装置とのうちの少なくとも 1 つは、請求項 8 に記載の集積回路装置を含む、体内埋込装置。

[請求項10] 電界効果トランジスタのゲートソース間に印加する制御電圧を補正するときの補正係数を決定する補正係数決定方法であって、

次式において、前記制御電圧を「 V_{gs} 」で示し、基準電圧を「 V_{gs0} 」で示し、補正電圧を「 V_c 」で示し、補正係数を「 β 」で示し、変数としての温度を「 T 」で示し、前記補正電圧 V_c がゼロになるときの温度である第1温度を「 T_1 」で示したときに、

前記第1温度 T_1 において前記電界効果トランジスタに関する目標物理量が得られるときの前記基準電圧 V_{gs0} の電圧値である特定電圧値を決定する工程と、

前記第1温度 T_1 と異なる第2温度及び前記基準電圧 V_{gs0} の前記特定電圧値において前記目標物理量が得られるときの前記補正係数 β の値である特定係数値を決定する工程と

を含む、補正係数決定方法。

$$V_{gs} = V_{gs0} + V_c = V_{gs0} + \beta (T - T_1)$$

[請求項11] 前記基準電圧 V_{gs0} の前記特定電圧値を決定する前記工程は、

前記第1温度 T_1 において、前記基準電圧 V_{gs0} の電圧値を変更しながら、前記電界効果トランジスタに関する物理量を計測する工程と、

前記基準電圧 V_{gs0} の前記電圧値を変更しながら計測された複数の前記物理量のうち、前記目標物理量と略一致する物理量を計測したときの前記基準電圧 V_{gs0} の前記電圧値を前記基準電圧 V_{gs0} の前記特定電圧値に決定する工程と

を含み、

前記補正係数 β の前記特定係数値を決定する前記工程は、

前記第2温度及び前記基準電圧 V_{gs0} の前記特定電圧値において、前記補正係数 β の値を変更しながら、前記電界効果トランジスタに関する物理量を計測する工程と、

前記補正係数 β の前記値を変更しながら計測された複数の前記物理

量のうち、前記目標物理量と略一致する物理量を計測したときの前記補正係数 β の前記値を前記補正係数 β の前記特定係数値に決定する工程と

を含む、請求項10に記載の補正係数決定方法。

[請求項12] 前記第1温度 T_1 は、前記補正係数 β の変化に対して、前記電界効果トランジスタに関する物理量が略一定であるときの温度を示す、請求項10又は請求項11に記載の補正係数決定方法。

[請求項13] 前記補正電圧 V_c は、第1電流と第2電流との差分電流に基づく値を有し、

前記第1電流は、温度の変化に対して線形に変化する電流を示し、

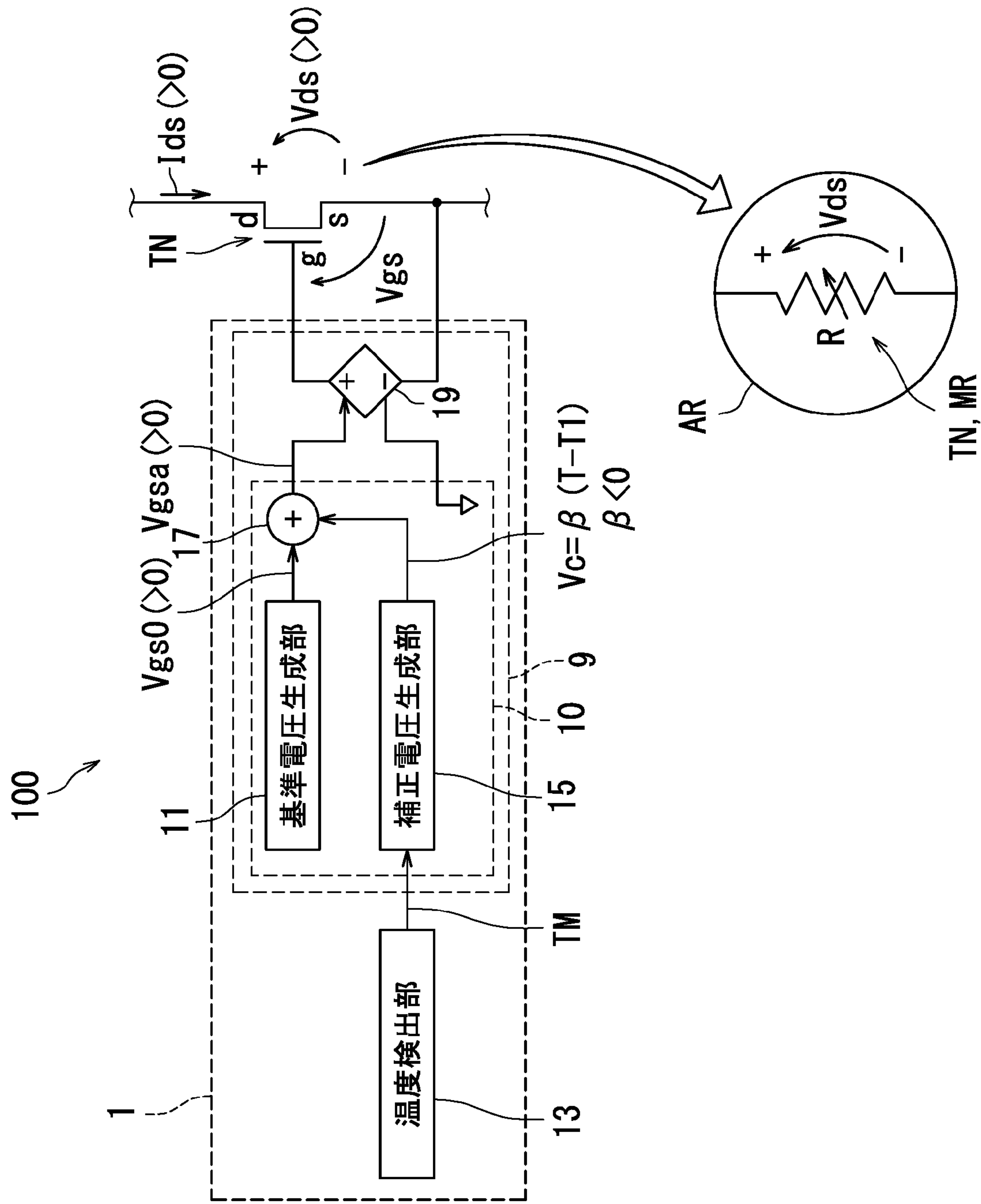
前記第2電流は、前記温度の変化に対して線形に変化する電流を示し、

前記第1電流の温度依存性と前記第2電流の温度依存性が異なり、

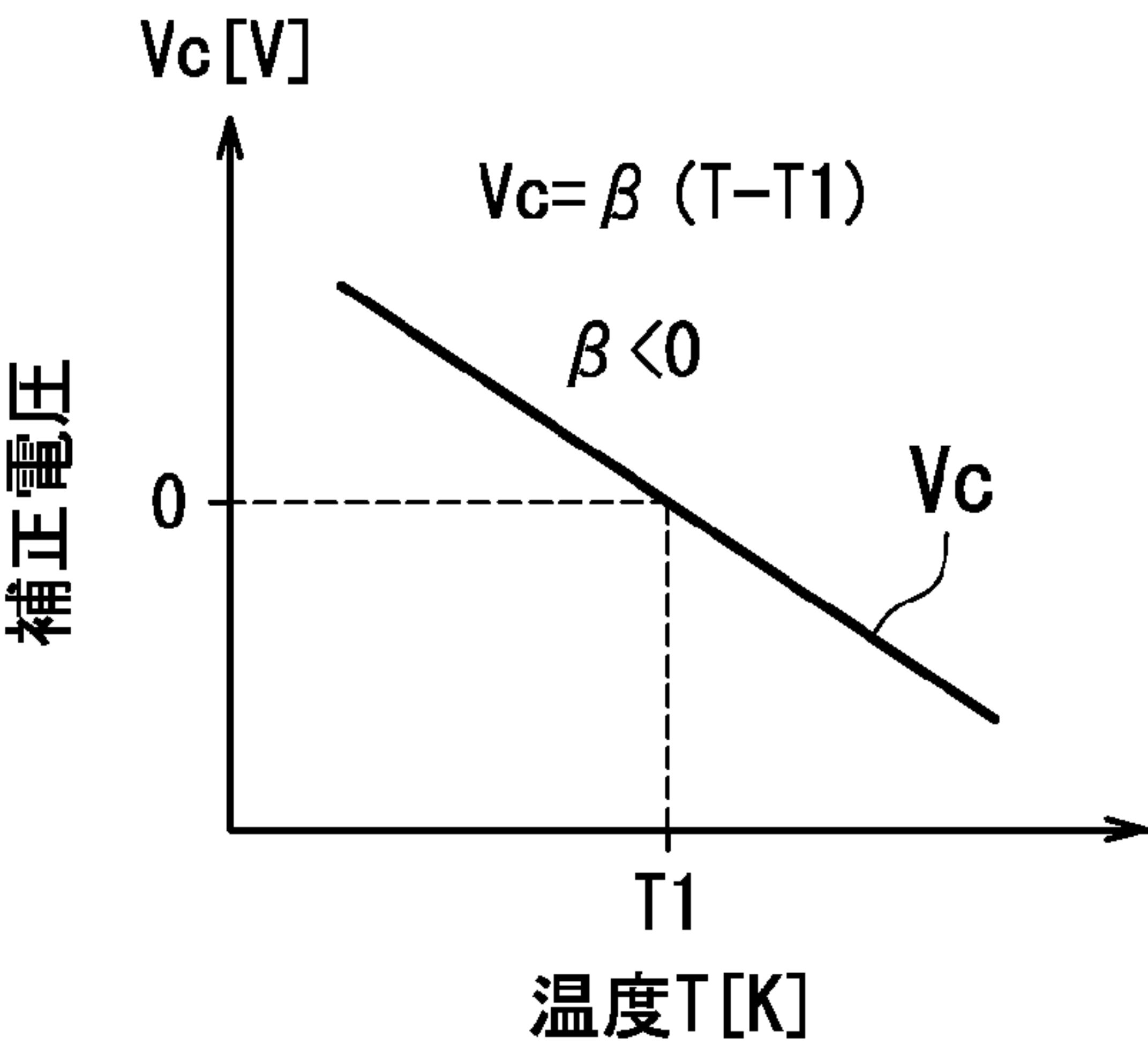
前記第1電流の電流値と前記第2電流の電流値とのうちの少なくとも一方の電流値を変更することで、前記第1温度 T_1 を変更する工程をさらに含む、請求項10から請求項12のいずれか1項に記載の補正係数決定方法。

[請求項14] 前記目標物理量は、前記電界効果トランジスタを含む電子回路から計測可能な、前記電界効果トランジスタの抵抗値を含む物理量であって、目標値として設定される物理量を示す、請求項10から請求項13のいずれか1項に記載の補正係数決定方法。

[図1]

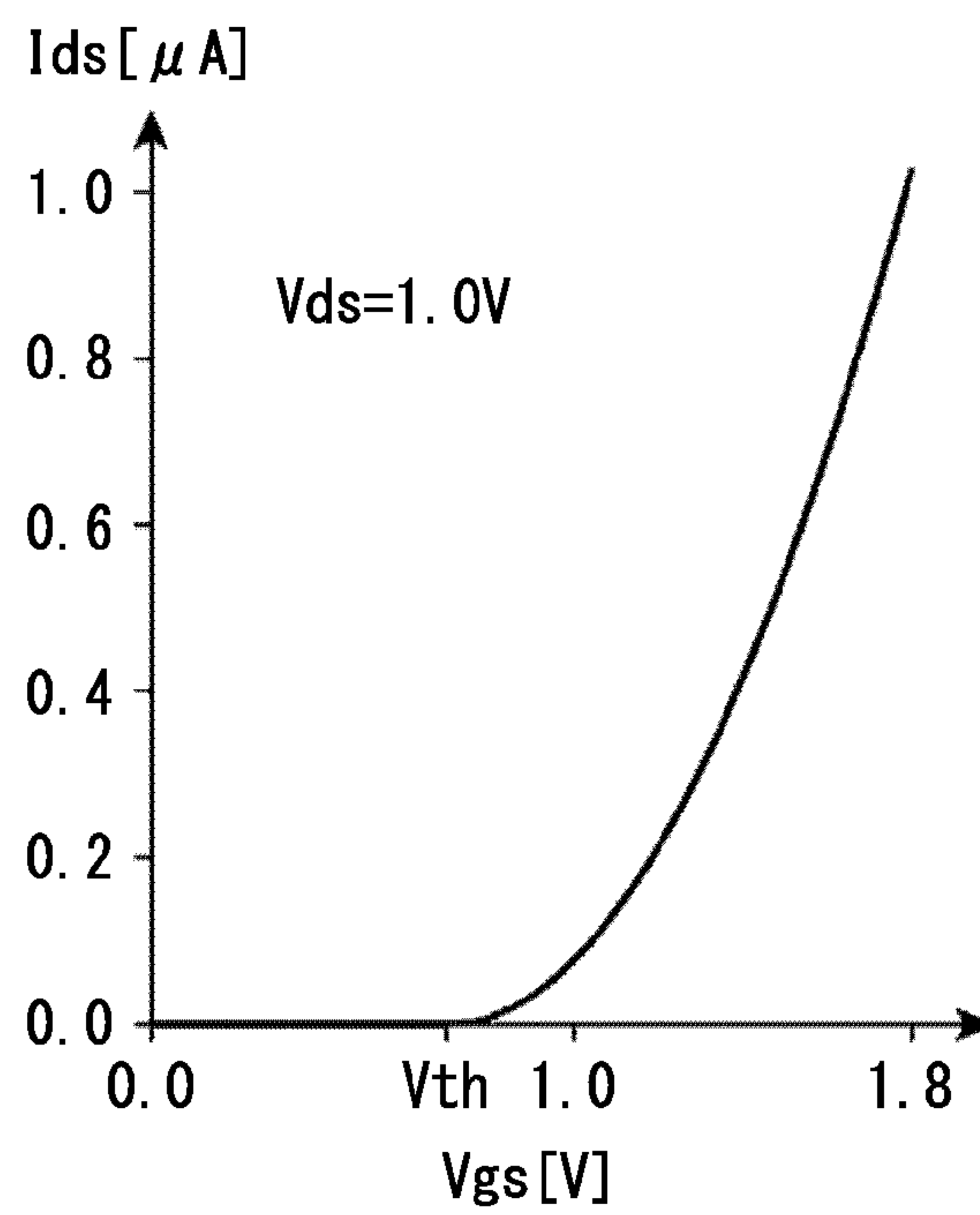


[図2]

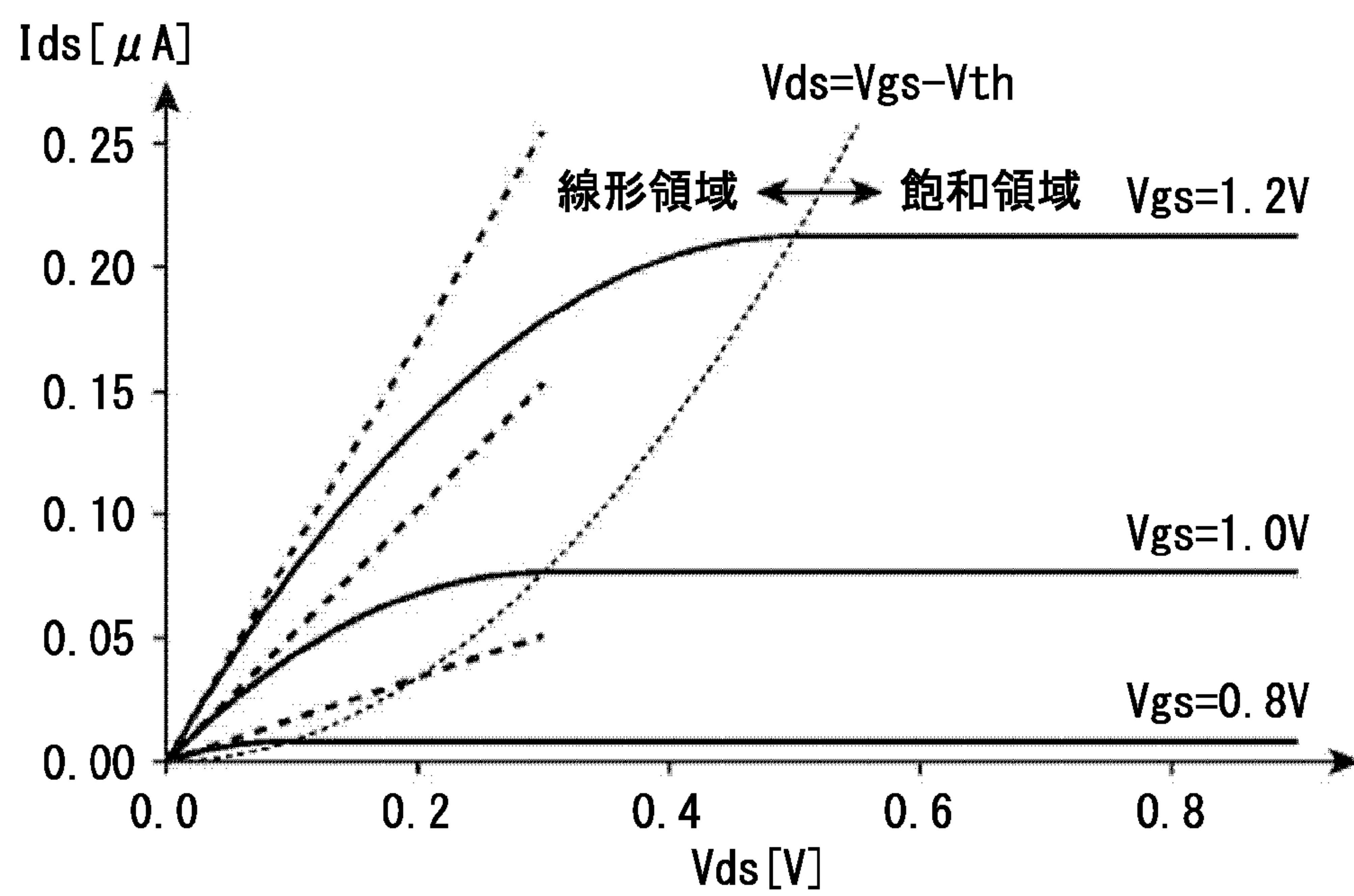


[図3]

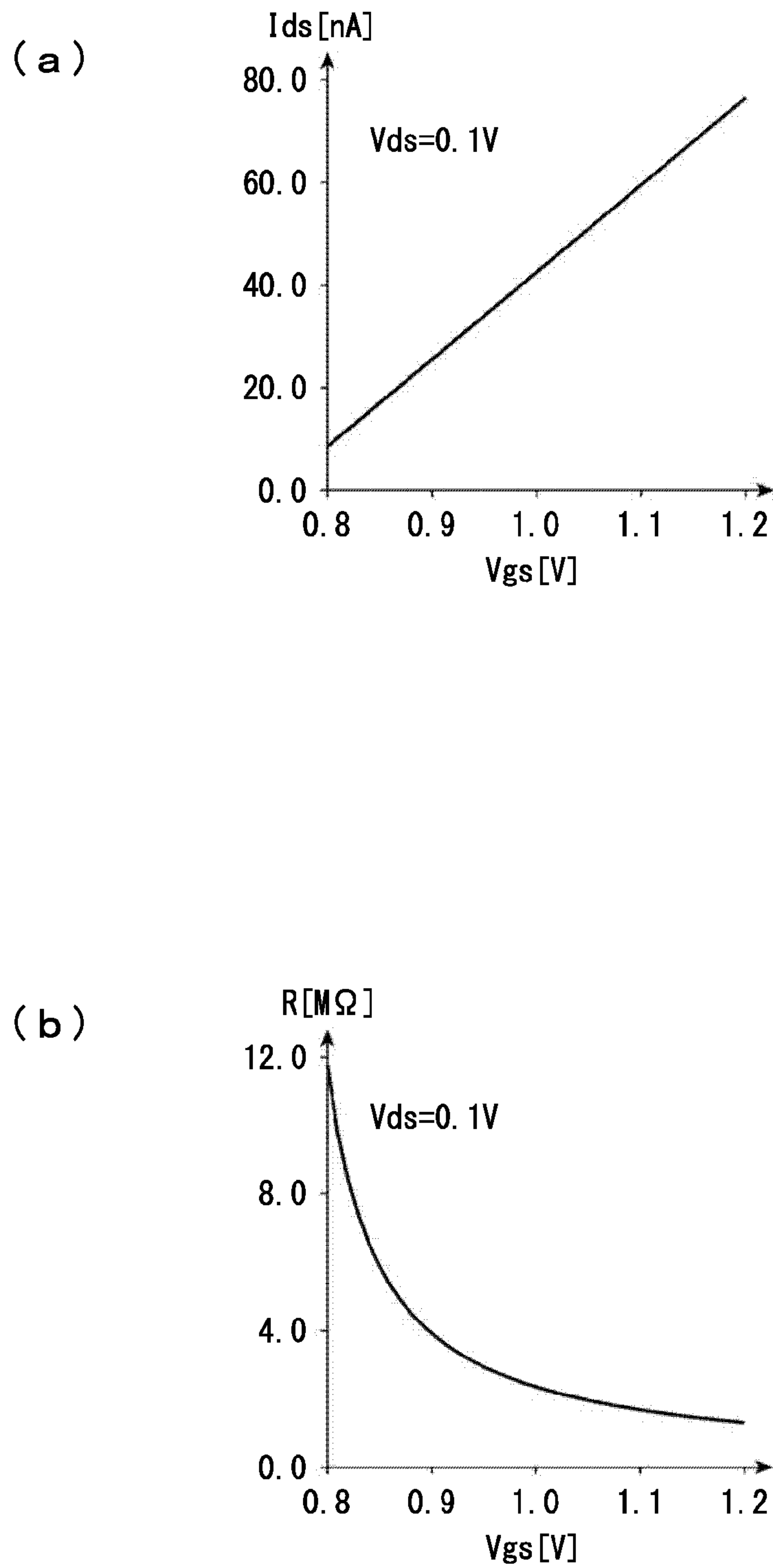
(a)



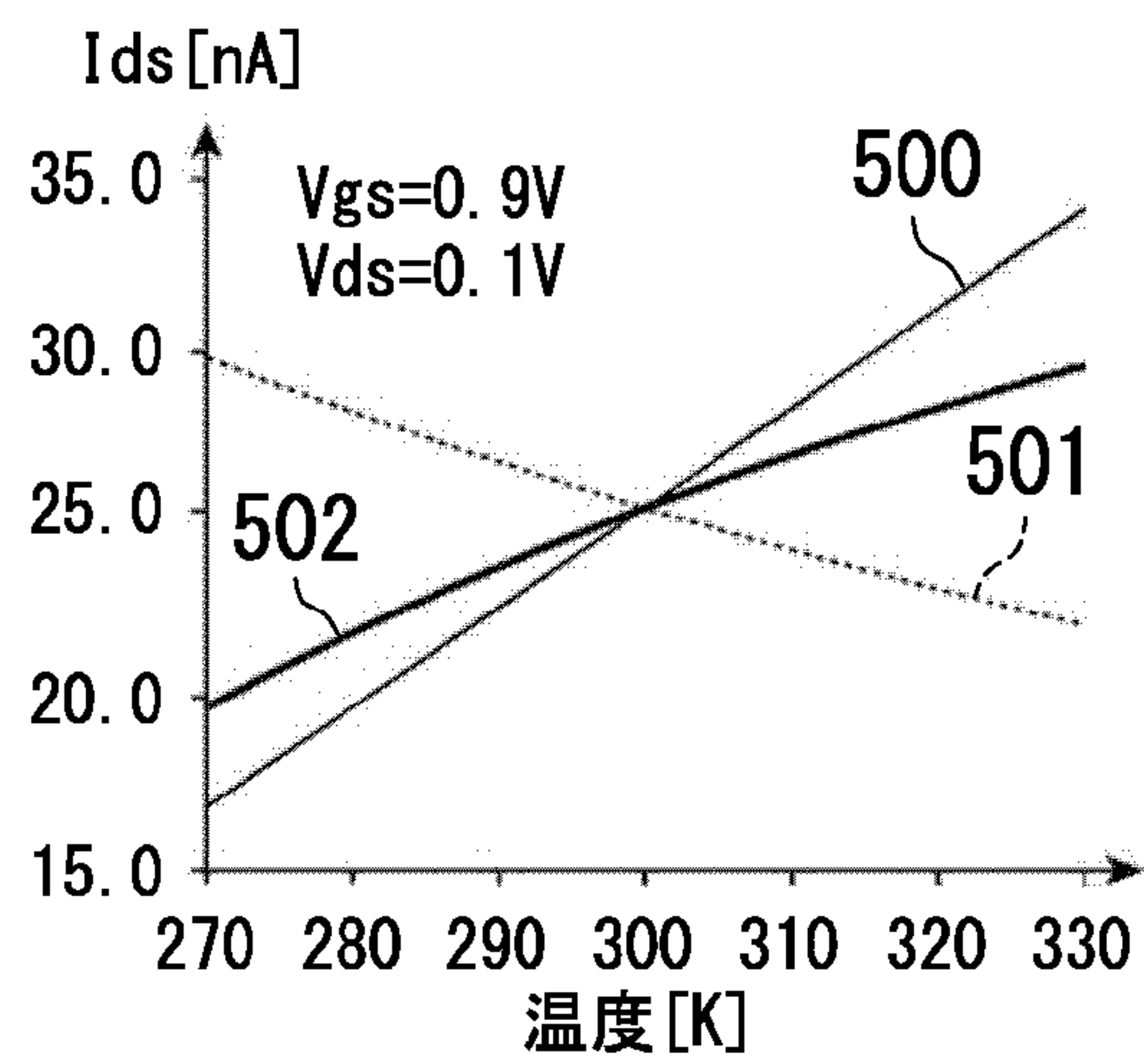
(b)



[図4]

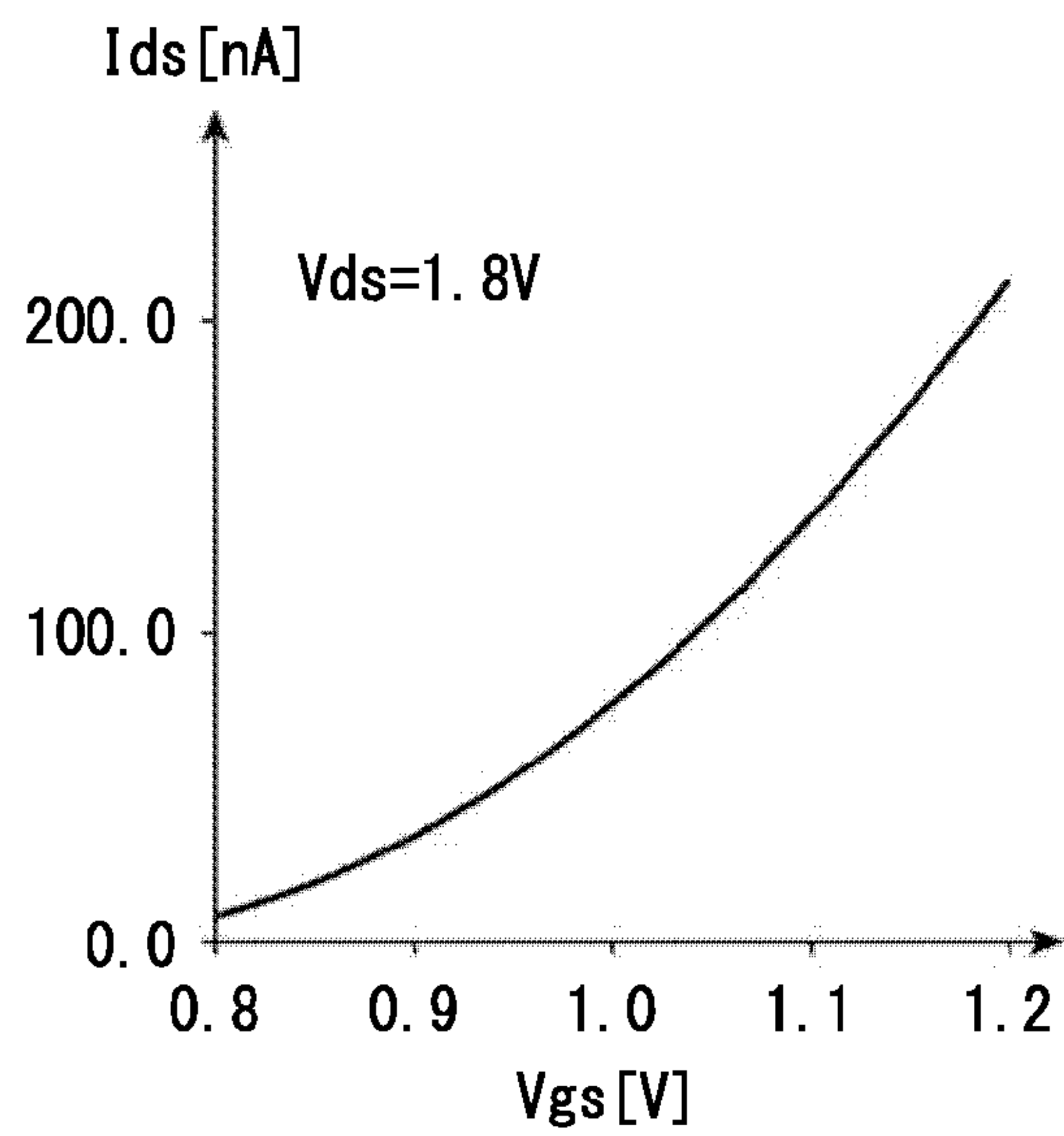


[図5]

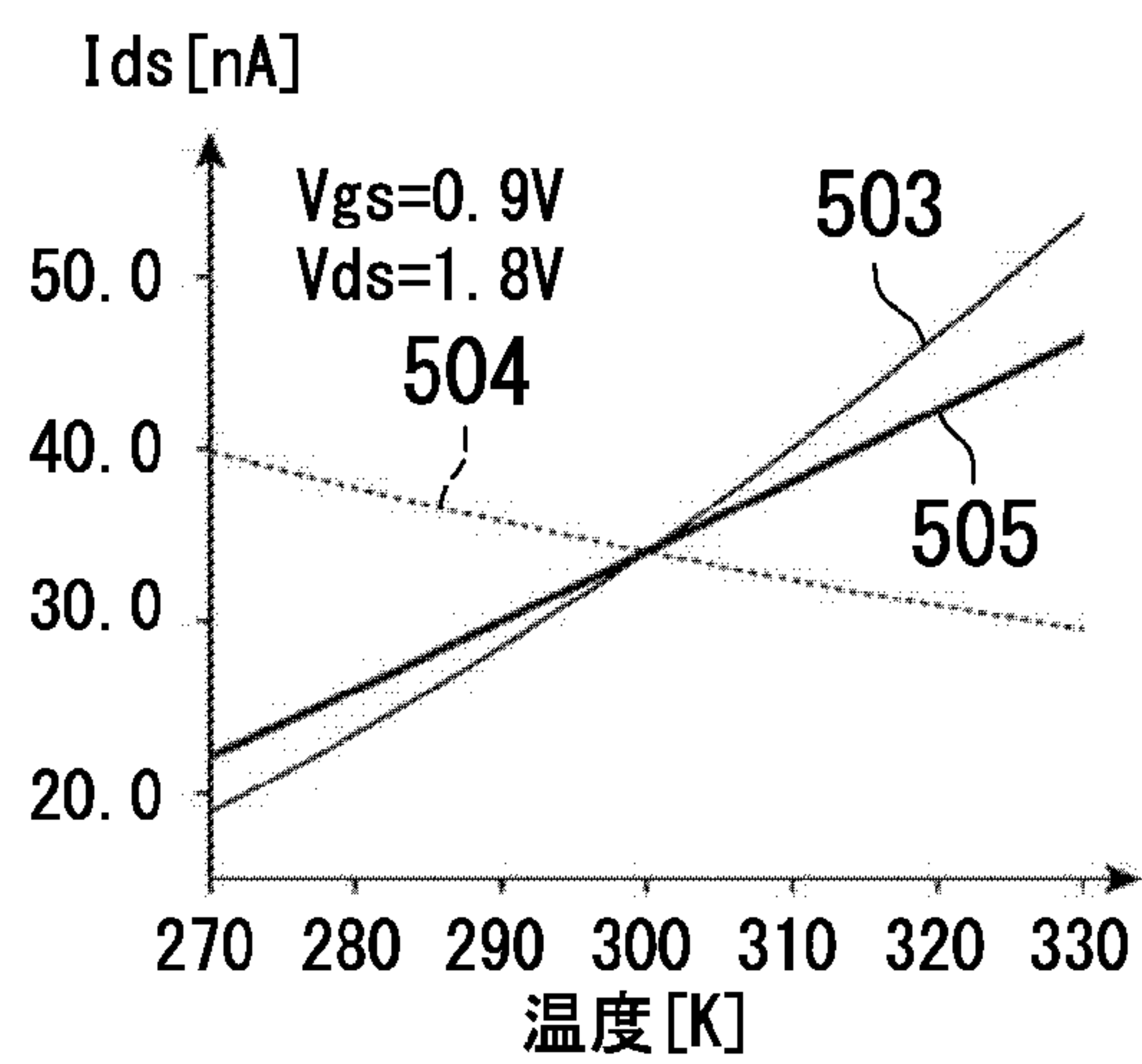


[図6]

(a)

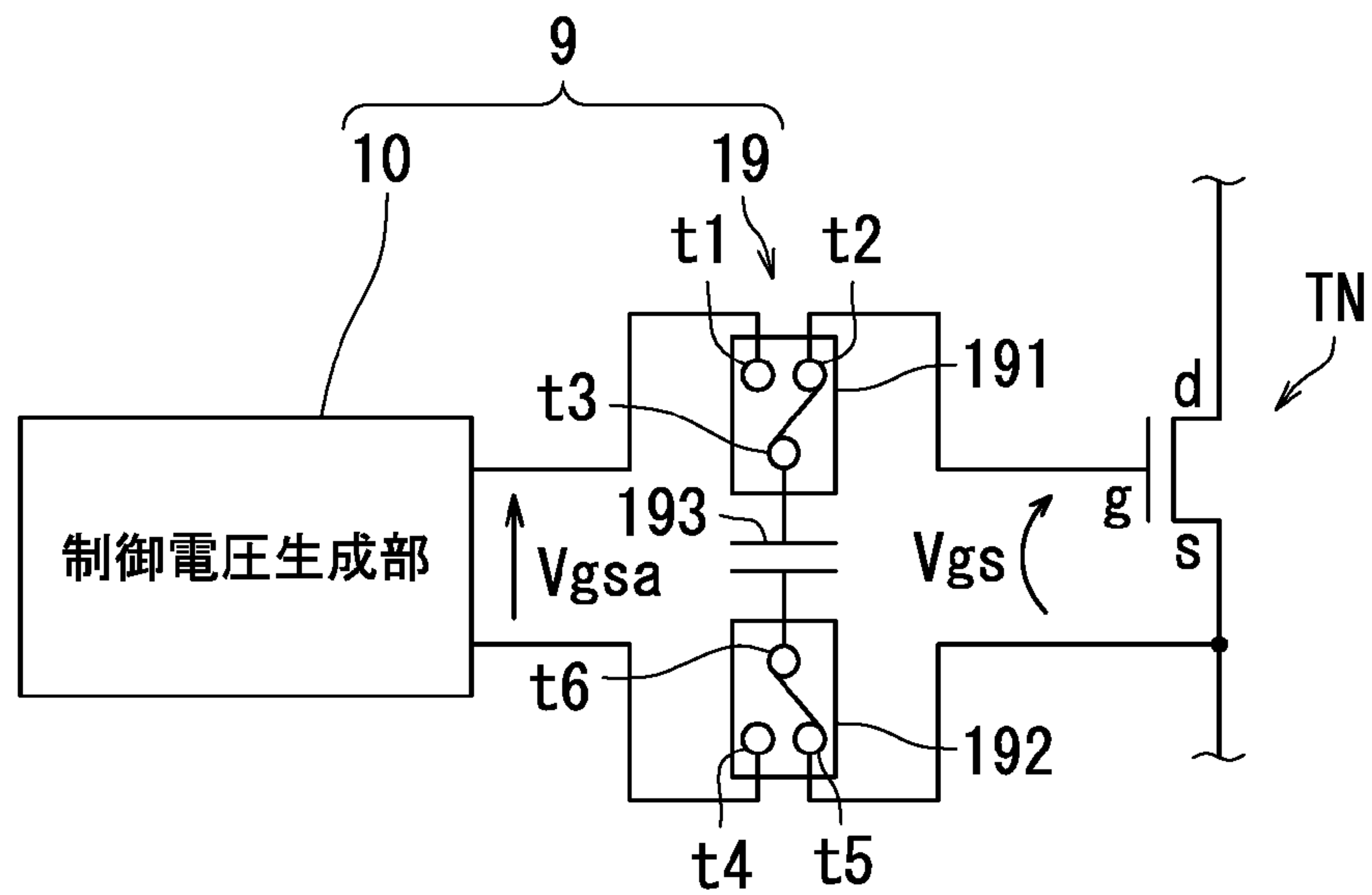


(b)

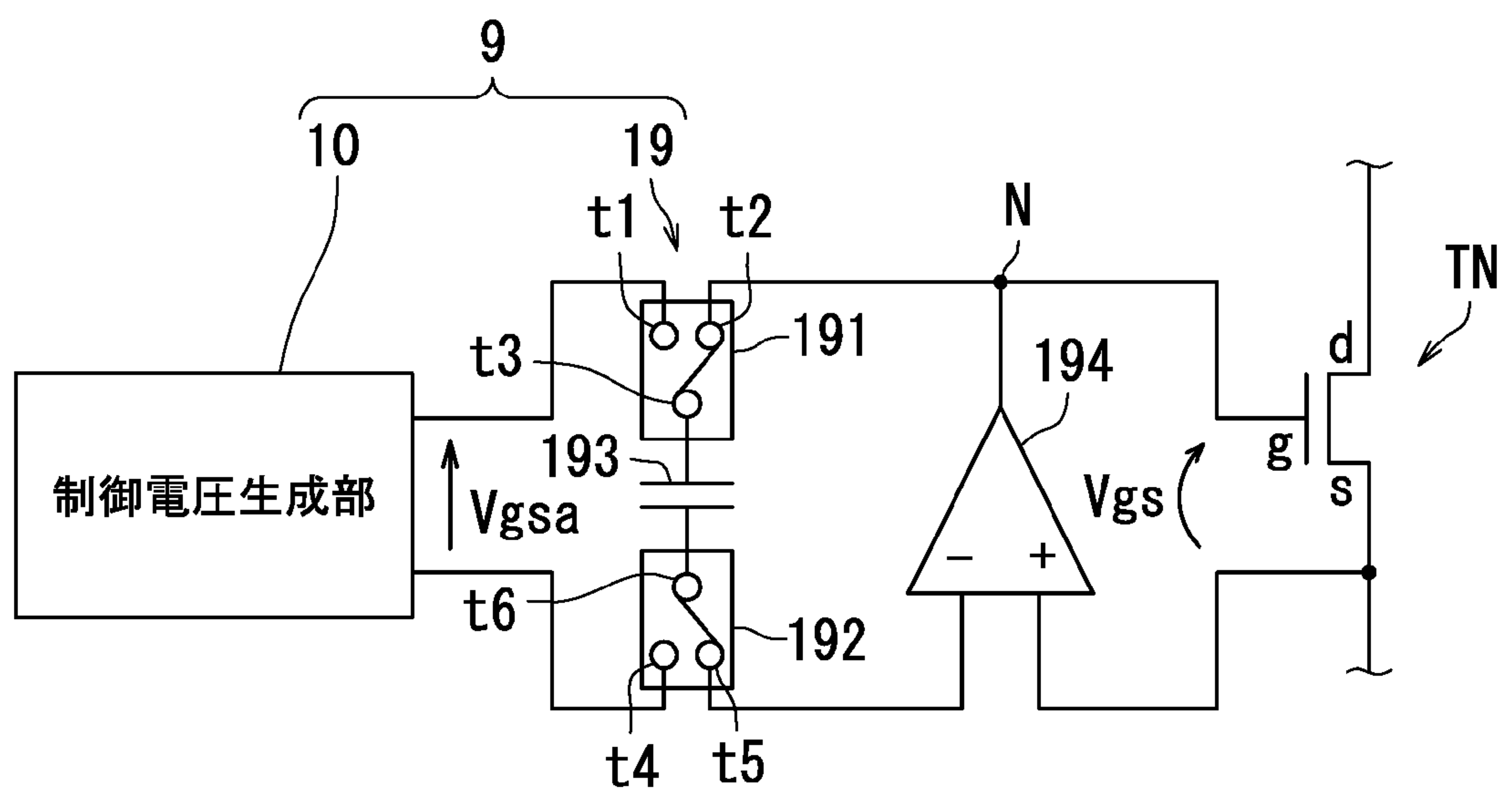


[図7]

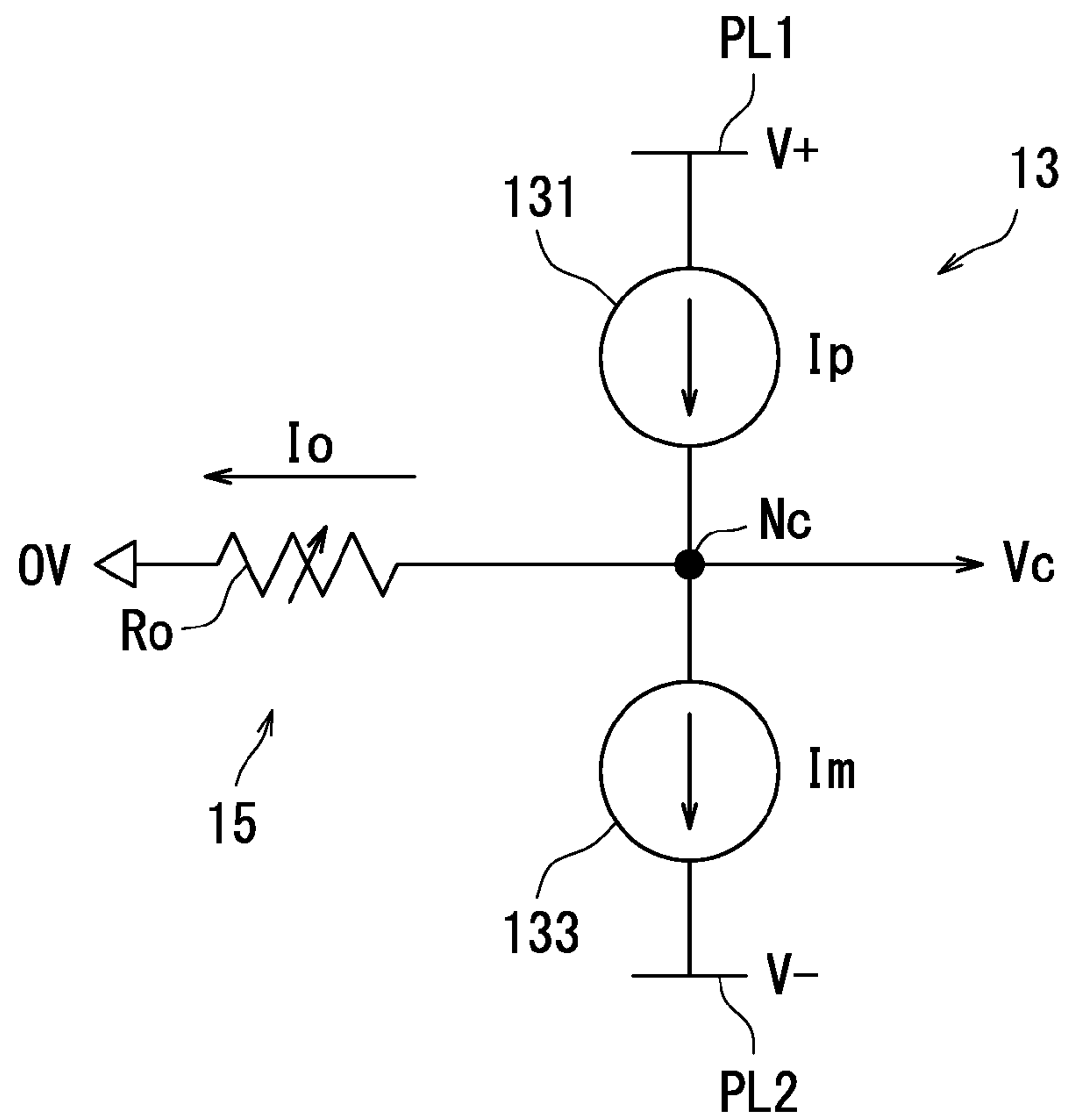
(a)



(b)

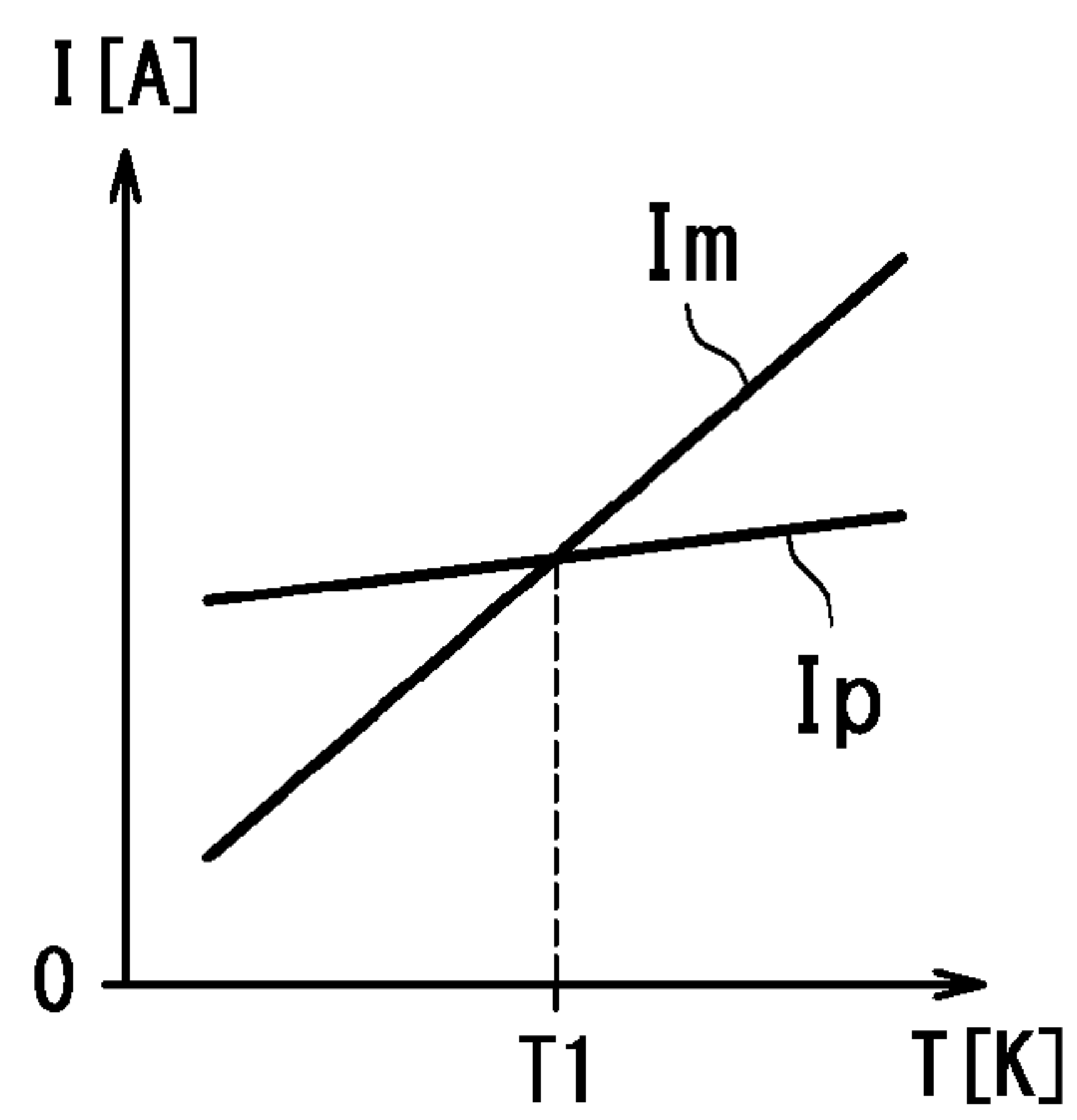


[図8]

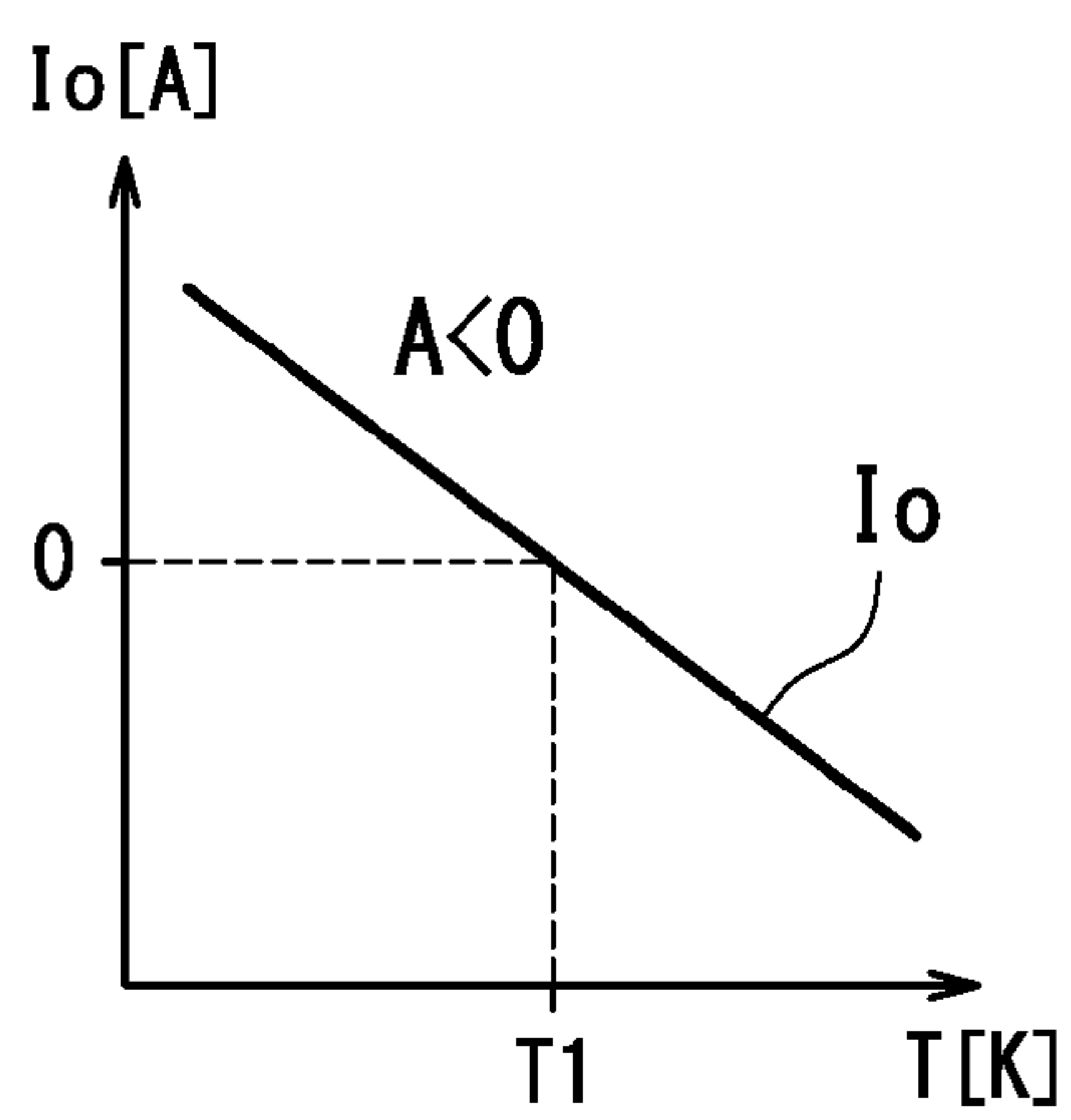


[図9]

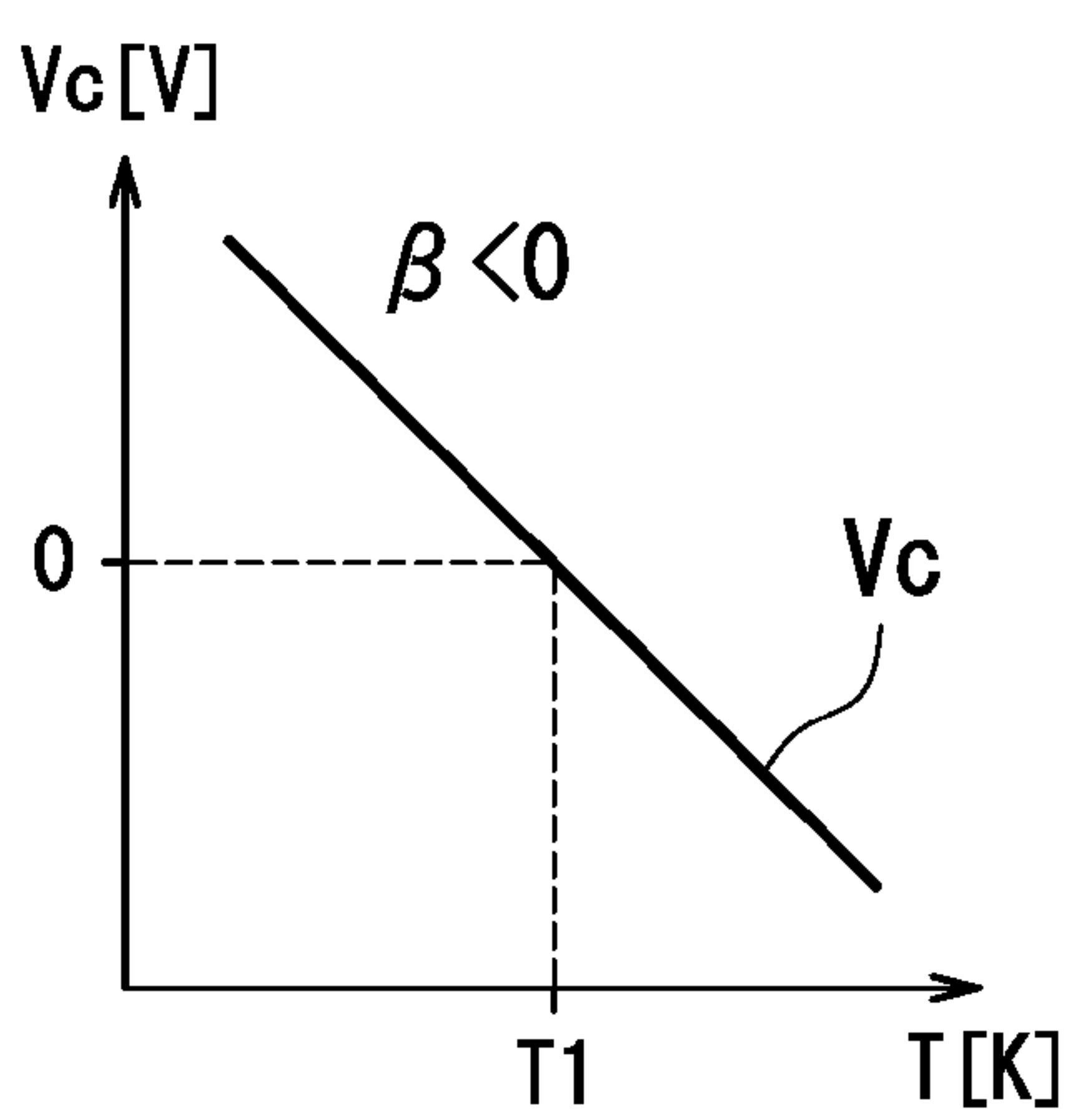
(a)



(b)

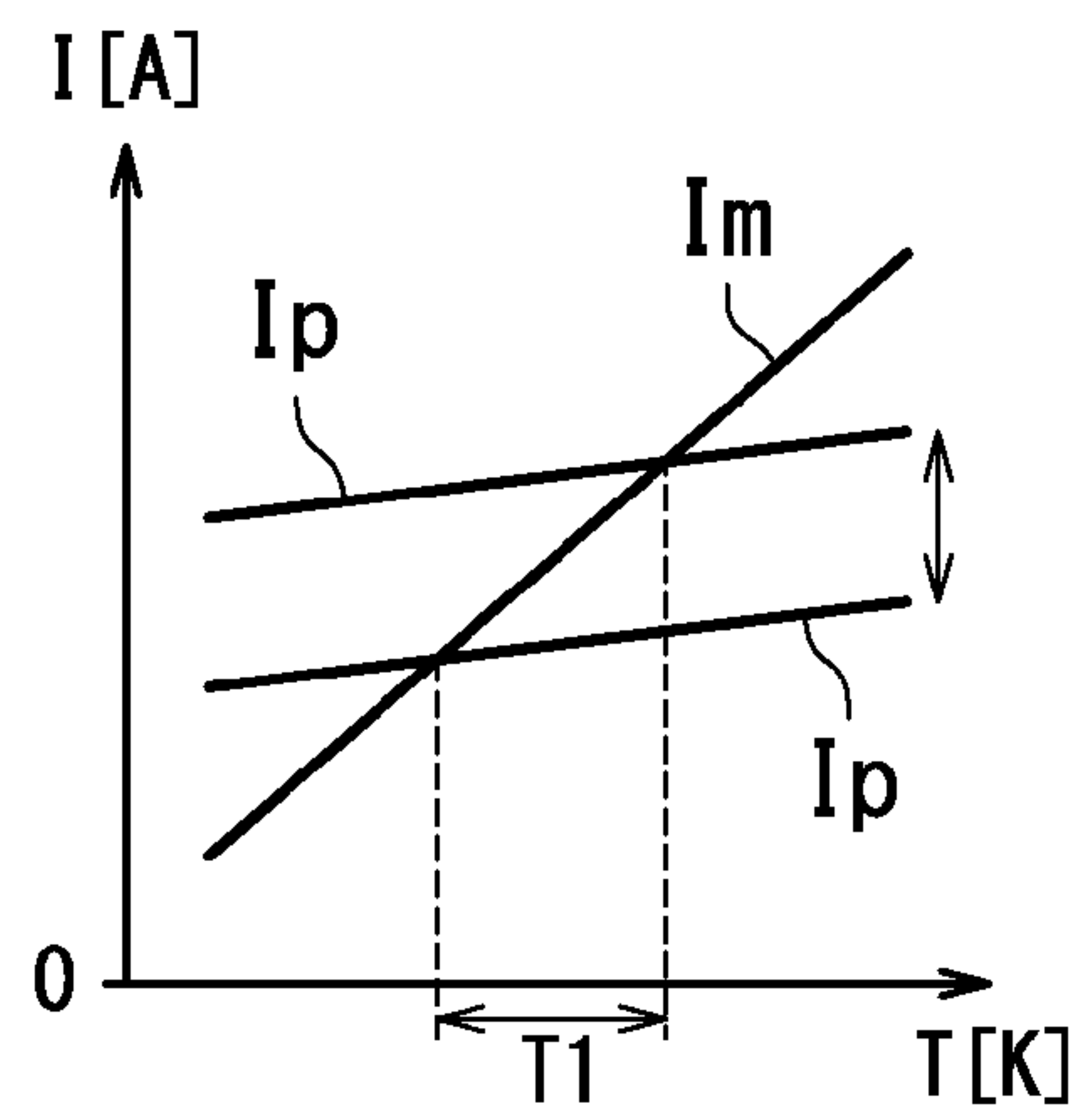


(c)

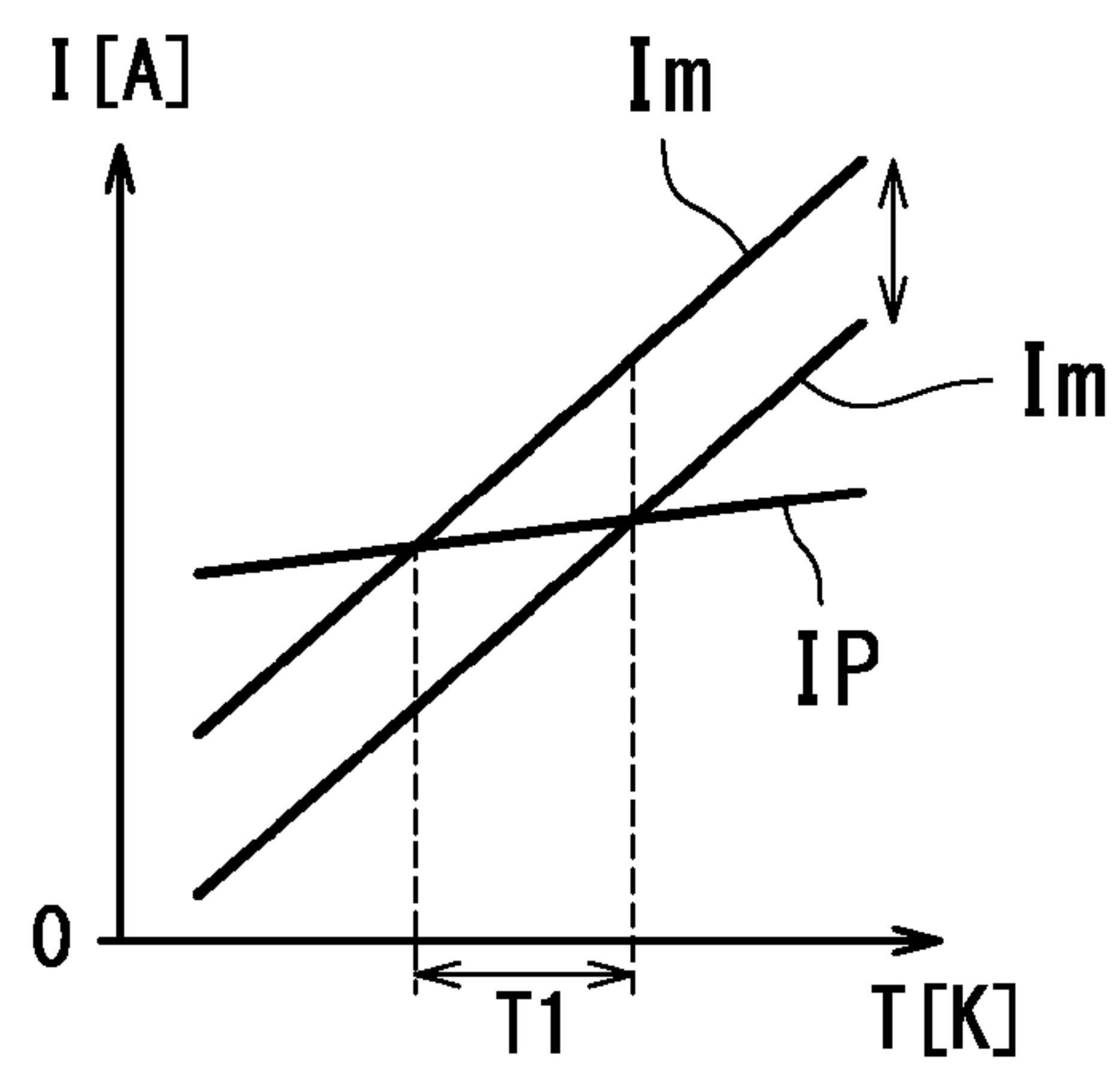


[図10]

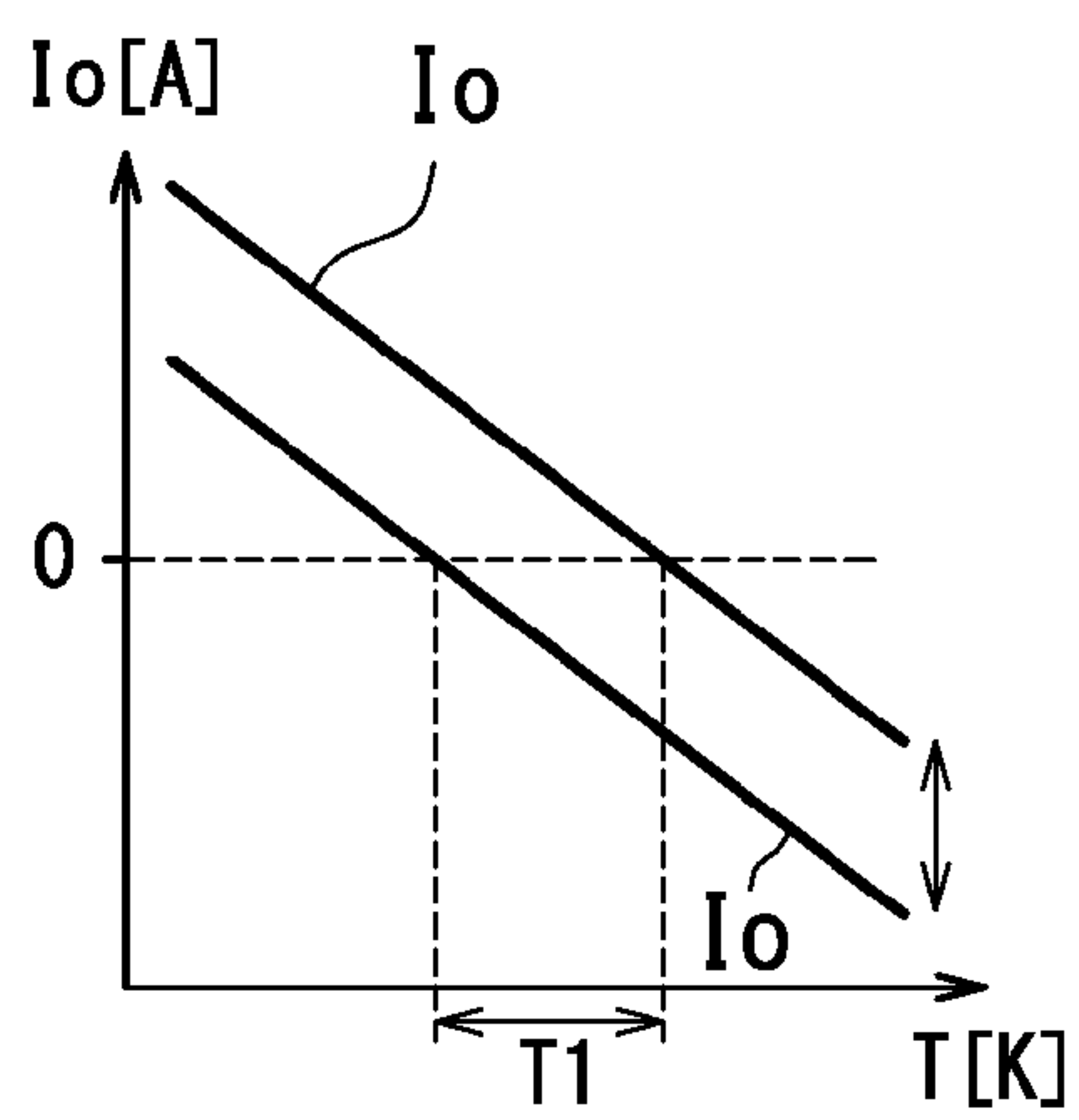
(a)



(b)

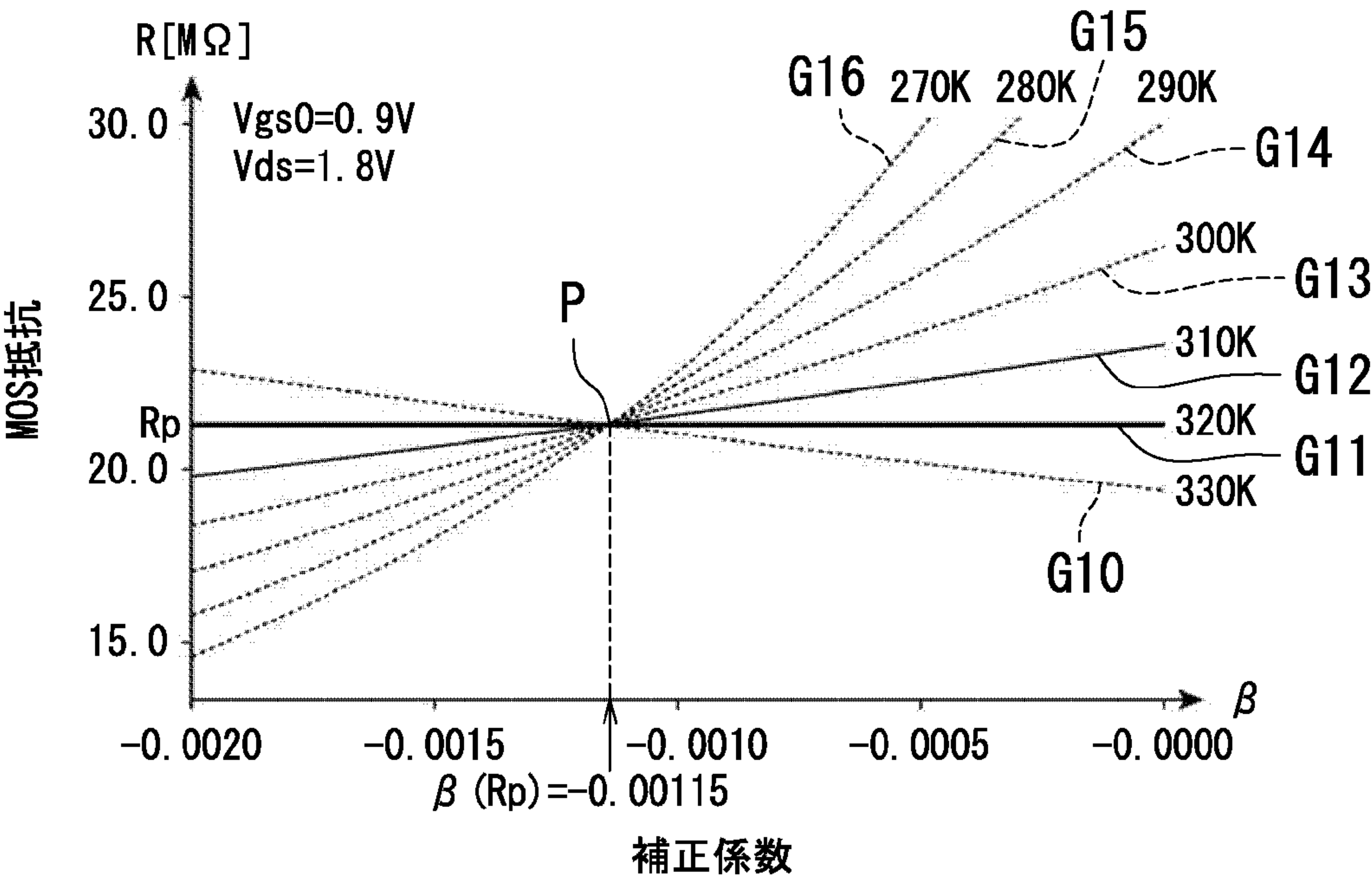


(c)

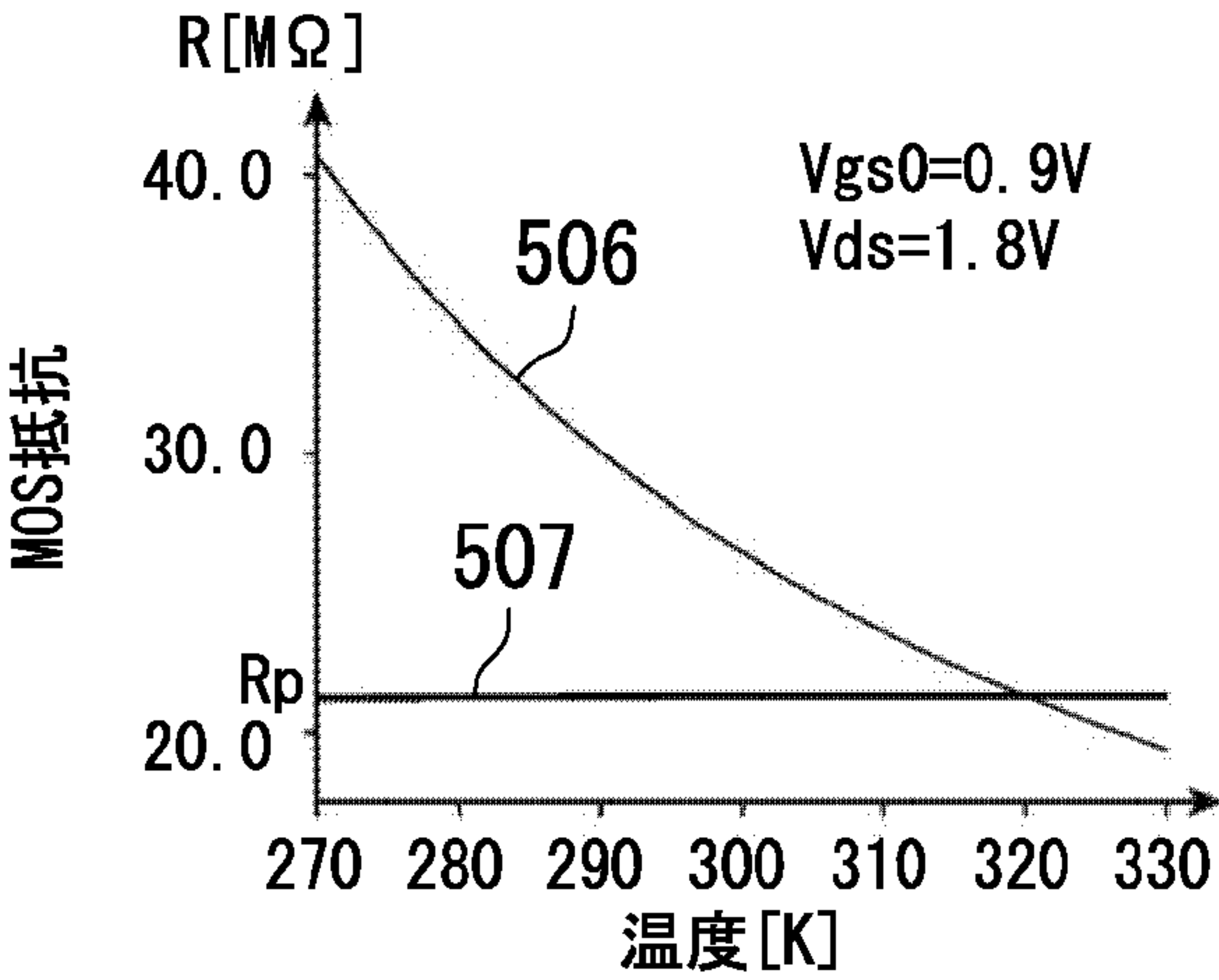


[図11]

(a)

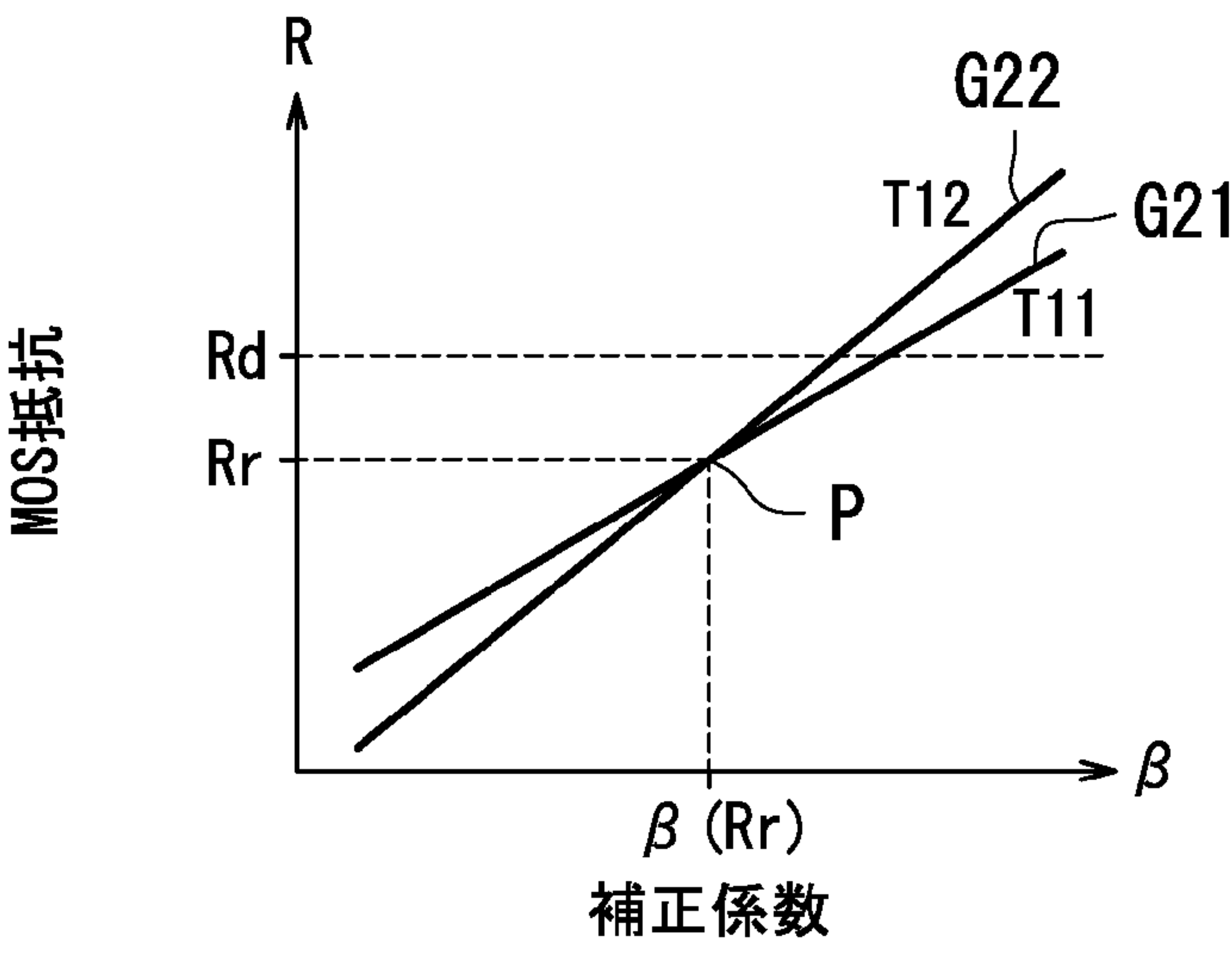


(b)

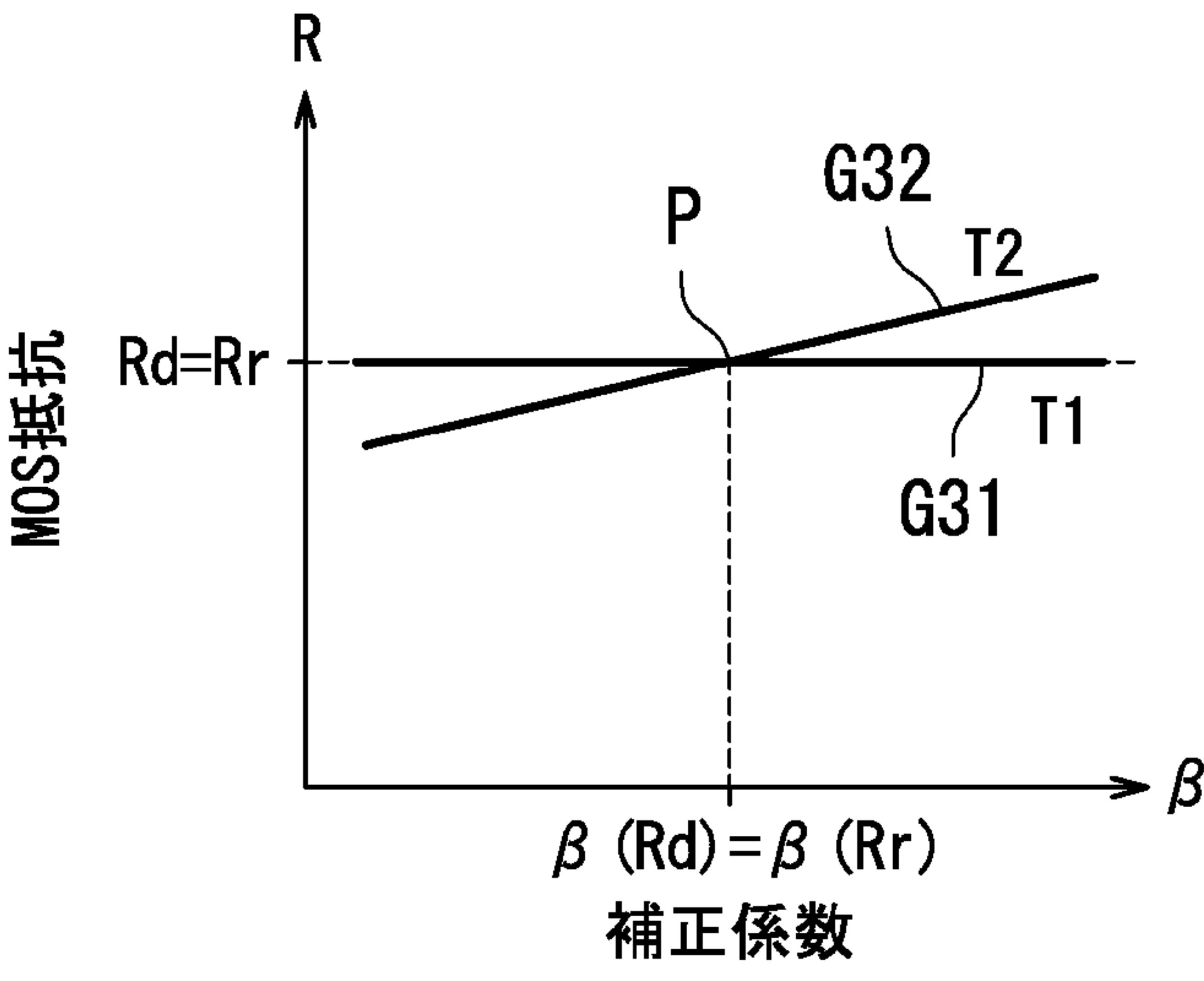


[図12]

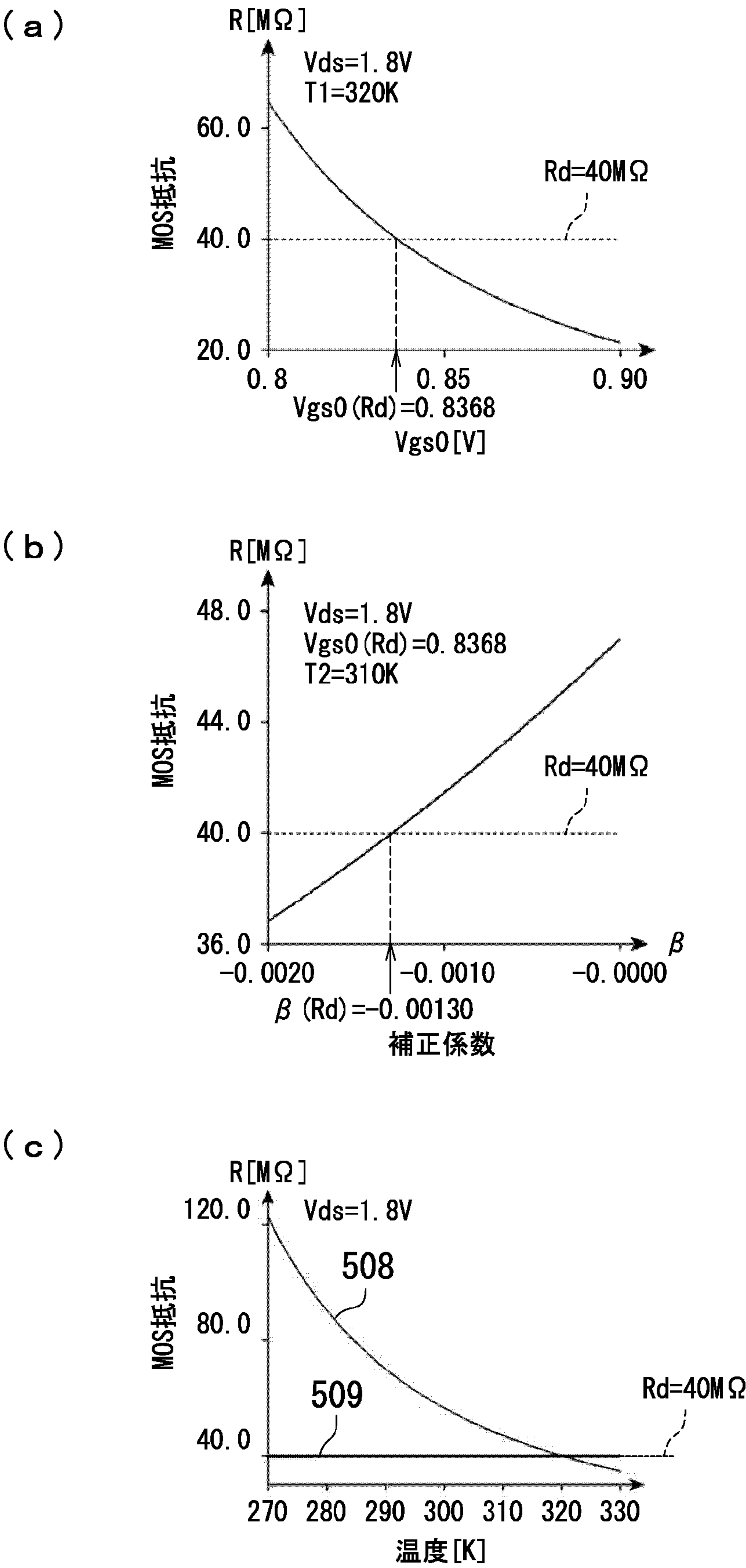
(a)



(b)

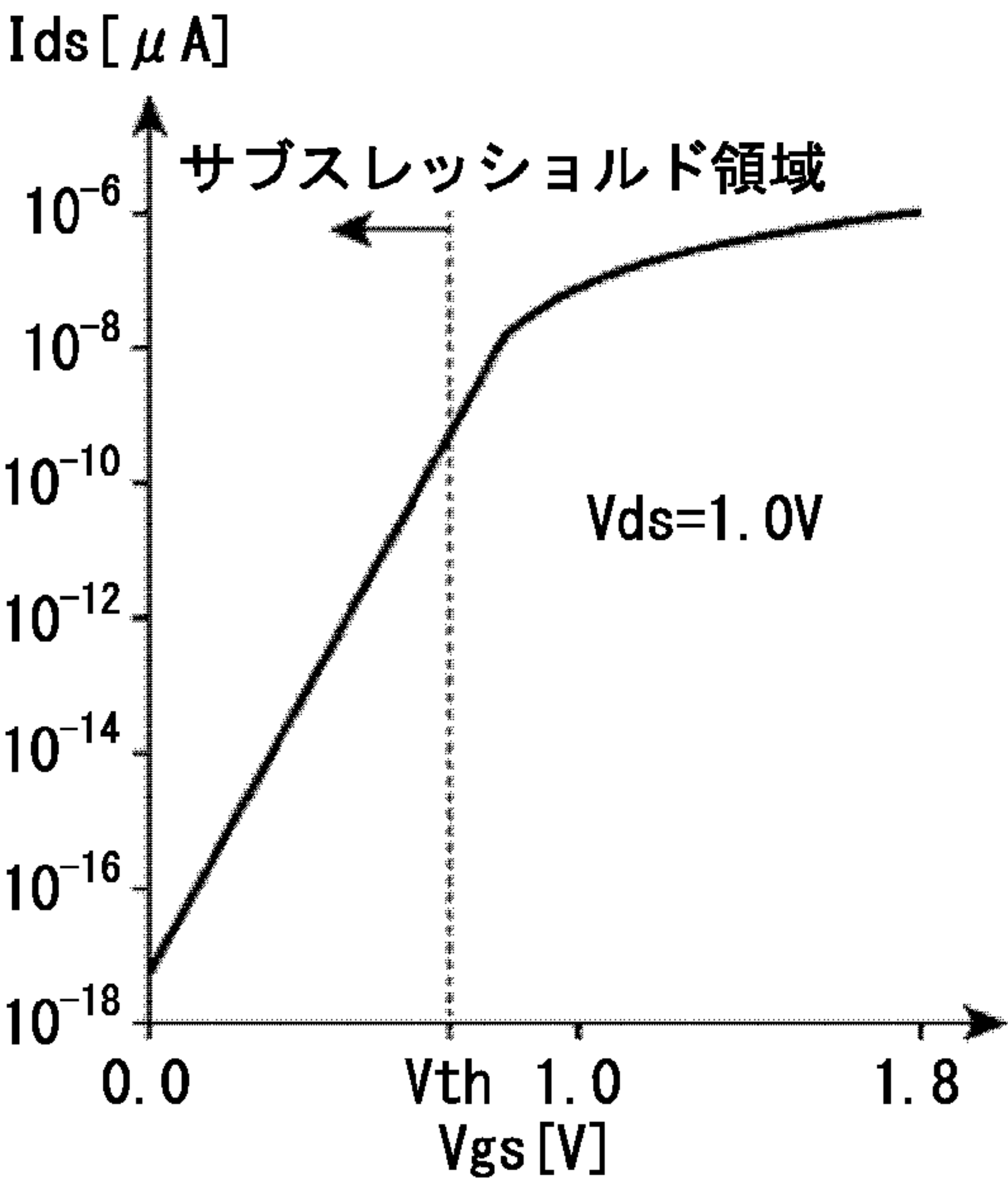


[図13]

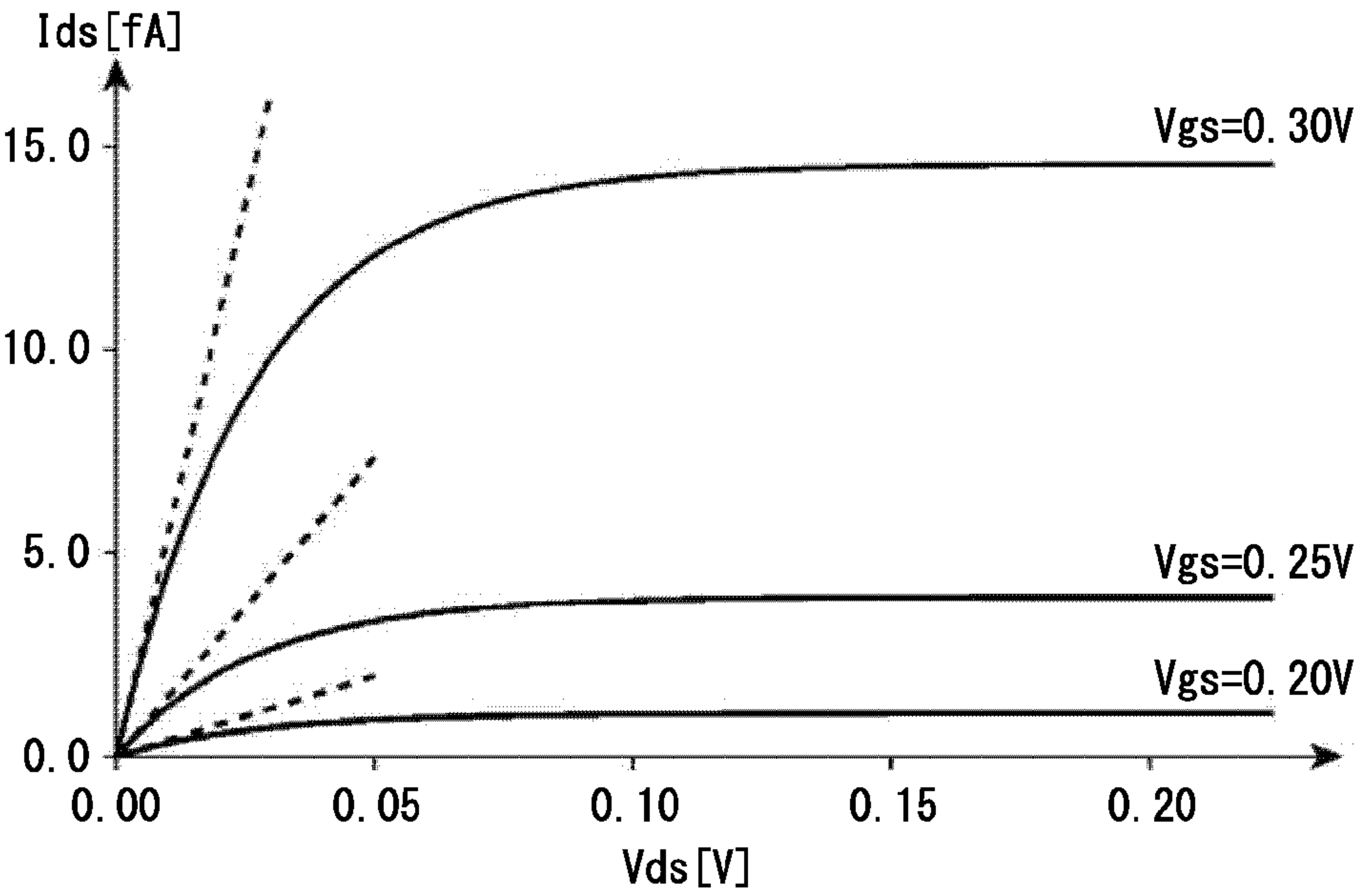


[図14]

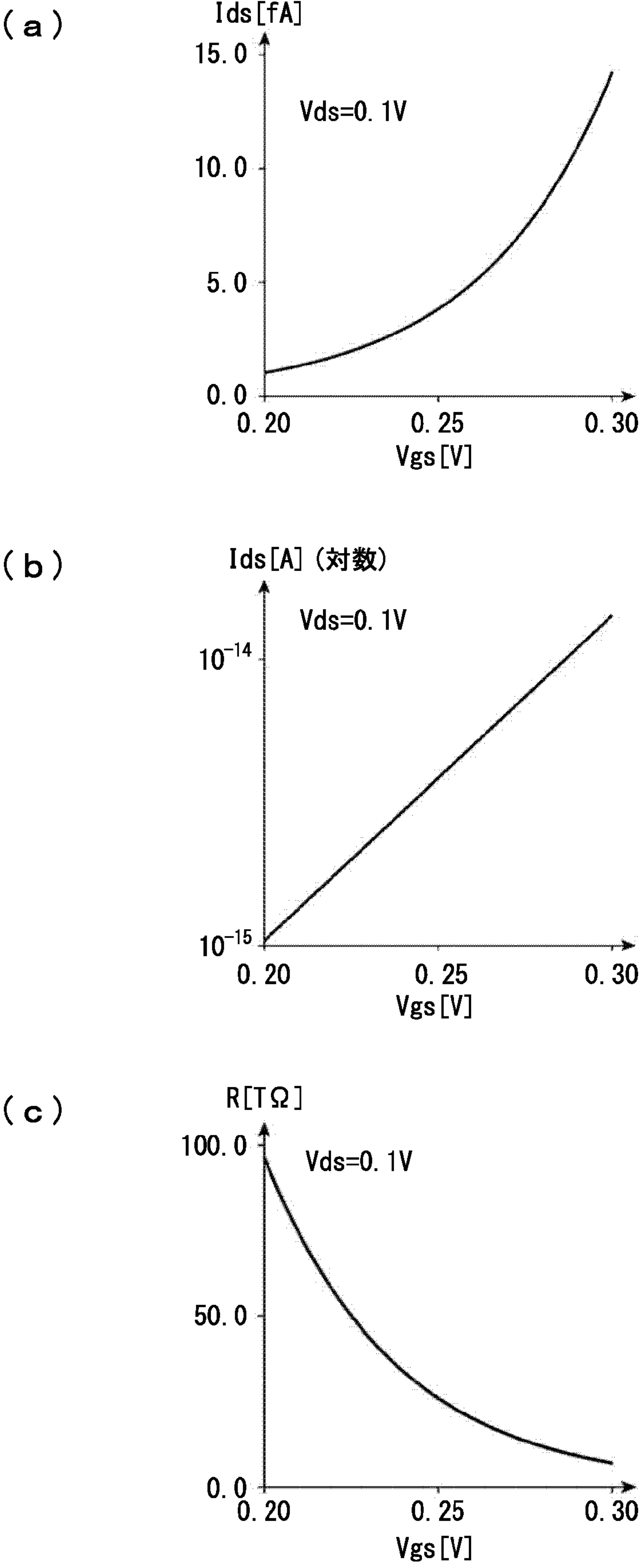
(a)



(b)

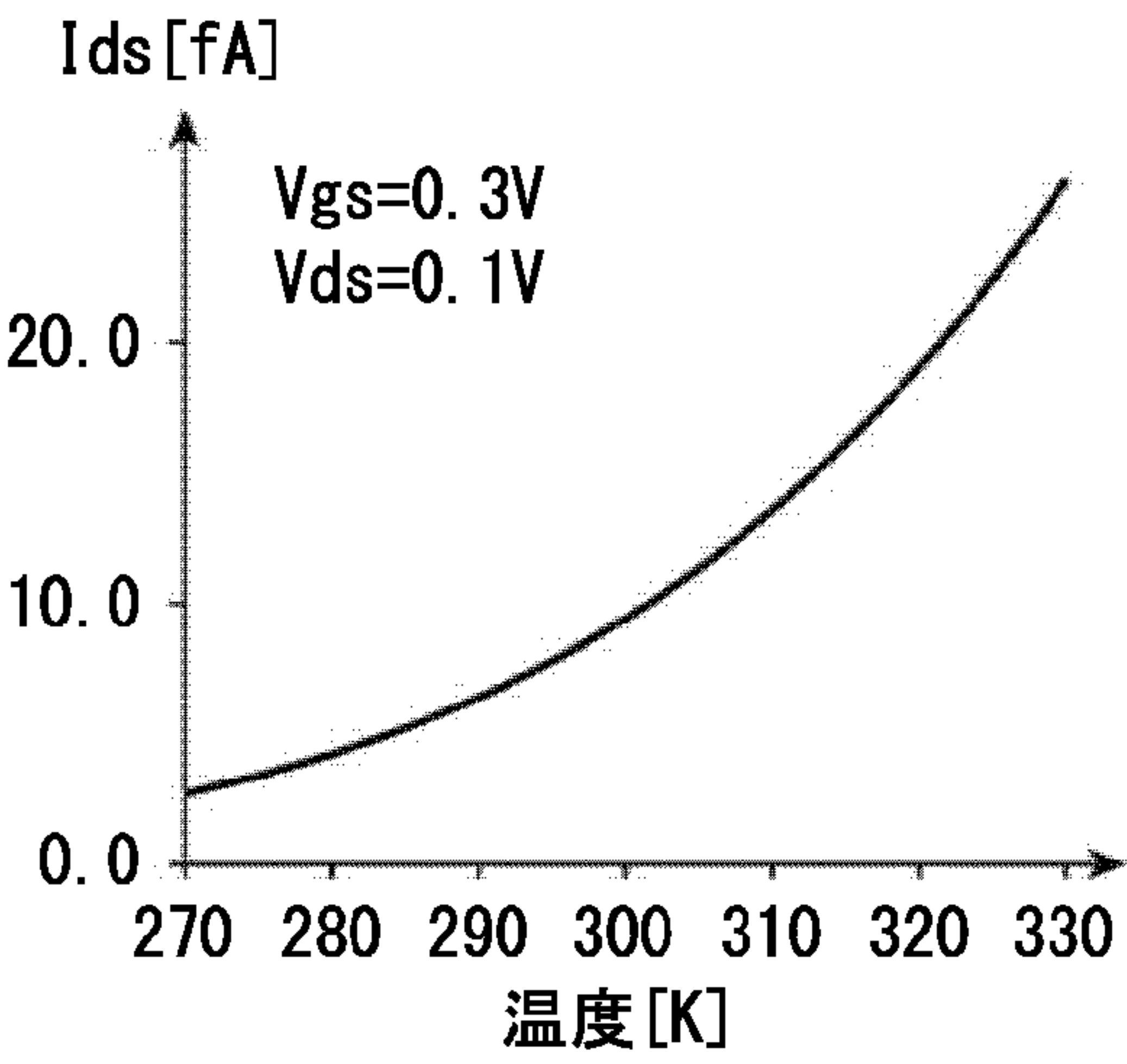


[図15]

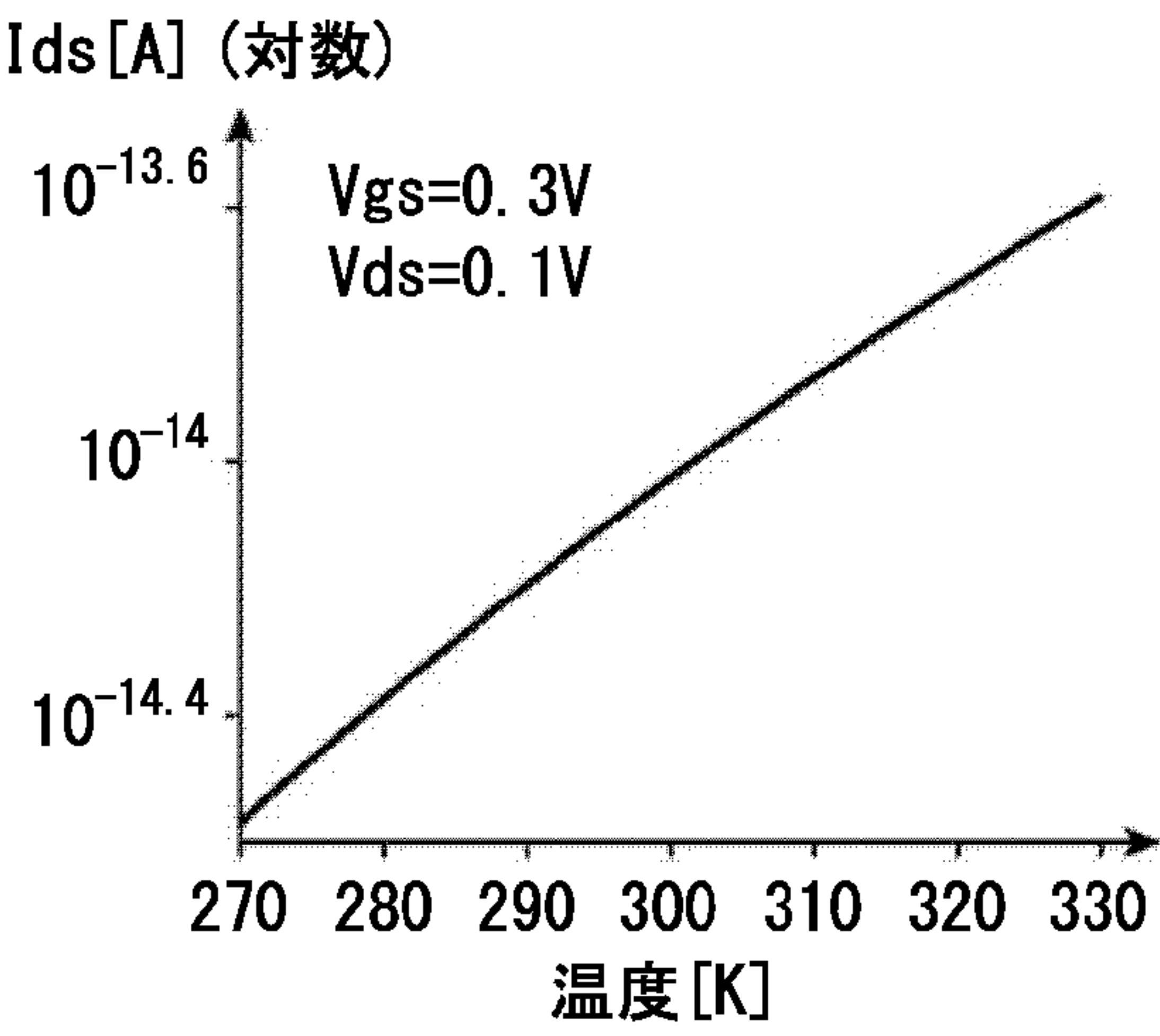


[図16]

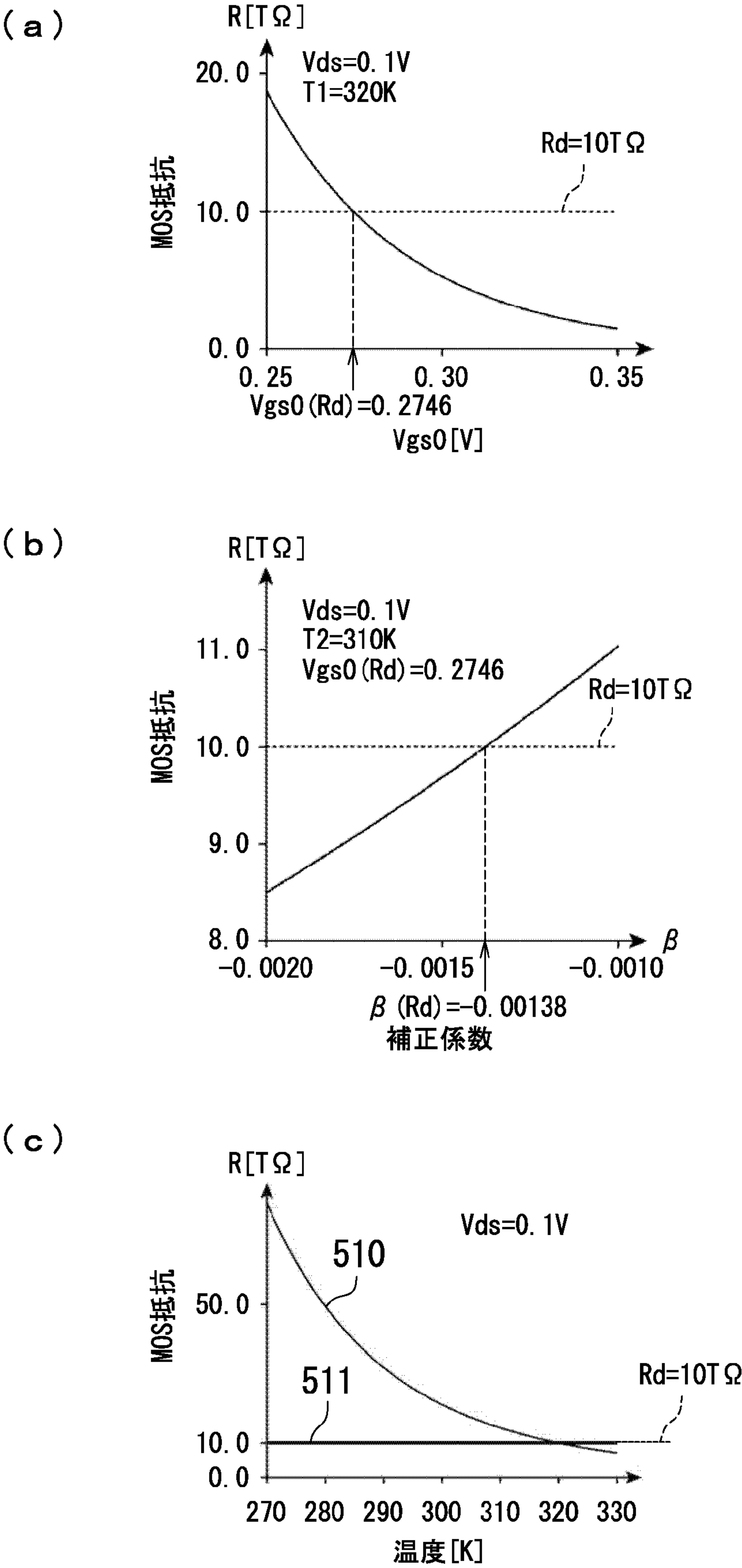
(a)



(b)

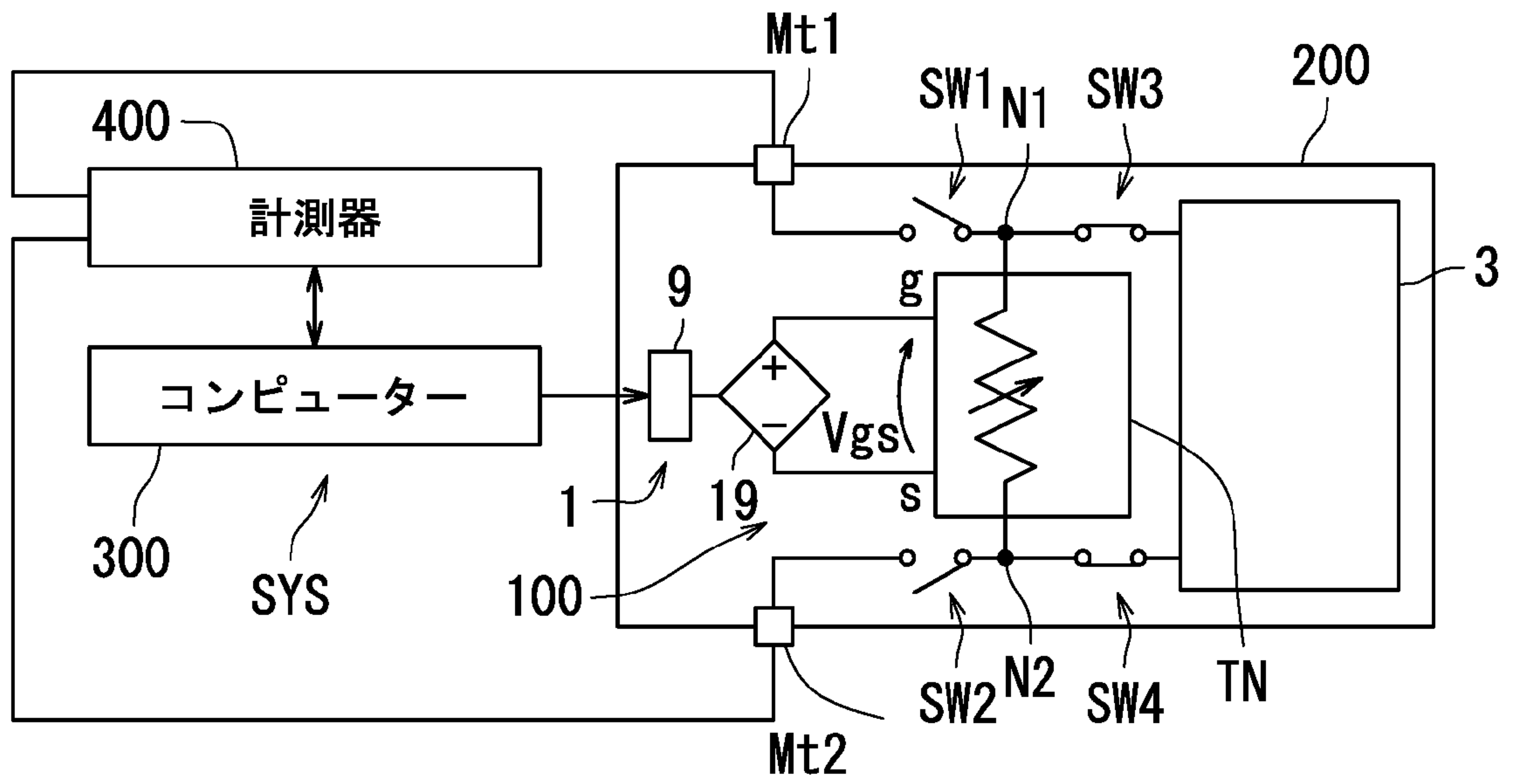


[図17]

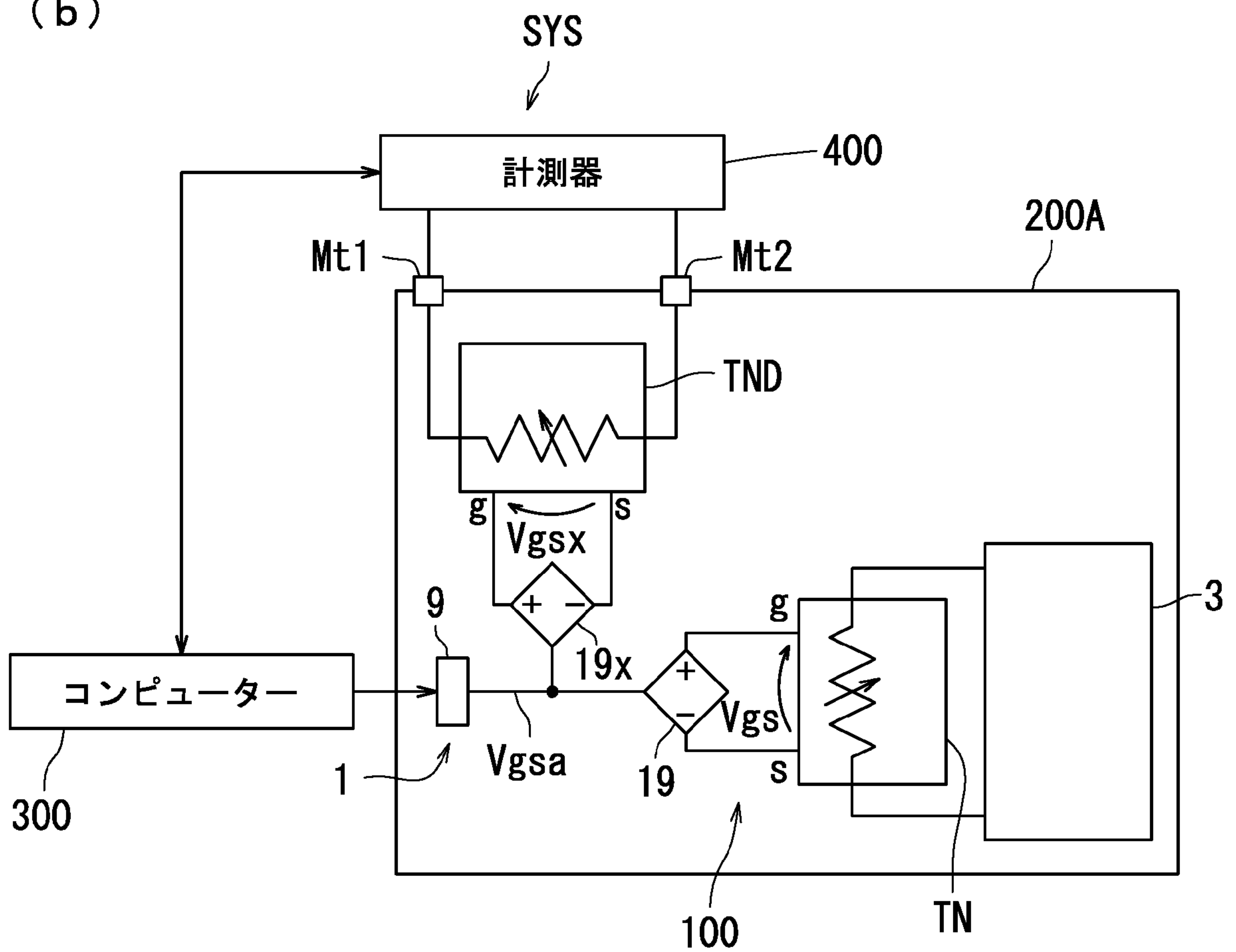


[図18]

(a)

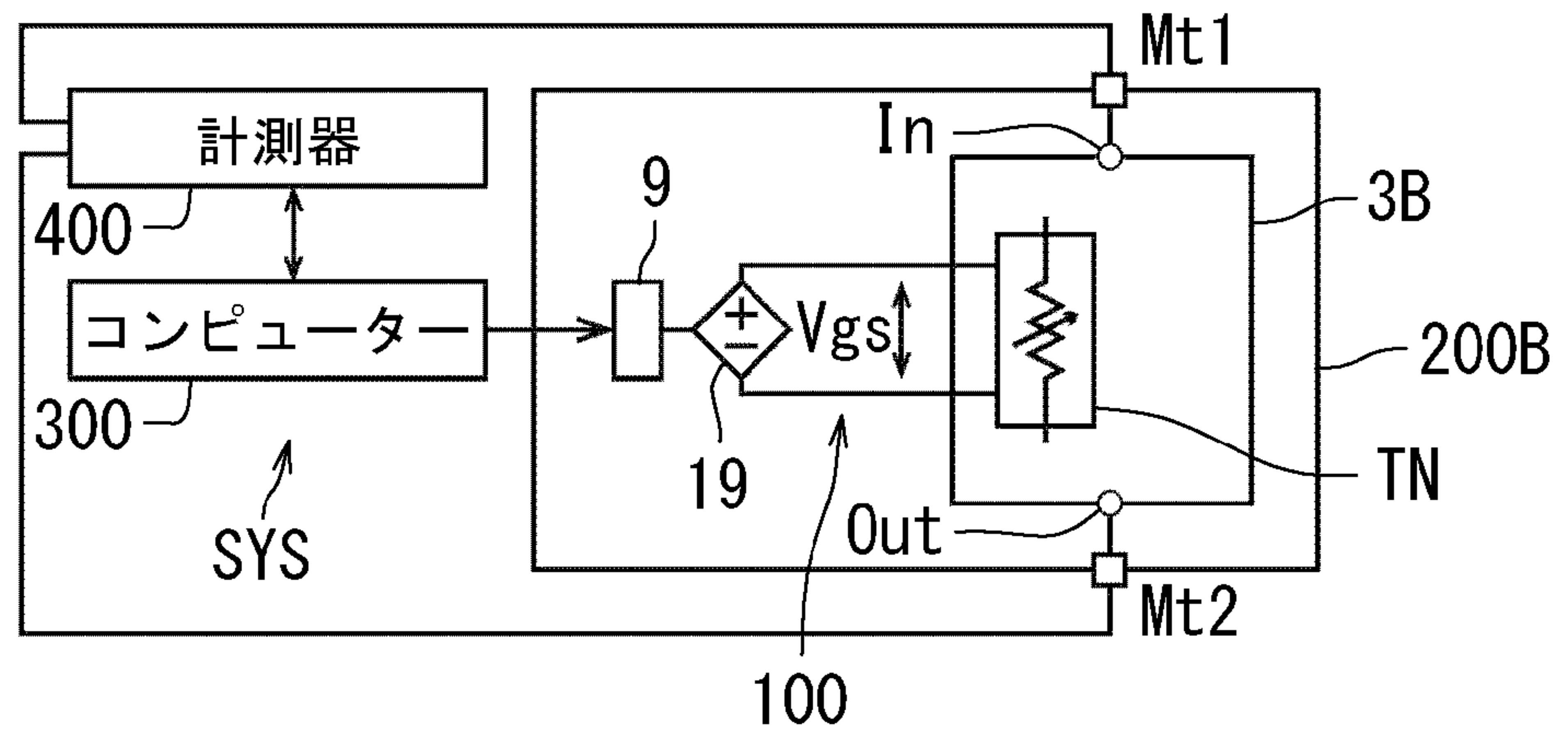


(b)

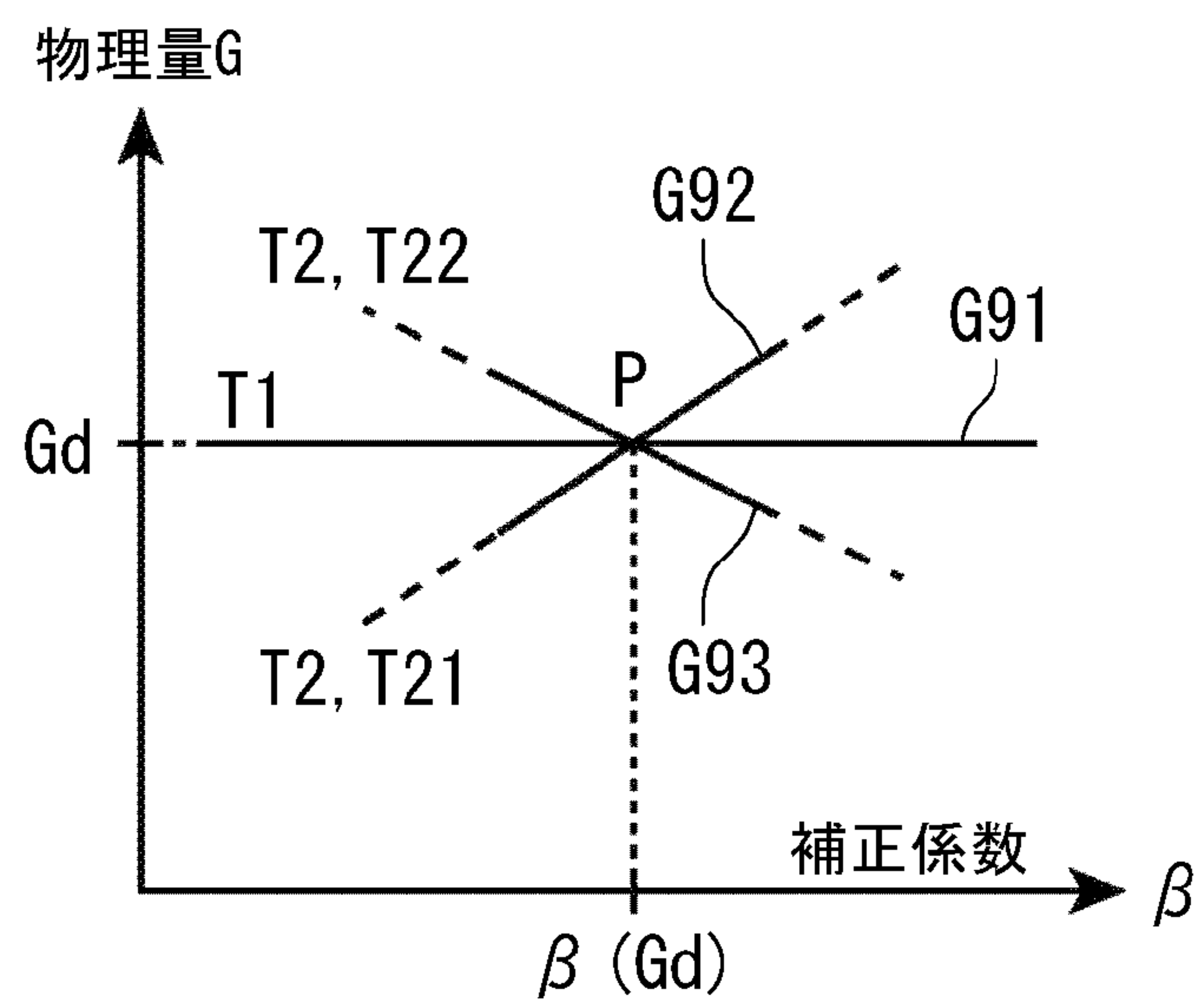


[図19]

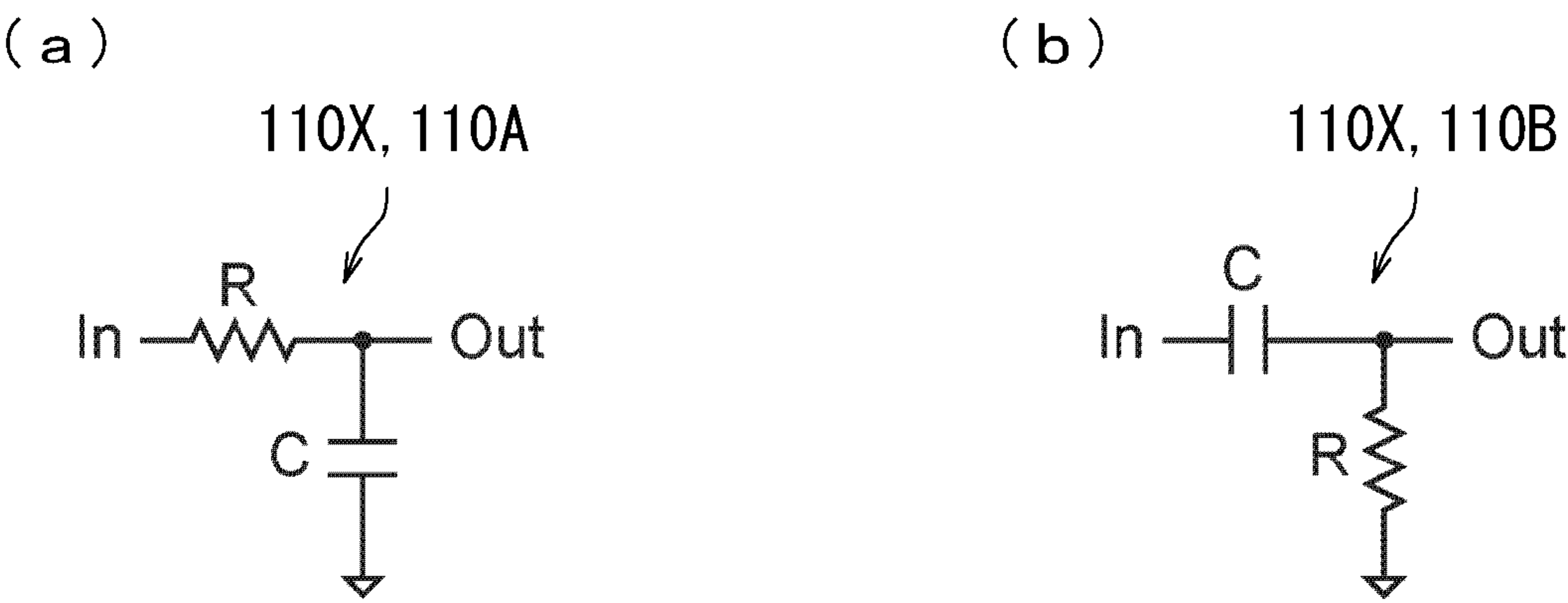
(a)



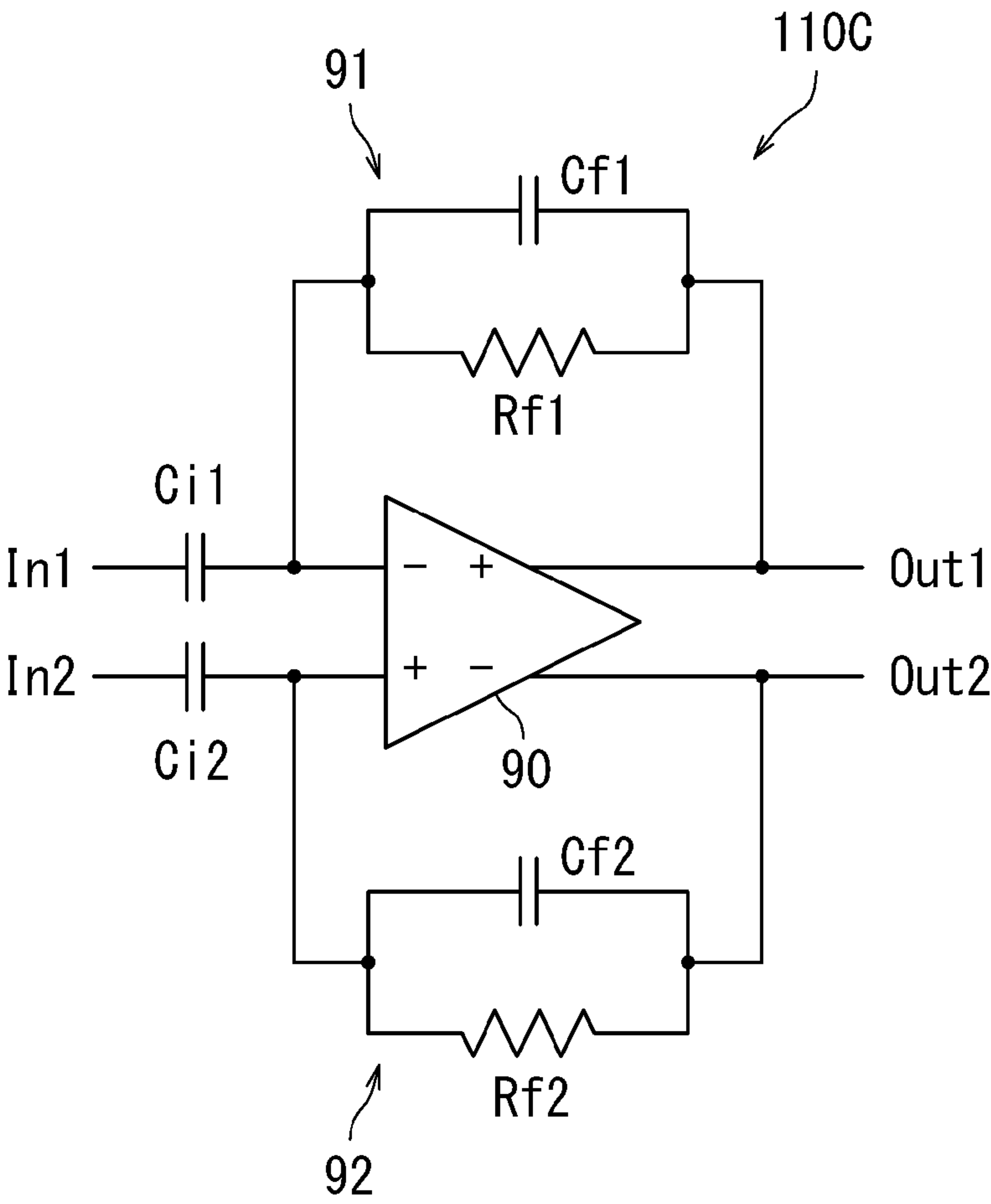
(b)



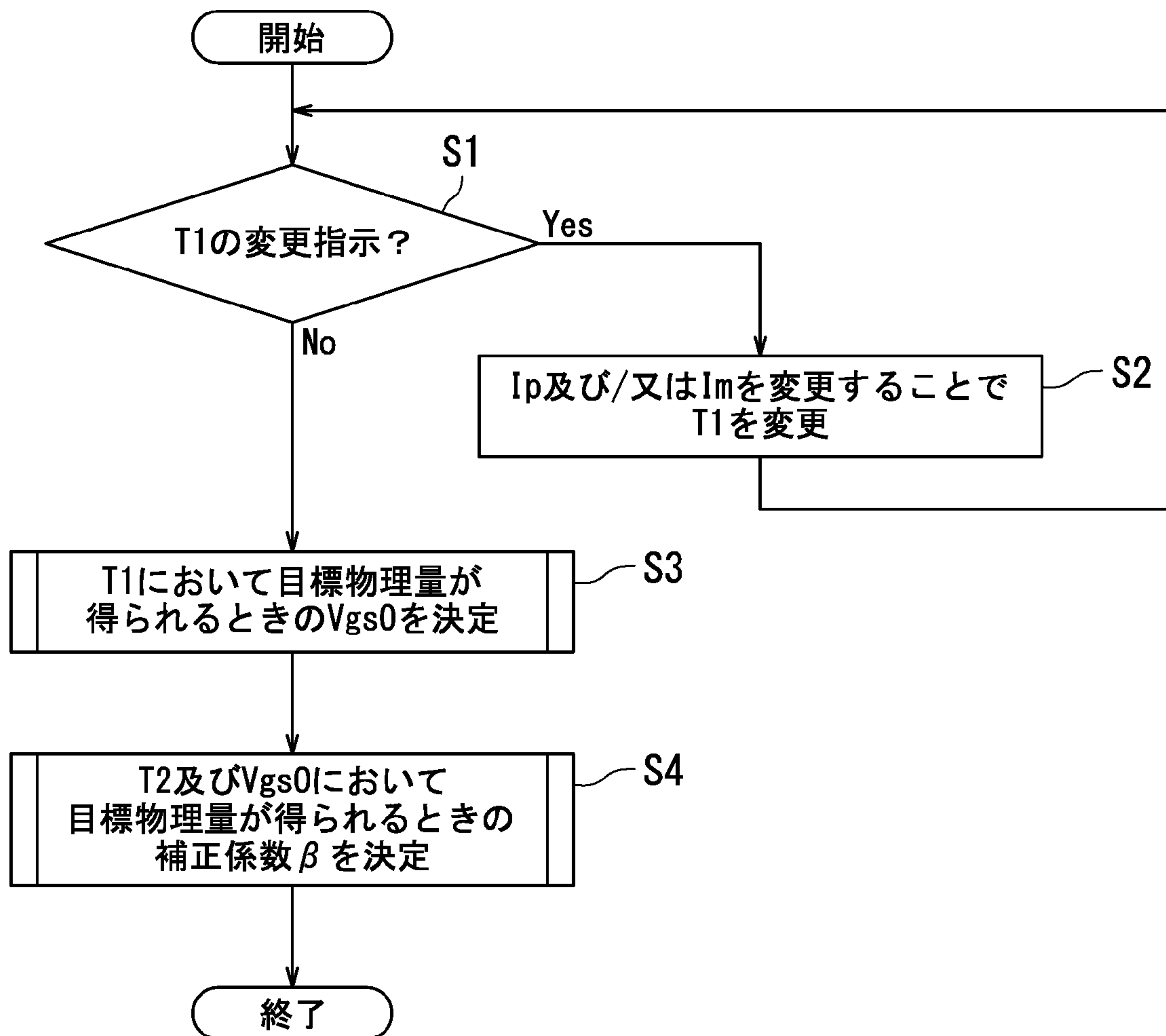
[図20]



[図21]

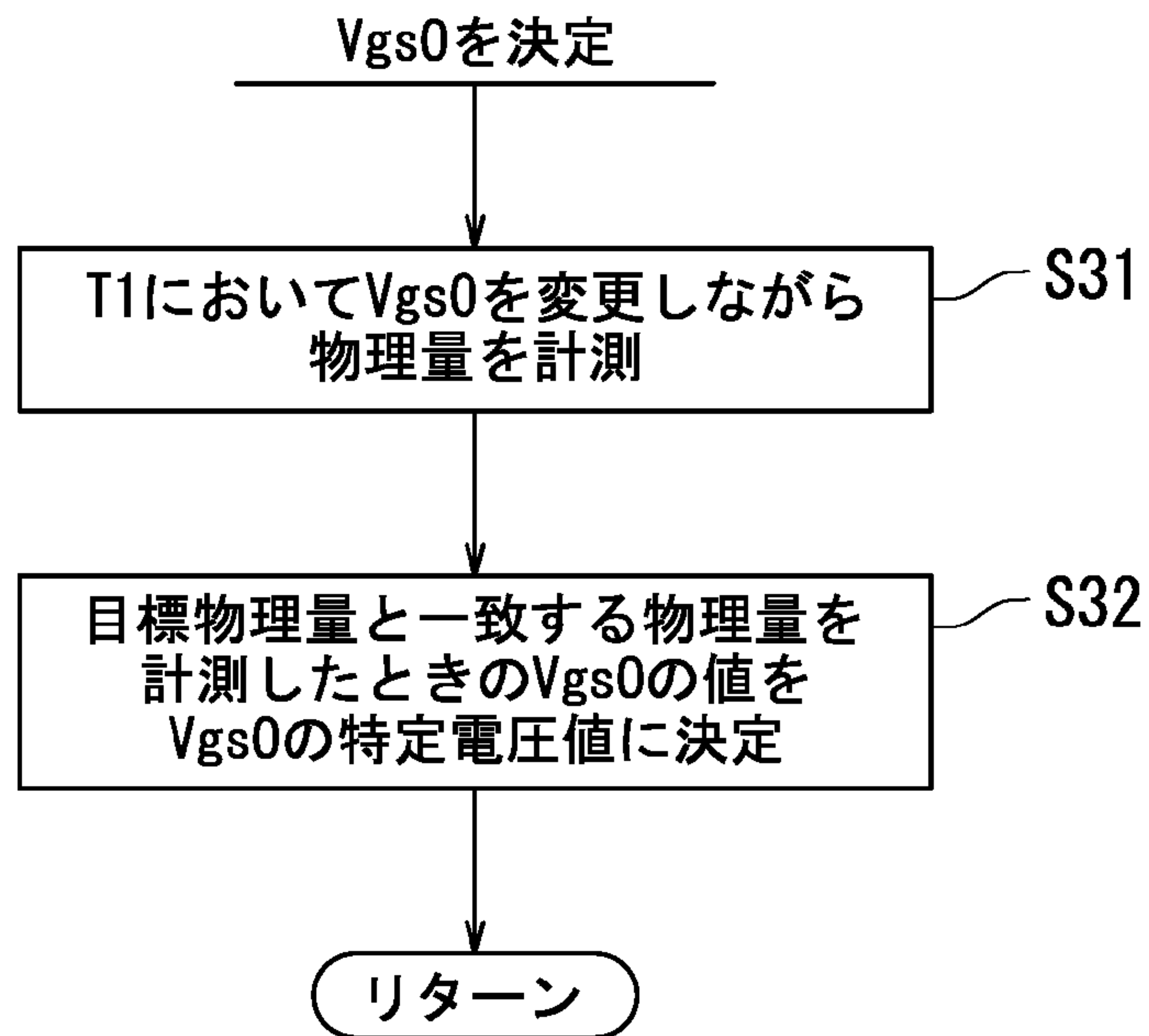


[図22]

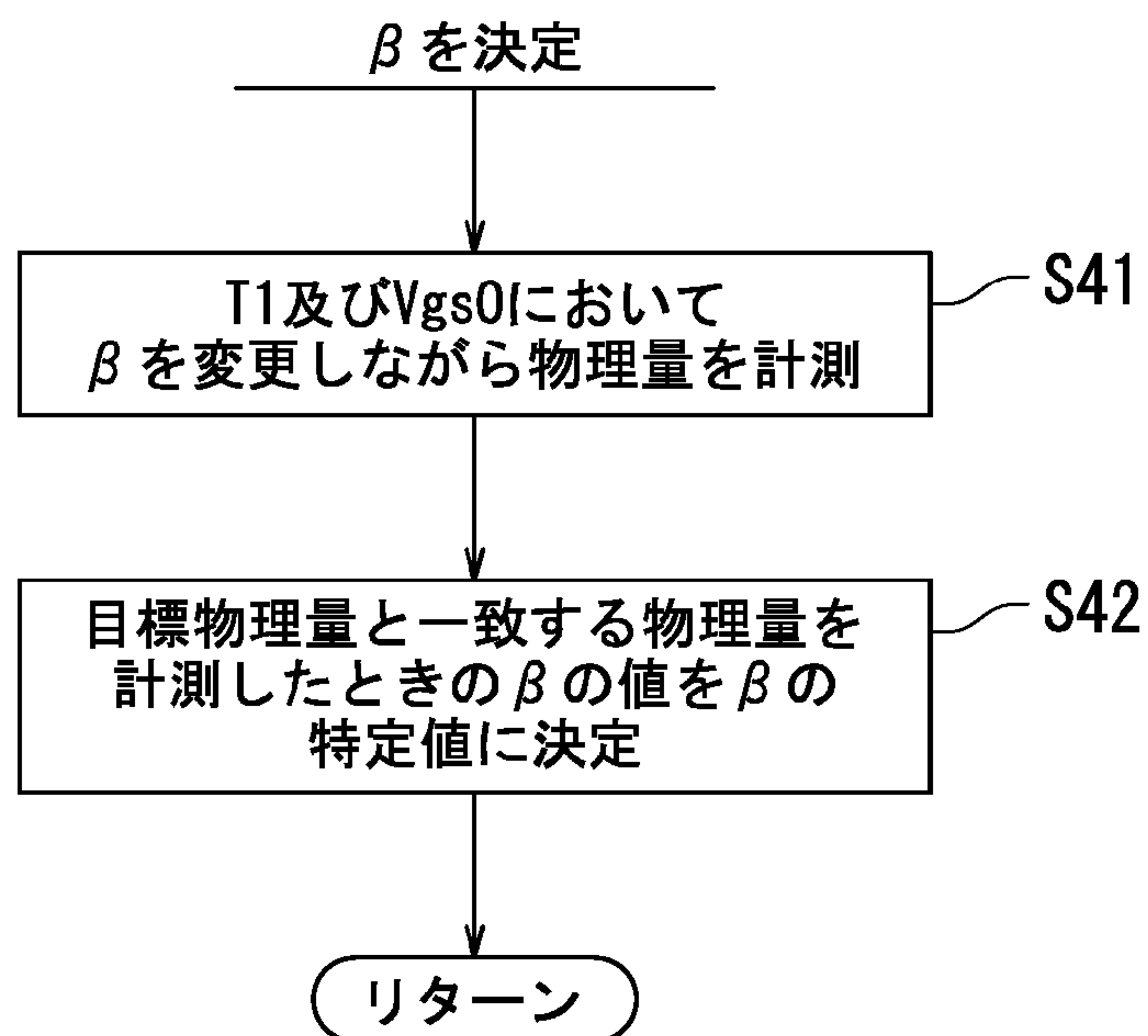


[図23]

(a)

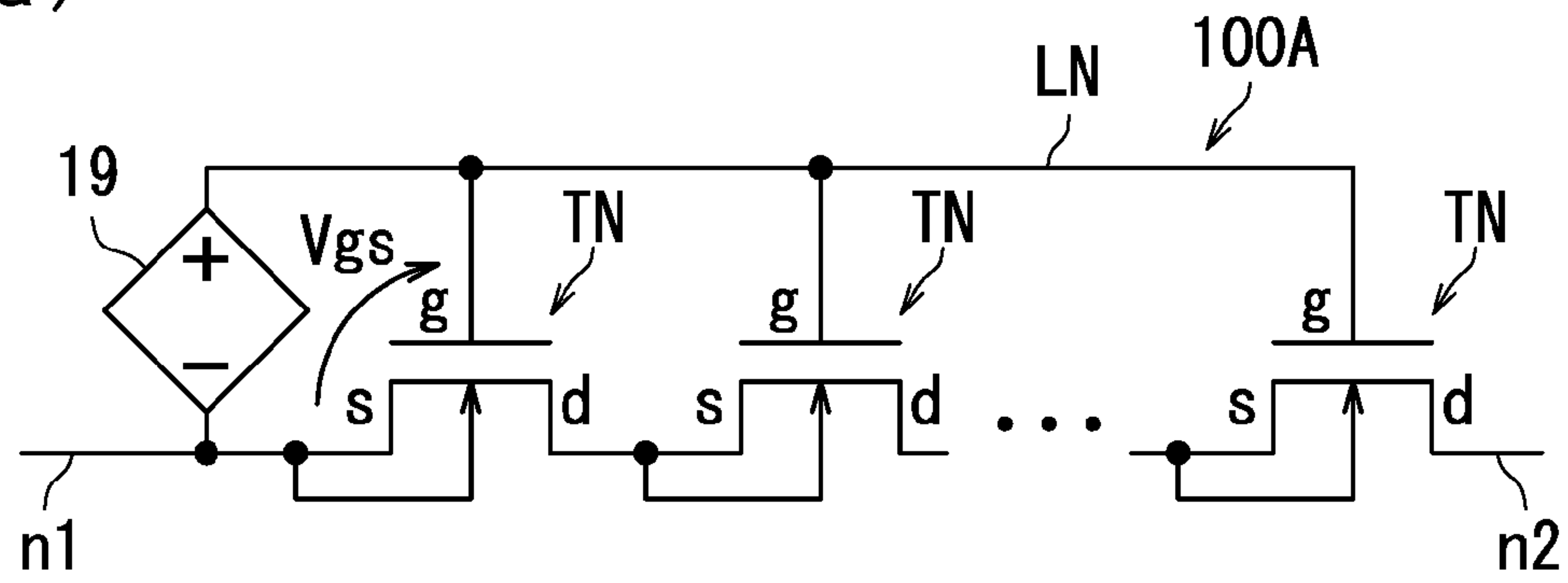


(b)

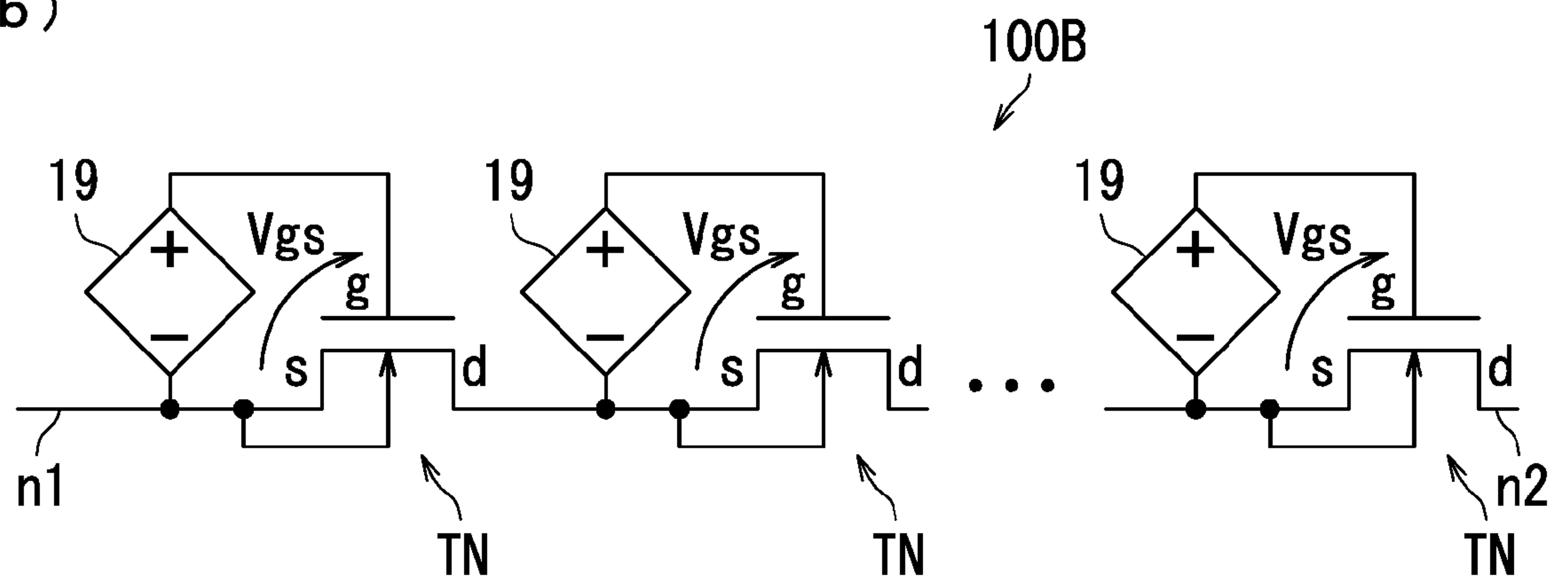


[図24]

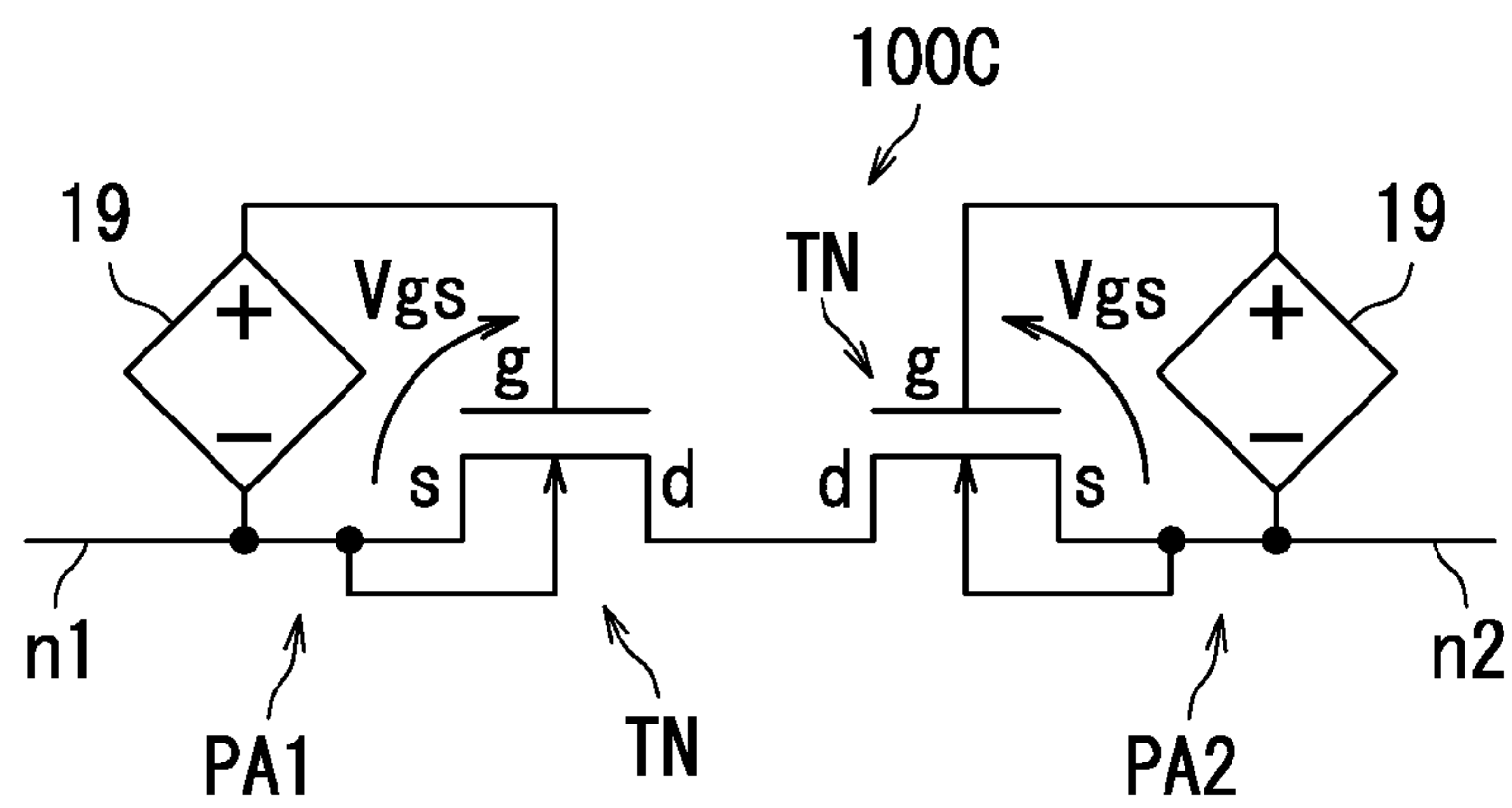
(a)



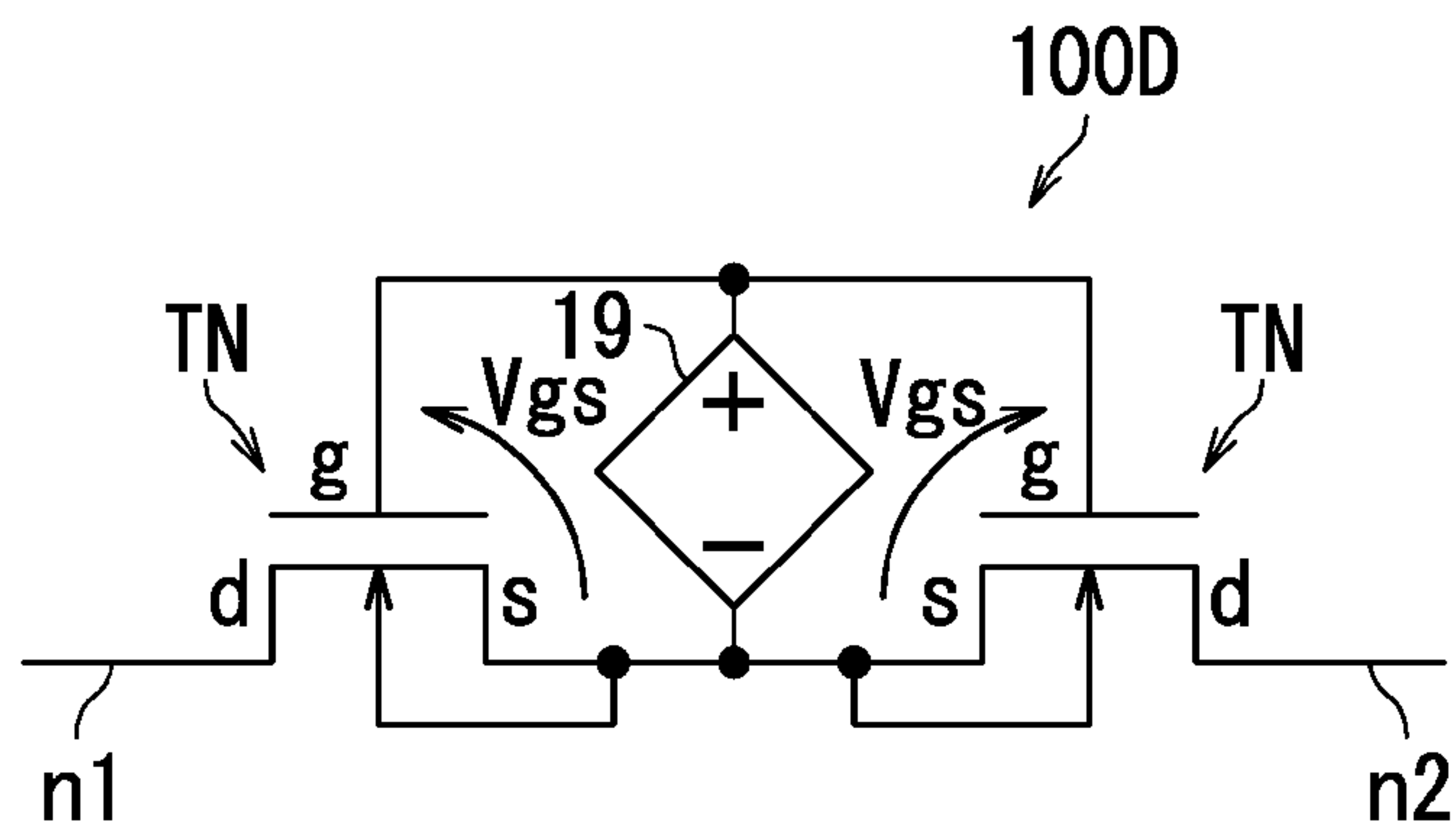
(b)



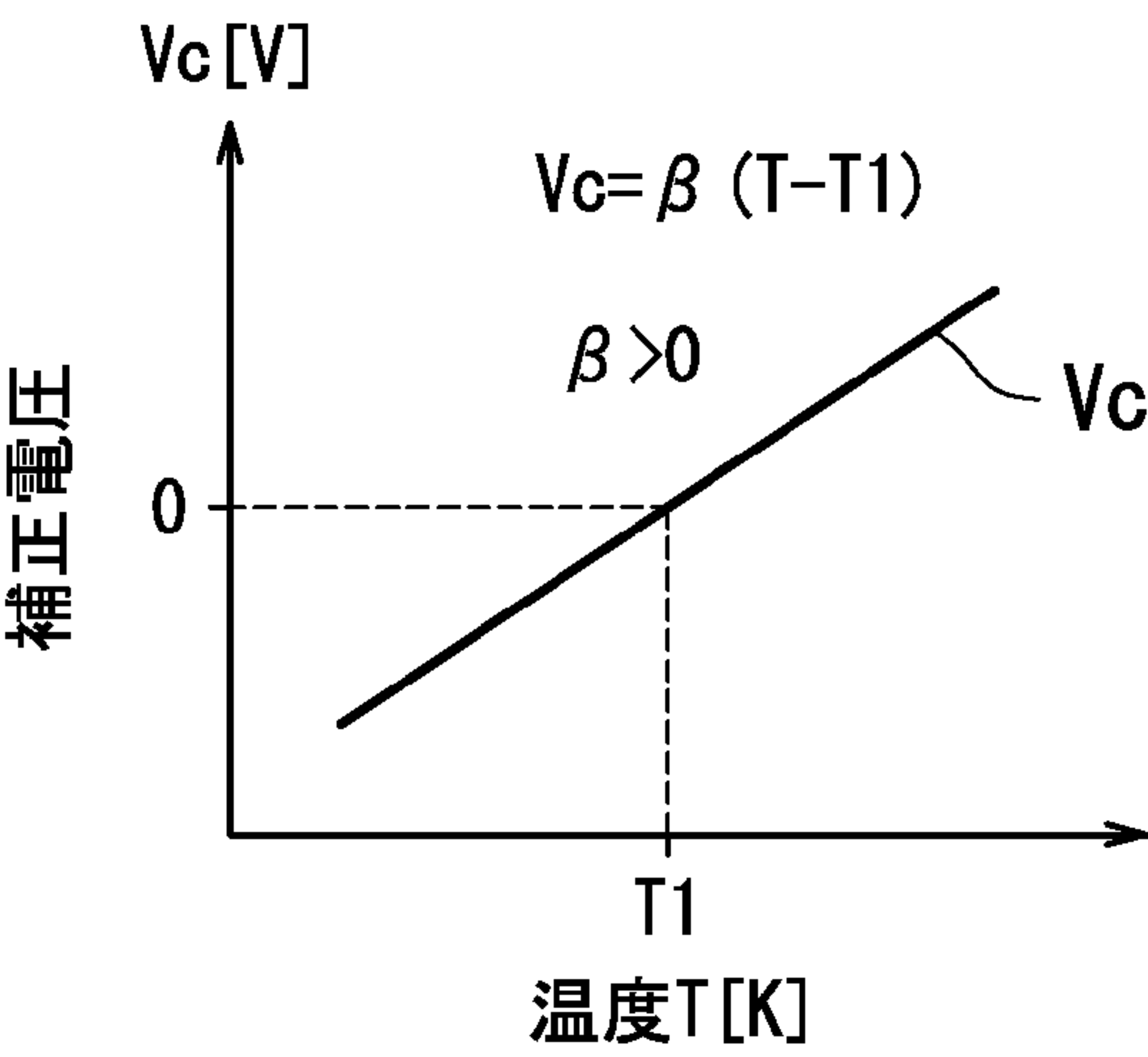
(c)



(d)

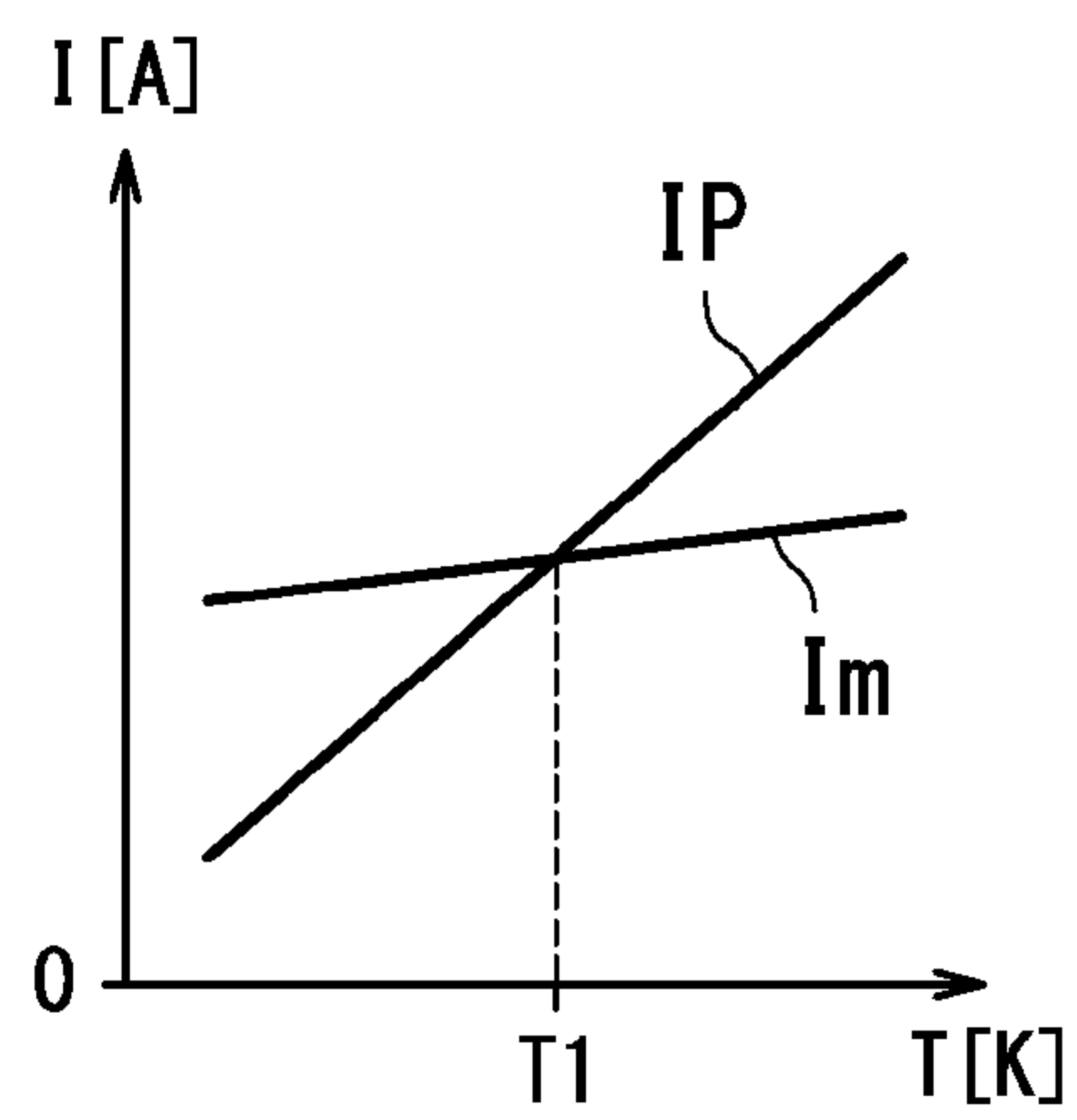


[図26]

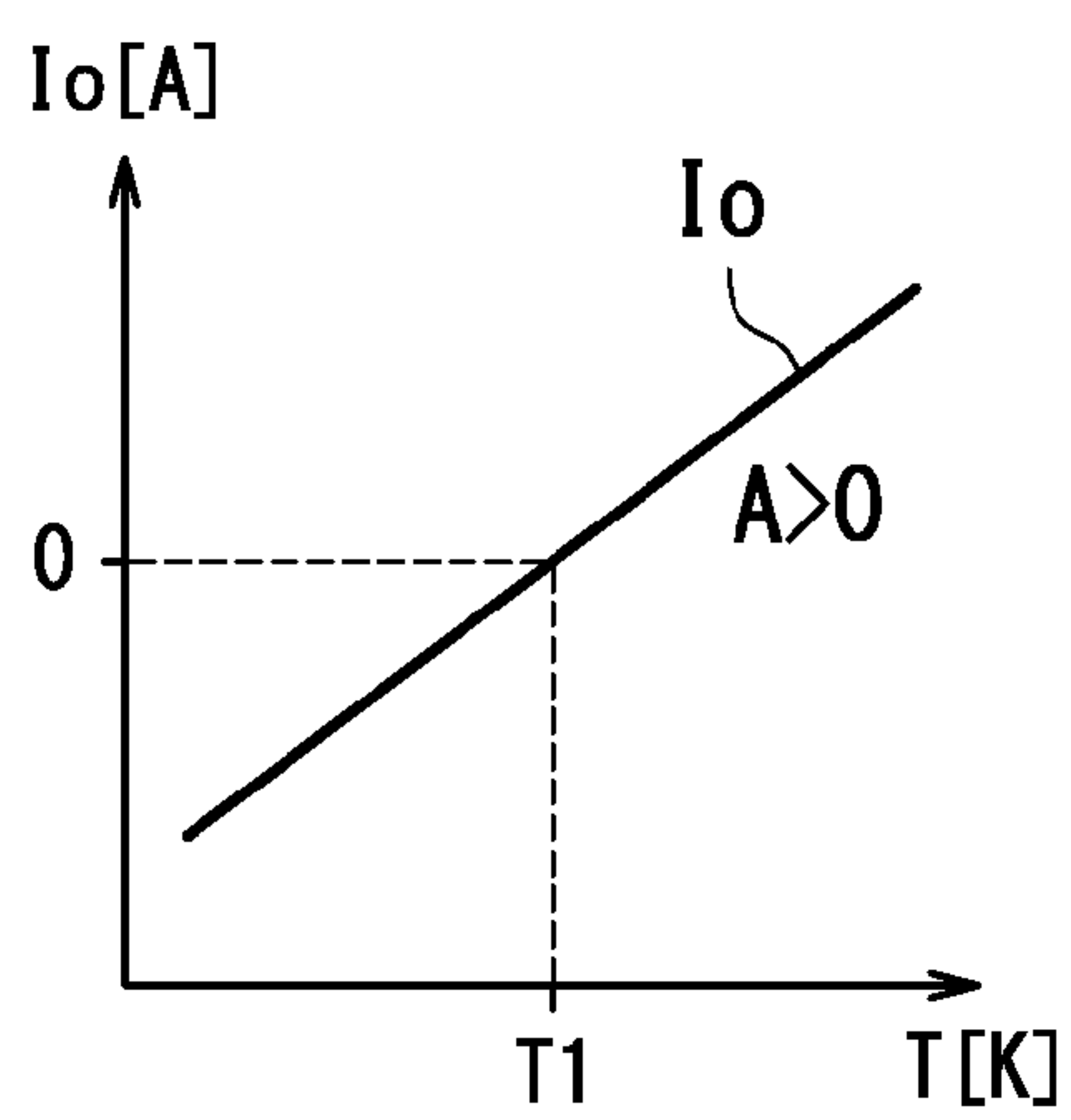


[図27]

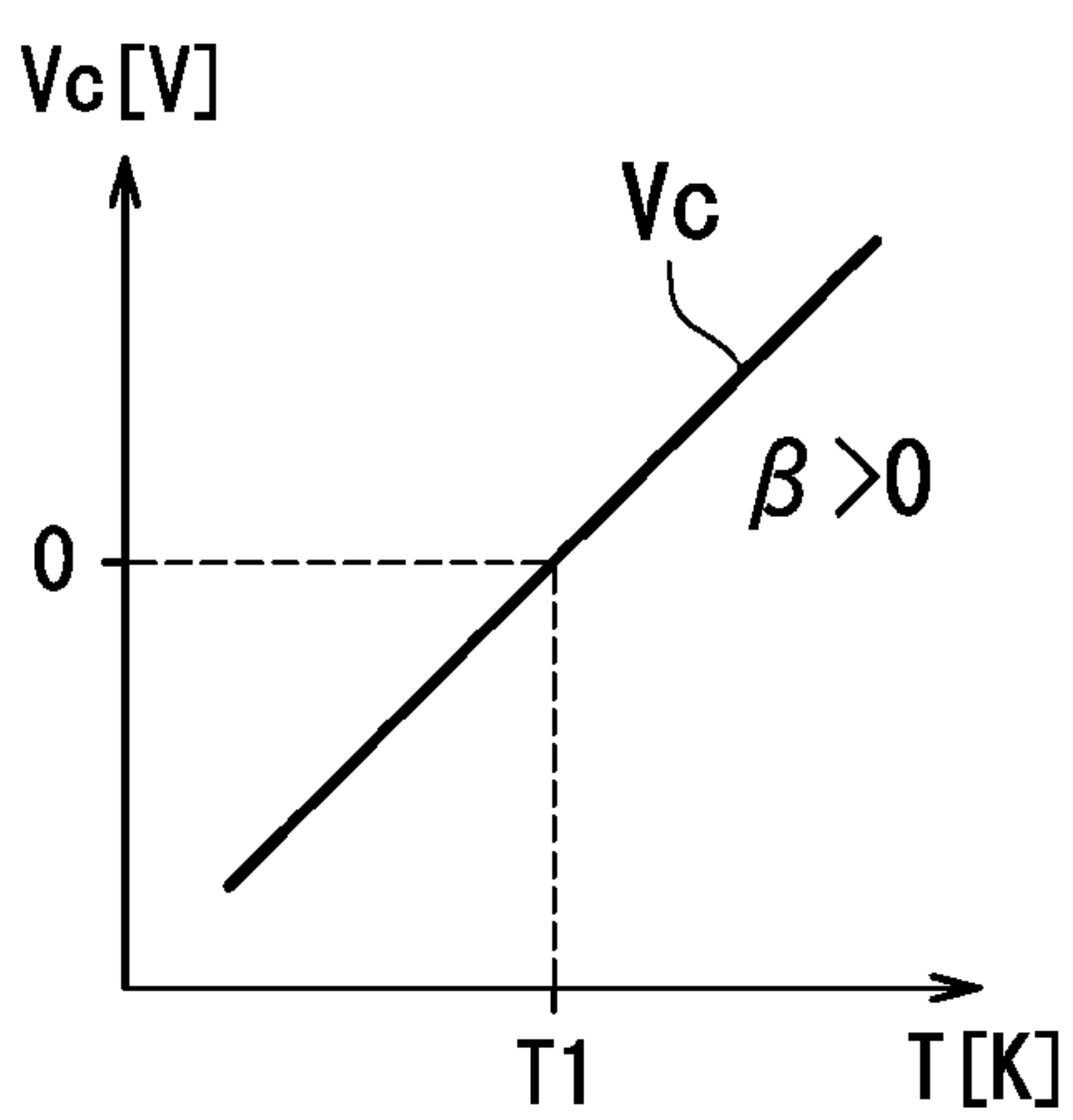
(a)



(b)

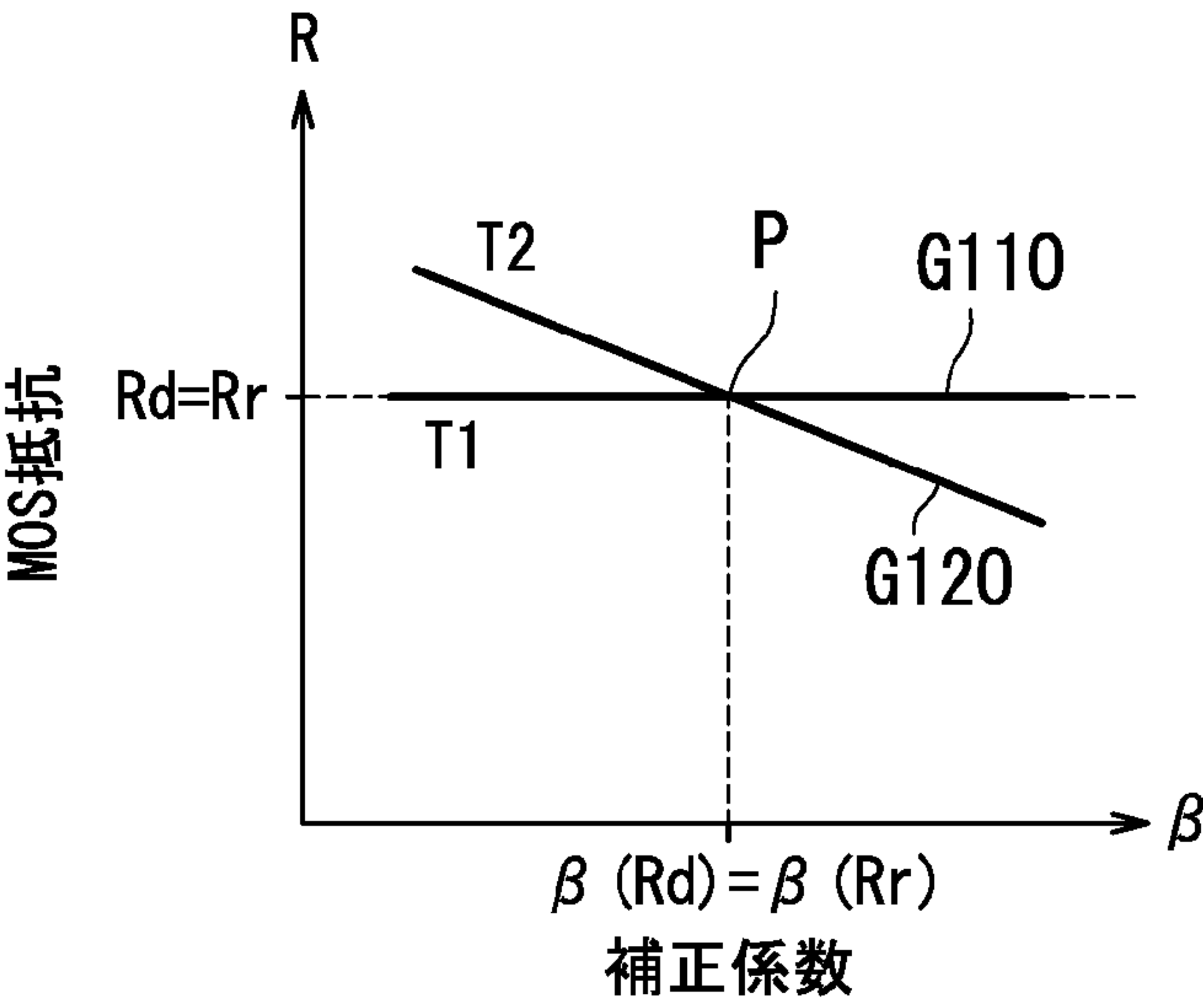


(c)

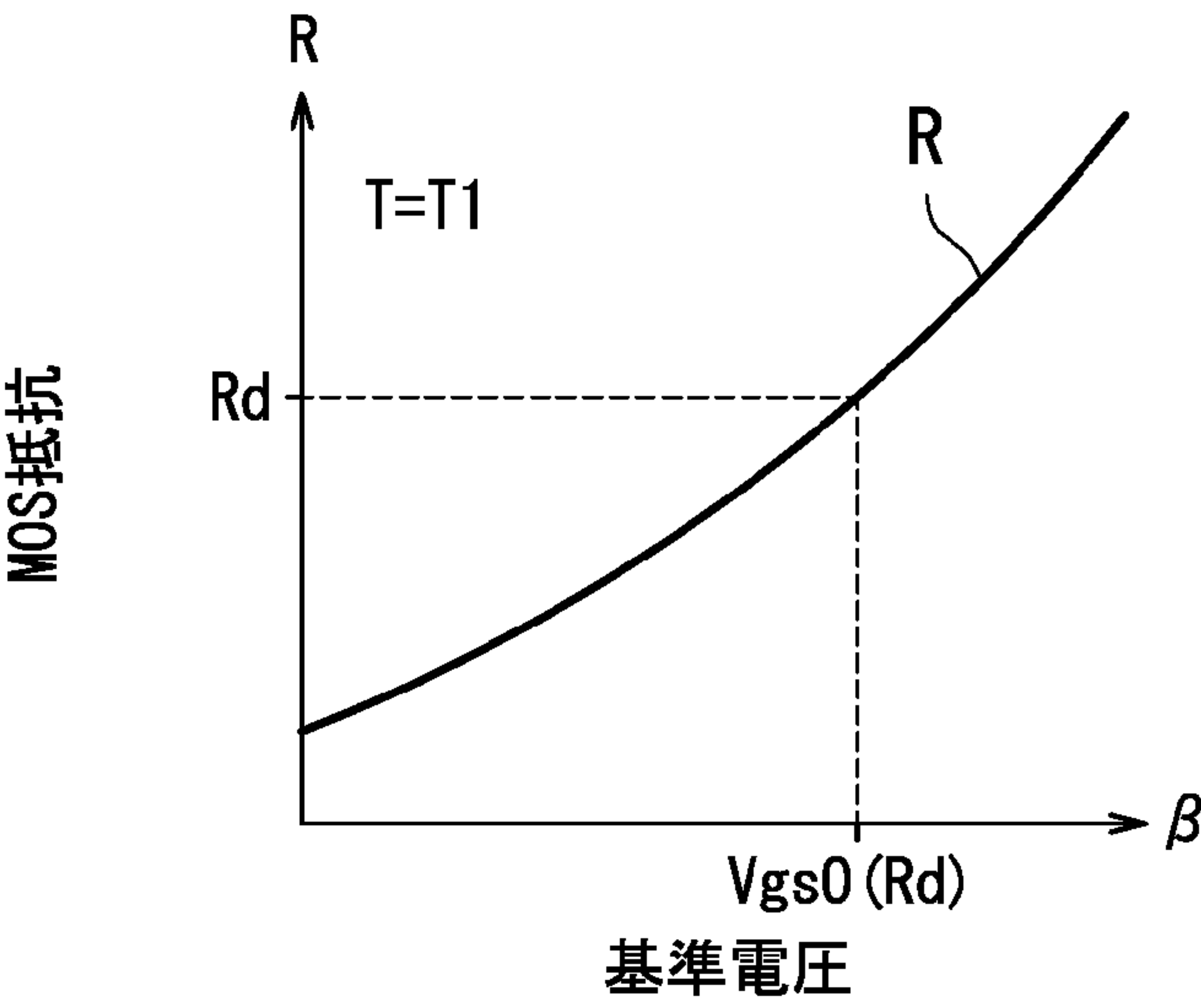


[図28]

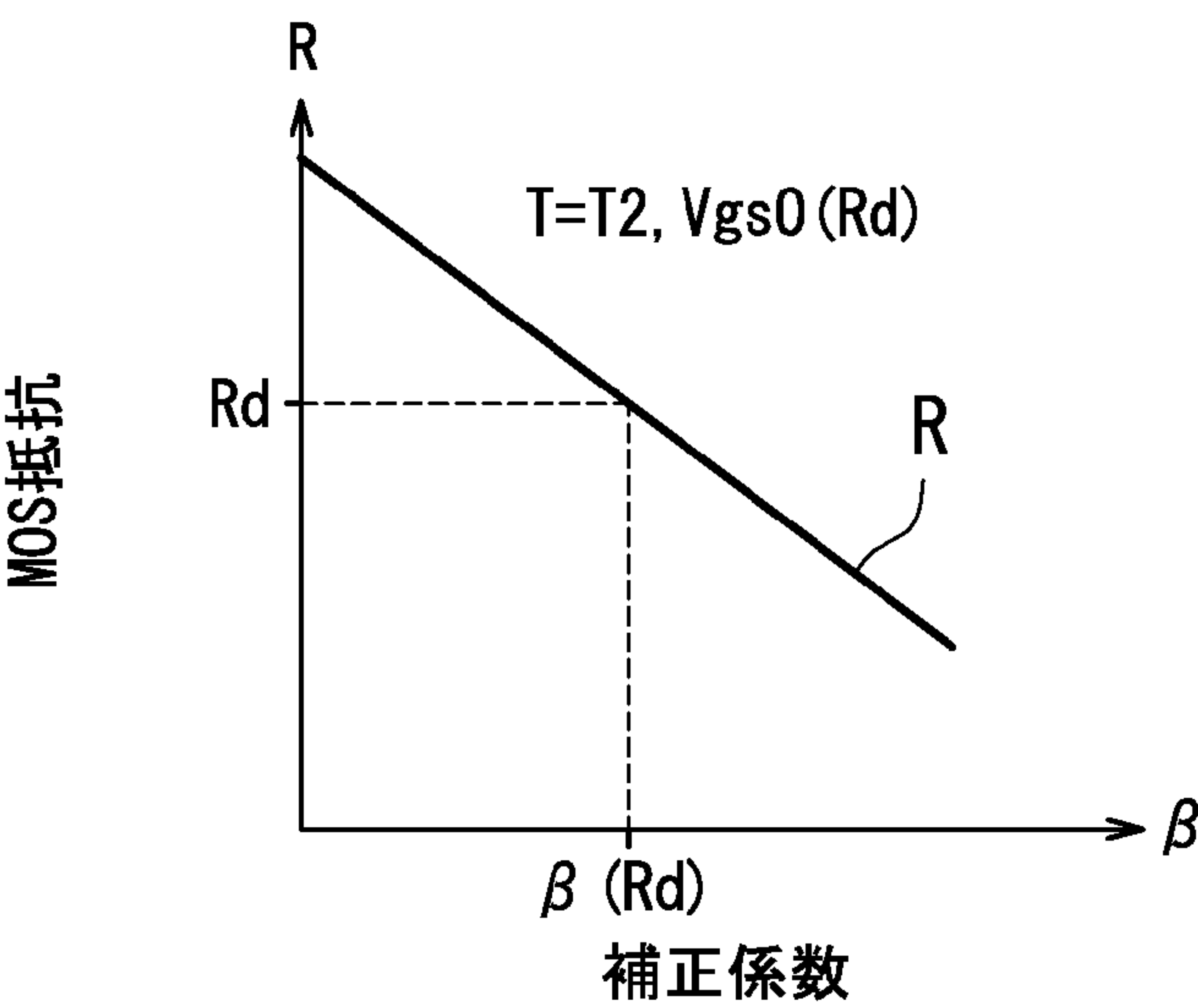
(a)



(b)



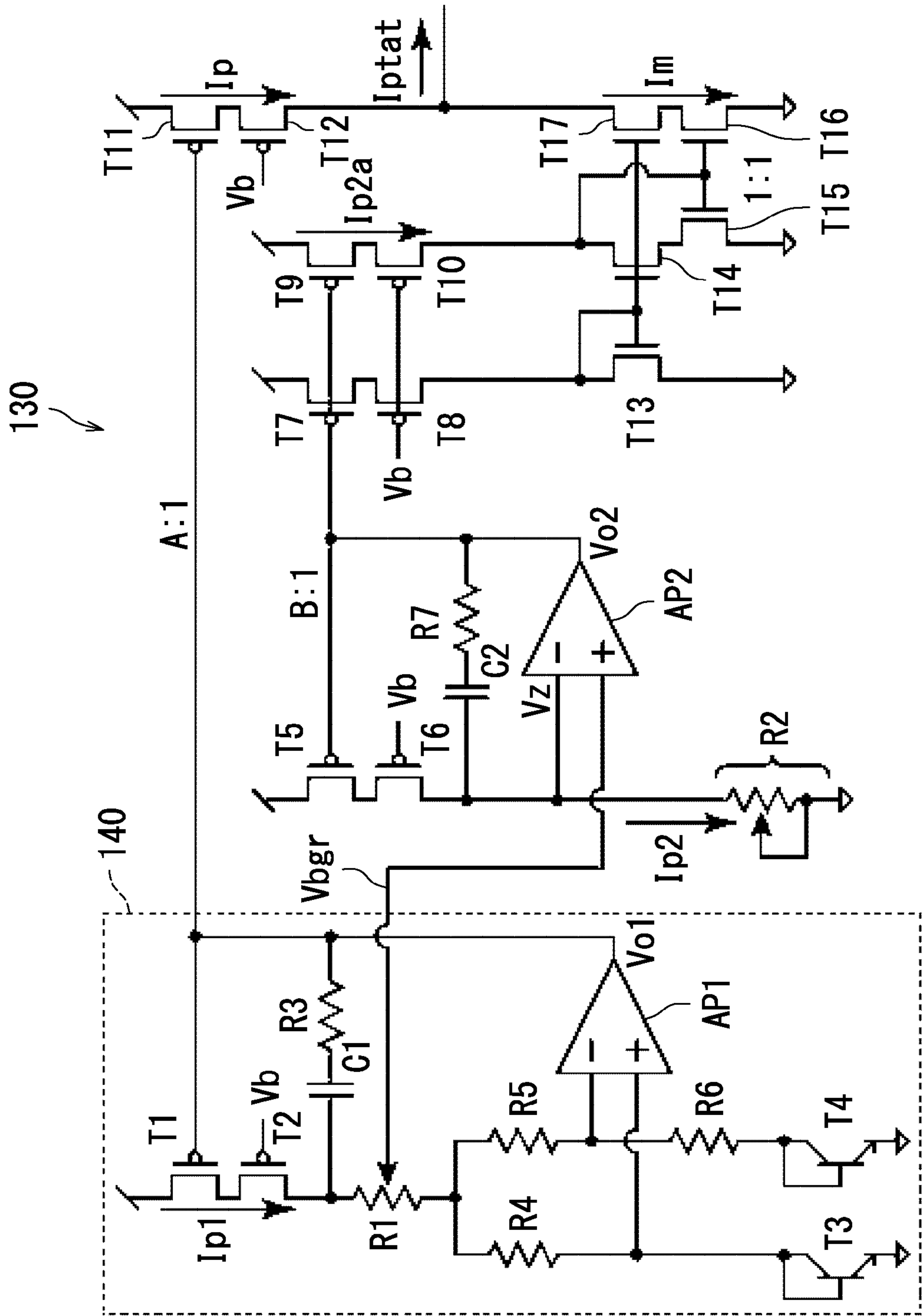
(c)



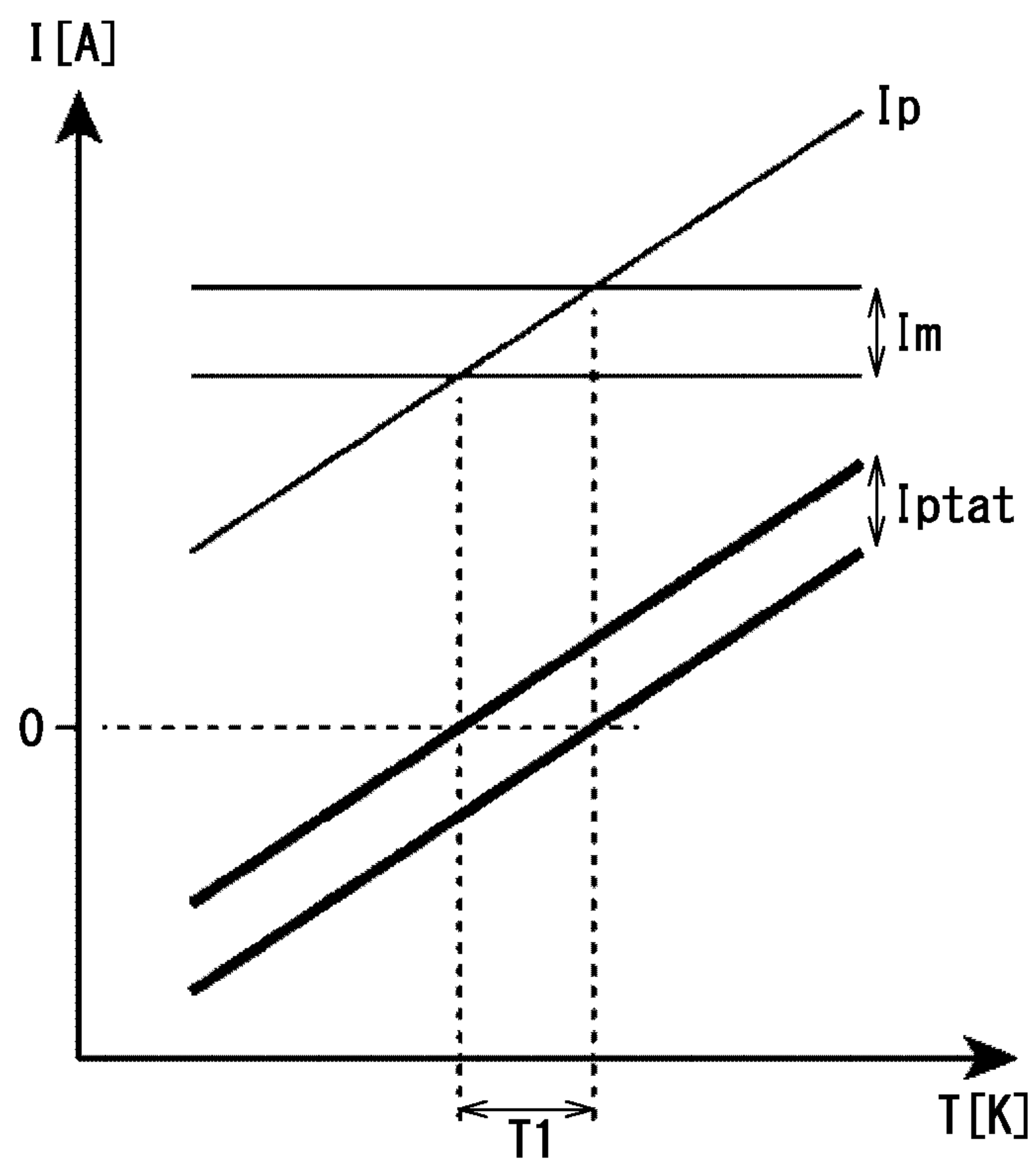
(a) Circuit diagram of a current source 100Z in a feedback loop 1A. The circuit includes a DAC 110, a resistor R_g , an op-amp 170, a resistor network 150, a current source 130, and a MOSFET 19A. The DAC 110 outputs a current I_{g0} through R_g to the inverting input of the op-amp 170. The non-inverting input of the op-amp 170 is connected to a resistor network 150. The resistor network 150 consists of a series combination of resistors with values $s \times r$ and $(2^n - s)r$, where 2^n is the total number of bits. The input to the resistor network is V_{ref} . The output of the resistor network is V_p . A current source 130, controlled by I_{ptat} , is connected to the node between the two resistors in the network 150. The op-amp 170 outputs a voltage V_{gsa} to the gate of the MOSFET 19A. The MOSFET 19A is configured as a current source with its source connected to ground and its drain connected to the output node. The output current is $-I_{ds}$. The MOSFET 19A is also controlled by V_{gs} and $V_{ds} (< 0)$. The output node is also connected to a terminal TP. The current $I_{ds} (< 0)$ is shown flowing out of the drain.

Figure 1 is a graph showing the relationship between PTAT current (I_{ptat}) and temperature (T). The vertical axis is labeled "PTAT電流" and " $I_{ptat}[A]$ ". The horizontal axis is labeled "温度 $T[K]$ ". A straight line with a positive slope is shown, intersecting the horizontal axis at T_1 . The equation $I_{ptat} = p(T - T_1)$ is written above the line, with $p > 0$ below it. The label I_{ptat} is also placed near the end of the line.

[図30]

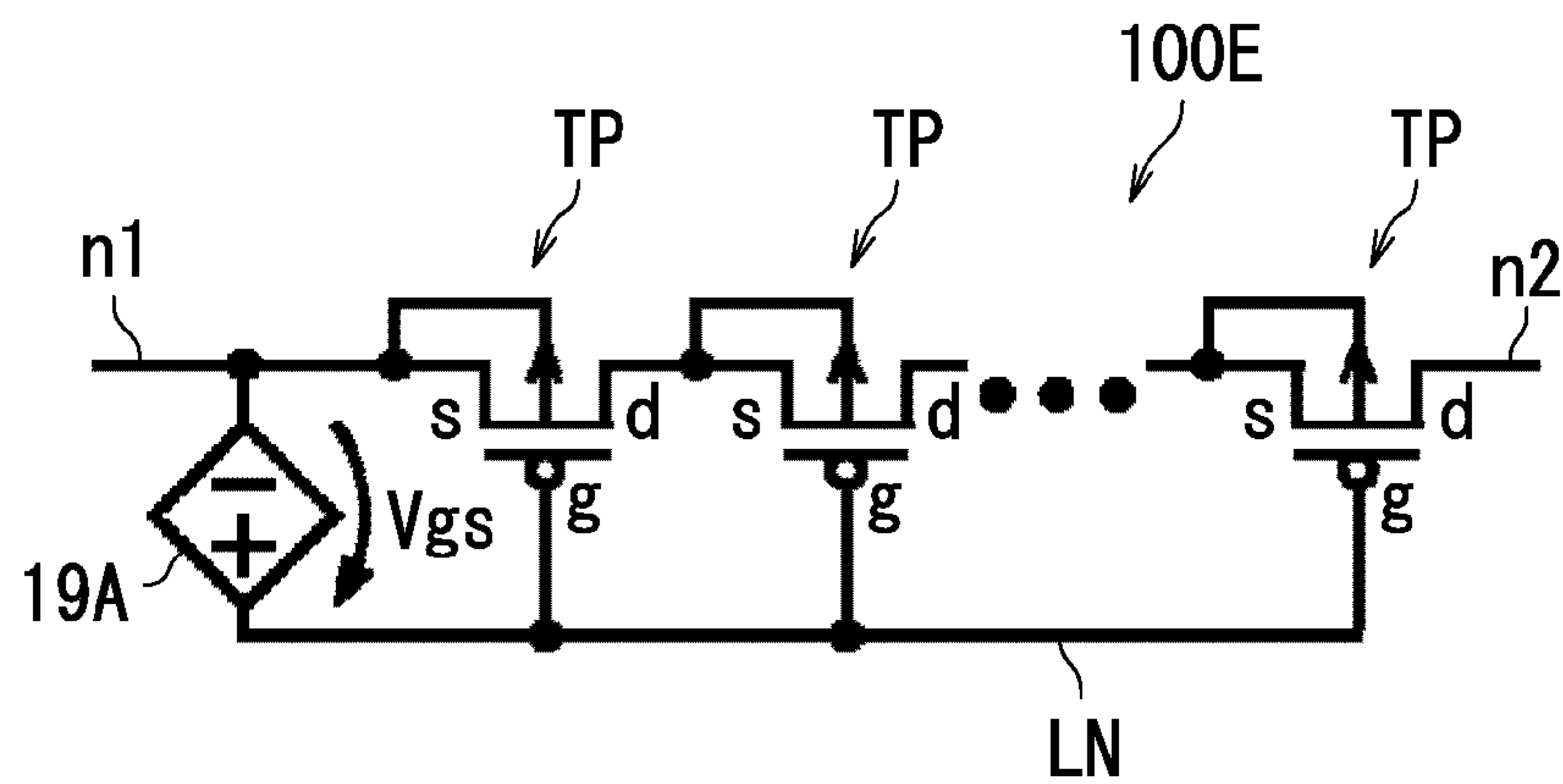


[図31]

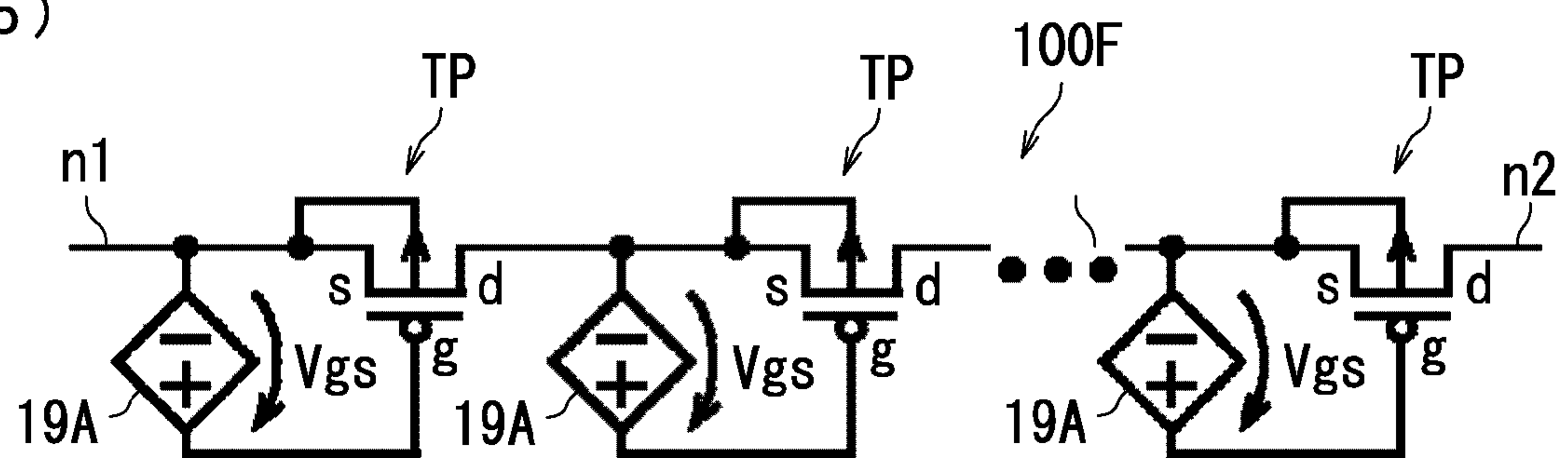


[図32]

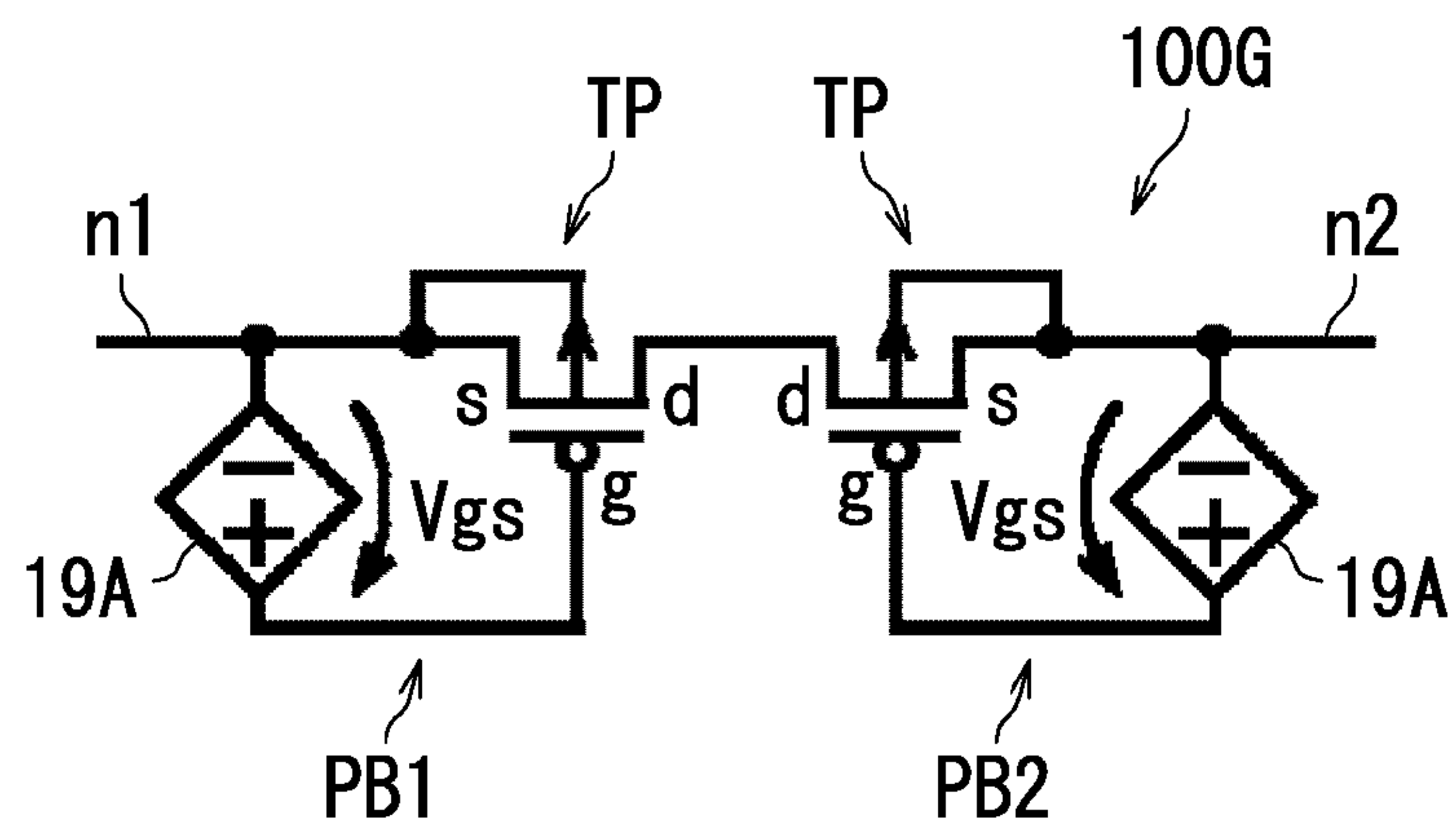
(a)



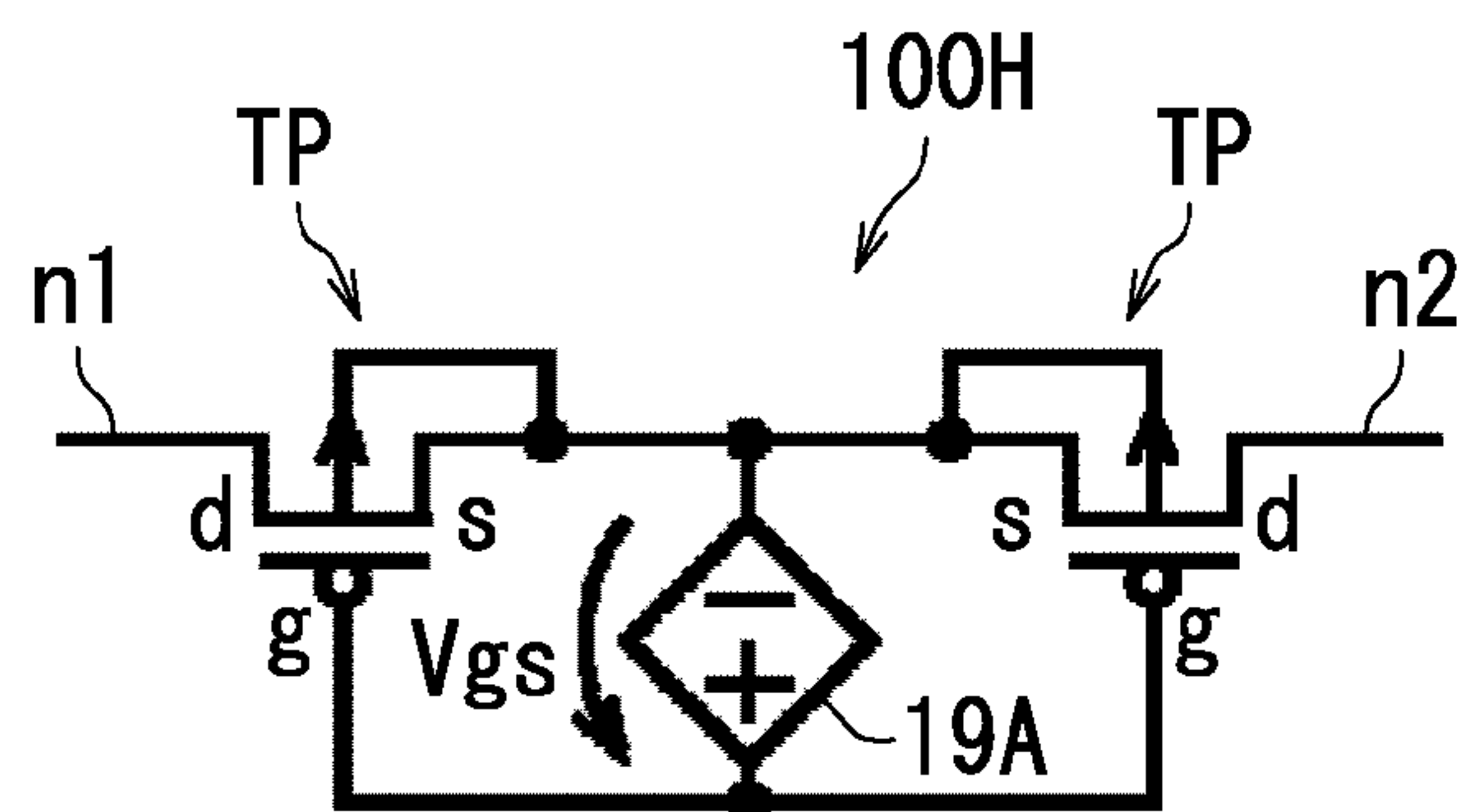
(b)



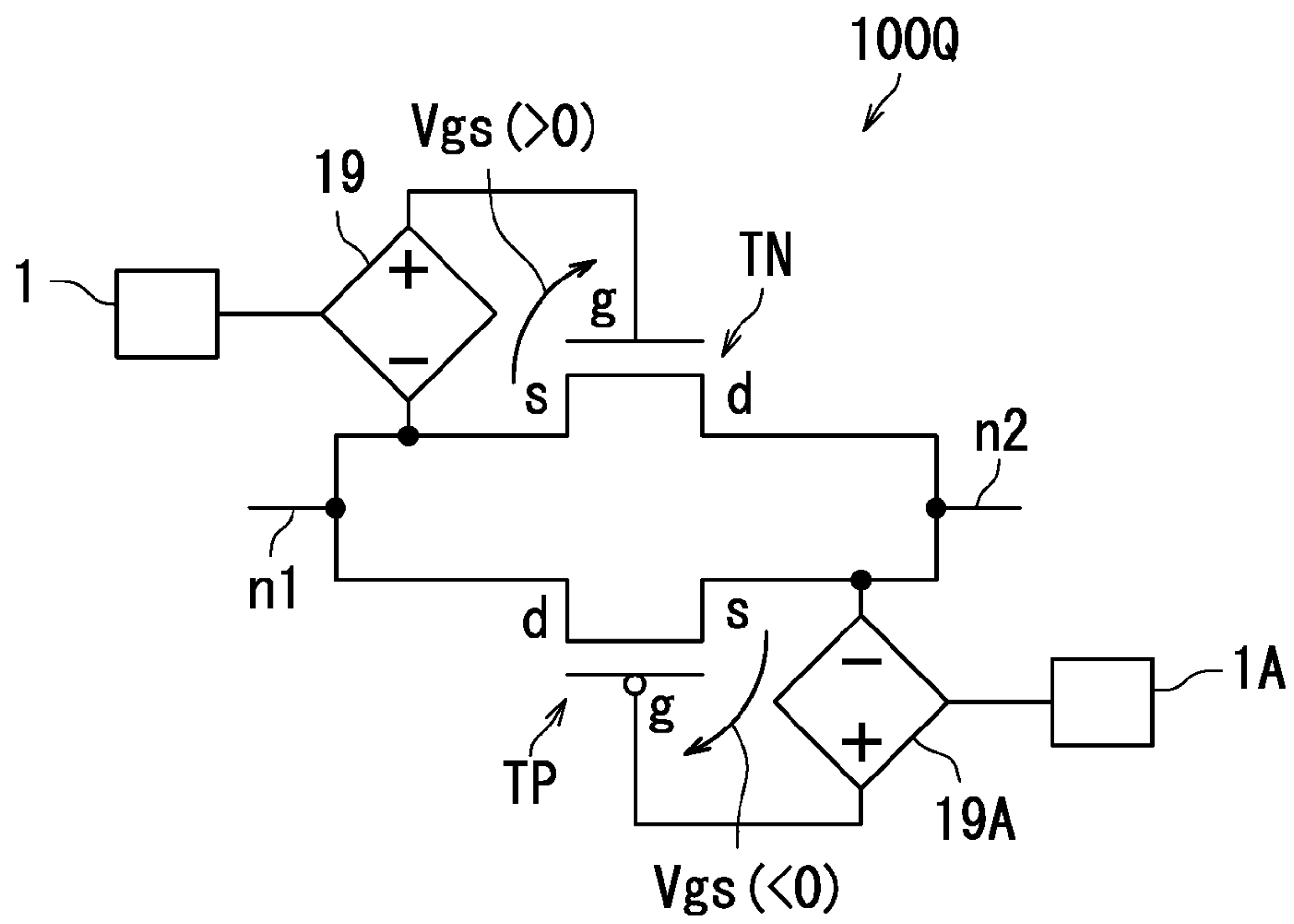
(c)



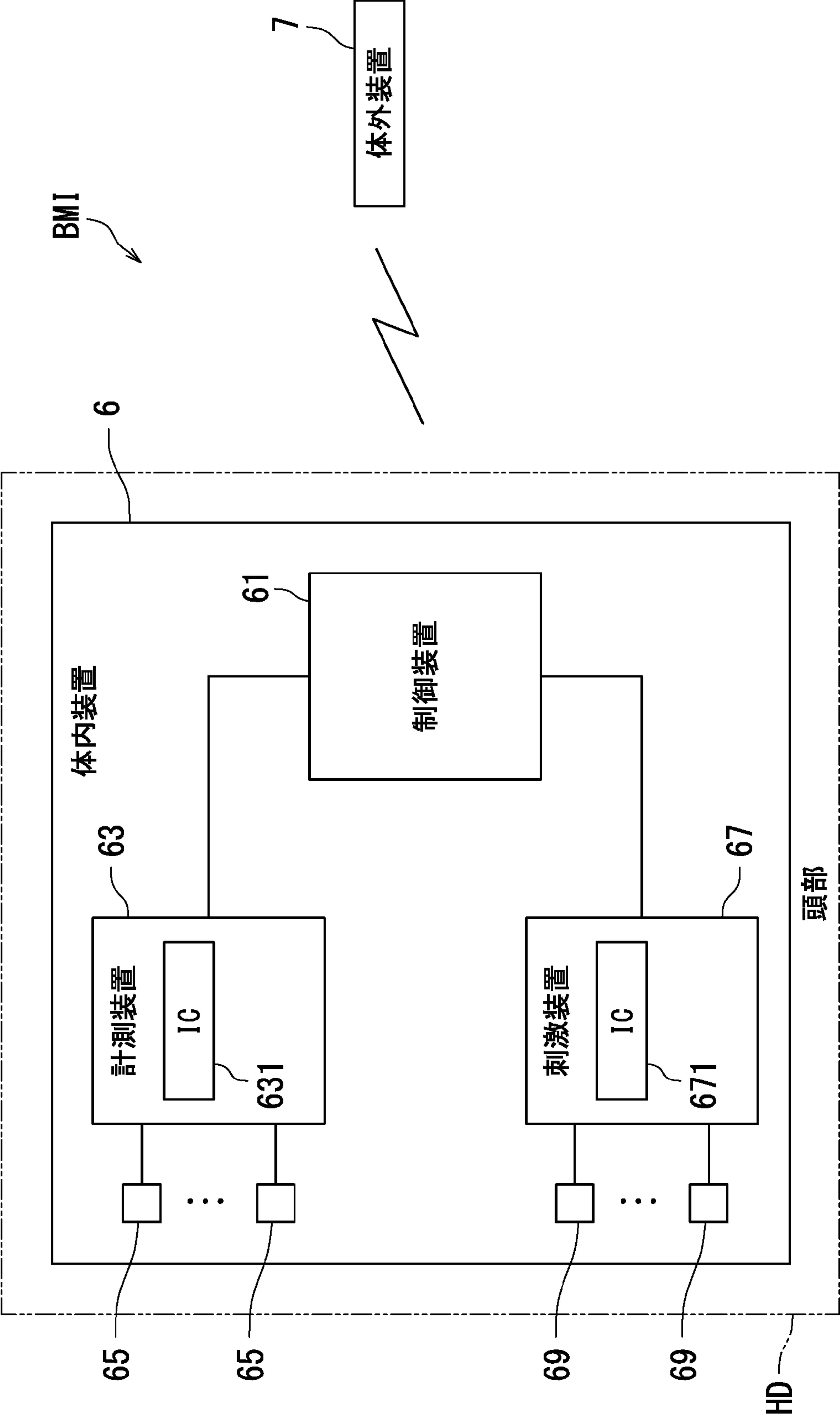
(d)



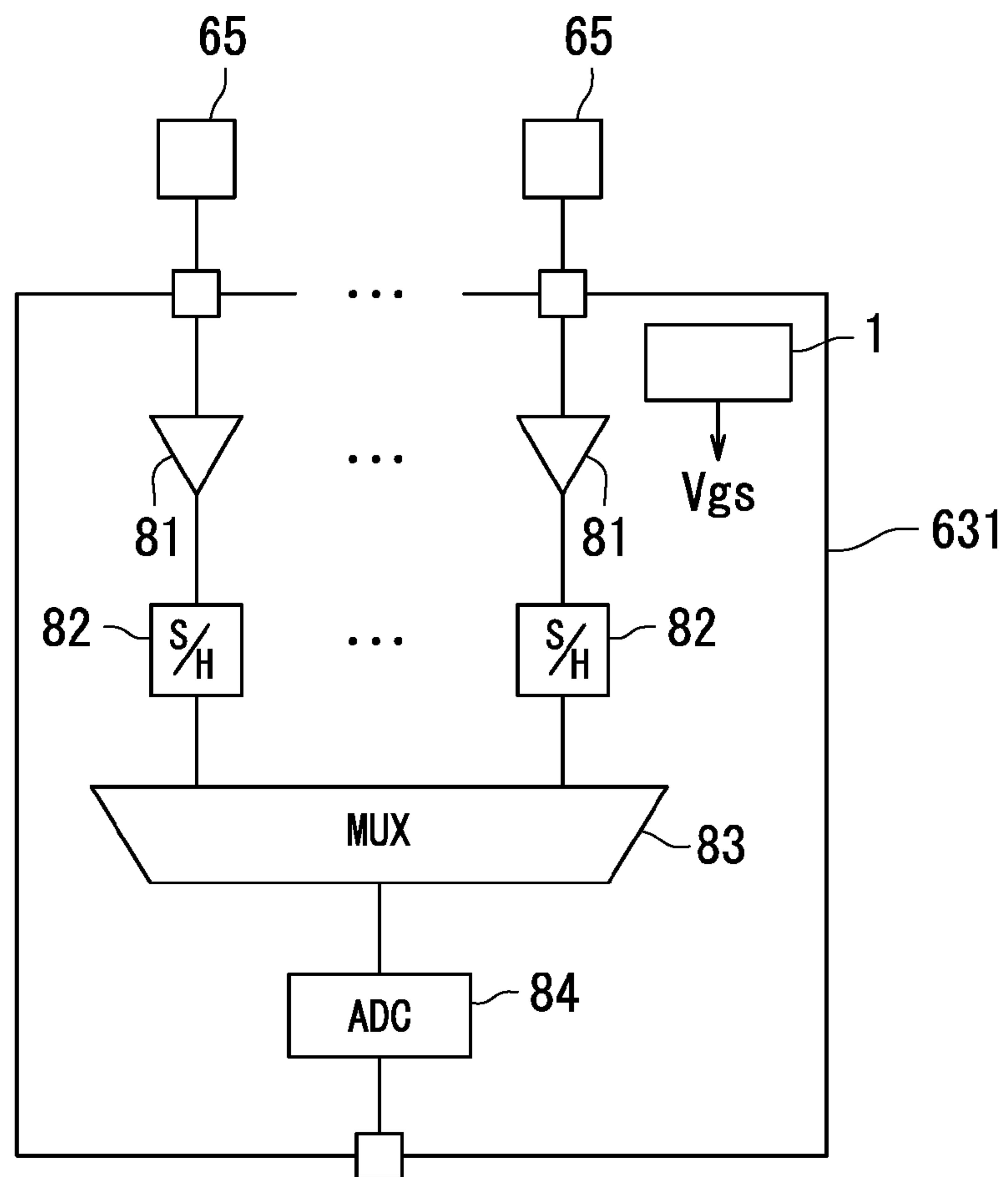
[図33]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/047455

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/04 (2006.01) i; G01K 7/00 (2006.01) i; G05F 1/567 (2006.01) i FI: H01L27/04 F; G05F1/567; H01L27/04 B; H01L27/04 V; H01L27/04 U; G01K7/00 321Z According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/04; G01K7/00; G05F1/567 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-254408 A (RENESAS ELECTRONICS CORP.) 15 December 2011 (2011-12-15) paragraphs [0044]- [0063], fig. 5, 6	1, 2, 6, 8
A	paragraphs [0044]-[0063], fig. 5, 6	3-5, 7, 9-14
A	JP 2017-534171 A (MURATA MANUFACTURING CO., LTD.) 16 November 2017 (2017-11-16) entire text, all drawings	1-14
A	JP 2015-122635 A (MITSUBISHI PRECISION CO., LTD.) 02 July 2015 (2015-07-02) entire text, all drawings	1-14
A	WO 2018/147407 A1 (NIHON KOHDEN CORPORATION) 16 August 2018 (2018-08-16) entire text, all drawings	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 March 2021 (10.03.2021)		Date of mailing of the international search report 23 March 2021 (23.03.2021)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/047455

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-254408 A	15 Dec. 2011	(Family: none)	
JP 2017-534171 A	16 Nov. 2017	US 2018/0115303 A1	
		EP 3210215 A1	
		CN 106796833 A	
JP 2015-122635 A	02 Jul. 2015	(Family: none)	
WO 2018/147407 A1	16 Aug. 2018	US 2020/0054284 A1	
		EP 3582069 A1	

国際調査報告		国際出願番号 PCT/JP2020/047455
A. 発明の属する分野の分類（国際特許分類（I P C）） H01L 27/04(2006.01)i; G01K 7/00(2006.01)i; G05F 1/567(2006.01)i FI: H01L27/04 F; G05F1/567; H01L27/04 B; H01L27/04 V; H01L27/04 U; G01K7/00 321Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（I P C）） H01L27/04; G01K7/00; G05F1/567		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 2 1 年 日本国実用新案登録公報 1 9 9 6 - 2 0 2 1 年 日本国登録実用新案公報 1 9 9 4 - 2 0 2 1 年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2011-254408 A（ルネサスエレクトロニクス株式会社）15.12.2011（2011 - 12 - 15） 段落[0044]－[0063], 図5, 6	1, 2, 6, 8
A	段落[0044]－[0063], 図5, 6	3-5, 7, 9-14
A	JP 2017-534171 A（株式会社村田製作所）16.11.2017（2017 - 11 - 16） 全文, 全図	1-14
A	JP 2015-122635 A（三菱プレシジョン株式会社）02.07.2015（2015 - 07 - 02） 全文, 全図	1-14
A	WO 2018/147407 A1（日本光電工業株式会社）16.08.2018（2018 - 08 - 16） 全文, 全図	1-14
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 10. 03. 2021	国際調査報告の発送日 23. 03. 2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 市川 武宜 5F 4056 電話番号 03-3581-1101 内線 3514	

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-254408	A	15.12.2011	(ファミリーなし)	
JP	2017-534171	A	16.11.2017	US	2018/0115303 A1
				EP	3210215 A1
				CN	106796833 A
JP	2015-122635	A	02.07.2015	(ファミリーなし)	
WO	2018/147407	A1	16.08.2018	US	2020/0054284 A1
				EP	3582069 A1