



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년05월07일

(11) 등록번호 10-1391884

(24) 등록일자 2014년04월28일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0039419

(22) 출원일자 2007년04월23일

심사청구일자 2012년04월19일

(65) 공개번호 10-2008-0095076

(43) 공개일자 2008년10월28일

(56) 선행기술조사문헌

US20030098939 A1

US20030117558 A1

US20040125300 A1

US20040125306 A1

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

박용한

경기도 안양시 동안구 부림로 113, I동 SPACE

2117호 (관양동)

박용기

경기도 시흥시 은행로149번길 3, 성원아파트 103

동 205호 (은행동)

(뒷면에 계속)

(74) 대리인

오세준, 권혁수, 송윤호

전체 청구항 수 : 총 22 항

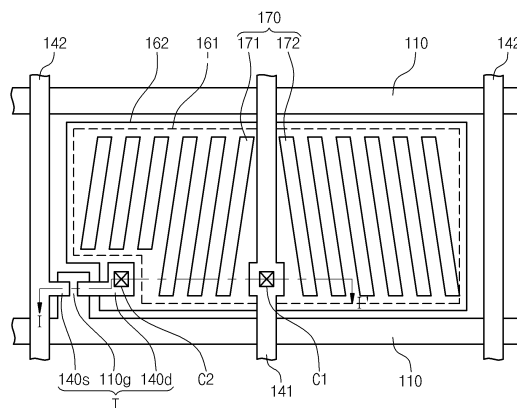
심사관 : 이준석

(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

표시 장치 및 그 제조 방법이 제공된다. 상기 표시 장치는 상호 교차하는 게이트 라인과 데이터 라인에 의해 화소 영역이 정의된다. 상기 화소 영역에는 상하로 중첩되면서 서로 다른 전압이 인가되는 공통 전극과 화소 전극이 구비된다. 상기 데이터 라인은 상기 공통 전극에 전압을 인가하는 제1 데이터 라인과 상기 화소 전극에 전압을 인가하는 제2 데이터 라인을 포함한다. 상기 제1 데이터 라인은 상기 화소 영역 내부를 가로지르는데, 상기 가로지르는 부분의 면적이 최소가 되게 배치되어 상기 표시 장치의 개구율이 증가 된다.

대표도 - 도2



(72) 발명자

성석제

경기도 용인시 수지구 용구대로2801번길 29, 208동
602호 (죽전동, 벽산아파트)

정민경

경기도 수원시 장안구 서부로 2065, 207동 403호
(율전동, 삼성아파트)

특허청구의 범위

청구항 1

제1 서브 영역과 제2 서브 영역을 포함하는 화소 영역을 구비하는 제1 기관;

상기 제1 기관 상에 형성되는 게이트 라인 및 공통 전극;

상기 제1 기관 상에 형성되어 상기 게이트 라인을 커버하는 제1 층간 절연막;

상기 제1 층간 절연막 상에 형성되는 제1 데이터 라인 및 제2 데이터 라인;

상기 제1 층간 절연막 상에 형성되어 상기 제1 데이터 라인 및 상기 제2 데이터 라인을 커버하는 제2 층간 절연막; 및

상기 제2 층간 절연막 상에 형성되고, 상기 화소 영역의 일부를 커버하고, 상기 공통 전극과 중첩하며, 상기 제1 서브 영역에 배치된 제1 절개부 및 상기 제2 서브 영역에 배치되고 상기 제1 절개부와 다른 방향으로 경사진 제2 절개부를 포함하고, 상기 제2 데이터 라인으로부터 전원을 인가받는 화소 전극을 포함하며,

상기 게이트 라인은 제1 방향으로 연장되고, 상기 공통 전극은 상기 제1 데이터 라인을 통하여 전원을 인가받으며 화소 영역을 커버하며,

상기 제1 데이터 라인은 상기 화소 영역을 가로지르며, 상기 제1 데이터 라인 및 상기 제2 데이터 라인은 상기 제1 방향에 수직한 제2 방향으로 연장되며,

상기 화소 영역은 상기 제1 방향의 제1 길이가 상기 제2 방향의 제2 길이보다 큰 사각 형상인 표시 장치.

청구항 2

제1 항에 있어서,

상기 게이트 라인으로부터 이격되어 상기 제1 기관 상에 형성된 서브 라인을 더 포함하고,

상기 서브 라인은 상기 제1 데이터 라인의 일단부에 전기적으로 접속된 표시 장치.

청구항 3

제2 항에 있어서,

상기 제1 데이터 라인은 상기 제1 층간 절연막에 형성된 콘택홀을 통하여 상기 서브 라인에 전기적으로 접속된 표시 장치.

청구항 4

제2 항에 있어서,

상기 제2 데이터 라인은 상기 화소 영역의 에지부에 위치하고, 상기 게이트 라인과 교차하며, 상기 서브 라인에 전기적으로 절연된 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 데이터 라인은 상기 화소 영역을 상기 제1 서브 영역 및 상기 제2 서브 영역의 경계에 중첩하게 배치된 것을 특징으로 하는 표시 장치.

청구항 6

제1 항에 있어서,

상기 제1 절개부 및 상기 제2 절개부는 상기 제1 데이터 라인에 대하여 서로 대칭인 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 데이터 라인 및 상기 제2 데이터 라인은 동일한 물질을 포함하는 표시 장치.

청구항 8

제1 항에 있어서,

상기 공통 전극은 상기 제1 층간 절연막 하부에 형성되고, 상기 제1 층간 절연막에 형성된 콘택홀을 통하여 상기 제1 데이터 라인에 전기적으로 접속하는 표시 장치.

청구항 9

제1 항에 있어서,

상기 제1 기판 상에 형성되고, 상기 게이트 라인으로부터 분기된 게이트 전극;

상기 게이트 전극과 부분적으로 중첩하며, 상기 제2 데이터 라인으로부터 분기된 소스 전극; 및

상기 소스 전극으로부터 이격되며, 상기 화소 전극에 전기적으로 접속하는 드레인 전극을 더 포함하는 표시 장치.

청구항 10

화소 영역이 정의된 제1 기판;

상기 제1 기판 상의 게이트 라인;

상기 게이트 라인과 절연되어 교차하는 제1 데이터 라인 및 제2 데이터 라인;

상기 제1 데이터 라인에 접속하는 공통 전극;

상기 제2 데이터 라인에 접속하며, 상기 공통 전극과 절연되게 교차하고, 다수의 절개부들을 구비하는 화소 전극; 및

상기 제1 기판에 마주하는 제2 기판을 포함하며,

상기 제1 데이터 라인은 상기 화소 영역을 가로질러 제1 서브 영역 및 제2 서브 영역으로 분할하며, 상기 절개부들은 상기 제1 서브 영역 내에 형성된 제1 절개부들 및 상기 제2 서브 영역 내에 형성된 제2 절개부들을 포함하고, 상기 제1 절개부들 및 상기 제2 절개부들은 서로 다른 방향으로 경사진 표시 장치.

청구항 11

제10 항에 있어서,

상기 제1 절개부들 및 제2 절개부들은 상기 제1 데이터 라인에 대하여 서로 대칭인 표시 장치.

청구항 12

제10 항에 있어서,

상기 제1 기판 상에 형성되고 상기 게이트 라인으로부터 이격된 서브 라인을 더 포함하며,

상기 서브 라인은 상기 제1 데이터 라인의 일단부에 전기적으로 접속하는 표시 장치.

청구항 13

제12 항에 있어서,

상기 제1 기판 상에 형성되어 상기 게이트 라인을 커버하는 제1 절연막을 더 포함하며,

상기 제1 데이터 라인은 상기 제1 절연막에 형성된 콘택홀을 통하여 상기 서브 라인에 전기적으로 접속하는 표시 장치.

청구항 14

제12 항에 있어서,

상기 제2 데이터 라인은 상기 화소 영역의 에지부에 위치하고, 상기 서브 라인에 전기적으로 절연된 표시 장치.

청구항 15

제10 항에 있어서,

상기 제1 데이터 라인 및 상기 제2 데이터 라인은 동일한 물질을 포함하는 표시 장치.

청구항 16

제10 항에 있어서,

상기 제1 기판 상에 형성되어 상기 게이트 라인을 커버하는 제1 절연막을 더 포함하며,

상기 제1 절연막은 상기 공통 전극 및 제1 데이터 라인 사이에 형성되고, 상기 공통 전극은 상기 제1 절연막에 형성된 콘택홀을 통하여 상기 제1 데이터 라인에 전기적으로 접속하는 표시 장치.

청구항 17

제16 항에 있어서,

상기 콘택홀은 상기 제1 데이터 라인에 중첩하며, 상기 제1 데이터 라인은 상기 콘택홀에 중첩되는 제1 영역 및 상기 제1 영역을 제외한 제2 영역을 포함하는 표시 장치.

청구항 18

제17 항에 있어서,

상기 제1 영역의 폭은 상기 제2 영역의 폭보다 큰 표시 장치.

청구항 19

제10 항에 있어서,

상기 게이트 라인으로부터 분기된 게이트 전극;

상기 게이트 전극에 부분적으로 중첩하고, 상기 제2 데이터 라인으로부터 분기된 소스 전극; 및

상기 소스 전극으로부터 이격되고, 상기 화소 전극에 전기적으로 접속하는 드레인 전극을 더 포함하는 표시 장치.

청구항 20

제10 항에 있어서,

상기 화소 영역은 상기 게이트 라인이 연장된 방향의 제1 길이가 상기 제1 데이터 라인 및 상기 제2 데이터 라인이 연장된 방향의 제2 길이보다 큰 사각 형상인 표시 장치.

청구항 21

제1 항에 있어서,

상기 제1 데이터 라인은 상기 제1 절개부 및 상기 제2 절개부와 중첩하지 않는 것을 특징으로 하는 표시 장치.

청구항 22

제10 항에 있어서,

상기 제1 데이터 라인은 상기 다수의 절개부들과 중첩하지 않는 것을 특징으로 하는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 표시 장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 고화질의 영상이 표시되는 표시 장치 및 그 제조 방법에 관한 것이다.
- [0018] 일반적으로, 액정 표시 장치, 플라즈마 표시 장치, 유기 전계 발광 표시 장치와 같이 영상을 표시하는 표시 장치는 복수의 화소 영역들을 갖는다. 각 화소 영역은 영상을 표시하는 최소 단위를 나타내며, 표시 장치는 상기 복수의 화소 영역들이 서로 구분되게 정의된다. 상기 화소 영역들 각각은 영상 신호를 전달받아 그에 따른 영상을 표시한다. 상기한 동작을 위해 각 화소 영역에는 신호 라인이 구비된다.
- [0019] 상기 신호 라인은 보다 신속하게 신호가 전달될 수 있게 전도성이 우수한 금속으로 형성된다. 일반적으로 상기한 고전도성의 금속은 차광성을 가지며, 상기 신호 라인이 형성된 영역에서 광이 차단된다. 일반적으로, 각 화소 영역에서 광이 투과되는 부분의 면적비를 개구율이라 하며, 상기 개구율이 증가될수록 보다 많은 양의 광이 외부로 출사되어 고화질이 영상이 표시될 수 있다. 그런데, 표시 장치 내에서 상기 신호 라인과 같이 광을 차단하는 재질을 갖는 부분이 증가될수록 상기 개구율이 감소되어 표시 장치의 화질이 저하된다.

발명이 이루고자 하는 기술적 과제

- [0020] 본 발명의 목적은 고화질의 영상이 표시될 수 있는 표시 장치를 제공하는 데 있다.
- [0021] 본 발명의 다른 목적은 상기한 표시 장치를 제조하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

- [0022] 본 발명의 실시예에 따른 표시 장치는 제1 기판, 게이트 라인, 제1 층간 절연막, 제1 데이터 라인, 제2 데이터 라인, 공통 전극, 제2 층간 절연막, 화소 전극 및 제2 기판을 포함한다. 상기 제1 기판에는 화소 영역이 정의된다. 상기 게이트 라인은 상기 제1 기판 상부에 형성된다. 상기 제1 층간 절연막은 상기 게이트 라인을 덮는다. 상기 제1 데이터 라인은 상기 제1 층간 절연막 상부에 형성되며, 상기 화소 영역을 가로지른다. 상기 제2 데이터 라인은 상기 제1 층간 절연막 상부에 형성되며, 상기 게이트 라인과 함께 상기 화소 영역을 정의한다. 상기 공통 전극은 상기 제1 데이터 라인을 통하여 전압이 인가된다. 상기 제2 층간 절연막은 상기 제1 및 제2 데이터 라인을 덮는다. 상기 화소 전극은 상기 제2 층간 절연막 상부에 형성되며, 상기 제2 데이터 라인을 통하여 전압이 인가된다. 상기 제2 기판은 상기 제1 기판과 마주본다.
- [0023] 본 발명의 실시예에 따른 표시 장치의 제조 방법은 다음과 같은 단계들을 포함한다. 화소 영역이 정의된 제1 기판 상부에 게이트 라인을 형성한다. 상기 제1 기판 상부에 상기 게이트 라인으로부터 이격되게 공통 전극을 형성한다. 상기 게이트 라인 및 상기 공통 전극을 덮으며, 상기 공통 전극을 노출하는 콘택홀을 갖는 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막 상부에 상기 화소 영역을 가로지르며, 상기 콘택홀을 통하여 상기 공통 전극과 전기적으로 연결되는 제1 데이터 라인을 형성한다. 상기 제1 층간 절연막 상부에 상기 게이트 라인과 함께 상기 화소 영역을 정의하는 제2 데이터 라인을 형성한다. 상기 제1 및 제2 데이터 라인을 덮는 제2 층간 절연막을 형성한다. 상기 제2 층간 절연막 상부에 화소 전극을 형성한다. 상기 제1 기판과 마주보도록 제2 기판을 결합한다.
- [0024] 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법은 다음과 같은 단계들을 포함한다. 화소 영역이 정의된 제1 기판 상부에 게이트 라인을 형성한다. 상기 게이트 라인을 덮는 제1 층간 절연막을 형성한다. 상기 제1 층간 절연막 상부에 공통 전극을 형성한다. 상기 제1 층간 절연막 상부에 상기 화소 영역을 가로지르며, 상기 공통 전극에 직접 연결되는 제1 데이터 라인을 형성한다. 상기 제1 층간 절연막 상부에 상기 게이트 라인과 함께 상기 화소 영역을 정의하는 제2 데이터 라인을 형성한다. 상기 공통 전극, 상기 제1 및 제2 데이터 라인을 덮는 제2 층간 절연막을 형성한다. 상기 제2 층간 절연막 상부에 화소 전극을 형성한다. 상기 제1 기판과 마주보도록 제2 기판을 결합한다.
- [0025] 이하 첨부한 도면들을 참조하여 본 발명의 실시예를 상세히 살펴보기로 한다. 다만 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다양한 형태로 응용되어 변형될 수도 있다. 오히려 아래의 실시예들은 본 발명에 의해 개시된 기술 사상을 보다 명확히 하고 나아가 본 발명이 속하는 분야에서 평균적인 지식을 가진 당업자에게 본 발명의 기술 사상이 충분히 전달될 수 있도록 제공되는 것이다. 따라서 본 발명의 범위가 아래에서 상

술하는 실시예들로 인해 한정되는 것으로 해석되어서는 안 될 것이다. 또한 하기 실시예와 함께 제시된 도면들에 있어서, 층 및 영역들의 크기는 명확한 설명을 강조하기 위해서 간략화되거나 다소 과장되어진 것이며, 도면상에 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0026] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.

[0027] 도 1을 참조하면, 액정 표시 장치는 영상을 표시하는 표시 영역(Display Area; DA)이 구비된다. 표시 영역(DA) 내부에는 영상을 표시하는 최소 단위가 되는 복수의 화소 영역(PA)이 정의된다. 상기 복수의 화소 영역(PA)은 복수의 신호 라인에 의해 정의된다. 상기 복수의 신호 라인은 복수의 게이트 라인(110), 복수의 제1 데이터 라인(141) 및 복수의 제2 데이터 라인(142)을 포함한다. 복수의 게이트 라인(110)은 행 방향을 따라 서로 나란하게 신장한다. 복수의 제1 및 제2 데이터 라인(141,142)은 열 방향을 따라 서로 나란하게 신장한다. 제1 데이터 라인(141)은 화소 영역(PA)의 내부를 가로지르며, 게이트 라인(110)과 제2 데이터 라인(142)은 화소 영역(PA)의 경계에 위치한다.

[0028] 도 1에 도시된 바와 같이, 복수의 게이트 라인(110)과 복수의 제1 및 제2 데이터 라인(141,142)을 행 번호와 열 번호로 구분하면, 화소 영역(PA)은 해당하는 게이트 라인(110)과 제2 데이터 라인(142)의 행 번호와 열 번호로 식별된다. 예컨대, (i,i+1) 게이트 라인(110)과, (j,j+1) 제2 데이터 라인(142)에 의해서 (i,j) 화소 영역(PA)이 정의된다.

[0029] 화소 영역(PA)은 행 방향의 길이가 열 방향의 길이 보다 긴 장방형 형상을 갖는다. 화소 영역(PA)은 레드(R), 그린(G) 및 블루(B) 중 어느 하나의 컬러를 나타낸다. 행 방향을 따라 동일한 컬러의 화소 영역(PA)이 인접하며 열 방향을 따라서는 상이한 컬러의 화소 영역(PA)이 인접한다. 예컨대, (i,j),(i,j+1),(i,j+2) 화소 영역(PA)은 레드 컬러를 나타내고, (i+1,j),(i+1,j+1),(i+1,j+2) 화소 영역(PA)은 그린 컬러를 나타내고, (i+2,j),(i+2,j+1),(i+2,j+2) 화소 영역(PA)은 블루 컬러를 나타낸다. 상기 열 방향으로 인접하는 서로 다른 컬러의 세 화소 영역(PA)은 단일의 메인 화소 영역을 구성한다. 예컨대, (i,j),(i+1,j),(i+2,j) 화소 영역(PA)은 단일한 메인 화소 영역을 구성한다. 상기 메인 화소 영역은 상기 레드, 그린 및 블루의 조합으로 다양한 컬러를 표시한다.

[0030] 게이트 라인(110)으로는 게이트 신호가 전송되고, 제1 및 제2 데이터 라인(141,142)으로는 데이터 신호가 전송된다. 상기 게이트 신호는 게이트 구동 회로(미도시)에서 생성되고, 상기 데이터 신호는 데이터 구동 회로(미도시)에서 생성된다. 상기 게이트 구동 회로는 박막 공정을 통하여 상기 복수의 신호 라인과 함께 형성될 수 있다. 이에 비해, 상기 데이터 구동 회로는 칩 형태로 별도 제조되기 때문에, 공정 효율면에서 상기 게이트 구동 회로 쪽이 유리하다. 도 1에 도시된 바와 같이, 화소 영역(PA)이 행 방향의 길이가 긴 장방형의 형상을 갖는 경우, 게이트 라인(110)의 수가 증가되고 제1 및 제2 데이터 라인(141,142)의 수가 감소될 수 있다. 제1 및 제2 데이터 라인(141,142)의 수가 감소됨으로써, 상기 데이터 구동 회로를 구성하는 칩의 개수를 줄일 수 있다. 그 결과, 액정 표시 장치를 제조하기 위한 공정상의 효율이 향상된다.

[0031] 도 2는 도 1의 단일 화소 영역에 대한 확대도이다.

[0032] 도 2를 참조하면, 화소 영역(PA)에는 박막 트랜지스터(T), 공통 전극(161), 및 화소 전극(162)이 구비된다. 박막 트랜지스터(T)는 게이트 전극(110g), 소오스 전극(140s) 및 드레인 전극(140d)을 포함한다. 게이트 전극(110g)은 게이트 라인(110)으로부터 분기된다. 소오스 전극(140s)은 제2 데이터 라인(142)으로부터 분기된다. 드레인 전극(140d)은 평면상에서 볼 때, 게이트 전극(110g)을 사이에 두고 소오스 전극(140s)과 마주본다. 공통 전극(161)과 화소 전극(162)은 상하로 중첩되어 있으며 화소 영역(PA)의 대부분을 차지한다.

[0033] 공통 전극(161)과 제1 데이터 라인(141)은 제1 콘택홀(C1)을 통하여 상호간에 전기적으로 연결된다. 화소 전극(162)과 제2 데이터 라인(142)은 제2 콘택홀(C2)을 통하여 상호간에 전기적으로 연결된다. 화소 전극(162)은 소정 영역이 절개된 복수의 절개부(170)를 갖는다. 절개부(170)는 제1 절개부(171)와 제2 절개부(172)를 포함한다. 제1 및 제2 절개부(171,172)는 게이트 라인(110)에 대해 경사지게 형성된다. 제1 데이터 라인(141)은 화소 영역(PA)을 이등분하며, 상기 제1 절개부(171)의 경사지는 각도와 상기 제2 절개부(172)의 경사지는 각도는 제1 데이터 라인(141)에 대해서 대칭이 된다.

[0034] 도 3은 도 2의 I-I' 라인을 따라 취해진 단면도이다.

[0035] 도 3을 참조하면, 서로 마주보는 제1 및 제2 기판(100,200)이 구비된다. 제1 및 제2 기판(100,200) 사이에는 액정층(300)이 개재된다. 제1 기판(100)상에는 상호 이격되게 게이트 전극(110g)과 공통 전극(161)이 형성된다. 게이트 전극(110g)과 공통 전극(161)은 게이트 절연막(120)에 의해 커버된다. 게이트 절연막(120)은 공통 전극

(161)이 형성된 영역에서 제1 콘택홀(C1)을 갖는다.

- [0036] 게이트 절연막(120)상에는 제1 데이터 라인(141)과 반도체 패턴(130)이 형성된다. 제1 데이터 라인(141)은 제1 콘택홀(C1)을 통하여 공통 전극(161)과 전기적으로 연결된다. 반도체 패턴(130)은 게이트 전극(110g)과 부분적으로 중첩된다. 반도체 패턴(130)은 진성 반도체로 이루어진 액티브 패턴(131)과 불순물을 포함하는 오믹 콘택 패턴(132)을 포함한다. 오믹 콘택 패턴(132)은 두 부분으로 분리되며, 상기 분리된 부분을 따라 소오스 전극(140s)과 드레인 전극(140d)이 형성된다. 소오스 전극(140s)의 단부에는 제2 데이터 라인(142)이 형성된다.
- [0037] 소오스 전극(140s), 드레인 전극(140d), 제1 및 제2 데이터 라인(141, 142)은 보호막(150)에 의해 커버된다. 보호막(150)은 드레인 전극(140d)의 일부를 노출하는 제2 콘택홀(C2)을 갖는다. 게이트 절연막(120)과 보호막(150)은 투명성을 갖는 무기막을 이용하여 형성된다. 예컨대, 게이트 절연막(120)과 보호막(150)은 투명한 실리콘 나이트라이드 또는 실리콘 옥사이드로 형성될 수 있다. 게이트 절연막(120)과 보호막(150)은 각각의 상하층에 형성된 도전성의 막 패턴들을 절연시키는 층간 절연막의 역할을 수행한다. 보호막(150)상에는 화소 전극(162)이 형성된다. 화소 전극(162)은 제2 콘택홀(C2)에 삽입되어 드레인 전극(140d)과 전기적으로 연결된다.
- [0038] 제2 기판(200)상에는 차광막 패턴(210)과 컬러 필터(220)가 형성된다. 차광막 패턴(210)은 화소 영역(PA)의 경계를 커버하며 해당 영역에서 광의 투과를 차단한다. 또한, 차광막 패턴(210)은 박막 트랜지스터(T)를 커버하며 외부로부터 박막 트랜지스터(T)의 채널 영역으로 광이 입사되는 것을 차단한다. 컬러 필터(220)는 화소 영역(PA)에 따라 번갈아가면서 배치되는 레드, 그린 및 블루 컬러 필터를 포함한다.
- [0039] 도 4a 및 도 4b는 액정 표시 장치의 동작 과정을 설명하기 위한 도 3의 부분 확대도이다.
- [0040] 도 4a를 참조하면, 액정 표시 장치는 액정층(300)에 인가되는 전기장에 따라 블랙 상태와 화이트 상태로 구분된다. 상기 블랙 상태에서 액정층(300)에 전기장이 인가되지 않는다. 상기 블랙 상태에서 액정층(300)에 포함된 액정(310)은 제1 및 제2 기판(100, 200)에 대해 나란한 방향으로 배열된다. 액정(310)은 장축과 단축이 상이한 타원 형상을 가지며 상기 장축의 방향에 의해 그 배열 방향이 정의된다. 상기한 배열 상태에서 액정층(300)을 통과하는 광은 어떠한 위상 변화도 발생되지 않는다. 제1 및 제2 기판(100, 200)의 외부에는 각각 광 흡수층이 서로 수직이 되게 편광판이 부착된다. 상기 블랙 상태에서 액정층(300)을 통과하는 광은 외부로 출사되지 못하며, 액정 표시 장치는 어두운 상태가 된다.
- [0041] 도 4b를 참조하면, 상기 화이트 상태에서 게이트 라인(110)으로 게이트 신호가 인가되어 박막 트랜지스터(T)가 턴 온 된다. 제2 데이터 라인(142)으로는 데이터 신호가 인가되며, 박막 트랜지스터(T)의 작용으로 영상 정보에 대응되는 데이터 전압이 화소 전극(162)에 인가된다. 제1 데이터 라인(141)으로는 일정한 공통 전압이 전달되어 공통 전극(161)에 인가된다. 공통 전극(161)과 화소 전극(162)에 인가되는 전압의 차이로 액정층(300)에 전기장이 형성된다.
- [0042] 도 4b에 도시된 바와 같이, 상기 전기장은 윗쪽으로 블록한 포물선 형상을 갖는다. 액정(310)은 유전율 이방성을 가지며 상기 전기장에 의해 수평 배열 상태에 대해서 비틀어지게 배열된다. 액정(310)은 굴절률 이방성을 가지며, 상기 비틀어지게 배열된 상태에서 액정층(300)을 통과하는 광은 그 위상이 변화된다. 상기 위상 변화된 광은 제2 기판(200)에 부착되는 편광판을 투과하여 출사되며, 액정 표시 장치는 밝은 상태가 된다.
- [0043] 도 4b에 도시된 바와 같이, 공통 전극(161)에 있어서 상기 전기장이 형성되는 영역은 화소 전극(162)으로 커버되지 않고 절개부(170)에 의해 노출되는 부분이다. 이로 인하여, 상기 화이트 상태에서 액정(310)이 비틀어지는 방향은 절개부(170)가 형성되는 방향에 따라 달라질 수 있다. 도 2를 재차 참조하면, 제1 데이터 라인(141)을 기준으로 하여 제1 절개부(171)와 제2 절개부(172)는 상호 대칭이 되게 경사진다. 만약 제1 절개부(171)가 형성된 영역을 제1 서브 영역이라 하고, 제2 절개부(172)가 형성된 영역을 제2 서브 영역이라 한다면, 상기 제1 서브 영역과 상기 제2 서브 영역에서 액정(310)이 비틀어지는 방향은 서로 대칭이 된다. 따라서, 상기 제1 및 제2 서브 영역에서 광학 특성이 보상되어 액정 표시 장치의 시야각이 증가될 수 있다.
- [0044] 상기한 동작에 있어서, 제1 데이터 라인(141)은 공통 전압을 신속하게 전달하기 위하여 우수한 전도성을 갖는 금속 재질로 형성된다. 상기 고전도성 금속은 광의 투과를 차단하며, 제1 데이터 라인(141)이 형성된 영역의 면적만큼 화소 영역(PA)의 개구율이 감소된다. 본 실시예에서 제1 데이터 라인(141)은 화소 영역(PA)의 단변과 나란한 방향으로 형성된다. 따라서 제1 데이터 라인(141)은 화소 영역(PA)에서 최소한의 면적만을 차지하며, 액정 표시 장치는 최대한의 개구율을 유지할 수 있다.
- [0045] 제1 데이터 라인(141)은 상기 제1 및 제2 서브 영역의 경계에 위치한다. 상기 경계 영역에 위치하는 액정(310)은 제1 및 제2 절개부(171, 172)의 양쪽으로부터 제어되어, 어느 한 방향으로 배열되지 못하고 그 배열이 흐트러

진다. 즉, 상기 화이트 상태하에서도 상기 제1 및 제2 서브 영역의 경계에서는 광이 외부로 출사하지 못하고 어둡게 표시된다. 따라서, 해당 영역은 항상 어둡게 표시되기 때문에, 상기 경계 영역에 제1 데이터 라인(141)을 배치하는 경우 제1 데이터 라인(141)으로 인한 추가적인 개구율 감소는 없게 된다.

[0046] 위와 같이 본 실시예에 따른 액정 표시 장치는 최대의 개구율을 유지하면서 고화질의 영상을 표시한다.

[0047] 도 5는 도 1의 'A' 부분에 대한 확대도이고, 도 6은 도 5의 II-II' 라인에 따라 취해진 단면도이다.

[0048] 도 5를 참조하면, 표시 영역(DA)의 외부에 제1 데이터 라인(141)의 단부에 행 방향으로 보조 라인(115)이 형성된다. 보조 라인(115)은 게이트 라인(110)과 동일 재질로 동시에 형성될 수 있다. 제1 데이터 라인(141)과 보조 라인(115)은 제3 콘택홀(C3)에 의해 전기적으로 연결된다. 제2 데이터 라인(142)은 보조 라인(115)과 교차한다.

[0049] 도 6을 참조하면, 제1 기판(100)상에 보조 라인(115)이 형성된다. 보조 라인(115)은 게이트 절연막(120)으로 커버된다. 게이트 절연막(120)은 제3 콘택홀(C3)을 가지며, 이를 통하여 제1 데이터 라인(141)과 보조 라인(115)이 전기적으로 연결된다. 제2 데이터 라인(142)은 게이트 절연막(120)에 의해 보조 라인(115)과 전기적으로 절연된다.

[0050] 도 7a 내지 도 7h는 도 3의 액정 표시 장치를 제조하는 과정을 설명하는 단면도들이다.

[0051] 도 7a를 참조하면, 제1 기판(100)의 전면에 투명 도전막이 형성된다. 제1 기판(100)으로는 투명하고 절연성을 갖는 유리나 플라스틱이 사용된다. 상기 투명 도전막은 산화 아연 인듐이나 산화 주석 인듐을 이용한 스퍼터링 방법으로 제1 기판(100) 전면에 증착된다. 상기 투명 도전막상에 포토레지스트막이 도포된다. 상기 포토레지스트막이 노광 및 현상되어 포토레지스트 패턴이 형성된다. 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 투명 도전막이 식각된다. 이하에 설명하는 공정에서도 특정한 막을 식각하는 경우 포토레지스트 패턴을 이용하는 위와 같은 방법이 적용된다. 상기 투명 도전막이 식각되어 공통 전극(161)이 형성된다.

[0052] 제1 기판(100)의 전면에 게이트 도전막이 형성된다. 상기 게이트 도전막은 크롬, 알루미늄, 알루미늄 합금 또는 몰리브덴 따위의 전도성이 우수한 금속을 재질로 하여 단일막이나 다층막으로 형성된다. 상기 게이트 도전막이 식각되고, 게이트 전극(110g)이 형성된다. 도시되지 않았지만, 상기 식각시 게이트 전극(110g)과 함께 게이트 라인(110)이 형성된다. 공정 순서상으로 게이트 전극(110g)은 공통 전극(161)보다 먼저 형성될 수도 있다.

[0053] 도 7b를 참조하면, 제1 기판(100)의 전면에 게이트 절연막(120)과 반도체막이 형성된다. 게이트 절연막(120)과 상기 반도체막은 플라즈마 화학기상증착법을 이용하여 제1 기판(100) 전면에 증착된다.

[0054] 게이트 절연막(120)은 실리콘 나이트라이드나 실리콘 옥사이드와 같은 무기막으로 형성된다. 상기 반도체막은 비정질 실리콘 재질의 액티브막과 그 상부의 불순물을 포함하는 오믹 콘택막의 이층막으로 구성된다. 상기 반도체막이 식각되고 예비 반도체 패턴(130')이 형성된다. 예비 반도체 패턴(130')은 게이트 전극(110g)상의 소정 영역에만 형성되며, 예비 액티브 패턴(131')과 예비 오믹 콘택 패턴(132')으로 이루어진다.

[0055] 도 7c를 참조하면, 게이트 절연막(120)이 식각되고, 공통 전극(161)을 노출하는 제1 콘택홀(C1)이 형성된다. 제1 기판(100)의 전면에 데이터 도전막(140')이 형성된다. 데이터 도전막(140')은 제1 콘택홀(C1)에 삽입된다. 데이터 도전막(140')은 상기 게이트 도전막과 동일한 방법으로 형성될 수 있다.

[0056] 도 7d를 참조하면, 데이터 도전막(140')이 식각된다. 상기 식각에 의해 소오스 전극(140s), 드레인 전극(140d), 제1 및 제2 데이터 라인(141, 142)이 형성된다. 제1 데이터 라인(141)은 제1 콘택홀(C1)을 통하여 공통 전극(161)과 전기적으로 연결된다. 소오스 전극(140s) 및 드레인 전극(140d)을 따라 예비 반도체 패턴(130')이 식각되어 반도체 패턴(130)이 형성된다. 상기 식각시 예비 오믹 콘택 패턴(132')이 두 부분으로 분리된다. 반도체 패턴(130)은 액티브 패턴(131)과 오믹 콘택 패턴(132)을 포함한다.

[0057] 도 7e를 참조하면, 제1 기판(100)의 전면에 보호막(160)이 형성된다. 보호막(160)은 게이트 절연막(120)과 동일한 재질로서 동일한 방법으로 형성될 수 있다. 보호막(160)이 식각되고, 드레인 전극(140d)을 노출하는 제2 콘택홀(C2)이 형성된다. 제1 기판(100)의 전면에 투명 도전막(160')이 형성된다. 투명 도전막(160')은 제2 콘택홀(C2)에 삽입된다. 투명 도전막(160')은 공통 전극(161) 형성시와 동일한 재질로서 동일한 방법으로 형성될 수 있다.

[0058] 도 7f를 참조하면, 투명 도전막(160')이 식각되고 화소 전극(162)이 형성된다. 화소 전극(162)은 제2 콘택홀(C2)을 통하여 드레인 전극(140d)에 전기적으로 연결된다. 화소 전극(162)은 그 내부의 소정 영역이 개구되어 절개부(170)를 갖는다.

- [0059] 도 7g를 참조하면, 제2 기관(200)상에 차광막 패턴(210)이 형성된다. 차광막 패턴(210)은 제2 기관(200)상에 차광막을 도포한 후 이를 패터닝하여 형성된다. 상기 차광막은 포토레지스트 성분을 가지며, 상기 패터닝은 별도의 식각 공정없이 노광 및 현상으로 진행된다. 차광막 패턴(210)상에 컬러 필터(220)가 형성된다. 컬러 필터(220)는 컬러층을 도포한 후 이를 패터닝하여 형성된다. 상기 컬러층은 컬러를 나타내는 포토레지스트 성분을 가지며, 상기 패터닝은 별도의 식각 공정없이 노광 및 현상으로 진행된다. 상기 컬러층의 도포 및 패터닝 과정은 레드, 그린 및 블루 컬러 필터에 대해 총 3회 실시된다.
- [0060] 도 7h를 참조하면, 제1 및 제2 기관(100,200) 사이에 액정층(300)이 형성되고 제1 및 제2 기관(100,200)은 상호간에 결합된다. 액정층(300)은 주입 방법 또는 적하 방법으로 형성될 수 있다. 상기 주입 방법에 따르면, 경화수지를 이용하여 제1 및 제2 기관(100,200)을 결합하되 소정 부분을 개구시키고 상기 개구된 부분으로 액정(310)을 주입하여 액정층(300)을 형성한다. 상기 적하 방법에 따르면, 상기 경화수지가 테두리 부분에 도포된 제1 기관(100)상에 액정(310)을 적하한 후 상기 경화수지를 경화하면서 제1 및 제2 기관(100,200)을 결합한다.
- [0061] 도 8은 본 발명의 다른 실시예에 따른 것으로, 도 1의 단일 화소 영역에 대한 확대도이다. 본 실시예에 있어서, 앞서 살핀 실시예와 중복되는 구성 요소에 대해 동일한 도면 부호를 사용하였으며, 상기 중복되는 구성 요소에 대한 상세 설명은 생략한다.
- [0062] 도 8을 참조하면, 화소 영역(PA)에는 박막 트랜지스터(T), 공통 전극(161) 및 화소 전극(162)이 구비된다. 박막 트랜지스터(T)는 게이트 전극(110g), 소오스 전극(140s) 및 드레인 전극(140d)을 포함한다. 공통 전극(161)과 화소 전극(162)은 상하로 중첩되어 있으며 화소 영역(PA)의 대부분을 차지한다.
- [0063] 공통 전극(161)과 제1 데이터 라인(141)은 상호간에 직접 연결된다. 화소 전극(162)과 제2 데이터 라인(142)은 제2 콘택홀(C2)을 통하여 상호간에 전기적으로 연결된다. 화소 전극(162)은 소정 영역이 절개된 복수의 절개부(170)를 갖는다. 절개부(170)는 제1 절개부(171)와 제2 절개부(172)를 포함한다. 제1 데이터 라인(141)은 화소 영역(PA)을 이등분하며, 제1 및 제2 절개부(171,172)는 제1 데이터 라인(141)에 대해 대칭이 되도록 경사지게 형성된다.
- [0064] 도 9는 도 8의 III-III' 라인을 따라 취해진 단면도이다.
- [0065] 도 9를 참조하면, 제1 기관(100)상에는 게이트 전극(110g)이 형성된다. 게이트 전극(110g)은 게이트 절연막(120)에 의해 커버된다. 게이트 절연막(120)상에는 반도체 패턴(130), 공통 전극(161), 제1 및 제2 데이터 라인(141,142)이 형성된다. 반도체 패턴(130)은 게이트 전극(110g)과 부분적으로 중첩되며, 액티브 패턴(131)과 오픈 콘택 패턴(132)을 포함한다. 제1 및 제2 데이터 라인(141,142)은 상호간에 이격되며, 제1 데이터 라인(141)은 공통 전극(161)상부에 접촉된다. 반도체 패턴(130)상에는 소오스 전극(140s)과 드레인 전극(140d)이 형성된다.
- [0066] 공통 전극(161), 소오스 전극(140s), 드레인 전극(140d), 제1 및 제2 데이터 라인(141,142)은 보호막(150)에 의해 커버된다. 보호막(150)은 드레인 전극(140d)의 일부를 노출하는 제2 콘택홀(C2)을 갖는다. 보호막(150)상에는 화소 전극(162)이 형성된다. 화소 전극(162)은 제2 콘택홀(C2)에 삽입되어 드레인 전극(140d)과 전기적으로 연결된다. 제2 기관(200)상에는 차광막 패턴(210)과 컬러 필터(220)가 형성된다.
- [0067] 이러한 구조를 가진 액정 표시 장치의 동작 과정은 앞선 실시예의 액정 표시 장치와 거의 동일하다. 다만, 공통 전극(161)에 공통 전압을 인가함에 있어서 다소 차이가 난다. 즉, 앞선 실시예에서는 제1 데이터 라인(141)과 공통 전극(161)이 게이트 절연막(120)을 사이에 두고 제1 콘택홀(C1)을 통하여 전기적으로 연결되었는데, 본 실시예에서는 제1 데이터 라인(141)이 공통 전극(161)의 상부에 직접 연결된다.
- [0068] 제1 데이터 라인(141)은 상기 공통 전압을 신속하게 전달하도록 우수한 전도성을 갖는 금속 재질로 형성된다. 상기 고전도성 금속은 광의 투과를 차단하며, 제1 데이터 라인(141)이 형성된 영역의 면적만큼 화소 영역(PA)의 개구율이 감소된다. 본 실시예에서 제1 데이터 라인(141)은 화소 영역(PA)의 단변과 나란하게 형성된다. 따라서 제1 데이터 라인(141)은 화소 영역(PA)에서 최소한의 면적만을 차지하며, 액정 표시 장치는 최대의 개구율을 유지한다. 특히, 제1 데이터 라인(141)은 상기 제1 및 제2 서브 영역의 경계에 위치하는데, 상기 경계 영역은 액정(310)의 배열이 흐트러지면서 어둡게 표시되기 때문에 해당 영역에 제1 데이터 라인(141)을 배치하는 경우 제1 데이터 라인(141)으로 인한 추가적인 개구율 감소는 없게 된다. 따라서, 본 실시예에 따른 액정 표시 장치는 최대의 개구율을 유지하여 고화질의 영상을 표시할 수 있다.

- [0069] 도 10a 내지 도 10h는 도 9의 액정 표시 장치를 제조하는 과정을 설명하는 단면도들이다.
- [0070] 도 10a를 참조하면, 제1 기관(100)의 전면에 게이트 도전막이 형성된다. 상기 게이트 도전막이 식각되고 게이트 전극(110g)이 형성된다. 도시되지 않았지만, 상기 식각시 게이트 전극(110g)과 함께 게이트 라인(110)이 형성된다.
- [0071] 도 10b를 참조하면, 제1 기관(100)의 전면에 게이트 절연막(120)이 형성된다. 게이트 절연막(120)상에 반도체막이 형성되고, 상기 반도체막이 식각되어 예비 반도체 패턴(130')이 형성된다. 예비 반도체 패턴(130')은 예비 액티브 패턴(131')과 그 상부의 예비 오믹 콘택 패턴(132')을 포함한다.
- [0072] 도 10c를 참조하면, 게이트 절연막(120)상에 투명 도전막이 증착된다. 상기 투명 도전막이 식각되고 공통 전극(161)이 형성된다. 예비 반도체 패턴(130') 및 공통 전극(161)상에 제1 기관(100)의 전면을 덮도록 데이터 도전막(140')이 증착된다.
- [0073] 도 10d를 참조하면, 데이터 도전막(140')이 식각된다. 상기 식각으로 소오스 전극(140s), 드레인 전극(140d), 제1 및 제2 데이터 라인(141, 142)이 형성된다. 제1 데이터 라인(141)은 공통 전극(161) 상부에 접촉된다. 소오스 전극(140s) 및 드레인 전극(140d)을 따라 예비 반도체 패턴(130')이 식각되어 반도체 패턴(130)이 형성된다. 반도체 패턴(130)은 액티브 패턴(131)과 오믹 콘택 패턴(132)을 포함한다.
- [0074] 도 10e를 참조하면, 제1 기관(100)의 전면에 보호막(160)이 형성된다. 보호막(160)이 식각되어 드레인 전극(140d)을 노출하는 제2 콘택홀(C2)이 형성된다. 제1 기관(100)의 전면에 투명 도전막(160')이 증착된다.
- [0075] 도 10f를 참조하면, 투명 도전막(160')이 식각되어 화소 전극(162)이 형성된다. 투명 도전막(160')은 제2 콘택홀(C2)에 삽입되고, 화소 전극(162)은 제2 콘택홀(C2)을 통하여 드레인 전극(140d)에 전기적으로 연결된다. 화소 전극(162)은 그 내부의 소정 영역이 개구되어 절개부(170)를 갖는다.
- [0076] 도 10g를 참조하면, 제2 기관(200)상에 차광막이 형성되고 상기 차광막이 패터닝되어 차광막 패턴(210)이 형성된다. 상기 패터닝은 별도의 식각 공정없이 노광 및 현상으로 진행될 수 있다. 차광막 패턴(210)상에 컬러층이 도포되며, 상기 컬러층이 패터닝되어 컬러 필터(220)가 형성된다. 상기 패터닝은 별도의 식각 공정없이 노광 및 현상으로 진행될 수 있다.
- [0077] 도 10h를 참조하면, 제1 및 제2 기관(100, 200) 사이에 액정층(300)이 형성되고 제1 및 제2 기관(100, 200)은 상호간에 결합된다. 액정층(300)은 주입 방법 또는 적하 방법으로 형성될 수 있다.

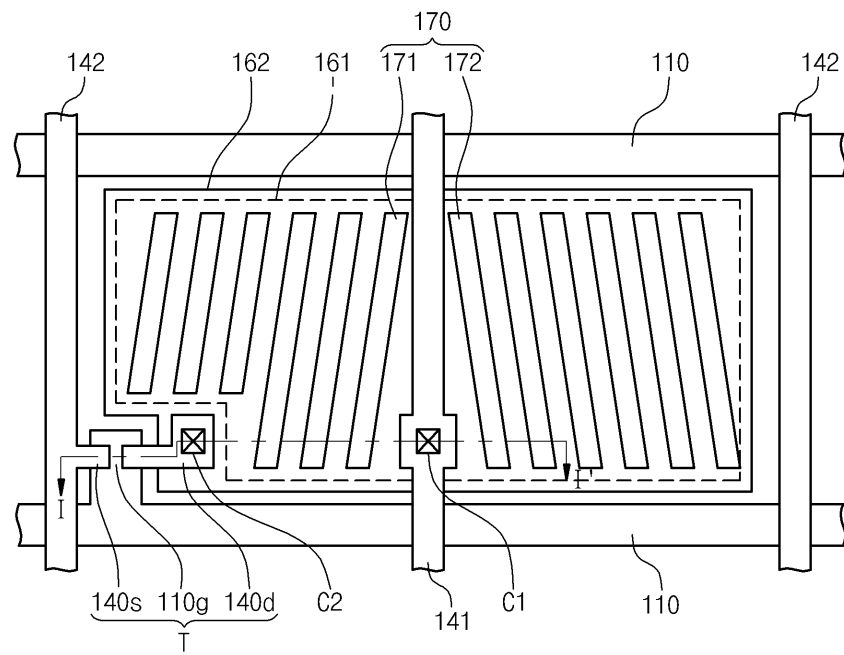
발명의 효과

- [0078] 상기한 실시예들에 따르면, 개구율이 향상되어 고화질의 영상이 표시될 수 있다. 다만, 상기한 실시예들은 예시적인 관점에서 제공된 것으로, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

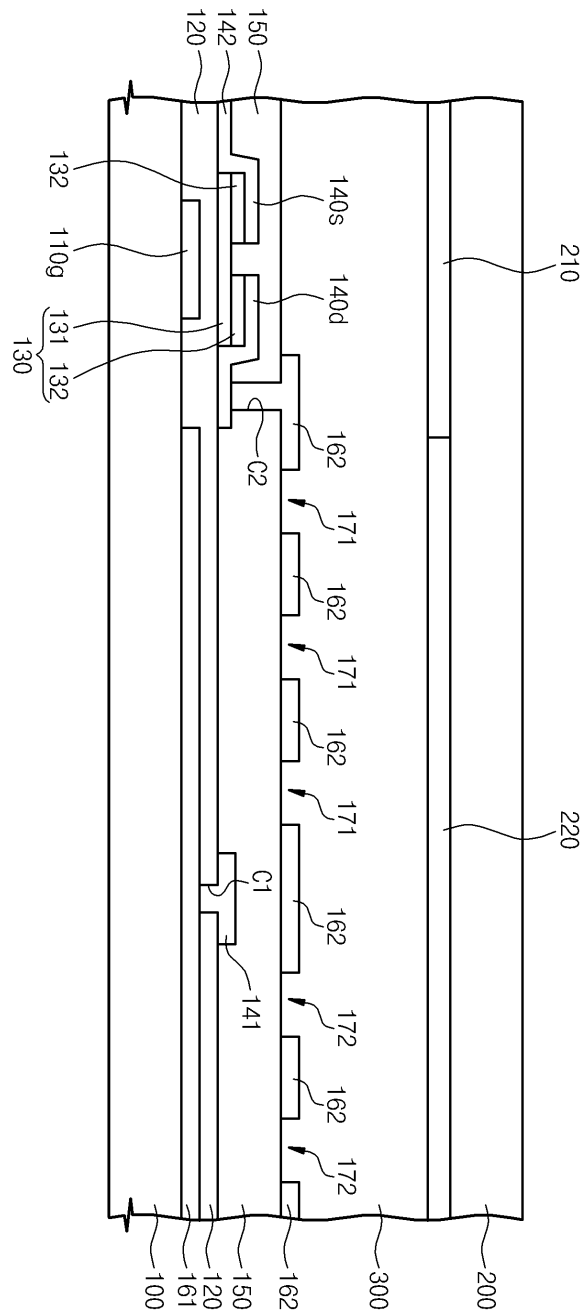
도면의 간단한 설명

- [0001] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.
- [0002] 도 2는 도 1의 단일 화소 영역에 대한 확대도이다.
- [0003] 도 3은 도 2의 I-I' 라인을 따라 취해진 단면도이다.
- [0004] 도 4a 및 도 4b는 액정 표시 장치의 동작 과정을 설명하기 위한 도 3의 부분 확대도이다.
- [0005] 도 5는 도 1의 'A' 부분에 대한 확대도이다.
- [0006] 도 6은 도 5의 II-II' 라인에 따라 취해진 단면도이다.
- [0007] 도 7a 내지 도 7h는 도 3의 액정 표시 장치를 제조하는 과정을 설명하는 단면도들이다.
- [0008] 도 8은 본 발명의 다른 실시예에 따른 것으로, 도 1의 단일 화소 영역에 대한 확대도이다.
- [0009] 도 9는 도 8의 III-III' 라인을 따라 취해진 단면도이다.
- [0010] 도 10a 내지 도 10h는 도 9의 액정 표시 장치를 제조하는 과정을 설명하는 단면도들이다.

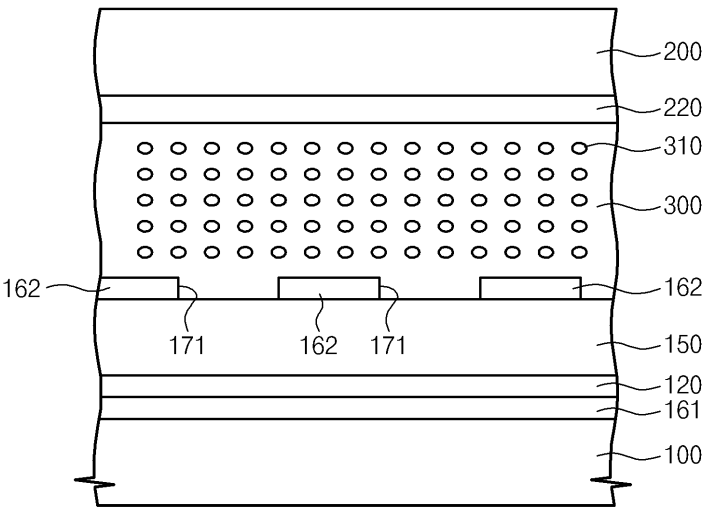
도면2



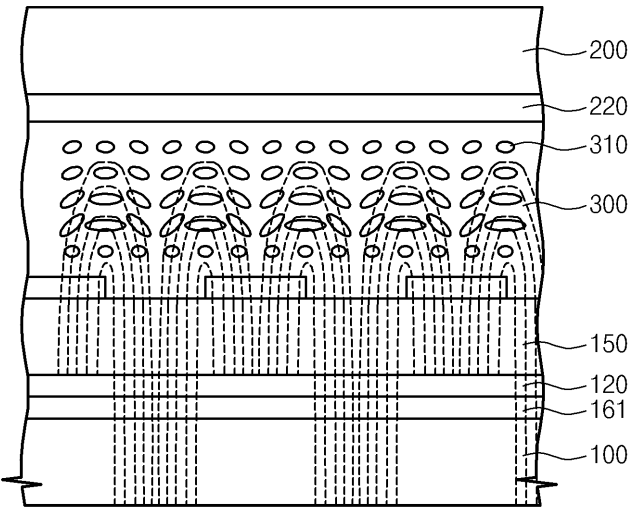
도면3



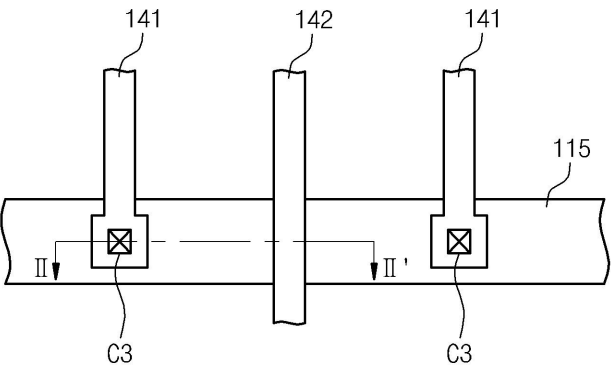
도면4a



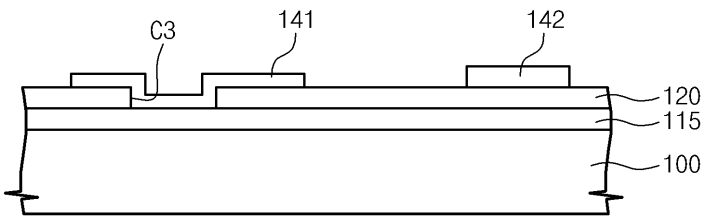
도면4b



도면5



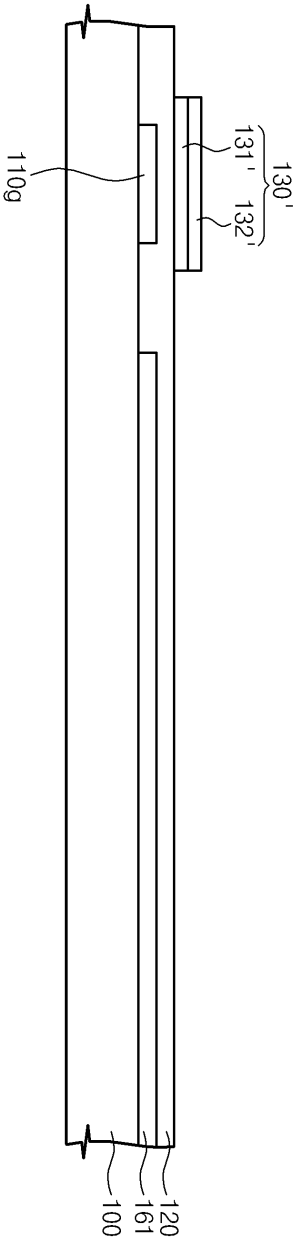
도면6



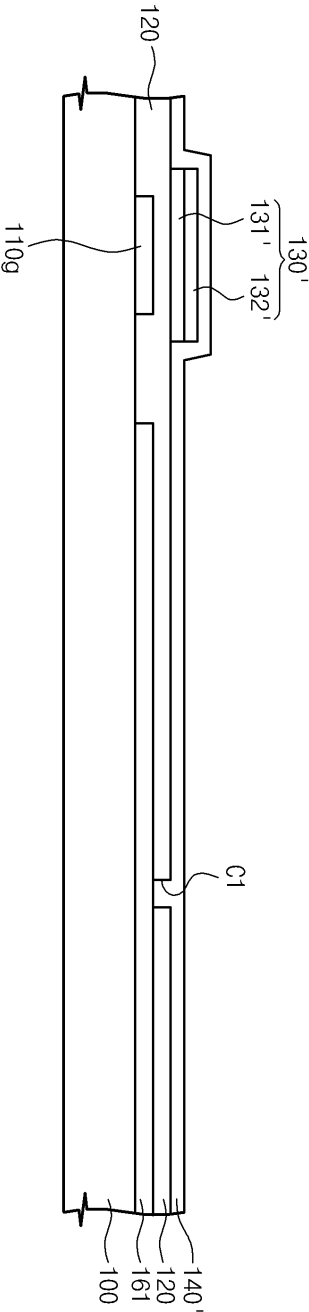
도면7a



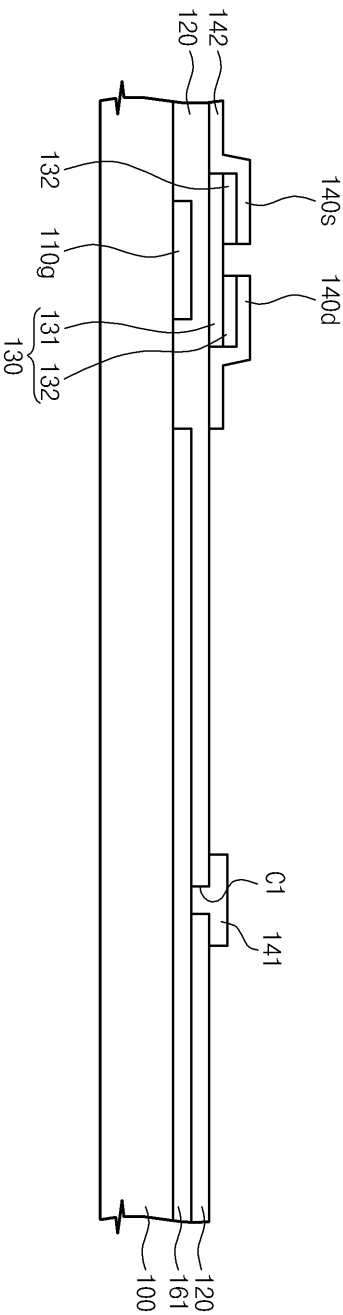
도면7b



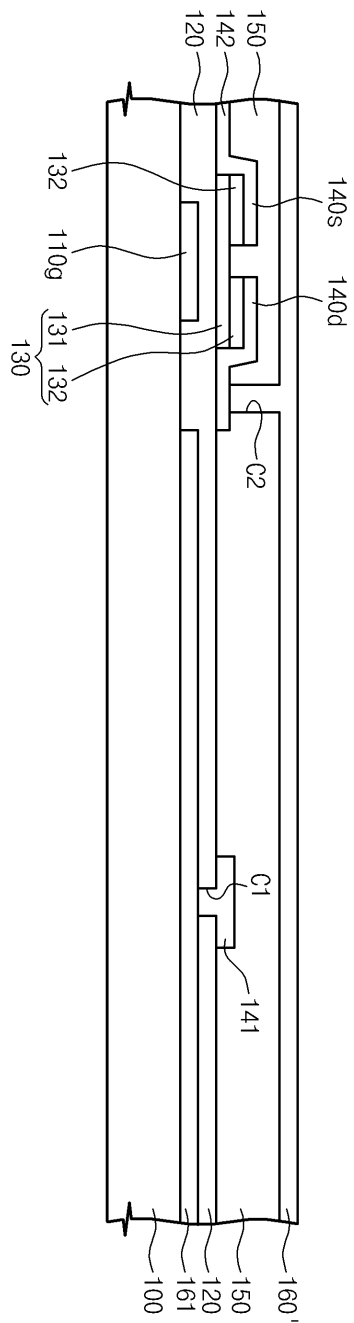
도면7c



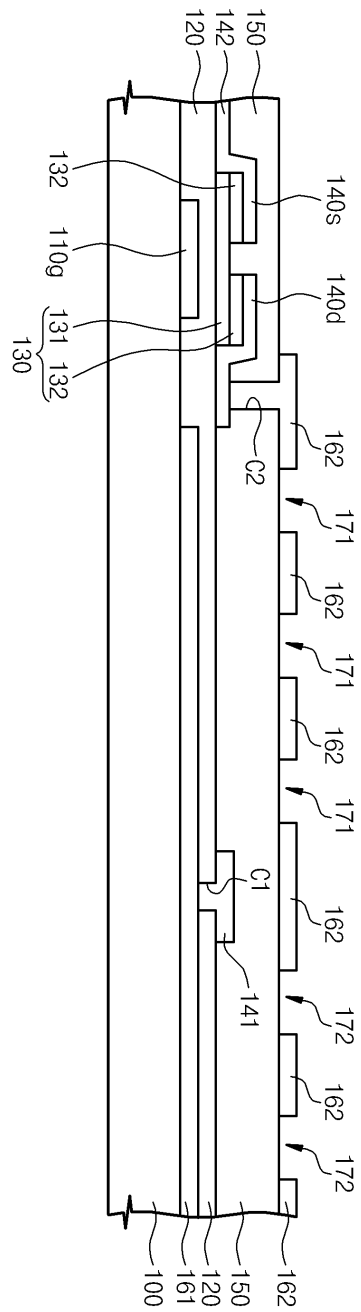
도면7d



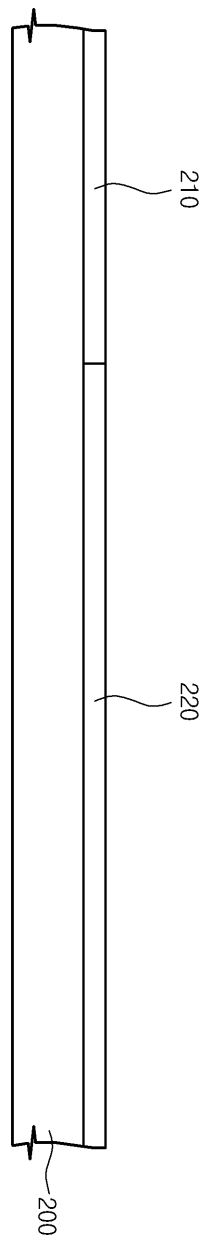
도면7e



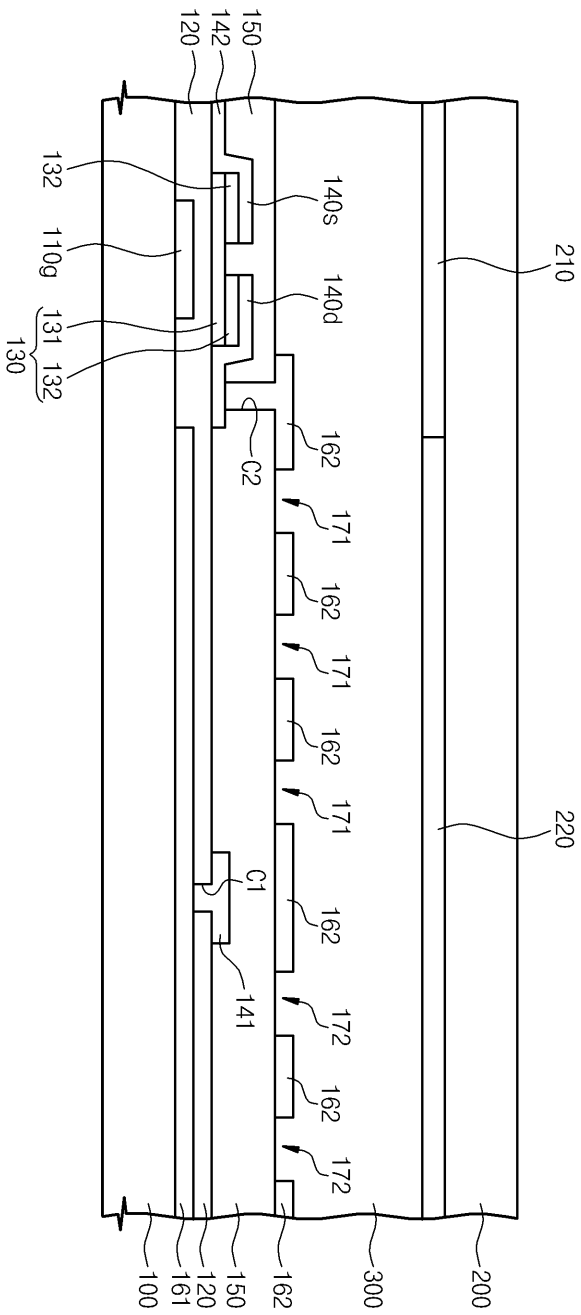
도면7f



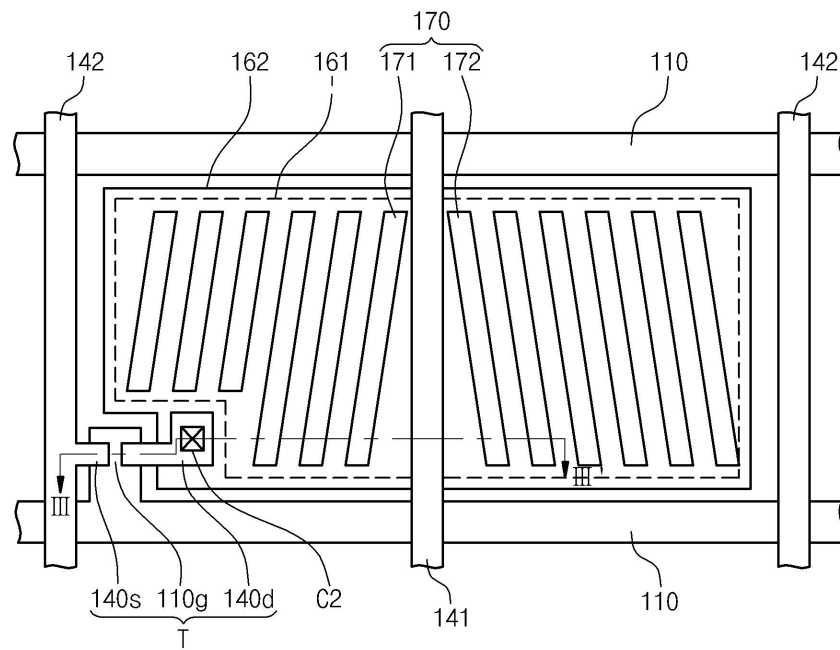
도면7g



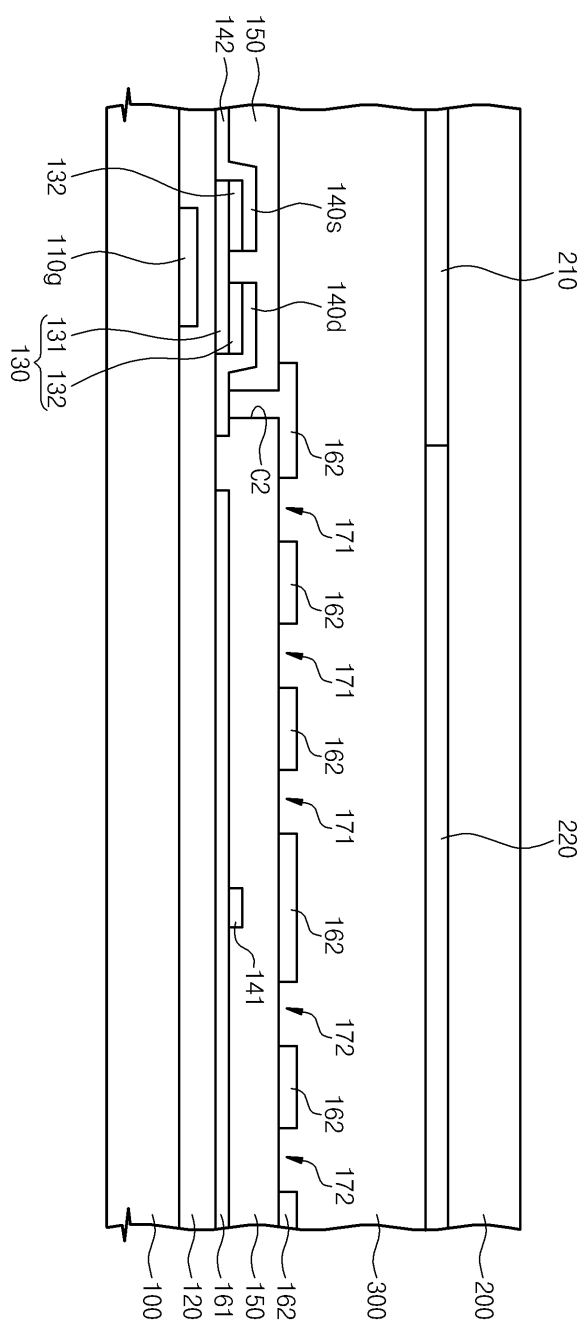
도면 7h



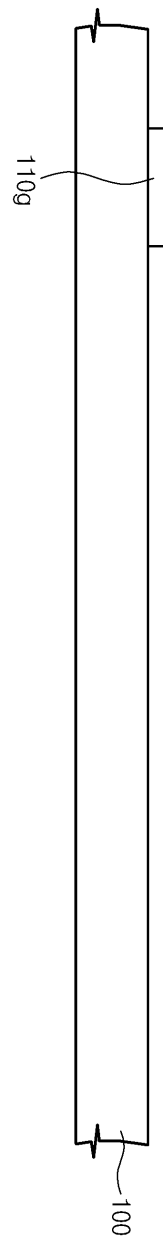
도면8



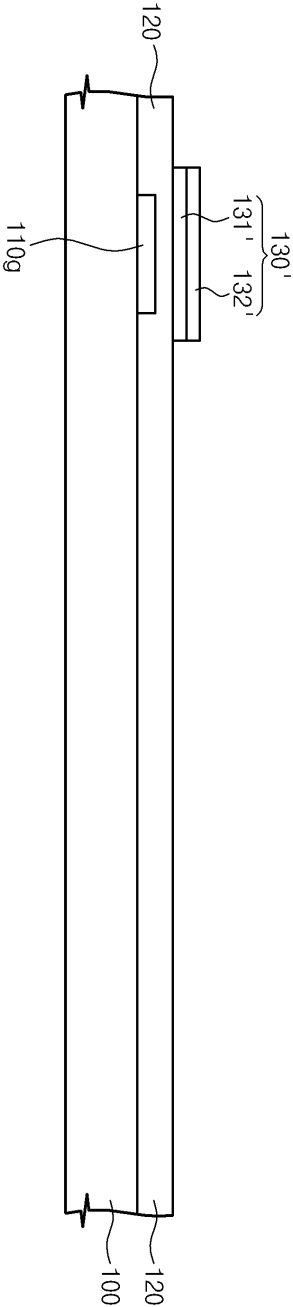
도면9



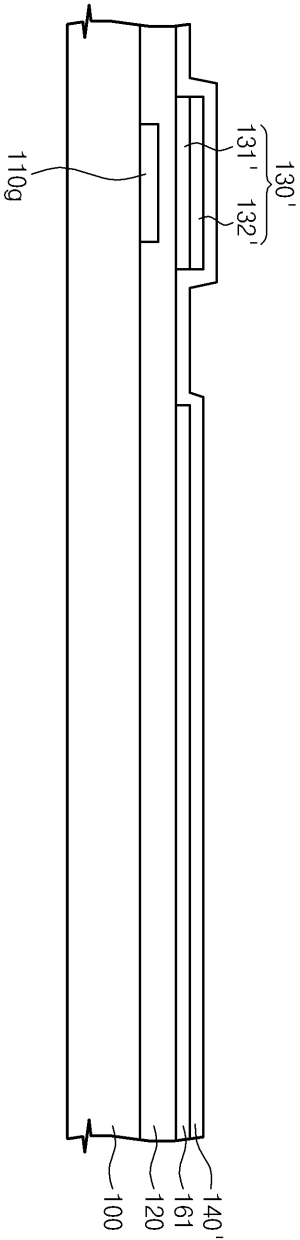
도면10a



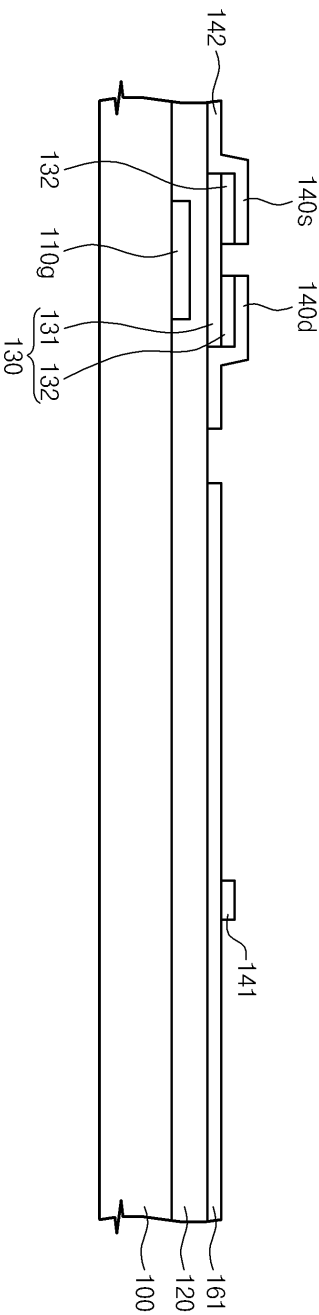
도면10b



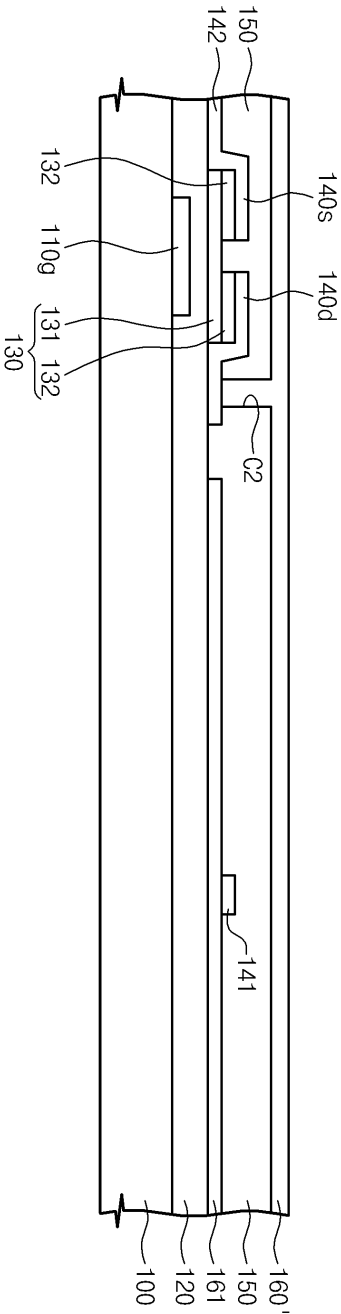
도면10c



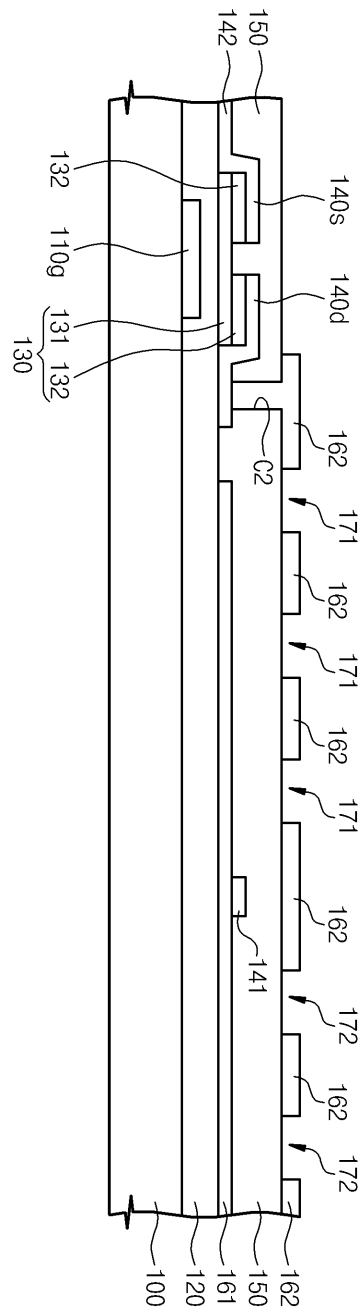
도면10d



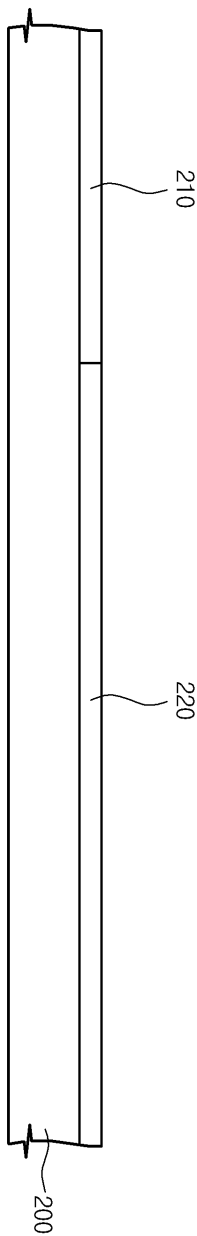
도면10e



도면10f



도면10g



도면10h

