

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年5月10日(2007.5.10)

【公開番号】特開2006-235067(P2006-235067A)

【公開日】平成18年9月7日(2006.9.7)

【年通号数】公開・登録公報2006-035

【出願番号】特願2005-47291(P2005-47291)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 09 G 3/20 (2006.01)

G 01 R 31/28 (2006.01)

【F I】

G 09 G	3/36	
G 09 G	3/20	6 2 3 F
G 09 G	3/20	6 2 3 G
G 09 G	3/20	6 2 3 H
G 09 G	3/20	6 2 3 K
G 09 G	3/20	6 2 3 R
G 09 G	3/20	6 4 1 C
G 09 G	3/20	6 7 0 Q
G 01 R	31/28	G

【手続補正書】

【提出日】平成19年3月19日(2007.3.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

その各々が少なくとも1画素のn(nは2以上の整数)ビットの表示データを保持して出力する第1～第m(mは2以上の整数)の保持回路と、

前記第1～第mの保持回路から出力される複数画素の表示データを受け、通常動作モード時には前記複数画素の表示データを時分割に出力するマルチプレクサと、

第1～第nのD/A変換用入力端子を備え、前記第1～第nのD/A変換用入力端子を介して入力されたnビットのデータに基づいてD/A変換し、その出力を階調電圧として出力するD/A変換器と、

を含み、

前記第1～第mの保持回路の各々は、前記nビットの表示データの各ビットのデータをラッチする第1～第nのラッチ回路を含み、

前記マルチプレクサは、第1～第nのマルチプレクサ用出力端子を含み、

前記表示データを検査するテストモード時には、

前記第1～第mの保持回路は、その各々が含む前記第nのラッチ回路の出力から第1～第mのシリアル出力データとして、その各々が保持する前記nビットの表示データをシリアル出力し、

前記マルチプレクサは、前記第1～第mのシリアル出力データを時分割に前記第nのマルチプレクサ用出力端子から出力し、

前記第1～第nのD/A変換用入力端子の各々には、前記第nのマルチプレクサ用出力

端子を介して時分割に前記第1～第mのシリアル出力データが入力され、

前記D/A変換器は、前記第1～第nのD/A変換用入力端子に入力される前記第1～第mのシリアル出力データの各ビットのデータが入力される毎にD/A変換を行い、前記階調電圧を出力することを特徴とする表示ドライバ。

【請求項2】

請求項1において、

前記第1～第mの保持回路の各々は、

スキャンイネーブル信号に基づいて前記第1～第nのラッチ回路にラッチされている表示データを前記マルチプレクサに出力し、

前記スキャンイネーブル信号がノンアクティブに設定された場合は、前記第1～第nのラッチ回路に保持されている前記第1～第nビットのデータをそれぞれ異なる出力線を介して前記マルチプレクサに出力し、

前記スキャンイネーブル信号がアクティブに設定された場合は、前記第nのラッチ回路の出力端子から前記第1～第nビットのデータをシリアル出力データとして前記マルチプレクサに出力することを特徴とする表示ドライバ。

【請求項3】

請求項2において、

前記第1～第mの保持回路の各々は、

第1～第(n-1)のスキャン用スイッチ回路をさらに含み、

前記第1～第(n-1)のスキャン用スイッチ回路のうちの第k(kは1以上の整数)のスキャン用スイッチ回路は、

前記第1～第nのラッチ回路のうちの第kのラッチ回路からの出力と、前記表示データのうちの第(k+1)ビットのデータとを受け、

前記スキャンイネーブル信号がアクティブに設定された場合には、前記第kのラッチ回路の出力を第(k+1)のラッチ回路に出力し、

前記スキャンイネーブル信号がノンアクティブに設定された場合には、前記第(k+1)ビットのデータを第(k+1)のラッチ回路に出力することを特徴とする表示ドライバ。

【請求項4】

その各々が少なくとも1画素のn(nは2以上の整数)ビットの表示データを保持して出力する第1～第m(mは2以上の整数)の保持回路と、

前記第1～第mの保持回路から出力される複数画素の表示データを受け、通常動作モード時には前記複数画素の表示データを時分割に出力するマルチプレクサと、

第1～第nのD/A変換用入力端子を備え、前記第1～第nのD/A変換用入力端子を介して入力されたnビットのデータに基づいてD/A変換し、その出力を階調電圧として出力するD/A変換器と、

を含み、

前記第1～第mの保持回路の各々は、前記nビットの表示データの各ビットのデータをラッチする第1～第nのラッチ回路を含み、

前記マルチプレクサは、第1～第nのマルチプレクサ用出力端子を含み、

前記表示データを検査するテストモード時には、

前記第1～第mの保持回路は、その各々が含む前記第nのラッチ回路の出力から第1～第mのシリアル出力データとして、その各々が保持する前記nビットの表示データをシリアル出力し、

前記第mの保持回路の前記第nのラッチ回路の出力から前記第1～第mのシリアル出力データが順次に出力され、

前記マルチプレクサは、前記第1～第mのシリアル出力データを前記第nのマルチプレクサ用出力端子に出力し、

前記第1～第nのD/A変換用入力端子の各々には、前記第nのマルチプレクサ用出力端子を介して順次に前記第1～第mのシリアル出力データが入力され、

前記 D / A 変換器は、前記第 1 ~ 第 n の D / A 変換用入力端子に入力される前記第 1 ~ 第 m のシリアル出力データの各ビットのデータが入力される毎に D / A 変換を行い、前記階調電圧を出力することを特徴とする表示ドライバ。

【請求項 5】

請求項 4 において、

前記マルチプレクサは

前記テストモード時には、前記第 1 ~ 第 m の保持回路のうち、前記第 1 ~ 第 (m - 1) の保持回路の出力から入力されるデータを、前記第 1 ~ 第 n のマルチプレクサ用出力端子に出力しないことを特徴とする表示ドライバ。

【請求項 6】

請求項 4 又は 5 において、

前記第 1 ~ 第 m の保持回路のうち、少なくとも第 2 ~ 第 m の保持回路の各々は、前記テストモード時に前段の保持回路の第 n のラッチ回路の出力が接続されるシリアルデータ入力端子を含み、

前記第 1 ~ 第 m の保持回路の各々は、

スキャンイネーブル信号に基づいて、その各々が含む前記第 1 ~ 第 n のラッチ回路にラッチされている表示データを前記マルチプレクサに出力し、

前記テストモード時には、前記スキャンイネーブル信号がアクティブに設定され、

前記第 1 ~ 第 m の保持回路の各々は、前記第 n のラッチ回路の出力端子から前記 n ビットの表示データをシリアル出力データとして出力し、

前記第 2 ~ 第 m の保持回路の前記シリアルデータ入力端子には前段の保持回路の前記第 n のラッチ回路の出力端子から出力される前記シリアル出力データが入力され、前記第 m の保持回路の前記第 n のラッチ回路の出力端子から前記第 1 ~ 第 m のシリアル出力データが順次に前記マルチプレクサに出力されることを特徴とする表示ドライバ。

【請求項 7】

請求項 6 において、

前記第 1 ~ 第 m の保持回路の各々は、

第 1 ~ 第 (n - 1) のスキャン用スイッチ回路と、

シリアル出力データ用スイッチ回路と、

をさらに含み、

前記第 1 ~ 第 (n - 1) のスキャン用スイッチ回路のうちの第 k (k は 1 以上の整数) のスキャン用スイッチ回路は、

前記第 1 ~ 第 n のラッチ回路のうちの第 k のラッチ回路からの出力と、前記表示データのうちの第 (k + 1) ビットのデータとを受け、

前記スキャンイネーブル信号がアクティブに設定された場合には、前記第 k のラッチ回路の出力を第 (k + 1) のラッチ回路に出力し、

前記スキャンイネーブル信号がノンアクティブに設定された場合には、前記第 (k + 1) ビットのデータを第 (k + 1) のラッチ回路に出力し、

前記第 1 ~ 第 m の保持回路のうちの第 L (L は 2 以上の整数) の保持回路が含む前記シリアル出力データ用スイッチ回路は、

第 (L - 1) の保持回路の前記第 n のラッチ回路からの出力と、前記表示データのうちの第 1 ビットのデータとを受け、

前記スキャンイネーブル信号がアクティブに設定された場合には、前記第 (L - 1) の保持回路の前記第 n のラッチ回路からの出力を第 2 のラッチ回路に出力し、

前記スキャンイネーブル信号がノンアクティブに設定された場合には、前記表示データの第 1 ビットのデータを前記第 2 のラッチ回路に出力することを特徴とする表示ドライバ。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

前記通常動作モード時と、前記テストモード時とで、入力されたデータの出力経路を切

り替えて出力するモードセレクタをさらに含み、

前記モードセレクタは、前記マルチプレクサの前記第1～第nのマルチプレクサ用出力端子と接続された第1～第nのモードセレクタ用入力端子と、前記マルチプレクサから入力された前記表示データを出力するための第1～第nのモードセレクタ用出力端子を含み、

前記テストモード時には、前記モードセレクタは、アクティブに設定されたデジタル出力イネーブル信号を受け、前記第1～第nのモードセレクタ用入力端子のうち、前記マルチプレクサの前記第nのマルチプレクサ用出力端子から出力される前記シリアル出力データを受ける第nのモードセレクタ用入力端子を、前記第1～第nのモードセレクタ用出力端子のそれぞれに電気的に接続し、前記第nのラッチ回路からの前記シリアル出力データを前記第1～第nのモードセレクタ用出力端子に出力することを特徴とする表示ドライバ。

【請求項9】

請求項8において、

前記モードセレクタは、第1～第(n-1)のモードセレクタ用スイッチ回路を含み、第1～第(n-1)のモードセレクタ用スイッチ回路のうちの第k(kは1以上の整数)のモードセレクタ用スイッチ回路は、

第kのモードセレクタ用入力端子に接続される第kのマルチプレクサ用出力端子からの出力と、第nのモードセレクタ用入力端子に接続される前記第nのマルチプレクサ用出力端子からの出力とを受け、

前記デジタル出力イネーブル信号がアクティブに設定された場合には、前記第nのマルチプレクサ用出力端子からの出力を前記第kのモードセレクタ用出力端子に出力し、

前記デジタル出力イネーブル信号がノンアクティブに設定された場合には、前記第kのマルチプレクサ用出力端子からの出力を前記第kのモードセレクタ用出力端子に出力することを特徴とする表示ドライバ。