

(19) 中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號： 200915537

(43)公開日： 中華民國98(2009)年4月1日

(21)申請案號：097124047

(22)申請日：中華民國97(2008)年6月27日

(51)Int. Cl. : **H01L27/06 (2006.01)**

H02H9/04 (2006.01)

H01L21/02 (2006.01)

(30)優先權主張：2007/06/29 美國

11/771, 565

(71)申請人：高級微裝置公司 ADVANCED MICRO DEVICES, INC.

美國

(72)發明人：沙曼 亞克倫 SALMAN, AKRAM；畢比 史帝芬 BEEBE, STEPHEN

(72)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：19 項 圖式數：17 共 59 頁

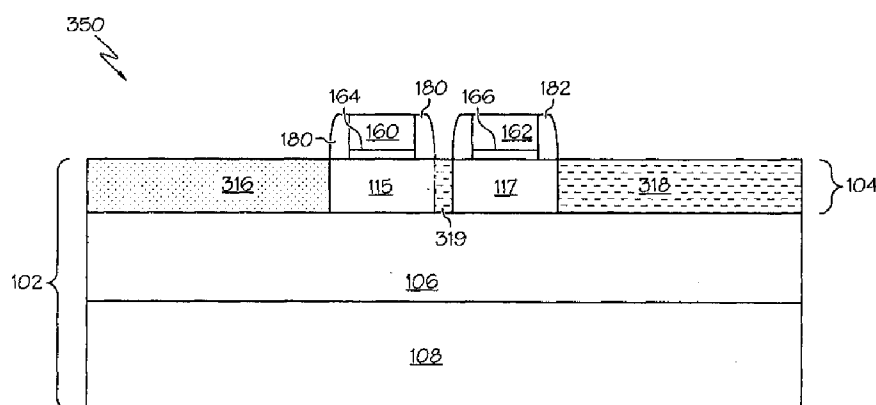
(54)名稱

靜電釋放保護裝置及製造包含靜電釋放保護裝置的半導體裝置之方法

ELECTROSTATIC DISCHARGE PROTECTION DEVICES AND METHODS FOR FABRICATING SEMICONDUCTOR DEVICES INCLUDING THE SAME

(57)摘要

本發明提供一種製作半導體裝置的方法。依據這方法，第一閘極電極跟第二閘極電極係形成在矽基底的第一部分上，而且第一導電率類型離子係植入該矽基底的第二部分中，以定義該矽基底內的第一導電率類型二極體區域。第二導電率類型離子係植入該矽基底的第三部分中，以定義出該矽基底內的第二導電率類型二極體區域。在植入該第一導電率類型離子與該第二導電率類型離子之其中之一的步驟中，離子也被植入至少一部分的該第一部分中，以定義該第一部分內的分隔區域。該分隔區域將該第一部分分成第一井區裝置區域以及第二井區裝置區域。該分隔區域在該第一井區裝置區域跟該第二井區裝置區域之間串聯形成。



102：半導體結構

104：半導體材料層

106：埋設氧化物絕緣層、埋設氧化物層

108：運送晶圓、基底

115：P井區域

117：P井區域

160：閘極電極

162：閘極電極

164：閘極絕緣材料層

166：閘極絕緣材料層

180：側壁間隔物

182：側壁間隔物

316：P⁺型陽極區域

318：N⁺型陰極區域

319：N⁺型分隔區域

350：ESD保護裝置



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：200915537

(43)公開日：中華民國98(2009)年4月1日

(21)申請案號：097124047

(22)申請日：中華民國97(2008)年6月27日

(51)Int. Cl. : H01L27/06 (2006.01)

H02H9/04 (2006.01)

H01L21/02 (2006.01)

(30)優先權主張：2007/06/29 美國

11/771,565

(71)申請人：高級微裝置公司 ADVANCED MICRO DEVICES, INC.

美國

(72)發明人：沙曼 亞克倫 SALMAN, AKRAM；畢比 史帝芬 BEEBE, STEPHEN

(72)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：19 項 圖式數：17 共 59 頁

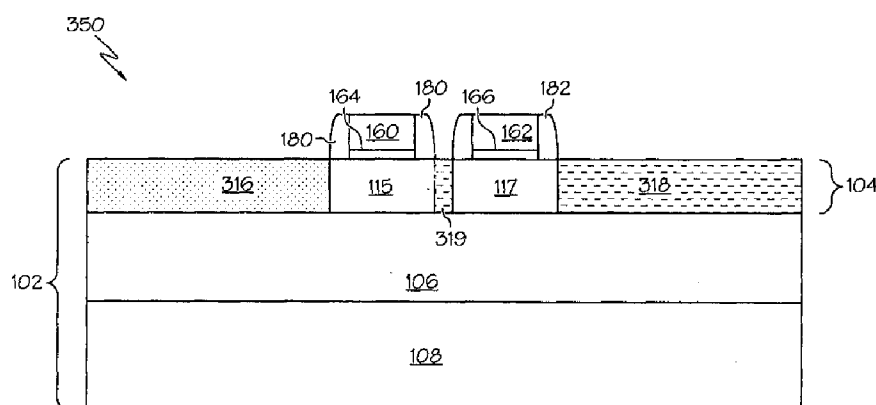
(54)名稱

靜電釋放保護裝置及製造包含靜電釋放保護裝置的半導體裝置之方法

ELECTROSTATIC DISCHARGE PROTECTION DEVICES AND METHODS FOR FABRICATING SEMICONDUCTOR DEVICES INCLUDING THE SAME

(57)摘要

本發明提供一種製作半導體裝置的方法。依據這方法，第一閘極電極跟第二閘極電極係形成在矽基底的第一部分上，而且第一導電率類型離子係植入該矽基底的第二部分中，以定義該矽基底內的第一導電率類型二極體區域。第二導電率類型離子係植入該矽基底的第三部分中，以定義出該矽基底內的第二導電率類型二極體區域。在植入該第一導電率類型離子與該第二導電率類型離子之其中之一之步驟中，離子也被植入至少一部分的該第一部分中，以定義該第一部分內的分隔區域。該分隔區域將該第一部分分成第一井區裝置區域以及第二井區裝置區域。該分隔區域在該第一井區裝置區域跟該第二井區裝置區域之間串聯形成。



102：半導體結構

104：半導體材料層

106：埋設氧化物絕緣層、埋設氧化物層

108：運送晶圓、基底

115：P井區域

117：P井區域

160：閘極電極

162：閘極電極

164：閘極絕緣材料層

166：閘極絕緣材料層

180：側壁間隔物

182：側壁間隔物

六、發明說明：

【發明所屬之技術領域】

本發明大致上係關於保護電路使其免於靜電釋放事件造成的影響、靜電釋放保護裝置以及製造包含靜電釋放保護裝置的半導體裝置之方法。

【先前技術】

當半導體技術超越 130nm 跟 90nm 技術而朝向 65nm、45nm、32nm、以及甚至更微小的程度邁進時，輸入/輸出(I/O)墊以及其局部線夾(local clamps)和供應線夾(supply clamps)之靜電釋放(ESD)的保護變得更有挑戰性。這對於絕緣體上覆矽(silicon-on-insulator, SOI)技術尤其真實，此技術被期待是較塊狀(bulk)技術為較佳者。

ESD 事件係關於在短時間之內電流的電性釋放現象，在此期間大量的電流被供應到半導體結構內。在 ESD 事件期間，ESD 保護裝置保護半導體結構。理想的 ESD 保護裝置在常態電路的操作期間的操作類似開路電路，但是在 ESD 放電期間則像是短路電路，分流 ESD 所引起的電流遠離受到保護的半導體結構。然而這種理想的行為在實際的實作中是不可能的，只有 ESD 保護裝置極為接近這種行為。

現今的 ESD 保護裝置呈現出大量的缺點，舉例而言，有些 ESD 保護電路是無法被接受的，因為他們遭受到高漏電流以及高電容負載。

因此，期望提供一種呈現出低漏電流以及低電容負載

的 ESD 保護裝置。也期望提供一種能縮減該裝置尺寸的 ESD 保護裝置。除此之外，期望提供一種方法使用改善的 ESD 保護裝置以保護半導體結構免於 ESD 事件的影響。也期望提供一種方法用以製作 ESD 保護裝置，以減低或消除與傳統場效二極體(Field Effect Diode; FED)製作方法有關之嚴格的製作限制。再者，本發明之其他期望之特徵與特性，從接下來的本發明之實施方式跟附加的申請專利範圍，並配合本發明的隨附圖式與先前技術，將會變得顯而易見。

【發明內容】

根據本發明例示性的實施例，係提供了一種裝置。該裝置包括：矽基底、第一閘極電極以及第二閘極電極。第一導電率類型二極體區域 (conductivity-type diode region) 係配置在該矽基底內。第一井區裝置區域 (well region) 係配置在該矽基底內並與該第一導電率類型二極體區域串聯。分隔區域係配置在該矽基底內，並與該第一井區裝置區域串聯。第二井區裝置區域係配置在該矽基底內，並與該分隔區域串聯。第二導電率類型二極體區域係配置在該矽基底內。該第二導電率類型二極體區域係配置在該矽基底內，並與該第二井區裝置區域串聯。該第一閘極電極係配置在該矽基底的該第一井區裝置區域之上，而且該第二閘極電極係配置在該矽基底的該第二井區裝置區域之上。

根據本發明另一例示性實施例，提供一種半導體裝置的製作方法，依據本方法，第一閘極電極以及第二閘極電

極係形成在矽基底的第一部分之上，而第一導電率類型離子係植入該矽基底的第二部分，以在該矽基底內定義出第一導電率類型二極體區域。第二導電率類型離子係植入該矽基底的第三部分，以在該矽基底內定義出第二導電率類型二極體區域。在植入第一導電率類型離子跟第二導電率類型離子的其中之一步驟中，離子也被植入該第一部分的至少一部分以定義出該第一部分內的分隔區域。該分隔區域將該第一部分分為第一井區裝置區域以及第二井區裝置區域。該分隔區域係於該第一井區裝置區域與該第二井區裝置區域之間串聯形成。

【實施方式】

下列的實施方式在本質上僅作為例示之用，而並不是為了限制本發明或本發明之應用及用途。該術語“例示(exemplary)”在這裡意指“作為範例、實例或圖例”。在此描述作為“例示”之任何實施例並非必然被視為相對於其他實施例之較佳或有利者。以下描述之所有實作(implementation)為例示實作以提供熟悉該項技術領域者能夠據以製造或使用該發明，並且不意欲限制由本發明之申請範圍所定義的本發明之範疇。此外，並不打算受到先前的技術領域、先前技術、發明內容或接下來的實施方式中所呈現的任何明確的或隱含的理論所限制。

第1至9圖係根據本發明之各種例示實施例以剖面圖說明ESD保護裝置150及其製作之方法步驟。

如第1圖所示，根據本發明之實施例的製造過程，一

開始先提供半導體結構 102，而在其上跟其中會製作出場效二極體(Field Effect Diode)。如第 1 圖之實施例所示，半導體結構 102 可以是塊狀半導體材質或是絕緣體上覆半導體 (semiconductor-on-insulator, SOI) 結構 102。在第 1 圖中的 SOI 結構 102，包括了至少一層半導體材料薄層 104，該半導體材料薄層 104 係配置在埋設氧化物絕緣層(buried oxide insulating layer)106 上或之上，依序被運送晶圓 (carrier wafer) 或基底(substrate)108 所支撐，使得埋設氧化物絕緣層 106 係配置在運送晶圓 108 與半導體層 104 之間。半導體層 104 能夠是薄矽層、鍺層、砷化鎵層，或是其他的半導體材料。在一個實施例中，半導體材料層 104 包括在埋設氧化物絕緣層 106 上的薄單晶矽層 (thin monocrystalline layer of silicon)。薄矽層可以是相當純的矽材料，或是摻雜雜質摻雜物元素，例如：硼、磷、以及砷，的矽層。在一個實施例中，埋設氧化物絕緣層 106 能夠是，舉例而言，二氧化矽層，其厚度較佳是約在 50 至 200 奈米之間。薄矽層較佳具有至少大約每平方 1 至 35(ohms)歐姆的電阻率。

在一個實施例中，半導體層 104 的區域(region)114 能夠視需要地輕濃度摻雜 P 型導電性決定雜質(conductivity determining impurities)，例如硼。在本發明之例示性的實施例中，P 井裝置區域(P-well device regions)115, 117 係以適當的摻雜物摻雜成約 1×10^{16} 到約 $5 \times 10^{18} \text{cm}^{-3}$ 的濃度。如以下所述，區域 114 最後被用以形成 P 井區域 115、117，

而 P 井區域 115、117 的摻雜情形會決定流過 ESD 保護裝置 150 之半導體材質層 104 的無寄生漏電流(non-parasitic leakage current)的阻抗以及導電率。

如第 2 圖所示，閘極絕緣材料層 164、166 係形成位於半導體層 104 之上，而且閘極電極 160、162 係形成位於閘極絕緣材料 164、166 之上。閘極絕緣材料 164、166 能夠是熱成長(thermally grown)氧化矽，或者是，沉積的絕緣體(諸如：氧化矽、氮化矽，或是具有相較於高介電常數(κ)之二氧化矽的高介電常數(κ)絕緣體材料)。“高- κ 介電係數”材料的例子可包含：鈦(hafnium; Hf)、矽酸鋯(zirconium silicates; ZrSi)、及其氧化物，包含但不限於：鈦氧化物(HfO_2)、矽酸鈦(HfSiO_2)、等等。所沉積的絕緣體可藉由例如：化學氣相沉積(CVD)、低壓化學氣相沉積(LPCVD)、電漿增強型化學氣相沉積(PECVD)、原子層沉積(ALD)等方式來沉積。雖然實際厚度能依據實作之電路來決定，但該閘極絕緣體層 164、166 較佳地具有厚度大約為 1 至 10nm。閘極電極 160、162 係藉由沉積、圖案化(patterning)、及蝕刻金屬層或多晶矽(polycrystalline silicon)層(未摻雜之多晶矽層為較佳)所形成。該多晶矽可以例如藉由在 CVD 的反應中(諸如：低壓化學氣相沉積(LPCVD))，矽烷(SiH_4)的減少而被沉積。

在閘極電極 160、162 形成之後，側壁間隔物(sidewall spacer)180、182 係形成在閘極電極 160、162 的側壁上，如第 3 圖所示。側壁間隔物 180、182 藉由沉積絕緣材料(諸

如:氧化矽及/或氮化矽)並接著非等向性蝕刻 (例如反應式離子蝕刻(reactive ion etching, RIE))該絕緣層而形成。氧化矽及氮化矽可在例如:三氟甲烷(CHF_3)、四氟化碳(CF_4)、或是六氟化硫(SF_6)等化學作用中被蝕刻。部分或區域的半導體層 104 係被閘極結構 160、164、180 以及 162、166、182 所覆蓋,使得這些區域將保持為 P 型半導體材料 114。

如第 4 圖所示,遮罩材料層(例如光阻劑層)可以被敷設並圖案化(patterned)以暴露出部分的半導體層 104,並且覆蓋半導體層 104 的其他部分。在這個實施例中,圖案化後之遮罩材料層 130 位於第二閘極結構 162、166、182 以及基底的第一部分之上,此部分最後被用於產生 N^+ -型陰極區域 118。

使用此圖案化後之遮罩材料層 130 作為離子植入遮罩,半導體層 104 之暴露部分,如箭頭所示,係以 P-型導電率決定雜質進行雜質摻雜而產生高濃度摻雜 P^+ -型陽極區域 116 跟高濃度摻雜 P^+ -型分隔區域 119,如第 5 圖所示。高濃度摻雜 P^+ -型分隔區域 119 係形成在 P 井裝置區域 114 的一部分中,位於閘極電極 160、162 之間。在一個實施例中, P^+ -型分隔區域 119 延伸通過 P 井裝置區域 114 直到埋設氧化物層 106。藉由產生出高濃度摻雜 P^+ -型分隔區域 119,P 井區域裝置 114 被分成第一 P 井裝置區域 115 以及第二 P 井裝置區域 117。雜質摻雜可以藉由植入摻雜物離子(如硼)以及(可視需要地)接著熱退火而發生。 P^+ -型區域是摻雜濃度高於 P 井裝置區域 115、117 的區域。在本發明

之例示的實施例中， P^+ -型陽極區域以及 P^+ -型分隔區域 119 係以適合的摻雜物摻雜成約為 10^{20} 至約 10^{21}cm^{-3} 的濃度。

高摻雜濃度 P^+ -型分隔區域 119 作用為障壁(barrier)使用，將 P 型裝置區域 115 與 P 型裝置區域 117 分隔開來，並幫助防止偏壓電壓(bias voltage)(係施加於閘極電極 160、162 的偏壓)影響位於其他閘極電極 160、162 之下的區域。這樣的組構允許施加於閘極電極 160、162 的偏壓電壓去控制裝置區域 115、117 的相關導電率，而不會顯著地影響高摻雜濃度 P^+ -型分隔區域 119 的導電率。 P^+ -型分隔區域 119 的摻雜濃度越高，則當偏壓電壓施加於閘極電極 160、162 時， P^+ -型分隔區域 119 要反轉(invert)的抵抗性就越大。(亦即，要反轉高摻雜濃度 P^+ -型分隔區域 119 會變得困難)。

雖然沒有顯示出來，但在植入 P 型導電率決定雜質後，圖案化後之遮罩材料 130 會被移除。如第 6 圖所示，遮罩材料 140 的另一層（舉例而言，能夠是光阻劑層）被敷設而且圖案化以暴露部分的半導體層 104，以及覆蓋半導體層 104 的其他部分。在這個實施例中，圖案化後之遮罩材料層 140 位於第一閘極結構 160、164、180、第二閘極結構 162、166、182 的至少一部分、陽極區域 116 以及分隔區域 119 之上，使得陽極區域 116 以及分隔區域 119 的摻雜在接下來的植入步驟中，沒有改變。

如第 7 圖所示，使用這個圖案化後之遮罩材料層 140 作為離子植入遮罩層，半導體層 104 能夠，如箭頭所示，

以 N 型導電率決定雜質進行雜質摻雜去產生 N^+ 型的陰極區域 118。雜質摻雜能夠藉由植入摻雜物離子(例如：磷、砷)以及(可視需要地)後續的熱退火而發生。 N^+ 型區域的摻雜濃度比 P 井裝置區域 115、117 來的高。在本發明的例示性實施例中， N^+ 型的陰極區域可以適當的摻雜物摻雜成約 10^{20} 到約 10^{21}cm^{-3} 的濃度。

如第 8 圖所示，在植入 N 型導電率決定雜質後，圖案化後之遮罩材料 140 被移除。在第 8 圖中最後所產生的結構 150 接著(可視需要地)被退火，例如使用快速熱退火(Rapid Thermal Annealing, RTA)製程，以造成在高摻雜濃度 P^+ 型陽極區域 116、高摻雜濃度 P^+ 型分隔區域 119 以及 N^+ 型陰極區域 118 中摻雜物的向外側向擴散，如第 9 圖所示。

在第 9 圖中的製程階段，半導體基底 104 包括 P^+ 型陽極區域 116、 N^+ 型陰極區域 118、以及被高摻雜濃度 P^+ 型分隔區域 119 彼此分隔的一對場效二極體(field effect diodes, FED)。半導體層 104 的 P^+ 型陽極區域 116 被第一 P 井裝置區域 115、高摻雜濃度 P^+ 型分隔區域 119、以及第二 P 井裝置區域 117 從 N^+ 型陰極區域 118 分隔開來。每一個 FED 包括形成於 P 井裝置區域 115、117 之上的閘極電極結構，其中每一個閘極電極結構包括閘極絕緣體層 164、166、位於閘極絕緣層 164、166 之上的閘極電極 160、162、以及鄰接閘極電極 160、162 的第一側壁跟第二側壁間隔物 180、182。

雖然未圖示，裝置 150 可以藉由下列步驟完成，舉例而言，在 P^+ 型陽極區域 116、閘極電極 160、162、 N^+ 型陰極區域 118 上形成金屬矽化物接觸件 (contact)；沉積層間介電層 (interlayer dielectric layers)；平坦化層間介電層；以及蝕刻接觸導孔 (contact vias) 或是開口 (opening) 貫穿介電層，到達位於 P^+ 型陽極區域 116、閘極電極 160、162、以及 N^+ 型陰極區域 118 上的金屬矽化物接觸件。然後能夠藉由在接觸開口中形成的接觸插塞 (contact plug) 以及互連金屬沉積和圖案化而製成對於 P^+ 型陽極區域 116、閘極電極 160、162、以及 N^+ 型陰極區域 118 的電性接觸件。在第 9 圖中，接觸插塞係以元件符號 192、194 至 196 來代表。接觸插塞 195、196 最後能夠連接到偏壓電路 170，此電路能夠在不同模式的操作期間控制裝置 150 的操作 (亦即，ESD 操作對上 non-ESD 操作)。

偏壓電路 170 操作以控制施加於閘極電極 160、162 的偏壓電壓。偏壓電路 170 施加於閘極電極 160、162 的偏壓電壓會依照電路的操作狀態而決定，此電路是 ESD 保護裝置 150 所保護而免於 ESD 事件的電路。依照閘極電極 160、162 的偏壓情形，ESD 保護裝置 150 的半導體層 104 會呈現出不同的 PN 接面 (P-N junction) 設置。ESD 保護裝置 150 是常態開啟 (normally-on) 之增強場效二極體，意即在一般操作期間，ESD 保護裝置 150 是操作在偏壓狀態，而在 ESD 事件發生期間，停止偏壓情形以保護核心電路 (未圖示) 來預防 ESD 事件。表 1 概括了在不同的操作模式期

間，ESD 保護裝置 150 的操作情形。

	基 底 區 域					
	116	115	119	117	118	結果
操作模式						
ESD	P ⁺	P	P ⁺	P	N ⁺	二極體
正常模式	P ⁺	N (逆向)	P ⁺	N (逆向)	N ⁺	串聯 二極體

表 1

在沒有 ESD 事件時之正常電路操作或是“non-ESD 操作”期間，偏壓電路 170 會將高正向偏壓施加到閘極電極 160、162 二者上，這起初會造成在此閘極電極 160、162 之下的 P 井裝置區域 115、117 的空乏(depletion)，而隨著高偏壓電壓增加，最終會反轉 P 井裝置區域 115、117 的表面導電率，以致於 P 井裝置區域 115、117 會表現的像是 N 型材料。這導致串聯的 P⁺ N P⁺ N N⁺ 剖面結構橫越半導體層 104 內部。一個 PN 接面形成在 P⁺型陽極區域 116 和裝置區域 115 之間，另一個 PN 接面則形成在裝置區域 115 和高摻雜濃度 P⁺型分隔區域 119 之間，同時另外一個 PN 接面係形成在裝置區域 117 和高摻雜濃度 P⁺型分隔區域 119 之間。ESD 保護裝置 150 係經過組構，使得 P⁺型陽極區域 116 相對於 N⁺型陰極區域 118 為正向偏壓。因此，半導體層 104 基本上被組構得像是順向偏壓二極體

(forward-biased diode)124 串聯另一個順向偏壓二極體 126，而半導體層 104 的操作像是 PNP(SCR)結構，在此結構中，其導通(turn-on)電壓是依照中央逆向偏壓(central reverse bias)PN 接面的能階障壁高度而決定，此 PN 接面形成於裝置區域 115 以及高摻雜濃度 P^+ 型分隔區域 119 之間。因為 ESD 保護裝置 150 的操作在正常操作期間像是兩個二極體串聯(或是當成 PNP SCR 結構)，故 ESD 保護裝置 150 有相當高的阻抗而抵抗無寄生漏電流通過 ESD 保護裝置 150 的半導體材質層 104。ESD 保護裝置 150 只有在施加於二極體 124、126 的電壓大於 1.4 伏特的情形下，才會開始導電(二極體 124 以及 126 各分配 0.7 伏特)。

因為 ESD 保護裝置 150 有串聯的兩個 PN 接面，所以由於兩個二極體的總電容小於各別二極體的電容，ESD 保護裝置 150 的總電容會減小。因為射頻輸入/輸出電路(RF I/O circuit)對 ESD 的負載電容敏感，故在一般正常操作下，串聯二極體的低電容允許 ESD 保護裝置 150 在高速、或是射頻輸入/輸出(I/O)墊以及低漏電/低功率墊中使用。在正常操作期間，ESD 保護裝置 150 相當高的阻抗使得 ESD 保護裝置 150 像是關於所保護之核心電路的開路電路而有效地工作。

相比之下，當 ESD 事件發生的時候，偏壓電路 170 停止施加高偏壓電壓，使得閘極電極 160、162 變成其無偏壓(unbiased)或是“電性浮動(electrically floating)”狀態。這會引起在閘極電極 160、162 之下之井區裝置區域

115、117 的表面回到或是反轉成 P 型，而導致串聯的 P+ P P+P N⁺剖面結構橫越半導體層 104(亦即，半導體層 104 在 N⁺型陰極區域 118 之間和 P 井裝置區域 117 之間的接面處，具有一個 PN 接面位於 P⁺型陽極區域 116 跟 N⁺型陰極區域 118 之間)。所以，在 ESD 事件發生期間，ESD 保護裝置 150 行為像是單一的順向偏壓二極體，而且 ESD 保護裝置 150 的開啟電壓(on-voltage)被降低到約 0.7 伏特。相應地，在 ESD 事件發生期間，ESD 保護裝置 150 有相當低的阻抗，並且允許橫越 ESD 保護裝置 150 的半導體層 104 之電流傳導。如下面將要描述者，ESD 保護裝置 150 會像是短路電路般有效地運作，以將 ESD 事件所產生的電流短路接地，從而保護核心電路。

如第 9 圖所示之裝置 150，能夠以另外的互補式導電率類型之實施例來製作，其中至少有一部分的初始基底是以 N 型導電率決定雜質(例如磷或砷)進行輕濃度摻雜，所以是 N 型基底 104。在這個實施例中，井區裝置區域 115、117 是 N 井裝置區域 115、117，而且分隔區域 119 是以 N 型雜質摻雜，以形成高摻雜濃度 N⁺型分隔區域 119。ESD 保護裝置 150 係經過組構，使得 P⁺型陽極區域 116 相對於 N⁺型陰極區域 118 是正向偏壓的。表 2 說明的是，當基底 104 是 N 型基底 104、區域 115、117 是 N 型材料且分隔區域 119 是 N⁺型材料時，FED150 在常態開啟(normally-on)下之操作情況。

	基 底 區 域					
	116	115	119	117	118	結果
操作模式						
ESD	P ⁺	N	N ⁺	N	N ⁺	二極體
正常	P ⁺	P (反轉)	N ⁺	P (反轉)	N ⁺	串聯 二極體

表 2

在正常電路操作期間，偏壓電路 170 將高負偏壓電壓施加到閘極電極 160、162，對於位於閘極電極 160、162 之下的 N 井裝置區域 115、117，此電壓最初會引起空乏，而隨著高偏壓電壓的增加，最終會反轉 N 井裝置區域 115、117 的表面導電率，使得 N 井裝置區域 115、117 會表現得像是 P 型材料。這會導致串聯 P⁺ P N⁺ P N⁺剖面橫越半導體層 104。一個 PN 接面係形成在裝置區域 115 和高濃度摻雜 N⁺型分隔區域 119 之間，另一個 PN 接面係形成在高濃度摻雜 N⁺型分隔區域 119 和裝置區域 117 之間，而另一個 PN 接面係形成在裝置區域 117 和陰極區域 118 之間。因此，在正常操作期間，半導體層 104 係組構成像是串聯的兩個順向偏壓(forward-biased)二極體，而且 ESD 保護裝置 150 有相當高的阻抗，使 ESD 保護裝置 150 更能抵抗電流傳導通過 ESD 保護裝置 150 的半導體基底 104。因此，ESD 保護裝置 150 像是關於所保護的核心電路的開路電路而有效地工作。

相比之下，當 ESD 事件發生時，偏壓電路 170 停止

施加高偏壓電壓，導致閘極電極 160、162 變成其無偏壓或“電性浮動”狀態。這會導致在閘極電極 160、162 下的井區裝置區域 115、117 回到或是反轉到 N 型，而導致在半導體基底 104 內橫越之串聯 P+N N+N N+剖面(亦即，半導體層 104 具有一個 PN 接面位於 P+型陽極區域 116 跟 N 井裝置區域 115 之間)。因此，在 ESD 事件發生期間，ESD 保護裝置 150 的行為會像是單一順向偏壓的二極體，而且 ESD 保護裝置 150 的開啟電壓被降低至約 0.7 伏特。相對應地，在 ESD 事件發生期間，ESD 保護裝置 150 有相當低的阻抗以允許電流傳導流過 ESD 保護裝置 150 的半導體層 104。因此，ESD 保護裝置 150 可以有效地當成短路電路操作，使得 ESD 事件所產生的電流短路接地，藉以保護核心電路。

以下將針對第 10 圖說明 ESD 保護裝置 150 作為局部定位電路(local clamping circuit)使用的情況。

第 10 圖是輸入/輸出(input/output, I/O)電路 200 的電路示意圖，其用來實施 ESD 保護裝置 250。ESD 保護裝置 250 與第 9 圖的 ESD 保護裝置 150 相同。I/O 電路 200 包括 I/O 墊 252、ESD 二極體 240、ESD 保護裝置 250、偏壓電路 270、正供電導軌(VDD)280、負供電導軌(VSS)290、被保護免於 ESD 事件的電路 275、以及供應線夾(supply clamp)281。

在這實施例中，ESD 保護裝置 250 係實作為局部定位電路，以提供 ESD 電流的局部定位而降低 I/O 墊 252 上的

電壓。局部定位意指 ESD 電流在 I/O 墊 252 處被分流至地面。換句話說，以導軌為基礎之定位(rail-based clamping)是不需要的，而且沒有必要通過 ESD 電流穿過供電導軌(supply rail)280、290 到供應線夾 281 然後回到地面。在這個例子中，ESD 保護裝置 250 能夠提供適當的保護，而不用增加 I/O 墊 252 的定位電壓，以及，因此相較於標準 ESD 保護裝置，其能夠以較小的面積來實施。為了進一步說明，在 ESD 事件期間，ESD 在 I/O 墊 252 與地面之間的電壓係藉由 ESD 事件之路徑中的元件電阻來決定。由於局部定位，ESD 的電壓只由 ESD 保護裝置 250 的電阻來決定，而該電阻與 ESD 保護裝置 250 的寬度成比例。相較之下，在以導軌為基礎之定位方式中，ESD 的電壓係由總和電壓降決定，此總和電壓降是因跨越二極體和供應導軌 280、供應導軌 280 到供應線夾 281 的電阻、供應線夾 281 到地面的電阻所造成的。為了使兩種方式在 I/O 墊 252 的電壓都相同，以導軌為基礎的方式中，ESD 保護裝置必須比在局部定位方式中的為寬，以補償路徑中多出來的電阻。

如以上所述，根據電路是否正常操作或是否有 ESD 事件發生，ESD 保護裝置 250 會表現出不同的行為。當電路是正常操作時，偏壓電路 270（在本實施例中是一個 PMOSFET）施加高偏壓電壓到 ESD 保護裝置 250 的閘極 260、262。因此，在正常操作期間，ESD 保護裝置 250 的操作像是兩個二極體的串聯組合，擁有相當高的阻抗，以及抵抗傳導流過 ESD 保護裝置 250 的半導體材料層 104 之

電流。所以 ESD 保護裝置 250 在正常電路操作期間並不開始傳導(亦即，表現出開路電路的樣子)。在正 ESD 事件(positive ESD event)期間，大電壓被施加到 I/O 墊 252，而引起大電流流動。大電壓導致 ESD 保護裝置 250 在其無偏壓狀態下操作，在此狀態下，ESD 保護裝置 250 的閘極 260、262 都不是偏壓(亦即，ESD 保護裝置 250 的閘極 260、262 實質上是浮動(floating)或是接地)。相應地，如上所述，ESD 保護裝置 250 的操作像是單一順向偏壓二極體，具有相當低的阻抗，使其相當容易引起電流的傳導，此電流會流過 ESD 保護裝置 250 中的半導體材料層 104。因 ESD 事件所引起的電流從二極體之陽極 292 流經二極體之陰極 294 再流到地面。

ESD 二極體 240 能夠在相反極性情況(opposite polarity situation)(亦即，負 ESD 事件(negative ESD event))期間用來提供 ESD 保護，其中在 I/O 墊 252 上的電壓被拉到低於接地情形，從而順向偏壓了 ESD 二極體 240。在此情形下，ESD 保護裝置 250 是被逆向偏壓的，而且毫無作用。

雖然沒有顯示出來，ESD 保護裝置 250 也能夠在供應線夾 281 內實施，以提供高電壓。因為在 ESD 操作期間，ESD 保護裝置 250 當成單一順向偏壓二極體操作，使用在供應線夾 281 中的 ESD 保護裝置 250，允許刪減掉至少一個在供應線夾 281 中的二極體，因此減少了供應線夾 281 百分之 25 到百分之 50 的面積。此外，因為能夠使用較少

二極體數量來實作供應線夾 281，故在 ESD 操作期間，相較於傳統的供應線夾，橫越過供應線夾 281 的電壓降會較低或降低。

第 1 至 3 圖以及第 11 至 16 圖係根據本發明其他例示性實施例以剖面圖說明 ESD 保護裝置 350 以及製作之方法步驟。

第 1 至 3 圖係如上述，且為了簡潔之故，此處不再重覆述之。如第 11 圖所示，遮罩材料層 330（舉例而言，可以是光阻劑層）被敷設以及圖案化以暴露出部分的半導體層 104，而覆蓋半導體層 104 的其他部分。在此實施例中，圖案化後之遮罩材質層 330 位於至少一部分的第一閘極結構 160、164、180、第二閘極結構 162、166、182、以及第一部分的基底之上，此部分基底最終被用於產生 N^+ 型陰極區域 318。

使用此圖案化後之遮罩材料層 330 當成離子植入遮罩，半導體層 104 的暴露部分能夠以 P-型導電率決定雜質做雜質摻雜，以產生出高摻雜濃度 P^+ 型陽極區域 316，如第 12 圖所示。在本發明之例示性實施例中，雜質摻雜能夠如以上所述第 5 圖相關之方式來發生。

在植入 P 型導電率決定雜質後，圖案化後之遮罩材料 330 被移除，而另外一遮罩材料層 340（舉例而言，可以是光阻劑層）被敷設並圖案化以暴露出部分的半導體層 104，而且覆蓋半導體層 104 的其他部分，如第 13 圖所示。在此實施例中，圖案化後之遮罩材料層 340 位於至少一部

分的第一閘極結構 160、164、180、以及高摻雜濃度 P^+ 型陽極區域 316 之上，使得高摻雜濃度 P^+ 型陽極區域 316 之摻雜不會在接下來的植入步驟中改變。

使用此圖案化後之遮罩材料層 340 當做離子植入遮罩，半導體層 104 的暴露部分係以 N 型電導率決定雜質進行摻雜，以產生高摻雜濃度 N^+ 型陰極區域 318 以及高摻雜濃度 N^+ 型分隔區域 319，如第 14 圖所示。在本發明之例示性實施例中，雜質摻雜能夠如上述相關於第 7 圖的植入方式來發生。高摻雜濃度 N^+ 型分隔區域 319 係形成於 P 井裝置區域 114 的一部分中，此部分位於閘極電極 160、162 之間。藉由產生高摻雜濃度 N^+ 型分隔區域 319，P 井裝置區域 114 被分成第一 P 井裝置區域 115 以及第二 P 井裝置區域 117。在一個實施例中， N^+ 型分隔區域 319 延伸通過 P 井裝置區域 114 到達埋設氧化物層 106。高摻雜濃度 N^+ 型分隔區域 319 作用為障壁，將 P 井裝置區域 115 與 P 井裝置區域 117 分隔開來，幫助避免偏壓電壓(此電壓是施加到閘極電極 160、162)影響到閘極電極 160、162 下方的區域。這種組構允許施加於閘極電極 160、162 的偏壓電壓去控制 P 井裝置區域 115 跟 P 井裝置區域 117 的相對導電率，而不會顯著地影響高摻雜濃度 N^+ 型分隔區域 319 的導電率。分隔區域 319 的摻雜濃度越高，當偏壓電壓被施加到閘極電極 160、162 上時，其對反轉(inversion)的抵抗就越大(亦即，就是反轉高摻雜濃度 N^+ 型分隔區域 319 越困難)。

如第 15 圖所示，在植入 N 型導電率決定雜質之後，圖案化後之遮罩材料 340 被移除。在第 14 圖中產生的結構 350，接著能(視情況需要地)被退火(例如快速熱退火(RTA)製程)用以導致在高摻雜濃度 P^+ 型陽極區域 316、高摻雜濃度 N^+ 型分隔區域 319、以及 N^+ 型陰極區域 318 中摻雜物的向外側向擴散，如第 16 圖所示。

在第 16 圖所示的處理階段，ESD 保護裝置 350 的剖面結構與第 9 圖中的 ESD 保護裝置相同，除了分隔區域 319 的摻雜材料不同之外，而因此 ESD 保護裝置 350 作為“常態關閉(normally-off)”增強場效二極體(FED)操作。

半導體基底 104 包括： P^+ 型陽極區域 316 以及 N^+ 型陰極區域 318。半導體層 104 的 P^+ 型陽極區域 316 被第一 P 井裝置區域 115、高摻雜濃度 N^+ 型分隔區域 319、以及第二 P 井裝置區域 117，從 N^+ 型陰極區域 318 分隔開來。閘極電極結構係形成於 P 井裝置區域 115、117 之上，其中每一個閘極電極結構包括閘極絕緣體層 164、166、位於閘極絕緣體層 164、166 之上的閘極電極 160、162、以及緊鄰閘極電極 160、162 的第一跟第二側壁的間隔物(spacer)180、182。

雖然未顯示出來，但是裝置 350 能夠如以上關於第 9 圖的敘述方式完成。在第 16 圖中，接觸插塞以元件符號 192、194 至 196 來表示。接觸插塞 195、196 最後能夠連接到偏壓電路 170，偏壓電路 170 用以在不同的操作模式期間控制裝置 350 之操作(亦即，ESD 操作對上 non-ESD

操作)。

操作偏壓電路 170 以控制施加於閘極電極 160、162 的偏壓電壓。偏壓電路 170 施加於閘極電極 160、162 的偏壓電壓，會依 ESD 保護裝置 350 所保護、免於 ESD 事件之電路的操作狀態而決定。視閘極電極 160、162 的偏壓情形，ESD 保護裝置 350 的半導體層 104 會表現出不同的 PN 接面設置。ESD 保護裝置 350 是常態關閉(normally-off)增強場效二極體(FED)，意指在正常操作期間，ESD 保護裝置 350 是一般的、沒有偏壓的狀態，而在 ESD 事件期間，ESD 保護裝置 350 的偏壓會保護核心電路(未圖示)來預防 ESD 事件。表 3 概括了當分隔區域 319 是 N⁺型材料時，在其不同的操作模式下，ESD 保護裝置 350(或是“常態關閉加強 FED”)的操作情形。

	基 底 區 域					
	316	115	319	117	318	結果
操作模式						
ESD	P ⁺	N (反轉)	N ⁺	N (反轉)	N ⁺	二極體
正常	P ⁺	P	N ⁺	P	N ⁺	串聯 二極體

表 3

在正常電路操作期間或是“non-ESD 操作”期間，偏壓電路 170 並沒有施加偏壓電壓，使得閘極電極 160、162

變成是無偏壓或是“電性浮動”狀態。這會導致在閘極電極 160、162 下的井區裝置區域 115、117 維持 P 型，而導致串聯的 $P^+ P N^+ P N^+$ 的剖面結構橫越半導體層 104。一個 PN 接面係形成在裝置區域 115 和高摻雜濃度 N^+ 型分隔區域 319 之間，另外一個 PN 接面係形成在裝置區域 117 跟高摻雜濃度 P^+ 型分隔區域 319 之間，而另一個 PN 接面形成在裝置區域 117 跟高摻雜濃度 N^+ 型陰極區域 318 之間。ESD 保護裝置 150 係經過組構，使得 P^+ 型陽極區域 316 相對於 N^+ 型陰極區域 318 為正向偏壓。因此，在正常操作期間，半導體層 104 組構成像是順向偏壓二極體 124 串聯另一個順向偏壓二極體 126，而且半導體層 104 的操作像是 PNPN(SCR)結構，其導通電壓(turn-on voltage)視中央逆向偏壓 (central reverse bias)PN 接面的能障高度 (energy barrier height)而定，該中央逆向偏壓 PN 接面係形成於裝置區域 115 跟高摻雜濃度 P^+ 型分隔區域 119 之間。因為 ESD 保護裝置 150 在正常操作期間的操作像是串聯的兩個二極體(或者，像是 PNPN SCR 結構)，故 ESD 保護裝置 350 有相當高的阻抗，而且抵抗電流傳導流過 ESD 保護裝置 350 的半導體材料層 104。如上所述，ESD 保護裝置 350 能夠被用在高速或 RF I/O 墊，以及低漏電/低功率墊。ESD 保護裝置 350 像是關於所保護的核心電路的開路電路而有效地工作。

相較之下，當 ESD 事件發生時，偏壓電路 170 施加高正偏壓電壓到閘極電極 160、162，此偏壓電壓最初會導

致在閘極電極 160、162 之下的 P 井裝置區域 115、117 空乏產生，以及隨著偏壓電壓增加，最終反轉 P 井裝置區域 115、117 的表面導電率，讓 P 井裝置區域 115、117 表現得像 N 型材料。這會導致串聯的 P+N N+N N+剖面結構橫越半導體層 104，使得半導體層 104 有一個 PN 接面位於 N 井裝置區域 115 跟 P⁺型陽極區域 316 之間。因此，在 ESD 事件期間，ESD 保護裝置 350 表現得像是單一順向偏壓二極體，而且其開啟電壓(on-voltage)降低到約 0.7 伏特。相應地，在 ESD 事件期間，相當容易引起電流通過 ESD 保護裝置 350 的半導體材料層 104，而因此 ESD 保護裝置 350 有效地操作為短路電路，可以將 ESD 事件造成的電流短路到地面，因此藉以保護核心電路。

在第 15 圖中所示的裝置 350 能夠以另外的互補式導電率類型實施例來製作，其中起初的基底是以 N 型導電率決定雜質作輕濃度摻雜，所以是 N 型基底 104。在這實施例中，井區裝置區域 115、117 是 N 井裝置區域 115、117，而且分隔區域 319 是以 P 型雜質摻雜以形成高摻雜濃度 P⁺型分隔區域 319。ESD 保護裝置 350 係經過組構，使得 P⁺型陽極區域 316 相對於 N⁺型陰極區域 318 是正向偏壓。表 4 說明了當基底 104 是 N 型基底 104、區域 115、117 是 N 型材料以及分隔區域 319 是高摻雜濃度 P⁺型材料時，常態關閉之 FED350 的操作情形。

	基 底 區 域					
	316	115	319	117	318	結果
操作模式						
ESD	P ⁺	P (反轉)	P ⁺	P (反轉)	N ⁺	二極體
正常	P ⁺	N	P ⁺	N	N ⁺	串聯 二極體

表 4

在正常電路操作期間或是沒有 ESD 事件發生時的“non-ESD 操作”期間，偏壓電路 170 沒有施加偏壓電壓，以致於閘極電極 160、162 處在無偏壓或是“電性浮動”狀態。這會導致在閘極電極 160、162 下的井區裝置區域 115、117 保持 N 型，導致串聯的 P⁺ N P⁺ N N⁺剖面橫越半導體層 104。一個 PN 接面係形成在 P⁺型陽極區域 316 和 N 型裝置區域 115 之間，另一個 PN 接面形成在 N 型裝置區域 115 和高摻雜濃度 P⁺型分隔區域 319 之間，而另外有一 PN 接面形成在裝置區域 117 跟高摻雜濃度 P⁺型分隔區域 319 之間。因此，半導體層 104 係組構得像是順向偏壓二極體 324 與另外一個順向偏壓二極體 326 串聯起來。因為 ESD 保護裝置 350 的阻抗是相當的高，所以 ESD 保護裝置 350 抵抗了電流傳導流過 ESD 保護裝置 350 的半導體材料層 104。因此，ESD 保護裝置 350 會像是關於所保護的核心電路的開路電路而有效地工作。

相比之下，當 ESD 事件發生時，偏壓電路 170 施加

高負偏壓電壓到閘極電極 160、162，此偏壓最初會引起在閘極電極 160、162 下的 N 井裝置區域 115、117 之空乏，而隨著高偏壓電壓的增加，最終會反轉 N 井裝置區域 115、117 的表面導電率，以致於 N 井裝置區域 115、117 表現得像 P 型材料。這會導致串聯的 P+ P P+ P N+橫剖面橫跨半導體層 104，而使得半導體層 104 有一個 PN 接面在 P 井裝置區域 117 和 N⁺型陰極區域 318 之間。因此，在 ESD 事件期間，ESD 保護裝置 350 表現得像單一順向偏壓二極體，而且 ESD 保護裝置 350 的開啟電壓(on-voltage)被降至約 0.7 伏特。相應地，在 ESD 事件期間，ESD 保護裝置 350 有相當低的阻抗，並且允許電流傳導流過 ESD 保護裝置 350 的半導體材料層 104，此即意指，ESD 保護裝置 350 有效地作用為短路電路，將 ESD 事件所引起的電流短路到地面，藉以保護核心電路。

ESD 保護裝置 350 被使用成局部定位電路的一個實作將在下面針對第 17 圖加以討論。

第 17 圖係輸入/輸出(I/O)電路 400 的電路示意圖，此電路 400 用以實施 ESD 保護裝置 450。ESD 保護裝置 450 與第 16 圖中的 ESD 保護裝置 350 相同。如上述，I/O 電路 400 包括了 I/O 墊 452、ESD 二極體 440、ESD 保護裝置 450、偏壓電路 470、正供電導軌(VDD) 480，負供電導軌 (VSS) 490、被保護免於 ESD 事件的電路 475、以及供應夾線(supply clamp)481。在此實施例中，ESD 保護裝置 450 係相對於 I/O 墊 452 實作為局部定位電路，如上所描

述。

當電路在正常操作下，偏壓電路 470（在此實施例中是一個反相器(inverter)）並未施加任何電壓到 ESD 保護裝置 450 的閘極 460、462，因此使得 ESD 保護裝置 450 以無偏壓狀態操作。因此，在正常操作期間，ESD 保護裝置 450 的操作像是串聯的兩個二極體。串聯的二極體有相當高的阻抗，而且抵抗電流傳導流過 ESD 保護裝置 450。在正 ESD 事件期間，大電壓被施加到 I/O 墊 452，導致大電流流向 ESD 保護裝置 450。在正 ESD 事件期間，施加到 I/O 墊 452 的大 ESD 電壓導致偏壓電路 470 去施加高偏壓電壓到 ESD 保護裝置 450 的閘極 460、462(亦即，施加到 I/O 墊 452 的大電壓控制了到閘極 460、462 的電壓)。因此，ESD 保護裝置 450 操作起來像是單一順向偏壓二極體，而電流從陽極 492 流經陰極 494 再流到地面。因為 ESD 保護裝置 450 操作起來像是單一順向偏壓二極體，所以在 ESD 事件期間，ESD 保護裝置 450 能較容易傳導電流(亦即，有效地表現如同短路電路)。ESD 二極體 440 被用在相反極性情況下(opposite polarity situation)(亦即，負 ESD 事件)，I/O 墊 452 的電壓被拉低到低於接地的情形下，此電壓會對 ESD 二極體 440 順向偏壓。在這個情形下，ESD 保護裝置 450 是逆向偏壓，而且沒有作用。如上面所述，ESD 保護裝置 450 也能夠在供應夾線 481 內實施，以提供高電壓。

因此，已經揭露一些 ESD 保護裝置 450(或是“增強 FED”)，這些 ESD 保護裝置 450 可以與不同的 I/O 電路實

施。在此所揭露的不同實施例的 ESD 保護裝置能夠與不同的製程整合技術實施，並且也可相容於標準 SOI 製作技術，使得不需要特殊的遮罩或植入。ESD 保護裝置能夠提供 ESD 保護給以 SOI 技術製作的 I/O 電路，此 I/O 電路需要高速以及低漏電流。在正常操作期間，由於存在有 PNP 結構，在此揭露的 ESD 保護裝置表現出低負載的電容以及低漏電。換句話說，因為兩個二極體以串聯方式使用，所以串聯組合的電容會比單一保護二極體來的低。較低電容允許 ESD 保護裝置被用於與高速（例如射頻 (radio-frequency)）I/O 墊及/或低漏電/低功率 I/O 墊結合使用。ESD 保護裝置也提供通常相較於傳統的二極體基礎之 ESD 保護裝置較高的電流載體能力。ESD 保護裝置也使得控制 ESD 保護裝置之阻抗變得較容易，而不必妥協其 ESD 操作。

以 SOI 技術使用之傳統的 ESD 保護裝置，包括 SOI 二極體、NMOS 電晶體、以及矽控整流器 (Silicon Controlled rectifiers, SCR) 結構。SOI 二極體以及 SCR 結構能夠處理大電流但是他們的開啟電壓不能被控制。NMOS 電晶體能夠經由閘極偏壓來提供可控制的開啟電壓，但是不能處理大電流。上述的 ESD 保護裝置能夠處理大電流，同時擁有閘極可控制阻抗，而這將使得 ESD 保護裝置在大範圍的正常操作電壓情形下適合於局部定位。

雖然已經在本發明的前述實施方式中提出至少一個例示性的實施例，但應該體認到有大量的變化存在著。應

該體認到，例示性實施例只是例子，並不欲以任何方式來限制本發明的範圍、應用或是組構。當然，前述的實施方式將提供在本發明領域中具通常知識者一個方便的指南，用以實施本發明例示性實施例，應瞭解到，在例示性實施例中所描述之元件的功能與排列組成，可以有多種的變化，將涵蓋在本發明所附申請專利範圍內和等效內容。

【圖式簡單說明】

以下將配合隨附圖式敘述本發明，其中相同的元件符號表示相似元件，而其中：

第 1 至 9 圖係根據本發明之各種例示性實施例，以剖面圖說明 ESD 保護裝置以及其製作方法步驟；

第 10 圖係輸入/輸出(I/O)電路的電路示意圖，藉以實作第 9 圖中的 ESD 保護裝置；

第 1 至 3 圖以及第 11 至 16 圖係根據本發明之其他例示性實施例，以剖面圖說明 ESD 保護裝置以及其製作的方法步驟；以及

第 17 圖係輸入/輸出(I/O)電路的電路示意圖，藉以實作第 16 圖的 ESD 保護裝置。

【主要元件符號說明】

102	半導體結構
104	半導體材料層
106	埋設氧化物絕緣層、埋設氧化物層
108	運送晶圓、基底
114	P 型半導體材料、區域

115、117	P 井區域
116、316	P ⁺ 型陽極區域
118、318	N ⁺ -型陰極區域
119、319	P ⁺ -型分隔區域
124、126、324、326'	順向偏壓二極體
130、140、330、340	圖案化後之遮罩層材料
150、250、350、450	ESD 保護裝置
160、162、260、262、460、462	閘極電極
164、166	閘極絕緣材料層
170、270、470	偏壓電路
180、182	側壁間隔物
192、194、195、196	接觸插塞
200、400	輸入輸出(input/output, I/O)電路
240、440	ESD 二極體
252、452	輸入/輸出墊
275、475	電路
280、480	正供電導軌(VDD)
281、481	供應線夾(supply clamp)
290、490	負供電導軌(VSS)
292、492	二極體陽極
294、494	二極體陰極

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97/24047

※ 申請日：97.6.27

※IPC 分類：

H01L²⁷/₀₆, H02H⁹/₆₄, H01L²¹/₀₂

一、發明名稱：(中文/英文)

靜電釋放保護裝置及製造包含靜電釋放保護裝置的
半導體裝置之方法

ELECTROSTATIC DISCHARGE PROTECTION DEVICES AND
METHODS FOR FABRICATING SEMICONDUCTOR DEVICES
INCLUDING THE SAME

二、中文發明摘要：

本發明提供一種製作半導體裝置的方法。依據這方法，第一閘極電極跟第二閘極電極係形成在矽基底的第一部分上，而且第一導電率類型離子係植入該矽基底的第二部分中，以定義該矽基底內的第一導電率類型二極體區域。第二導電率類型離子係植入該矽基底的第三部分中，以定義出該矽基底內的第二導電率類型二極體區域。在植入該第一導電率類型離子與該第二導電率類型離子之其中之一之步驟中，離子也被植入至少一部分的該第一部分中，以定義該第一部分內的分隔區域。該分隔區域將該第一部分分成第一井區裝置區域以及第二井區裝置區域。該分隔區域在該第一井區裝置區域跟該第二井區裝置區域之間串聯形成。

三、英文發明摘要：

A method for fabricating a semiconductor device is provided. According to this method, a first gate electrode and a second gate electrode are formed overlying a first portion of a silicon substrate, and ions of a first conductivity-type are implanted into a second portion of the silicon substrate to define a first conductivity-type diode region within the silicon substrate. Ions of a second conductivity-type are implanted into a third portion of the silicon substrate to define a second conductivity-type diode region within the silicon substrate. During one of the steps of implanting ions of the first conductivity-type and implanting ions of the second conductivity-type, ions are also implanted into at least part of the first portion to define a separation region within the first portion. The separation region splits the first portion into a first well device region and a second well device region. The separation region is formed in series between the first well device region and the second well device region.

七、申請專利範圍：

1. 一種製作半導體裝置的方法，該方法包括下列步驟：

提供矽基底；

在該矽基底的第一部分上，形成第一閘極電極以及第二閘極電極；

植入第一導電率類型離子到該矽基底的第二部分中，以在該矽基底內定義出第一導電率類型二極體區域；

植入第二導電率類型離子到該矽基底的第三部分中，以在該矽基底內定義出第二導電率類型二極體區域；以及

在植入該第一導電率類型離子和植入該第二導電率類型離子的其中之一之步驟期間，將離子植入至少一部分的該第一部分中，以在該第一部分內定義出分隔區域，其中，該分隔區域將該第一部分分成第一井區裝置區域以及第二井區裝置區域，其中，該分隔區域在該第一井區裝置區域以及該第二井區裝置區域之間串聯形成。

2. 如申請專利範圍第 1 項之方法，其中，植入離子進入到至少一部分的該第一部分之步驟發生在植入該第一導電率類型離子到該第二部分的步驟之期間，而且，其中，植入該第一導電率類型離子到該第二部分的步驟，復包括：

植入第一導電率類型離子到至少一部分的該矽基

底之第一部分以及第二部分中，以在該第一部分內定義出第一導電率類型分隔區域，以及在該矽基底內定義出第一導電率類型二極體區域，其中，該第一導電率類型分隔區域將該第一部分分為第一井區裝置區域以及第二井區裝置區域。

3. 如申請專利範圍第 2 項之方法，其中，該第一井區裝置區域是以與該第一導電率類型二極體區域及該第一導電率類型分隔區域串聯而形成，以及，其中，該第二井區裝置區域是以與該第一導電率類型分隔區域及該第二導電率類型二極體區域串聯而形成。
4. 如申請專利範圍第 2 項之方法，其中，該矽基底包括 P 型矽材料，其中，該第一導電率類型是 P^+ ，其中該第一井區裝置區域是第一 P 井裝置區域，以及，其中，該第二井區裝置是第二 P 井裝置區域，其中該第二導電率類型是 N^+ 。
5. 如申請專利範圍第 2 項之方法，其中，該矽基底包括 N 型矽材料，其中，該第一導電率類型是 P^+ ，其中該第一井區裝置區域是第一 N 井裝置區域，其中，第二井區裝置區域是第二 N 井裝置區域，以及，其中，該第二導電率類型是 N^+ 。
6. 如申請專利範圍第 1 項之方法，其中，植入離子到至少一部分的該第一部分之步驟發生在將該第二導電率類型離子植入到該第三部分的步驟期間，以及，其中，植入該第二導電率類型離子到該第三部分的步驟復包

括：

植入該第二導電率類型離子到至少一部分的該矽基底之第一部分和第三部分中，以在該第一部分內定義出第二導電率類型分隔區域，以及在該矽基底內定義出第二導電率類型二極體區域，其中，該分隔區域將該第一部分分隔成第一井區裝置區域，以及第二井區裝置區域。

7. 如申請專利範圍第 6 項之方法，其中，該第一井區裝置區域係以與該第一導電率類型二極體及該第二導電率類型分隔區域串聯而形成，以及，其中，該第二井區裝置區域係以該第二導電率類型分隔區域與該第二導電率類型二極體區域串聯而形成。
8. 如申請專利範圍第 6 項之方法，其中，該矽基底包括 P 型矽材料，其中，該第一導電率類型是 P^+ ，其中，該第一井區裝置區域是第一 P 井裝置區域，其中，該第二井區裝置區域是第二 P 井裝置區域，其中，該第二導電率類型是 N^+ 。
9. 如申請專利範圍第 6 項之方法，其中，該矽基底包括 N 型矽材料，其中，該第一導電率類型是 P^+ ，其中，該第一井裝置區域是第一 N 井裝置區域，其中，該第二井區裝置區域是第二 N 井裝置區域，其中該第二導電率類型是 N^+ 。
10. 一種裝置，包括：

矽基底，包括：

第一導電率類型二極體區域，配置在該矽基底內；

第一井區裝置區域，配置在該矽基底內與該第一導電率類型二極體區域串聯；

分隔區域，配置在該矽基底內與該第一井區裝置區域串聯；

第二井區裝置區域，配置在該矽基底內與該分隔區域串聯；

第二導電率類型二極體區域，配置在該矽基底內，其中，該第二導電率類型二極體區域係配置在該矽基底內與該第二井區裝置區域串聯；以及

第一閘極電極，配置在該矽基底的該第一井區裝置區域之上；以及

第二閘極電極，配置在該矽基底的該第二井區裝置之上。

11. 如申請專利範圍第 10 項之裝置，其中，該第一導電率類型是 P^+ ，其中，該第一井區裝置區域是第一 P 井裝置區域，其中，該第二井區裝置區域是第二 P 井裝置區域，其中，該第二導電率類型是 N^+ ，以及，其中，該分隔區域是 P^+ 型分隔區域。

12. 如申請專利範圍第 10 項之裝置，其中，該第一導電率類型是 P^+ ，其中，該第一井區裝置區域是第一 N 井裝置區域，其中，該第二井區裝置區域是第二 N 井裝置區域，其中，第二導電率類型是 N^+ ，以及，其中，該分隔區域是 N^+ 型分隔區域。

13. 如申請專利範圍第 10 項之裝置，其中，該第一導電率類型是 P^+ ，其中該第一井區裝置是第一 P 井裝置區域，其中，該第二井區裝置是第二 P 井裝置區域，其中，該第二導電率類型是 N^+ ，以及，其中該分隔區域是 N^+ 型分隔區域。
14. 如申請專利範圍第 10 項之裝置，其中，該第一導電率類型是 P^+ ，其中，該第一井區裝置區域是第一 N 井裝置區域，其中，該第二井區裝置區域是第二 N 井裝置區域，其中，該第二導電率類型是 N^+ ，以及，其中，該分隔區域是 P^+ 型分隔區域。
15. 如申請專利範圍第 10 項之裝置，復包括：
被保護而免於靜電釋放事件的電路。
16. 如申請專利範圍第 15 項之裝置，復包括：
電路，耦合到該第一閘極電極和該第二閘極電極，其中，該電路設計成：在正常操作期間施加第一偏壓電壓到該第一閘極電極與該第二閘極電極；以及回應於靜電釋放事件，停止施加該第一偏壓電壓到該第一閘極電極與該第二閘極電極。
17. 如申請專利範圍第 15 項之裝置，其中，該靜電釋放保護電路復包括：
電路，耦合到該第一閘極電極和該第二閘極電極，其中，該電路設計成：回應於靜電釋放事件，施加第一偏壓電壓到該第一閘極電極與該第二閘極電極。

18. 一種操作裝置的方法，該裝置包括被保護而免於靜電釋放事件的電路、偏壓電路以及包括矽基底的靜電釋放保護裝置，該矽基底包括：第一導電率類型二極體區域，配置在該矽基底內；第一井區裝置區域，配置在該矽基底內與該第一導電率類型二極體區域串聯；分隔區域，配置在該矽基底內與該第一井區裝置區域串聯；第二井區裝置區域，配置在該矽基底內與該分隔區域串聯；第二導電率類型二極體區域，配置在該矽基底內，其中，該第二導電率類型二極體區域係配置在該矽基底內與該第二井區裝置區域串聯；第一閘極電極，配置在該矽基底的該第一井區裝置區域之上；以及第二閘極電極，配置在該矽基底的該第二井區裝置區域之上，該方法包括：

在正常操作期間，經由該偏壓電路，施加第一偏壓電壓到該第一閘極電極與該第二閘極電極，以組構該矽基底成為一對順向偏壓二極體；以及

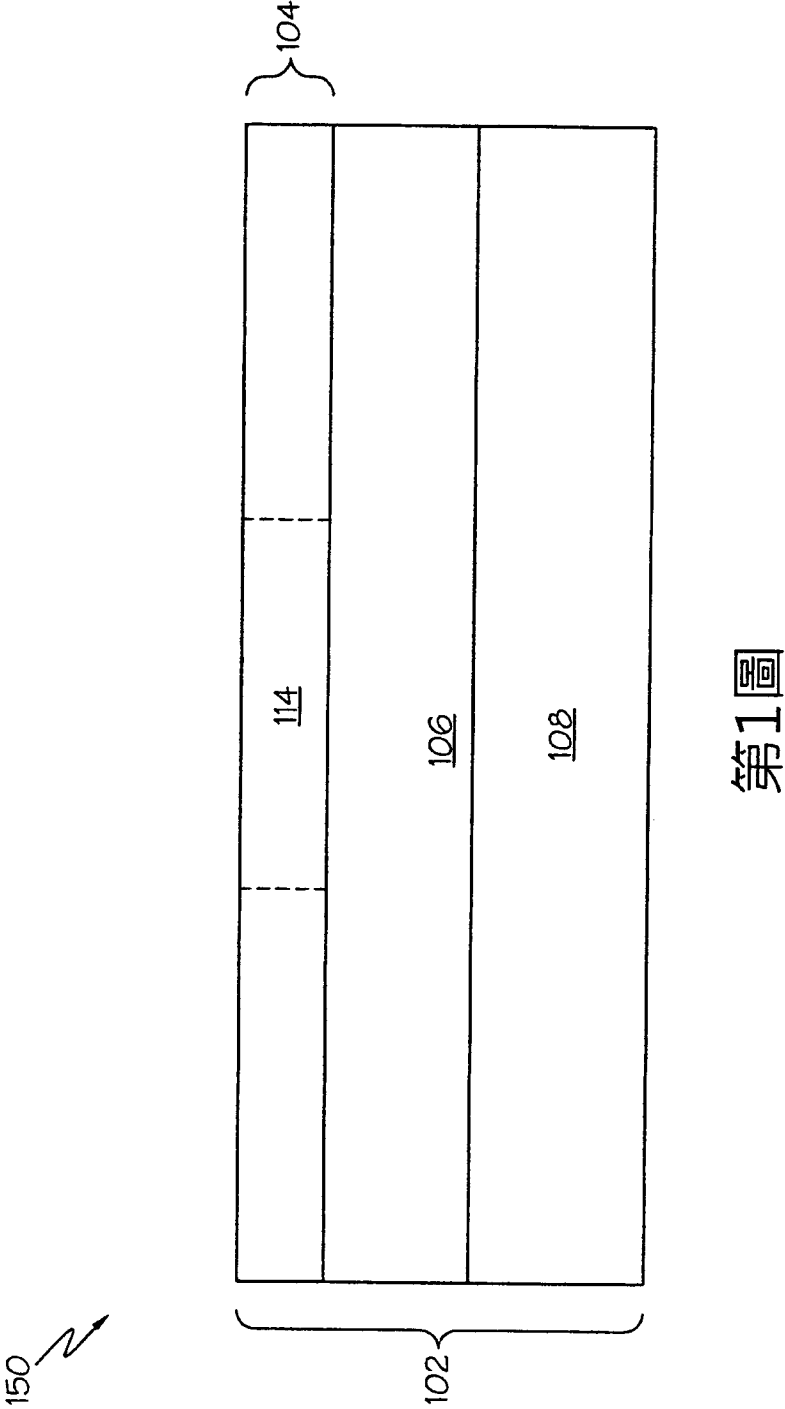
回應於該靜電釋放事件，移除施加在該第一閘極電極和該第二閘極電極的該第一偏壓電壓，而組構該矽基底成為單一順向偏壓二極體。

19. 一種操作裝置的方法，該裝置包括被保護而免於靜電釋放事件的電路、偏壓電路以及包括矽基底的靜電釋放保護裝置，該矽基底包括：第一導電率類型二極體區域，配置於該矽基底內；第一井區裝置區域，配置於該矽基底內與該第一導電率類型二極體區域串聯；

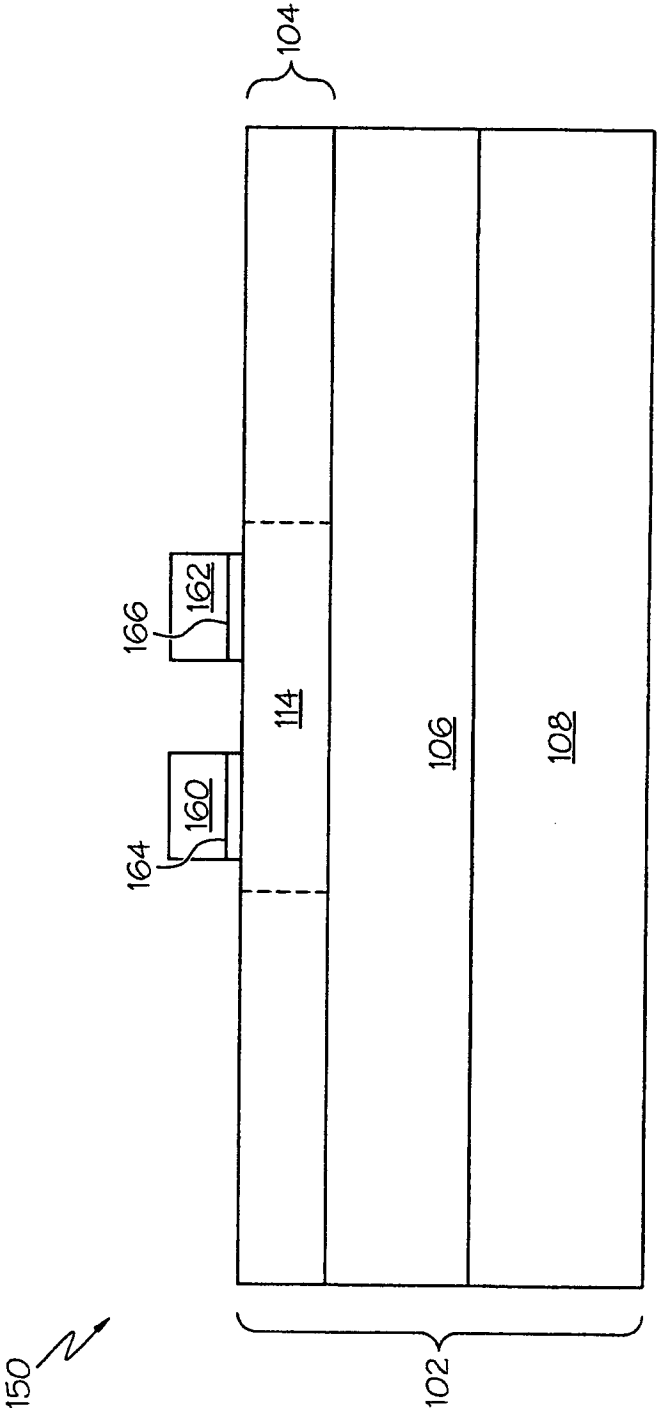
分隔區域，配置於該矽基底內與該第一井區裝置區域串聯；第二井區裝置區域，配置於該矽基底內與該分隔區域串聯；第二導電率類型二極體區域，配置在該矽基底內，其中，該第二導電率類型二極體區域係配置在該矽基底內與該第二井區裝置區域串聯；第一閘極電極，配置在該矽基底的該第一井區裝置區域之上；以及第二閘極電極，配置在該矽基底的該第二井區裝置區域之上，該方法包括：

回應於該靜電釋放事件，經由該偏壓電路，施加第一偏壓電壓到該第一閘極電極與該第二閘極電極，以組構該矽基底成為順向偏壓二極體。

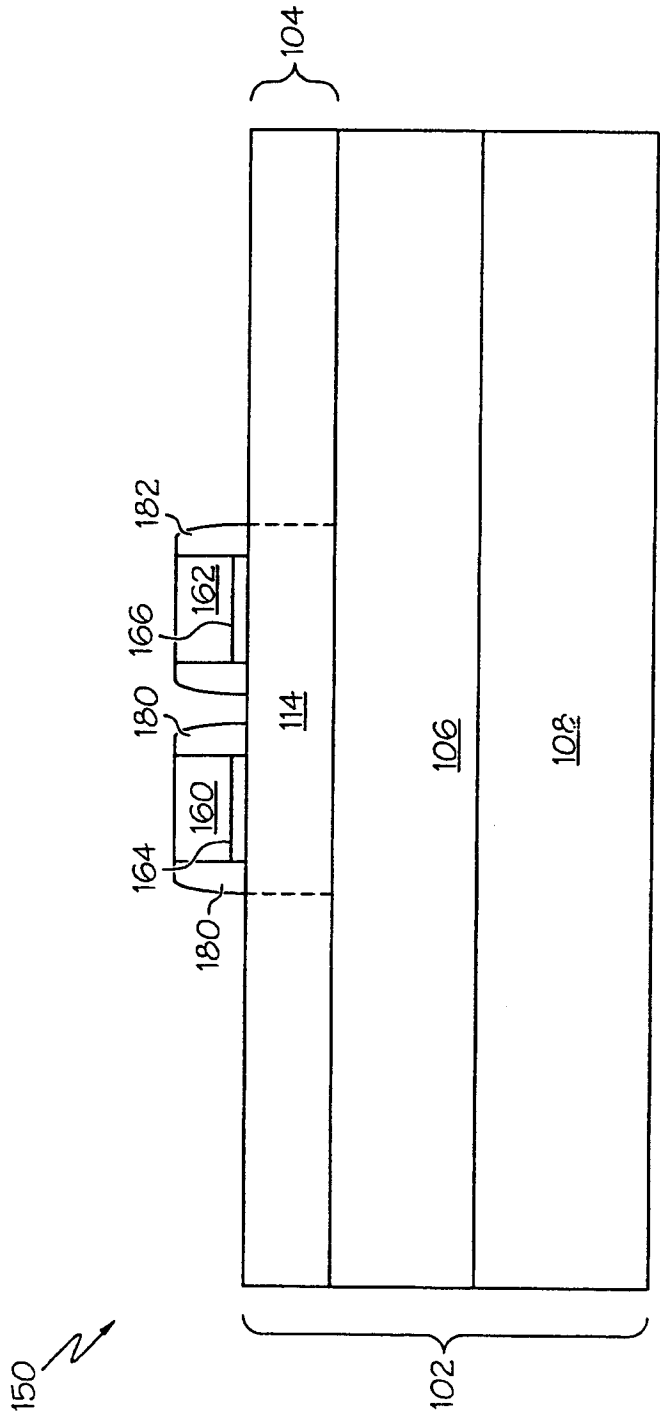
八、圖式：



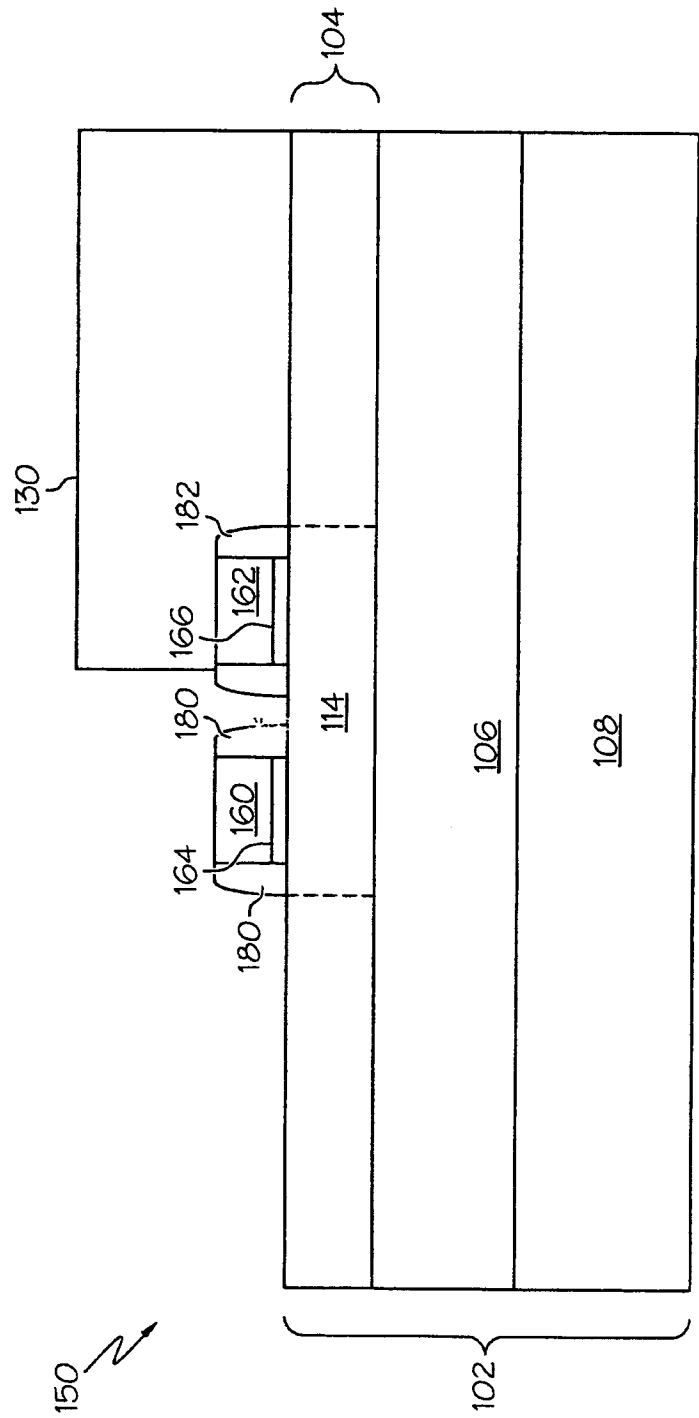
第1圖



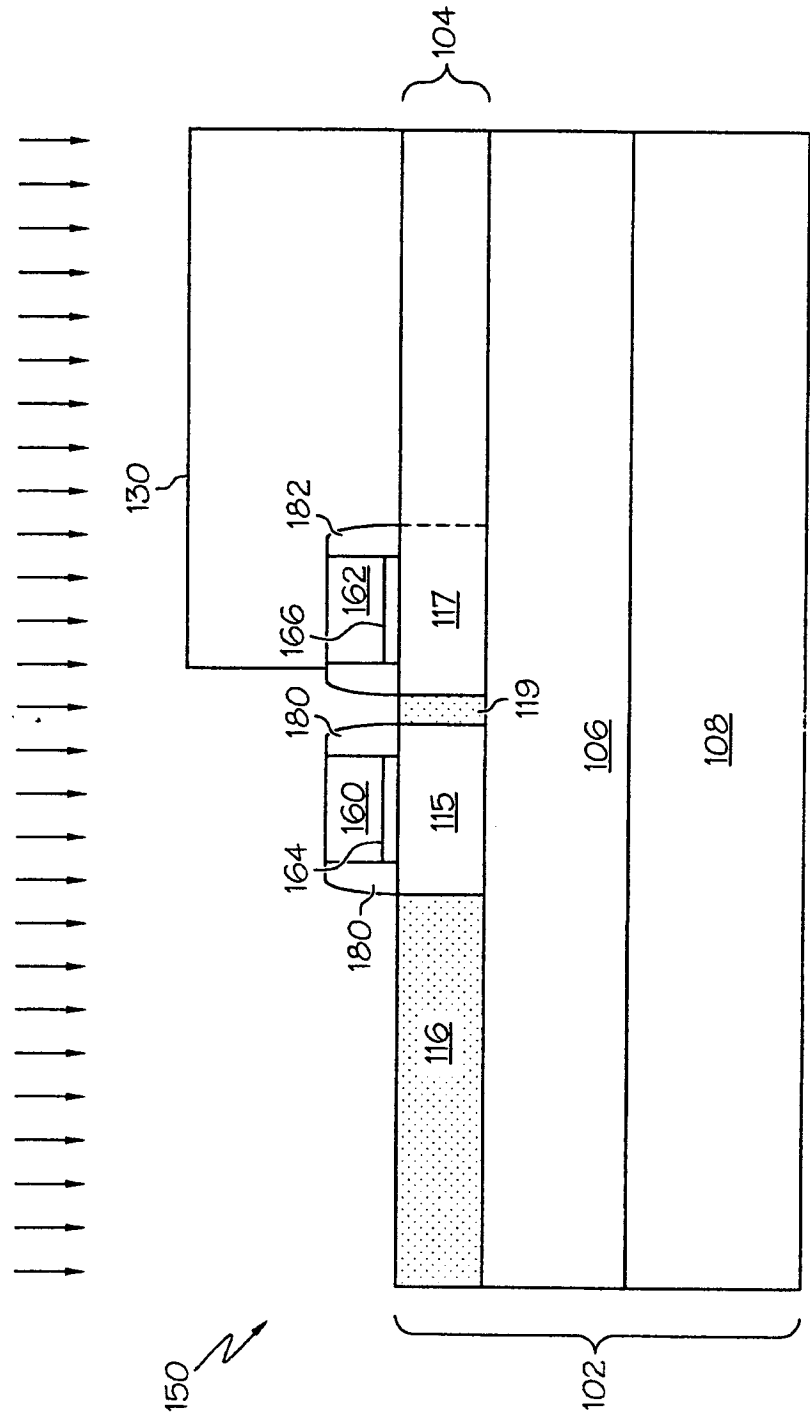
第2圖



第3圖



第4圖



第5圖

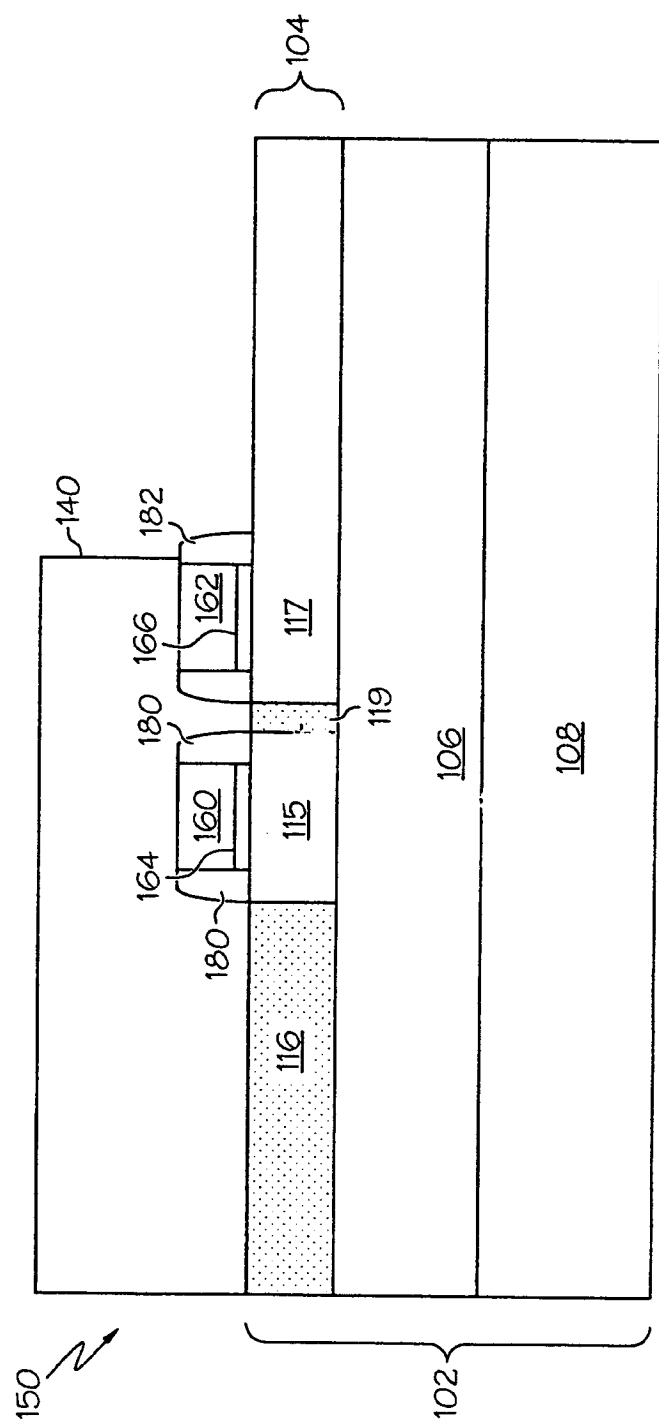


圖 6 錄

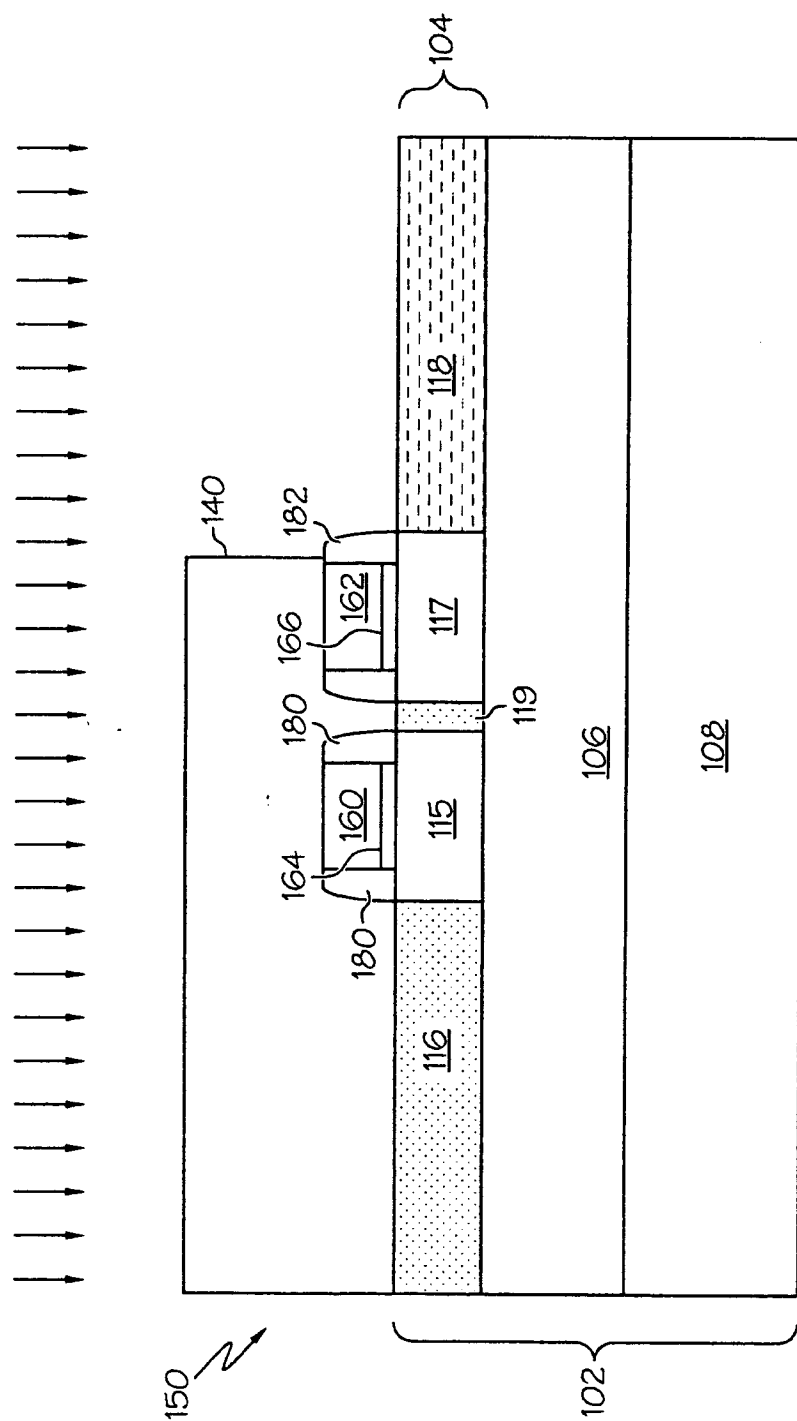
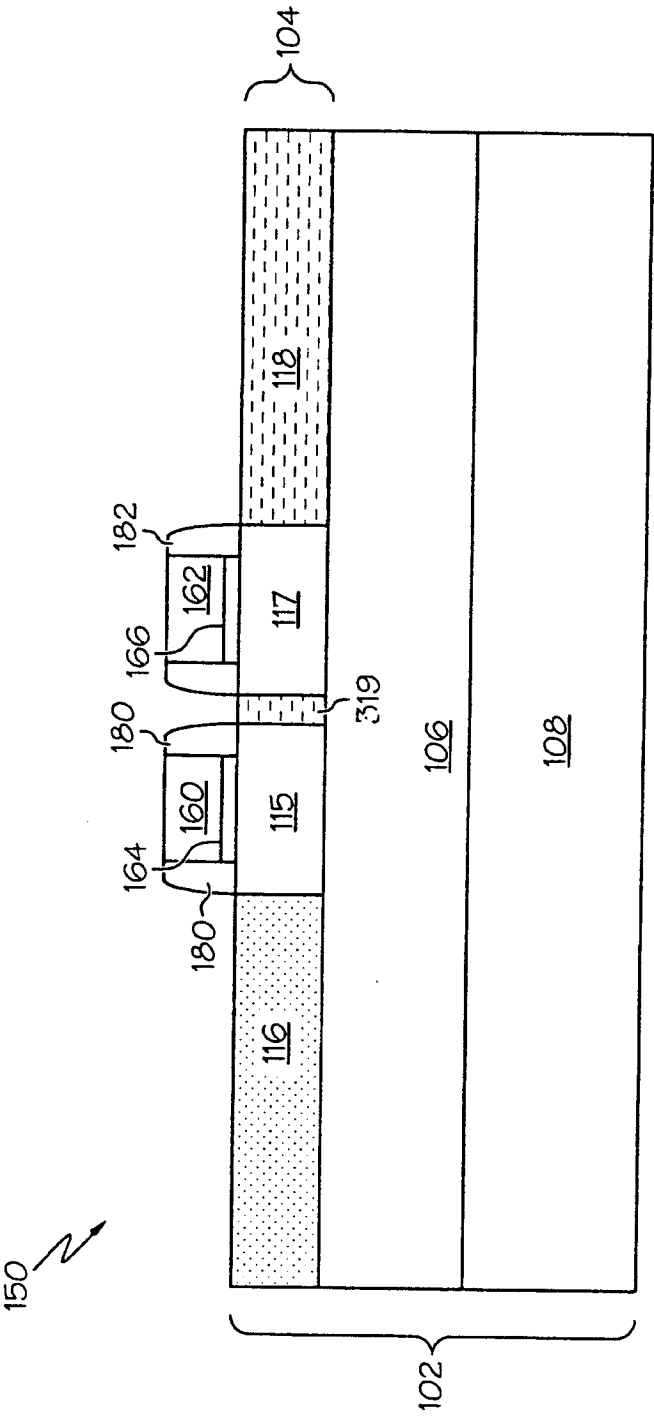
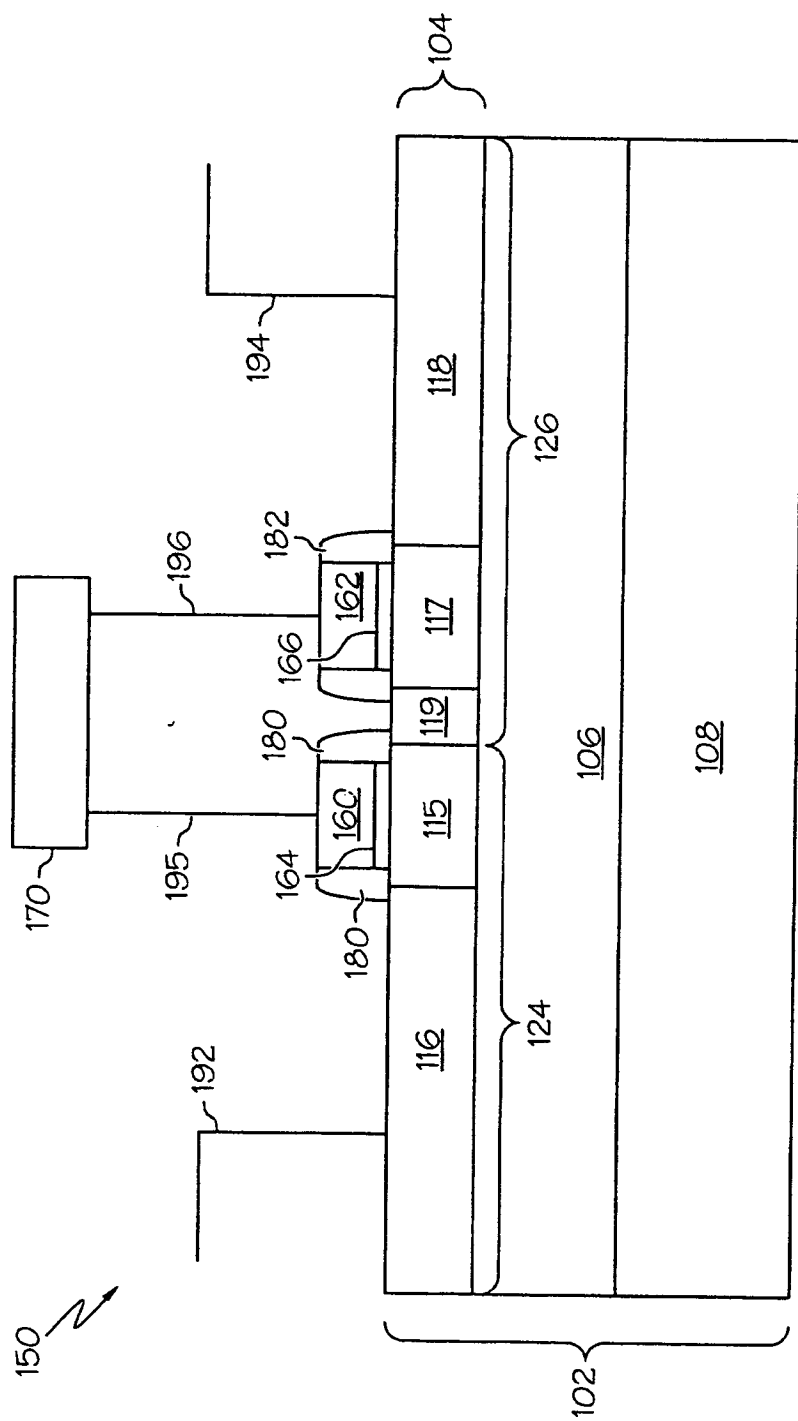


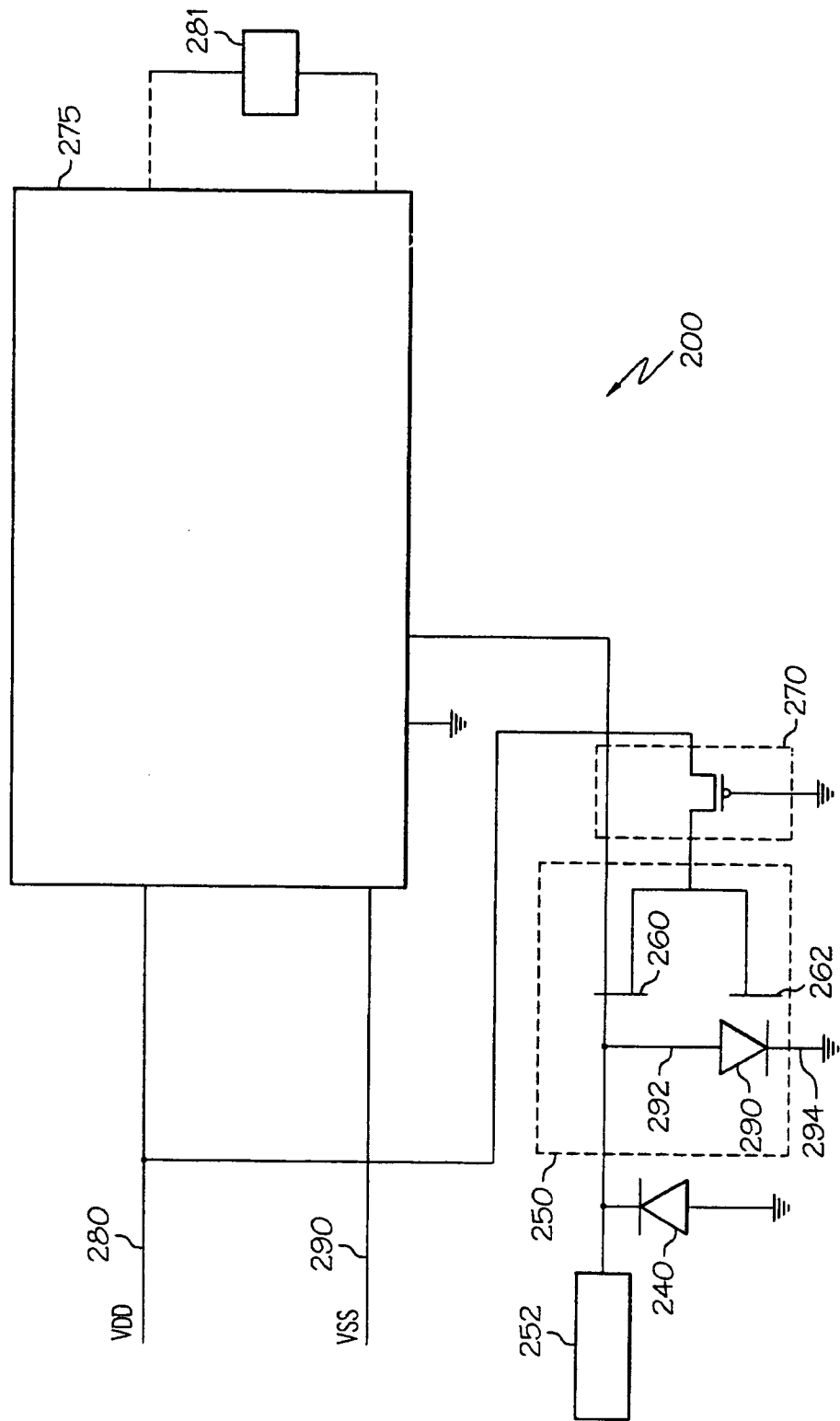
圖 7-2-10



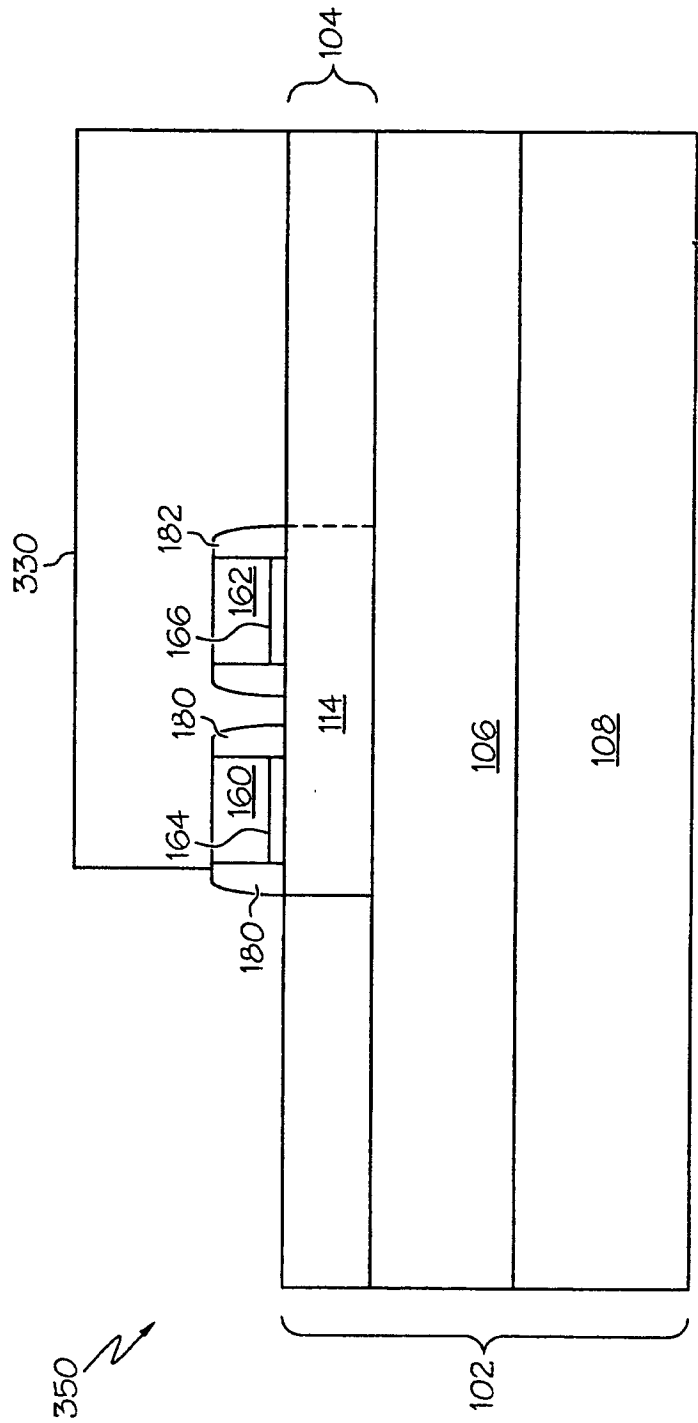
第8圖



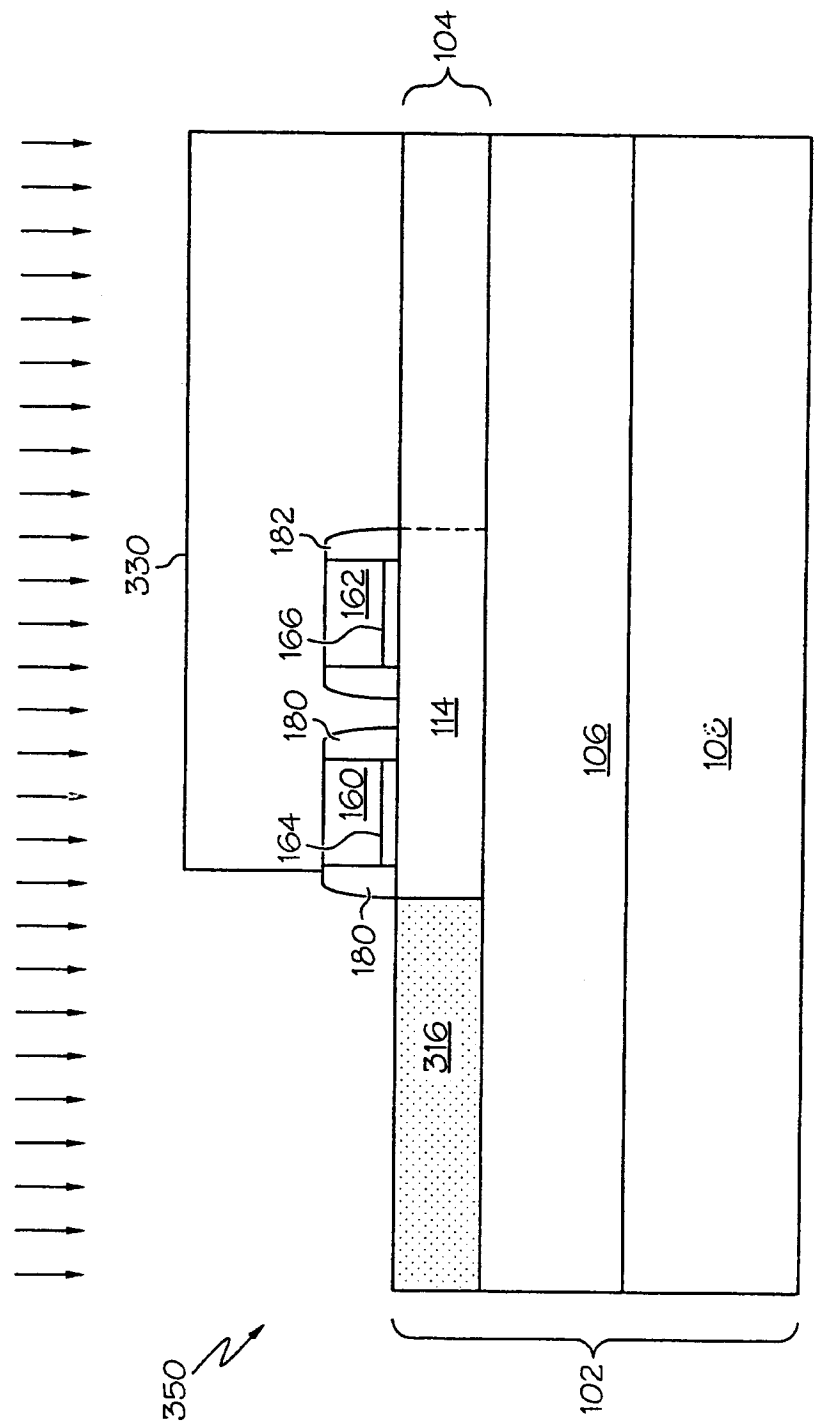
圖の採



第10圖



第11圖



第12圖

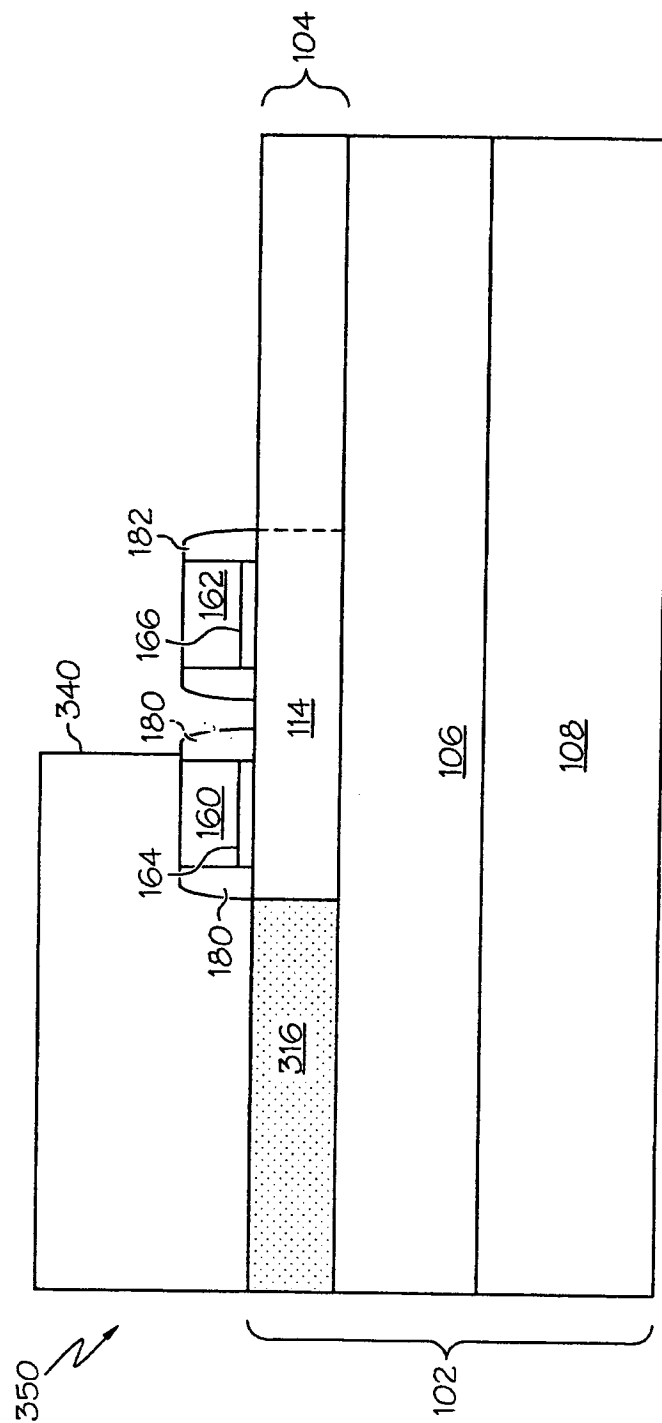
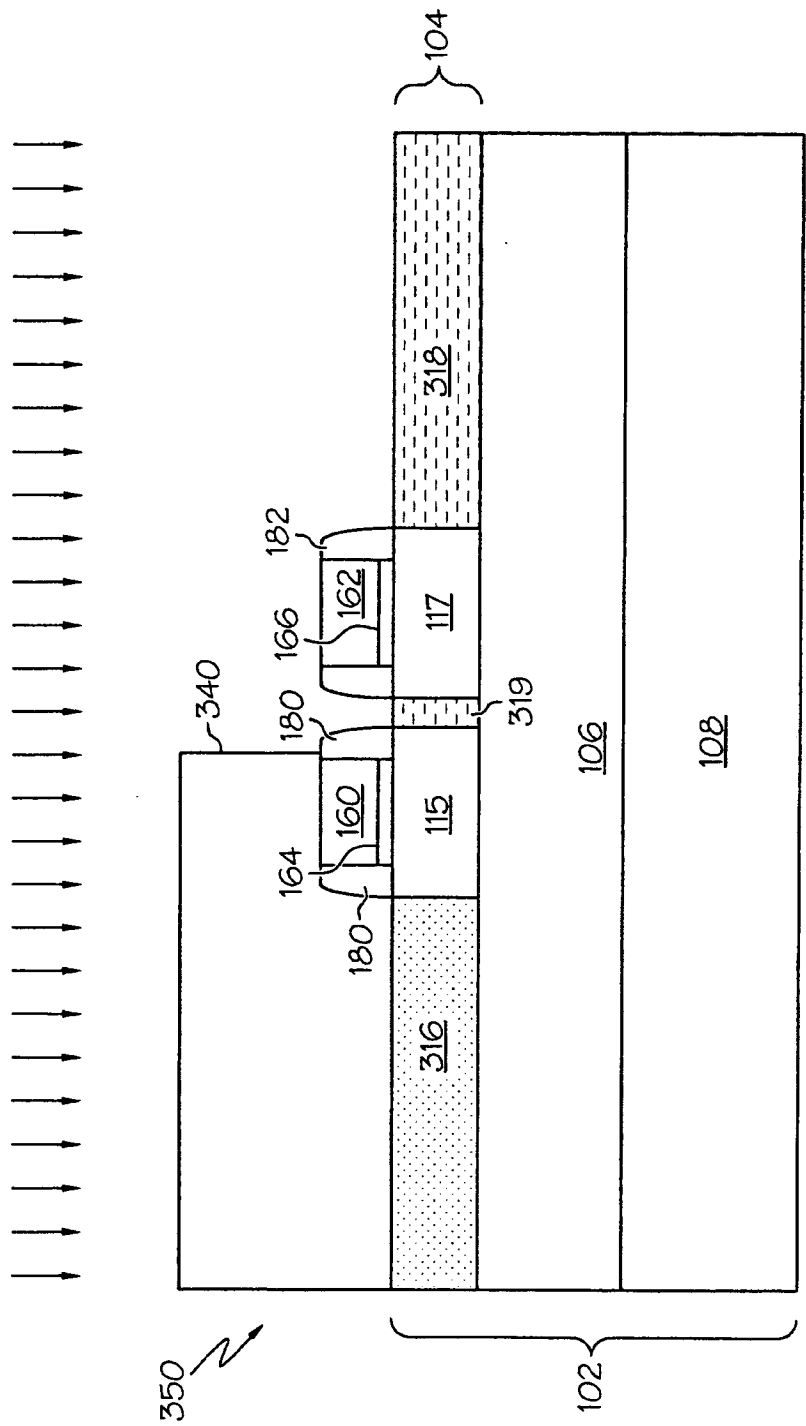


圖
第13



第14圖

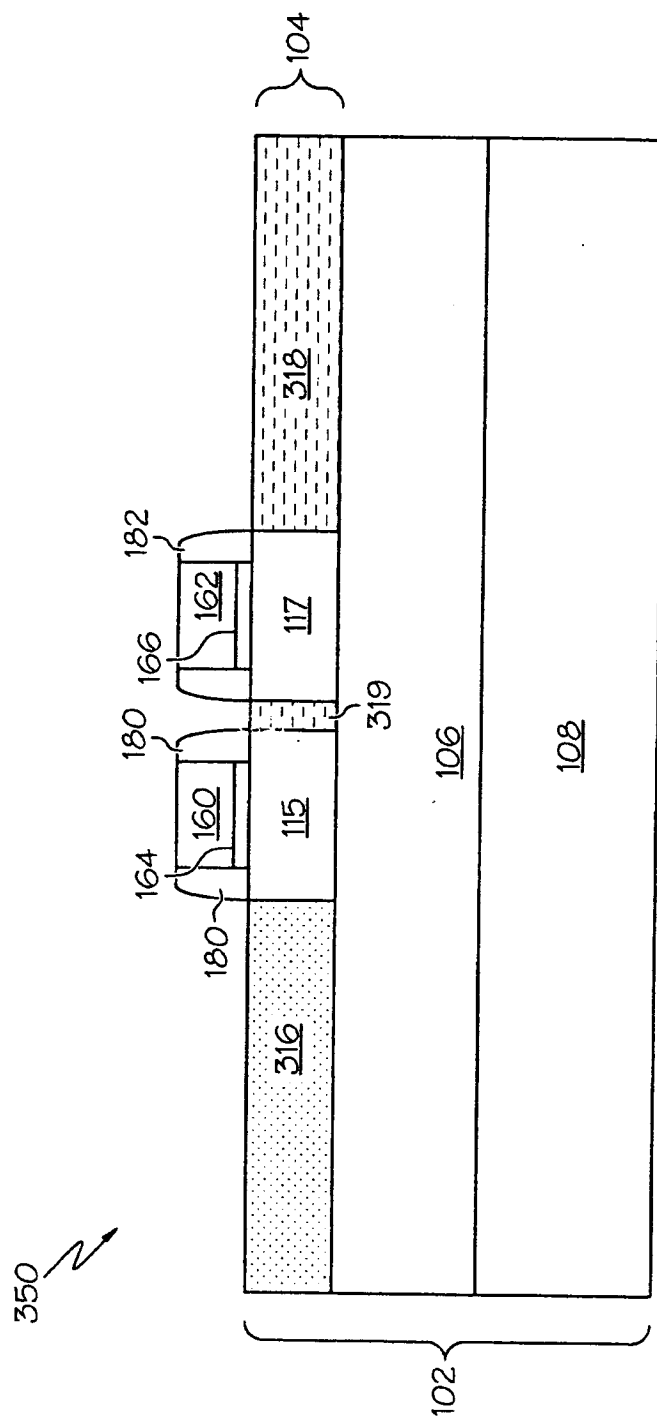
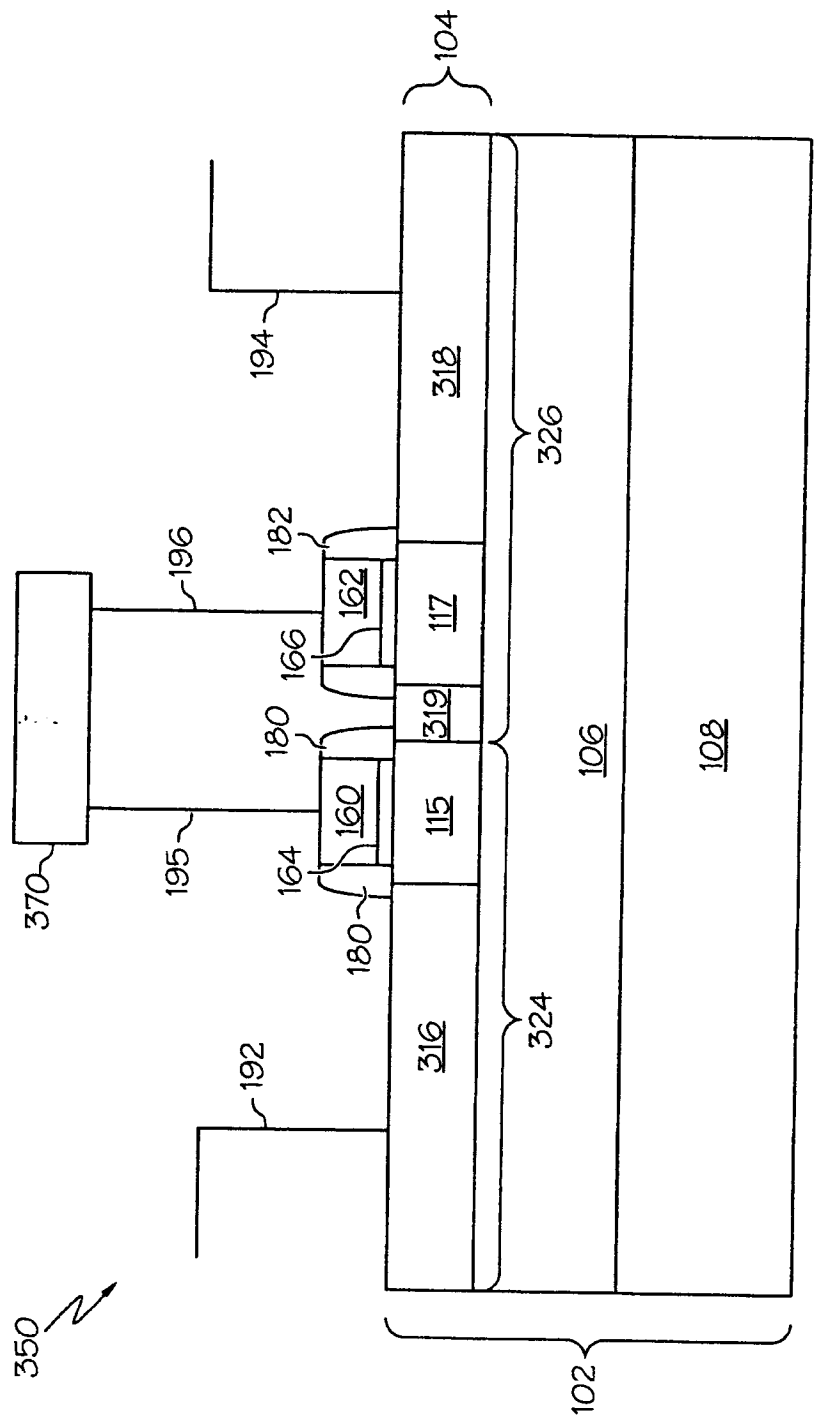


圖 15 策



第16圖

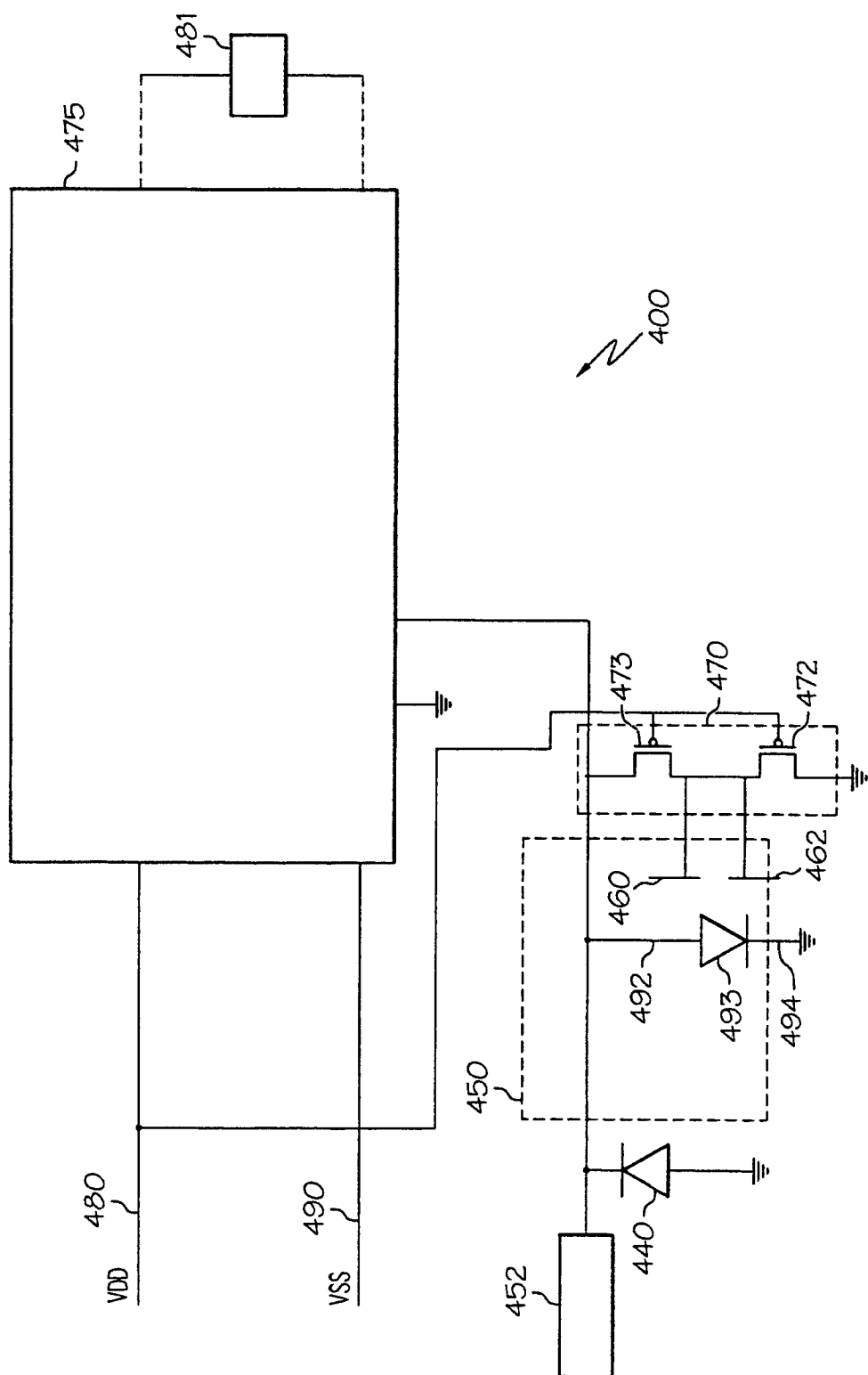


圖 17 錄

四、指定代表圖：

(一)本案指定代表圖為：第 (15) 圖。

(二)本代表圖之元件符號簡單說明：

102	半導體結構
104	半導體材料層
106	埋設氧化物絕緣層、埋設氧化物層
108	運送晶圓、基底
115、117	P 井區域
160、162	閘極電極
164、166	閘極絕緣材料層
180、182	側壁間隔物
316	P ⁺ 型陽極區域
318	N ⁺ 型陰極區域
319	N ⁺ 型分隔區域
350	ESD 保護裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。