

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
 H01L 21/8247

(11) 공개번호 10-2005-0055003
 (43) 공개일자 2005년06월10일

(21) 출원번호	10-2005-7006192
(22) 출원일자	2005년04월08일
번역문 제출일자	2005년04월08일
(86) 국제출원번호	PCT/US2003/030588
국제출원출원일자	2003년09월23일
	(87) 국제공개번호 WO 2004/034426
	국제공개일자 2004년04월22일

(30) 우선권주장 10/267,153 2002년10월09일 미국(US)

(71) 출원인
 프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501

(72) 발명자
 친달로르, 고리샨카
 미국 텍사스 78749, 오스틴, 사우텔레 레인 9101
 인게르술, 폴, 에이.
 미국 텍사스 78739, 오스틴, 올드 하버 레인 6304
 스위프트, 크레이그, 티.
 미국 텍사스 78749, 오스틴, 사우밀 드라이브 3613
 호에플러, 알렉산더, 비.
 미국 텍사스 78704, 오스틴, 래들 애비뉴 #4 2603

(74) 대리인
 정상구
 신현문
 이범래

심사청구 : 없음

(54) 비휘발성 메모리 디바이스 및 형성 방법

명세서

기술분야

본 발명은 일반적으로 반도체 디바이스들에 관한 것이고, 보다 상세하게는, 메모리 셀들에서 사용하기 위한 반도체 디바이스들에 관한 것이다.

배경기술

SONOS(실리콘-산화물-질화-산화물-실리콘)에 기초한 비휘발성 메모리(NVM) 셀들에서, 질화물로의 핫-캐리어 전자 주입(HCI)은 높은 문턱 전압(Vt) 상태 및 낮은 Vt 상태를 가진 메모리 셀을 프로그램하기 위해 사용될 수도 있다. 효율적인 HCI 프로그래밍은 높은 채널 영역의 도핑 및 뚜렷한 드레인 접합을 요구하지만, 높은 채널 영역의 도핑을 가짐으로써 판독 방해가 더욱 악화된다. 즉, 낮은 Vt 상태에서 메모리 셀의 반복된 판독은 메모리 셀의 Vt를 계속적으로 증가시킨다. 상기 Vt는 메모리 셀의 상태가 낮은 Vt 상태에서 높은 Vt 상태로 변할 수도 있는 포인트로 증가할 수도 있고, 따라서 상기 메모리 셀의 신뢰도 실패에 이르게 된다. 그러므로, 반복된 판독 동안 증가된 신뢰도를 지닌 메모리 셀에 대한 필요가 존재한다.

발명의 상세한 설명

본 발명은 예시적으로 설명되고 첨부 도면들로 제한되지 않으며, 상기 도면들에서 같은 참조들은 같은 요소들을 가리킨다.

당업자들은 도면들에서의 요소들이 단순 명료를 위해 예시되고 반드시 일정한 비율로 도시된 것은 아님을 이해한다. 예를 들면, 도면들에서 몇몇 요소들의 치수들은 본 발명의 실시예들의 이해를 향상시키는 것을 돋기 위해 다른 요소들과 비교하여 과장될 수도 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따라 형성된 웰 주입들(well implants) 및 채널 주입들(channel implants)을 가진 반도체 기판의 단면도.

도 2는 본 발명의 실시예에 따라 상기 반도체 기판위에 형성된 게이트 스택(gate stack)을 가진 도 1의 반도체 기판의 단면도.

도 3은 본 발명의 실시예에 따라 헤일로 주입(halo implant)의 형성 후의 도 2의 게이트 스택의 단면도.

도 4는 본 발명의 실시예에 따라 상기 반도체 기판과 게이트 스택의 측벽들에 따른 측벽 스페이서들 내에 소스 및 드레인 영역들과 연장 영역들의 형성 후 도 3의 반도체 디바이스를 도시한 도면.

도 5는 본 발명의 대안의 실시예에 따라 형성된 웰 주입들을 가진 반도체 기판의 단면도.

도 6은 본 발명의 실시예에 따라 상기 반도체 기판 및 채널 주입 상에 형성된 제 1 산화물층, 질화물층, 및 제 2 산화물층을 가진 도 5의 반도체 기판의 단면도.

도 7은 본 발명의 실시예에 따라 게이트 스택의 형성 후의 도 6의 반도체 기판의 단면도.

도 8은 본 발명의 실시예에 따라 상기 반도체 기판 및 게이트 스택의 측벽들에 따른 측벽 스페이서들 내에 소스 및 드레인 영역들과 연장 영역들을 형성한 후의 도 7의 반도체 디바이스.

실시예

도면들의 상세한 설명

본 발명의 일실시예에서, NVM 메모리 셀로서 사용될 수도 있는 반도체 디바이스는 안티-펀치 스루(anti-punch through)(APT) 영역 및 선택적 드레인 측의 높게 도핑된 영역(헤일로)을 가지며 형성된다. 상기 헤일로 영역은, 만약 있다면, 반도체 디바이스의 채널 영역과 드레인 영역 사이의 증가된 도편트 기울기로 된다. APT 영역은 채널 영역이 비교적 낮은 도편트 농도를 가지거나 고유 V_t를 낮춤으로써 판독 방해(즉, 판독 주기 동안의 문턱 전압 드리프트)를 최소화하는 APT 영역에 관하여 카운터 도핑되도록 허용한다. 따라서, 헤일로 영역 및 APT 영역들의 사용은 상기 반도체 디바이스의 효율적인 핫 캐리어 주입 프로그래밍이 상기 판독 방해를 줄이는 동안 유지되도록 허용한다.

도 1은 N-형의 웰(16)을 분리하는, N-형의 웰들(14 및 18)을 둘러싸는, 절연 트렌치들(22 및 24)을 가진 반도체 기판(12), 및 마스킹층(masking layer)(30)을 포함하는 반도체 디바이스(10)를 도시하고 있다. N-형의 웰(16)을 분리하는 N-형의 웰들(14 및 18)을 둘러싸는, 절연 트렌치들(22 및 24), 및 마스킹층(30)의 형성은 본 기술에 알려져 있고 단지 간략하게 설명될 것임을 기억하라. 절연 트렌치들(22 및 24)은 기판(12)에 형성되고, 이후 둘러싸는 N-형의 웰들(14 및 18)이 형성된다. 절연 트렌치들(22 및 24)은 예컨대 산화물, 질화물, 또는 그들의 결합물 등 어떤 형태의 절연 재료도 포함할 수 있다. 둘러싸는 N-형의 웰들(14 및 18)의 형성 후, 패터닝된 마스킹층(30)이 절연 트렌치들(22 및 24) 사이의 개구를 규정하기 위해 사용된다. 패터닝된 마스킹층(30)은 예컨대 광저항층, 하드 마스크 등 어느 유형의 마스킹층일 수 있음을 명심하라. 이후 분리하는 N-형의 웰(16)이 기판(12)에 형성된다. 분리하는 N-형의 웰(16)이 형성된 후, 분리하는 N-형의 웰(16)내에 분리된 P-형의 웰(20)이 형성되어, P-형의 웰(20)이 기판(12)으로부터 분리된다.

분리된 P-형의 웰(20)이 형성된 후, 안티-펀치 스루(APT) 영역(26) 및 채널 영역(28)이 절연 트렌치들(22 및 24) 사이에 형성된다. (APT 영역(26) 및 채널 영역(28)은 임의의 순서로 형성될 수도 있음을 명심하라.) 채널 영역(28) 및 APT 영역(26)은 채널 영역(28)이 기판(12)의 상면과 APT 영역(26) 사이에 위치하도록 형성되고, APT 영역(26)은 채널 영역(28)과 분리된 P-형의 웰(20) 사이에 위치한다. (APT 영역(26)은 또한 높게 도핑된 영역(26)이라고 언급될 수도 있음을 명심하라.) APT 영역(26)의 형성에 사용된 도편트는 채널 영역(28)으로 그다지 확산되지 않도록 선택된다. 화살표들(31)은 도편트가 기판(12)에 균일하게 적용됨을 예시하고 있다. APT 영역(26) 및 채널 영역(28) 모두를 향한 주입의 방향은 실질적으로 기판(12)에 수직이다. 즉, 상기 방향은 대략 수직으로부터 10도보다 크지 않다. 또한 APT 영역(26)의 도편트 농도는 분리된 P-형의 웰(20)의 도편트 농도보다 더 큼을 명심하라.

일실시예에서, APT 영역(26) 및 채널 영역(28)은 채널 영역(28)의 도편트 농도가 APT 영역(26)의 도편트 농도보다 더 작도록 형성된다. 일실시예에서, APT 영역(26) 및 채널 영역(28)은 P-형의 도편트들, 예컨대 봉소 또는 인듐 등을 이용하여 형성된다. 이 실시예에서, 채널 영역(28)의 도편트 농도는 APT 영역(26)의 도편트 농도보다 10 내지 50배 더 낮을 수도 있다. 그러므로 APT 영역(26)은 대략 30 내지 50 킬로 전자-볼트(keV)의 범위의 에너지와 대략 $1 \times 10^{12}/\text{cm}^2$ 내지 $1 \times 10^{14}/\text{cm}^2$ 범위의 적량으로 주입될 수도 있고, 채널 영역(28)은 대략 5 내지 30 keV 범위의 에너지와 대략 $1 \times 10^{11}/\text{cm}^2$ 내지 $1 \times 10^{13}/\text{cm}^2$ 범위의 적량(dosage)으로 주입될 수도 있다. 일실시예에서, 예컨대 채널 영역(28)에 대해서는 봉소 및 APT 영역(26)에 대해서는 인듐처럼, 서로 다른 P-형의 도편트들이 채널 영역(28)과 APT 영역(26)에 대해 사용될 수도 있음을 명심하라. 대안으로서, 같은 P-형의 도편트가 두 영역들에 대해 사용될 수도 있다.

상기 예시된 실시예에서, 반도체 기판(12)은 벌크 기판이다. 이 실시예에서, 기판(12)은 반도체-포함 기판이고 실리콘, 갈륨 비소, 실리콘 게르마늄 등 혹은 그것들의 결합을 포함할 수도 있다. 대안으로서, 기판(12)은 하부 반도체층, 하부 반도체층 위에 배치되는 매립형 절연층, 및 상부 반도체층을 가진 절연체 상의 실리콘(SOI) 기판(도시되지 않음)일 수도 있다. 이 실시예에서, N-형의 웨들(14 및 18)을 둘러싸는 것과 N-형의 웨(16)을 분리하는 것을 필요로하지 않음을 명심하라. 즉, 분리된 P-형의 웨(20)은 SOI 기판의 상부 반도체층에 대응할 것이다. 이 실시예에서, 매립형 절연층은 실리콘 산화물 층일 수 있고 상부 및 하부 반도체층들은 실리콘, 게르마늄, 갈륨 비소 등으로 형성될 수도 있다.

도 2는 절연 웨들(22 및 24) 사이에서, 마스킹층(30)의 제거와 채널 영역(28) 상에 SONOS 게이트 스택(32)의 형성 후의 반도체 디바이스(10)를 도시하고 있고, 상기 SONOS 게이트 스택(32)은 채널 영역(28) 상에 형성된 제 1 산화물(40), 제 1 산화물(40) 상에 형성된 절화물(38), 절화물(38) 상에 형성된 제 2 산화물(36), 및 제 2 산화물(36) 상에 형성된 게이트(34)를 포함한다. (제 1 산화물(40), 절화물(38), 및 제 2 산화물(36)은 산화물-절화-산화물 구조로서 언급될 수도 있음을 명심하라.) 마스킹층(30)은 종래의 과정을 이용하여 제거될 수 있다. 게이트 스택(32)을 형성하는데 있어서, 제 1 산화물은 화학 기상 증착(CVD)이나 열산화 공정(thermal oxidation process)을 각각 이용하여 반도체 기판(12)상에 놓이거나 성장된 블랭킷이다. 대안적으로, 상기 제 1 산화물층은 물리 증착(PVD), 원자층 증착(ALD), 열산화, 또는 그들의 결합 등에 의해 형성될 수도 있다. 이후, 절화층은 상기 제 1 산화물층 상에 증착된다. 상기 절화층은 CVD, PVD, ALD, 또는 그들의 결합 등에 의해 형성될 수도 있다. 제 2 산화물층은 화학 증착(CVD) 또는 열산화 공정을 각각 이용하여 절화물층 상에 놓인 블랭킷이다. 대안적으로, 상기 제 2 산화물층은 물리 증착(PVD), 원자층 증착(ALD), 열산화, 또는 그들의 결합 등에 의해 형성될 수도 있다. 게이트층은 CVD, PVD, ALD, 또는 그들의 결합 등에 의해 형성된 상기 제 2 산화물층 상에 놓인 블랭킷이다. 종래의 마스킹 및 에칭 공정들을 이용하여, 이후 제 1 산화물, 절화층, 제 2 산화물, 및 게이트층은 결과적인 게이트 스택(32)을 형성하기 위해 패터닝되고 에칭될 수도 있다. (대안의 실시예들에서 보다, 스택의 각 층은 결과적인 게이트 스택(32)을 형성하기 위해 개별적으로 패터닝되고 에칭될 수도 있음을 기억하라.) 일실시예에서, 결과적인 게이트 스택(32)은(또한, 게이트 스택(32) 아래의 채널 영역(28)의 일부는) 대략 0.35 미크론 내지 0.06 미크론의 범위의 길이를 가지고 있다.

게이트 스택(32)의 게이트(34)는 폴리실리콘이나 금속-포함 재료와 같은 어느 도전성 재료일 수도 있고, 제어 게이트로서 언급될 수도 있다. 제 1 산화물(40) 및 제 2 산화물(36)은 예컨대 실리콘 산화물, 옥시질화물, 금속-산화물, 질화물, 또는 그들의 어느 결합 등의 절연 재료나 절연 재료들의 스택과 같은 어느 유전체일 수 있다. 절화물(38)은 전하들이 저장될 수 있도록 전하 트랩들을 가진다고 알려진 실리콘 질화물, 옥시질화물, 또는 어느 다른 재료일 수도 있다. 그러므로 제 1 산화물(40) 및 제 2 산화물(36)은 또한 각각 제 1 및 제 2 절연층들로서, 또는 각각 하부 및 상부 유전체들로서 언급될 수도 있고, 질화물(38)은 전하 저장층, 저장 요소, 또는 유전체로서 언급될 수도 있다.

게이트 스택(32)은 SONOS 스택으로서 예시되지만, 대안의 실시예들에서, 게이트 스택(32)은 어느 유형의 NVM 게이트 스택일 수도 있다. 예를 들면, 게이트 스택(32)은 절연 트렌치들(22 및 24) 사이에서, 채널 영역(28)상에 형성된 터널 유전체를 가진 부동 게이트 스택(도시되지 않음), 터널 유전체 상에 형성된 부동 게이트, 부동 게이트 상에 형성된 제어 유전체, 및 제어 유전체 상의 제어 게이트로 대신할 수도 있다. 부동 게이트 스택을 형성하는데 있어서, 터널 유전층은 CVD, PVD, ALD, 열산화, 또는 그들의 결합 등에 의해 반도체 기판(12) 위에 형성된다. 터널 유전층은 산화물(예컨대 실리콘 2산화물), 질화물, 옥시질화물, 금속 산화물 등과 같은, 어느 절연 재료일 수 있다. 이후 터널 유전층은 채널 영역(28) 상의 부동 게이트 스택의 터널 유전체를 형성하기 위해 종래의 공정을 이용하여 패터닝되고 에칭된다(여기서 터널 유전체는 도 2에 도시된 게이트 스택(32)의 산화물(40)과 유사한 위치한다).

이후 부동 게이트층은 CVD, PVD, ALD, 또는 그들의 결합 등에 의해 반도체 기판(12) 및 터널 유전체 상에 형성된다. 일 실시예에서, 부동 게이트층은 폴리실리콘, 금속 등과 같은 어느 도전성 재료일 수도 있다. 다른 실시예에서, 부동 게이트층은 나노수정 NVM 디바이스에서처럼 복수의 나노수정들(즉, 분리 저장 요소들)일 수도 있다. 이후 부동 게이트층은 터널 유전체 상의 부동 게이트 스택의 부동 게이트를 형성하기 위해 종래의 공정을 이용하여 패터닝되고 에칭된다.

이후 제어 유전층은 CVD, PVD, ALD, 열산화, 또는 그들의 결합들 등에 의해 반도체 기판(12) 및 부동 게이트 상에 형성된다. 이후 제어 유전층은 부동 게이트 상의 부동 게이트 스택의 제어 유전체를 형성하기 위해 종래의 공정을 이용하여 패터닝되고 에칭된다. 제어 유전체는 선택적이고 모든 부동 게이트 디바이스들에서 형성될 수는 없음을 명심하라. 만약 있다면, 제어 유전층은 산화물(예컨대 실리콘 2산화물), 질화물, 금속 산화물, 높은 유전율의 재료(즉 대략 4보다 크고 대략 15보다 작은 유전율을 가진 재료), 또는 그들의 결합들 등과 같은 어느 절연 재료일 수 있다. 이후 제어 게이트층은 CVD, PVD, ALD, 또는 그들의 결합들 등에 의해 반도체 기판(12)과 제어 유전체 상에 형성된다. 제어 게이트층은 폴리실리콘이나 금속-포함 재료와 같은, 어느 도전성의 재료일 수도 있다. 종래의 마스킹 및 에칭 공정들을 이용하여, 제어 게이트층은 제어 유전체 상의 부동 게이트 스택의 제어 게이트를 형성하기 위해 패터닝되고 에칭된다. (대안의 실시예들에서, 부동 스택의 각 층을 따로따로 패터닝하고 에칭하기 보다는, 층들의 결합이나 모든 층들은 결과적인 부동 게이트 스택을 형성하도록 요구되는 공정 단계들을 줄이기 위해 같은 패턴 및 에칭 공정을 이용하여 패터닝되고 에칭될 수도 있다.)

지금 도 3을 참조하면, 패터닝된 마스킹층(42)은 종래의 마스킹 공정들을 이용하여 형성된다. 마스킹층(42)은 예컨대 광저항이나 하드 마스크와 같은, 어느 유형의 마스킹층일 수 있음을 명심하라. (드레인 영역이 나중에 형성될, 제 1 측면과 반대인, 게이트 스택(32)의 제 2 측면에서) 반도체 디바이스(10)의 드레인측을 드러내는 동안 패터닝된 마스킹층(42)(또한 주입 마스크로서 언급되는)은 (소스 영역이 뒤집게 형성될, 게이트 스택(32)의 제 1 측면에서) 반도체 디바이스(10)의 소스측을 마스크한다. 도 3에 도시된 바와 같이, 각을 이루는 주입(44)은 게이트 스택(32)의 제 1 끝으로부터 측정된 거리(47)만큼 게이트 스택(32)의 바로 밑에서 돌출된 헤일로 영역(46)을 형성하기 위해 사용된다. 일 실시예에서, 거리(47)는 기껏해야 대략 500 옹스트롬(500 Angstroms)이다. 각을 이루는 주입(44)은 주입의 대응각 θ 를 갖고 있고, θ 는 수직으로부터 측정된다. 일 실시예에서, θ 는 대략 20 내지 60도의 범위에 있고, 더 바람직하게는, 대략 30 내지 40도의 범위에 있다. 그러므로 주입(44)의 각도는 게이트 스택(32) 바로 밑의 영역(45)에서 헤일로 영역(46)내의 도편트 농도를 증가시키기에 충분하고 그 결과 채널 영역(28)의 도편트 농도보다 더 크다. 일 실시예에서, 헤일로 영역(46)은 대략 $1 \times 10^{12}/\text{cm}^2$ 내지 $1 \times 10^{14}/\text{cm}^2$ 범위의 적량을 가진 대략 10 내지 50keV 범위의 에너지에서 예컨대 봉소나 인듐과 같은 P-형의 도편트를 사용하여 주입된다. (대안적으로, 헤일로 영역(46)은 각을 이루는 헤일로(46) 또는 높이 혹은 짙게 도핑된 영역(46)으로서 언급될 수도 있음을 명심하라. 또한, 헤일로 영역(46)의 도편트 농도는 일반적으로 분리된 P-형의 웨(20)의 도편트 농도보다 더 크다.)

도 4는 마스킹층(42) 제거와 측벽 스페이서들(48 및 50), 소스 및 드레인 연장자들(51 및 53), 및 소스 및 드레인 영역들(52 및 54) 형성 후의 반도체 디바이스(10)를 도시하고 있다. 마스킹층(42)은 종래의 공정 단계들을 이용하여 제거될 수 있다. 마스킹층(42)의 제거 후, 소스 연장자(51) 및 드레인 연장자(53)는 종래의 마스킹 및 주입 공정들을 이용하여 형성된다. 연장자들(51 및 53)은 채널 영역(28)으로 연장되고 각각은 게이트 스택(32)의 부분 아래에 있음을 명심하라. 일실시예에서, 비소, 인, 또는 안티몬과 같은, N-형의 도편트는 연장자들(51 및 53)을 형성하기 위해 대략 $1 \times 10^{14}/\text{cm}^2$ 내지 $1 \times 10^{15}/\text{cm}^2$ 범위의 적량을 가진 대략 30 내지 70keV 범위의 에너지에서 주입된다. 드레인 연장자(53)는 헤일로 영역(46)을 넘어 연장되지 않도록 형성된다. 드레인 연장자(53)의 형성 후, 도편트 증가 기울기는 채널 영역(28)으로부터 드레인 연장자(53)로 됨을 명심하라. 도편트 증가 기울기가 헤일로 영역(46)이 없이 채널 영역(28)으로부터 드레인 연장자(53)로 존재하지만, 헤일로 영역(46)의 존재는 이 도편트 기울기를 더욱 증가시킨다. 또한, 헤일로 영역(46)의 존재는 채널 영역(28)내의 비교적 낮은 도편트 농도를 허용한다.

연장부들(51 및 53)의 형성 후, 스페이서들(48 및 50)이 종래의 공정 단계들을 이용하여 게이트 스택(32)의 측벽들을 따라 형성된다. 예를 들면, 이들 스페이서들은 예컨대 산화물이나 질화물과 같은 어느 절연 재료를 포함할 수도 있다. 대안으로서, 스페이서들(48 및 50)은 없을 수도 있다. 스페이서들(48 및 50)이 존재하지 않는다면, 소스 및 드레인 영역들(52 및 54)은 형성될 수 없어서 연장자들(51 및 53)은 각각 소스 및 드레인 영역들로서 사용된다. 그러나, 스페이서들(48 및 50)의 존재와 더불어, 소스 및 드레인 영역들은 다른 주입 단계를 이용하여 형성될 수도 있다. 일실시예에서, 비소, 인, 또는 안티몬과 같은, N-형의 도편트는 소스 영역(52) 및 드레인 영역(54)을 형성하기 위해 대략 $1 \times 10^{15}/\text{cm}^2$ 내지 $5 \times 10^{16}/\text{cm}^2$ 범위의 적량을 가진 대략 10 내지 30 keV 범위의 에너지에서 주입된다. 드레인 및 소스 영역들(52 및 54)은 절연 트렌치들(22 및 24) 아래로 연장되지 않음을 유념하라. 또한 APT(26)의 깊이는 소스 및 드레인 영역들(52 및 54)의 깊이 아래로 연장되지 않도록 선택됨을 유념하라. 도시되지 않았지만, 또한 종래 공정이 반도체 디바이스(10)를 완성하기 위해 사용될 수도 있다. 예를 들면, 접촉들이 소스 영역(52), 게이트(34), 드레인 영역(54), 및 절연된 P-형의 웨(20)에 형성될 수도 있다. 또한, 다른 반도체 디바이스 레벨들은 반도체 디바이스(10)의 아래 또는 위에 형성될 수도 있다.

도 4에 도시된 것처럼, V_w (60)는 절연된 P-형의 웨(20)에 인가된 전압에 대응하고, V_s (62)는 소스 영역(52)에 인가된 전압에 대응하고, V_g (64)는 게이트(34)에 인가된 전압에 대응하고, V_d (66)는 드레인 영역(54)에 인가된 전압에 대응한다. 예시된 실시예에서, 반도체 디바이스(10)는 NVM 메모리(도시되지 않음)내의 NVM 메모리 셀로서 이용될 수도 있다. 여기에 사용된 것처럼, 높은 V_t 상태는 상기 메모리 셀의 프로그램 상태에 대응하고, 낮은 V_t 상태는 상기 메모리 셀의 소거 상태에 대응한다. (그러나, 대안의 실시예들에서, 상기 프로그램 및 소거 상태들은 반전될 수도 있음을 유념하라.)

반도체 디바이스(10)는 질화물(38)로부터 전자들을 제거함으로써 삭제되고 그 결과 낮은 V_t 를 가진 (예컨대, 대략 2볼트 이하의) 반도체 디바이스(10)에 이르게 된다. 많은 알려진 방법들, 예를 들면 포울러-노드헤임 터널링(Fowler-Nordheim tunneling), 핫 훌 주입, 직접 터널링 등과 같은 방법들이 반도체 디바이스(10)를 낮은 V_t 상태로 놓기 위해 사용될 수도 있다.

반도체 디바이스(10)는 질화물(38)내의 전자들을 저장함으로써 프로그램되고 그 결과 높은 V_t 를 가진 (예컨대 대략 4볼트 이상의) 반도체 디바이스(10)가 된다. 그러므로, 반도체 디바이스(10)는 드레인 전압(V_d)과 소스 전압(V_s)을 인가함으로써 프로그램될 수도 있고 V_d 는 대략 V_s 보다 더 큰 3 내지 5 볼트이다. 예를 들면, 일실시예에서, 1볼트의 V_s 및 4볼트의 V_d 가 사용될 수도 있다. 이 실시예에서, 대략 5 내지 10 볼트의 게이트 전압(V_g)과 대략 0 내지 -3 볼트의 웨 전압(V_w)이 인가된다. 상기 전압들이 인가되도록 하여, 반도체 디바이스(10)의 프로그래밍 동안, 핫 캐리어들은 드레인 공핍 영역에서 발생되고, 그들 중 몇몇은 산화물(40)을 통해 질화물(38)로 주입된다. 이는 반도체 디바이스(10)의 V_t 를 증가시키게 된다. 헤일로 영역(46)과 드레인 연장자(53)에 의해 생긴 도편트 기울기는 이러한 핫 캐리어 주입을 증대하여 반도체 디바이스(10)의 효율적인 핫 캐리어 프로그래밍을 유념하라. 이 효율은 심지어 비교적 낮은 도편트 농도(대략 $1 \times 10^{16}/\text{cm}^3$ 내지 $1 \times 10^{17}/\text{cm}^3$)를 가진 채널 영역(28)과 더불어 유지된다. 게다가, 채널 영역(28)의 비교적 낮은 도편트 농도는 반도체 디바이스(10)의 고유 V_t 를 줄여서 이하 설명될 바와 같이 판독 방해를 향상시킨다.

반도체 디바이스(10)의 고유 V_t 는 임의의 전하를 질화물(38)에 두기에 앞서 문턱 전압을 참조한다. 더 높은 고유 V_t 를 위하여, 판독 방해는 떨어진다. (여기서 사용되는 것처럼, 낮은 V_t 메모리 셀이 계속적으로 판독됨에 따라 판독 방해는 문턱 전압(V_t)에 있어서의 점차적인 증가를 설명하고 있음을 유념하라, 즉 문턱 전압은 판독 주기 동안 드리프트된다.) 그러므로, 고유 V_t 가 증가함에 따라, 메모리 셀의 실패로의 시간이 감소된다. 즉, 고유 V_t 가 증가함에 따라, 메모리 셀로의 더 적은 수의 판독들이 낮은 V_t 로부터 높은 V_t 로의 드리프트에 기인하여 실패로 끝난다. 따라서, 고유 V_t 를 감소함으로써, 낮은 V_t 상태의 판독 방해는 향상된다(즉, 문턱 전압 드리프트가 축소된다). 예를 들면, 도 4를 다시 참조하여, 반도체 디바이스(10)의 판독은 대략 V_s 보다 더 큰 0.5 내지 1.5 볼트인 V_d 를 인가함으로써 수행될 수도 있다. 예를 들면, 일실시예에서, V_s 는 0 볼트일 수도 있고 V_d 는 1 볼트일 수도 있다. 이 실시예에서, 채널 영역(28)에서 대략 10 내지 30 마이크로암페어의 전류를 생성하기에 충분한 V_g 및 V_w 가 인가된다. 예를 들면, 일실시예에서, 2볼트의 V_g 및 0볼트의 V_w 가 사용될 수도 있다. (이 예에서 제공되거나 소스 전압(V_s)을 참조하여 주어진 전압들임을 유념하라. 즉, 이 예에서, V_s 가 1볼트만큼 증가되면, V_d , V_g , 및 V_w 는 또한 1볼트만큼 증가된다.) 삭제된 반도체 디바이스(10)의 판독 또는 액세스동안(즉, 낮은 V_t 상태의 반도체 디바이스(10) 동안), 반전층은 채널 영역(28)에서 형성되고 공핍층(도시되지 않음)이 드레인 영역(54) 및 드레인 연장자(53) 주변에 형성된다. 이 공핍 영역은 실질적으로 헤일로 영역(46)에서 생긴 도편트 기울기를 마스크하고 그 결과 헤일로 영역(46)의 더 높은 도편트가 반도체(10)의 V_t 를 증가시키는 것을 막는다. 이 방식으로, V_t 는 낮은 V_t 상태로 남아 있게 되고, 따라서 V_t 드리프트를 줄임으로써 판독 방해를 향상시킨다.

상기 서술된 것처럼 대략 0.35 내지 0.06 미크론의 범위에 있는 게이트 스택(32)의 깊이에 대하여, 짧은 채널 누설은 반도체 디바이스(10)의 프로그래밍 동안 일어날 수도 있다. 그러나, 높이 도핑된 APT 영역(26)은 또한 이 짧은 채널 누설을 줄이는 기능을 수행하고 따라서 전력 소비를 줄이고 프로그래밍 효율을 향상시킨다.

도 5 내지 도 8은 본 발명의 대안 실시예를 도시하고 있는데, 같은 전도도 유형의 도편트들을 사용하여 채널 영역(28) 및 APT 영역(26)을 형성하기 보다는, 서로 다른 전도도 유형들의 도편트들을 이용하여 두 주입 단계들이 채널 영역(86) 및 APT 영역(74)을 대신 형성하기 위해 사용될 수도 있다. 즉, 이 대안 실시예에서, 채널 영역(28) 및 APT 영역(26)은 채널 영역(86) 및 APT 영역(74)로 각각 대체될 수 있고, 판독 방해를 줄이는 동안 반도체 디바이스의 효율적인 핫 캐리어 주입

프로그래밍을 허용하도록 상술된 채널 영역(28) 및 APT 영역(26)과 같은 방식으로 기능한다. 또한, 이하 서술되는 바와 같이, 이 대안 실시예에서, 헤일로 영역(46)은 존재하지 않을 수도 있다. (도 5 내지 도 8의 다음의 설명들에서, 도 1 내지 도 4의 설명에서 사용된 같은 참조 숫자들의 참조 숫자들은 같거나 비슷한 요소들을 나타냄을 유념하라.)

도 5는 절연 트렌치들(22 및 24) 사이의 N-형의 웨(16)을 분리하고, N-형의 웨들(14 및 18)을 둘러싸고, 패터닝된 마스킹(30)인 절연 트렌치들(22 및 24)을 가진 반도체 기판(12)을 포함하는 반도체 디바이스(70)를 도시하고 있다. N-형의 웨들(14 및 18)을 둘러싸고, N-형의 웨(16)을 분리하고, 마스킹(30)인 절연 트렌치들(22 및 24)의 형성은 상기 도 1을 참조하여 설명된 것과 같은 것임을 유념하고 따라서 도 5를 참조하여 여기서 다시 설명되지 않을 것이다. N-형의 웨들(14 및 18)을 둘러싸고, 패터닝된 마스킹(30)이고, N-형의 웨(16)을 분리하는, 절연 트렌치들(22 및 24), 및 분리된 P-형의 웨(20)의 형성 후이다(여기서 도 1을 참조하여 상기 제공된 같은 설명, 재료들 및 대안들은 본 명세서에 도 5를 참조하여 응용될 것이다.) APT 영역(74)은 절연된 P-형의 웨(20)에서의 절연 트렌치들(22 및 24) 사이에서 형성된다. (APT 영역(74)은 또한 높게 도핑된 영역(74)으로서 언급될 수도 있음을 유념하라.)

화살표들(72)은 상기 도편트가 기판(12)에 균일하게 인가됨을 도시하고 있다. APT 영역(74)에 대한 상기 주입의 방향은 실질상으로 기판(12)에 직교한다. 즉, 상기 방향은 수직으로부터 대략 10도보다 크지 않다. 일실시예에서, APT 영역(74)은 예컨대, 봉소나 인듐과 같은 P-형의 도편트를 사용하여 형성된다. 예를 들면, APT 영역(74)은 대략 30 내지 50 keV 범위의 에너지와 대략 $1 \times 10^{12}/\text{cm}^2$ 내지 $1 \times 10^{14}/\text{cm}^2$ 범위의 적량으로 주입될 수도 있다. 또한 APT 영역(74)의 도편트 및 절연된 P-형의 웨(20)은 같은 도전형이고 APT 영역(74)의 도편트 농도는 절연된 P-형의 웨(20)의 도편트 농도보다 더 큼을 유념하라. 예를 들면, 일실시예에서, APT 영역(74)의 도편트 농도는 분리된 P-형의 웨(20)의 도편트 농도보다 대략 2 내지 100배 더 크다. 예를 들면, APT 영역(74)의 도편트 농도는 대략 $5 \times 10^{17}\text{cm}^{-3}$ 내지 $5 \times 10^{18}\text{cm}^{-3}$ 의 범위에 있을 수도 있고, 절연된 P-형의 웨(20)의 도편트 농도는 대략 $5 \times 10^{16}\text{cm}^{-3}$ 내지 $5 \times 10^{17}\text{cm}^{-3}$ 의 범위에 있을 수도 있다.

도 6은 패터닝된 마스킹(30)의 제거와 제 1 산화층(80), 질화층(82), 및 제 2 산화층(84)의 형성 후의 반도체 디바이스(70)를 도시하고 있다. 마스킹은 도 2를 참조하여 상기 설명된 것처럼 제거될 수 있음을 유념하라. 상기 설명된 실시예에서, 제 1 산화층(80)은 화학 증착(CVD)이나 열산화 공정을 각각 이용하여 반도체 기판(12)상에 배치되거나 성장된 블랭킷이다. 대안으로서, 상기 제 1 산화층은 물리적 증착(PVD), 원자층 증착(ALD), 열산화, 또는 그들의 결합들 등에 의해 형성될 수도 있다. 이후, 질화물층(82)은 제 1 산화물층(80) 상에 배치된다. 질화물층(82)은 CVD, PVD, ALD, 또는 그들의 결합들 등에 의해 형성될 수도 있다. 이후 제 2 산화물층(84)은 화학 증착(CVD)이나 열산화 과정을 각각 이용하여 질화물층(82) 상에 두어진 블랭킷이다. 대안으로서, 제 2 산화물층(84)은 물리 증착(PVD), 원자층 증착(ALD), 열산화, 또는 그들의 결합들 등에 의해 형성될 수도 있다.

제 2 산화물층(84)의 형성 후, 패터닝된 마스킹(76)은 절연 트렌치들(22 및 24) 사이의 개방을 정의하기 위해 사용된다. 패터닝된 마스킹(76)은 예컨대 광저항층, 하드 마스크 등과 같은, 어느 유형의 마스킹일 수 있음을 유념하라. 패터닝된 마스킹(76)의 형성 후, 채널 영역(86)은 절연된 P-형의 웨(20)에 형성된다. 일실시예에서, 채널 영역(86)은 예컨대 비소, 인, 또는 안티몬과 같은 N-형의 도편트를 이용하여 형성된다. 이 N-형의 도편트는 대략 5 내지 70 keV 범위의 에너지와 대략 $1 \times 10^{11}/\text{cm}^2$ 내지 $5 \times 10^{13}/\text{cm}^2$ 범위의 적량으로 주입될 수 있다. 예시된 실시예에서, N-형의 도편트는 채널 영역(86)을 형성하기 위해 APT 영역(74)의 존재하는 P-형의 도편트의 일부를 보상한다. 결과적으로, 채널 영역(86)은 (이 실시예에서의 N-형과 같은) 제 1 도전형을 가지고 있고 기판(12)의 상부 표면과 APT 영역(74) 사이에 위치하며, APT 영역(74)은 (이 실시예에서의 P-형과 같은) 제 2 도전형을 가지고 채널 영역(86)과 분리된 P-형의 웨(20) 사이에 위치한다. APT 영역(74)의 일부를 적절히 보상하는 N-형의 도편트를 위하여, 채널 영역(86)에 있는 상기 N-형의 도편트 농도는 APT 영역(74)에서 P-형의 도편트 농도보다 더 높아야 함을 유념하라.

채널 영역(86)의 형성 후, 일실시예에서, 채널 영역(86)의 순도평 농도는 대략 0 내지 $5 \times 10^{18}/\text{cm}^{-3}$ 의 범위에 있음을 유념하라. 본 명세서에 사용되는 것과 같은, 순도평 농도는 하나의 도전형의 도편트들과 다른 도전형의 도편트들 사이의 절대차를 참조한다. 예를 들면, 채널 영역(86)을 위해 제공된 순도평 농도들은 APT 영역(74)의 P-형의 도편트들과 채널 영역(86)의 N-형의 도편트들 사이의 차의 절대차를 참조한다. 본 발명의 일실시예에서, 채널 영역(86)내 P-형의 도편트들의 농도 마이너스 채널 영역(86)내 N-형의 도편트들의 농도는 분리된 P-형의 웨(20)에서의 순도평 농도보다 작거나 같다. 채널 영역(86)내 P-형의 도편트들의 농도 마이너스 채널 영역(86)내 N-형의 도편트들의 농도는 절연된 P-형의 웨(20)에서의 순도평 농도보다 더 큰 절대값을 가진 음수를 제공할 수도 있음을 유념하라. 본 발명의 다른 실시예에 있어서, 채널 영역(86)내 P-형의 도편트들의 농도 마이너스 채널 영역(86)내 N-형의 도편트들의 농도는 절연된 P-형의 웨(20)에서 순도평 농도보다 더 적은 절대값을 가진 음수를 제공할 수도 있다. 다른 실시예에서, APT 도핑 농도가 웨 농도의 최대값보다 더 작도록 위해 APT 영역 아래의 상기 영역에서의 비균일한 웨 도핑을 가지는 것이 가능하다.

도 6에 도시된 바와 같이, 채널 영역(86)은 제 1 산화물층(80), 질화물층(82), 및 제 2 산화물층(84)의 형성 후에 형성됨을 유념하라. 그러나, 대안의 실시예들에서, 채널 영역(86)은 이들 층들의 형성에 앞서 형성될 수도 있다. 즉, 도 5를 참조하여 설명된 APT 영역(74)의 형성 후, 후속 주입 단계는 같은 패터닝된 마스킹(30)을 사용하여 채널 영역(86)을 형성하기 위해 사용될 수 있다. 그러므로, 이 실시예에서, 패터닝된 마스킹(76)은 필요로 하지 않을 것이다.

도 7은 게이트 스택(32)의 형성 후의 반도체 디바이스(70)를 도시하고 있다. 질화물층(82)상에 깔려있는 제 2 산화물층(84)의 형성 후, 패터닝된 마스킹(76)은 (예컨대, 종래의 공정을 이용하여) 삭제된다. 이후 게이트층은 CVD, PVD, ALD, 또는 그들의 결합들에 의해 형성된 제 2 산화물층(84) 상에 놓인 블랭킷이다. 종래의 마스킹 및 예칭 공정들을 이용하여, 이후 제 1 산화물층, 질화물층(82), 제 2 산화물층(84), 및 상기 게이트층은 결과적인 게이트 스택(32)을 형성하기 위해 패터닝되고 예칭될 수도 있다. 즉, 제 1 산화물층(80)의 예칭은 제 1 산화물(40)에 이르게 하고, 질화물층(82)의 예칭은 질화물(38)에 이르게 하며, 제 2 산화물층(84)의 예칭은 제 2 산화물(36)에 이르게 하고, 상기 게이트층의 예칭은 게이트(34)에 이르게 한다. (다른 실시예들에서 보다, 상기 스택의 각 층은 결과적인 게이트 스택(32)을 형성하기 위해 개별적으로 패터닝되고 예칭될 수도 있음을 유념하라. 예를 들면, 산화물층(80 및 84) 및 질화물층(82)은 채널 영역(86)의 형성에 앞서 패터닝되고 예칭될 수 있다.) 일실시예에서, 결과적인 게이트 스택(32)(및 마찬가지로, 게이트 스택(32) 아래의 채널 영역(86)의 일부)는 대략 0.35 내지 0.06 미크론의 범위의 길이를 가진다. (제 1 산화물(40), 질화물(36), 제 2 산화물(36), 및 게이트(34)에 관하여 상기 제공된, 재료들 및 대안들을 포함하는, 상기 설명들은 마찬가지로 도 7의 게이트 스택(32)에 인가됨을 유념하라.)

게이트 스택(32)은 도 7의 SONOS 스택으로서 도시되었지만, 대안의 실시예들에서, 게이트 스택(32)은 도 3을 참조하여 도시된 것처럼 어느 유형의 NVM 게이트 스택일 수도 있다. 그러므로, 상기 게이트 스택(32)을 위해 제공된 모든 설명들은 또한 이 실시예에 적용된다. 즉, 도 3의 게이트 스택(32)을 참조하여 상술된 모든 형성, 재료, 및 대안들의 방법들은 여기서 다시 게이트 스택(32)으로 적용된다. 예를 들면, 게이트 스택(32)은 상기 서술된 것처럼 부동 게이트 스택(도시되지 않음)에 의해 대체될 수도 있다. 그러나, 게이트 스택(32)이 부동 게이트 스택에 의해 대체된다면, 부동 게이트는 채널 영역(86)을 형성하기 위한 주입들의 적절한 침투를 허용하기에 너무 두꺼울 수도 있음을 유념하라. 그러므로, 부동 게이트 스택을 사용하는 실시예에서, 채널 영역(86)은 APT 영역(74)을 형성한 후 그리고 상기 부동 게이트 스택의 어느 부분을 형성하기 이전에 형성될 수도 있다.

일실시예에서, 게이트 스택(32), 헤일로 영역(46)과 같은 헤일로 영역의 형성 후, 도 3을 참조하여 상기 설명된 것처럼 절연된 P-형의 웨일에서 형성될 수도 있다. 즉, 게이트 스택(32)의 형성 후, 도 3을 참조하여 상술된 바와 같이, 패터닝된 마스크(42)은 헤일로 영역(46)을 형성하도록 사용될 수도 있다. 이 실시예에서, 헤일로 영역(46)(도 7 및 도 8에 도시되지 않음)은 (채널 영역(28) 및 APT 영역(26)이라기 보다는) 채널 영역(86) 및 APT 영역(74)에 인접할 것이다. 그러나, 도 3을 참조하여 헤일로 영역(46) 및 각을 이루는 주입(44)을 위해 설명된 형성, 재료들, 및 대안들의 같은 방법들은 채널 영역(28) 및 APT 영역(26) 대신에 채널 영역(86) 및 APT 영역(74)을 가진 현재의 실시예에 적용될 수 있다. 도 5 내지 도 8의 현재의 실시예에서, 헤일로 영역(46)은 채널 영역(86) 및 APT 영역(74)을 형성하기 위해 사용되는 카운터 도핑 방법들에 기인하여 필요하지 않을 수도 있음을 유념하라.

도 8은 마스킹 레이어(76)의 제거, 게이트 스택(32)의 형성, 헤일로 영역(46)의 형성, 및 측벽 스페이서들(48, 50)의 형성 후의 반도체 디바이스(70)를 도시하고 있고, 소스 및 드레인 연장자들(51 및 53), 및 소스 및 드레인 영역들(52 및 54)이다. 헤일로 영역(46)을 위해 상기 제공된 같은 설명들, 측벽 스페이서들(48 및 50), 소스 및 드레인 연장자들(51 및 53), 및 소스 및 드레인 영역들(52 및 54)은 도 8을 참조하여 본 명세서에 적용됨을 유념하라. 즉, 도 4를 참조하여 설명된 형성, 재료들, 및 대안들의 같은 방법들이 도 8에 적용된다. 또한 도 8에서 헤일로 영역(46)이 도시되어 있고 따라서, 도 8의 반도체 디바이스(70)는 도 4의 채널 영역(28) 및 APT 영역(26)을 제외하고, 도 4의 반도체 디바이스(10)와 유사하며 채널 영역(86) 및 APT 영역(74)와 대신 할 수 있고 따라서 헤일로 영역(46)은 채널 영역(86) 및 APT 영역(74)에 인접함을 유념하라. 그러나, 대안의 실시예에서, 헤일로 영역(46)은 존재하지 않을 수도 있음을 유념하라. 이 대안의 실시예에서, 채널 영역(86) 및 APT 영역(74)은 드레인 연장자(53) 및 드레인 영역(54)에 인접할 것이다.

(도 4와 유사한) 도 8에 도시된 바와 같이, V_{w} (60)는 절연된 P-형의 웨일(20)에 인가된 전압에 대응하고, V_{s} (62)는 소스 영역(52)에 인가된 전압에 대응하고, V_{g} (64)는 게이트(34)에 인가된 전압에 대응하고, V_{d} (66)는 드레인 영역(54)에 인가된 전압에 대응한다. 상기 예시된 실시예에서, 반도체 디바이스(70)는 NVM 메모리(도시되지 않음) 내의 NVM 메모리 셀로서 사용될 수도 있다. 본 명세서에 이용된 바와 같이, 높은 V_t 상태는 메모리 셀의 프로그램 상태에 대응하고, 낮은 V_t 상태는 메모리 셀의 삭제 상태에 대응한다. (그러나, 대안의 실시예들에서, 프로그램 및 삭제 상태들은 반전될 수도 있음을 유념하라.)

반도체 디바이스(70)에 대한 프로그램 및 삭제 동작들은 도 4의 반도체 디바이스(10)를 참고하여 상기 설명된 것과 같다. 예를 들면, 반도체 디바이스(10)의 프로그래밍을 참조하여 상기 설명된 전압들을 사용하여 반도체 디바이스(70)의 프로그래밍 동안, 핫 캐리어들은 드레인 공핍 영역에서 발생되고, 그들 중 몇몇은 산화물(40)을 통해 질화물(38)로 주입된다. 이것은 반도체 디바이스(70)의 V_t 를 증가시키는 것을 초래한다. 헤일로 영역(46)이 존재한다면, 헤일로 영역(46)에 의해 생성된 도편트 기울기 및 드레인 연장자(53)는 상기 핫 캐리어 주입을 증대하고 따라서 반도체 디바이스(70)의 효율적인 핫 캐리어 프로그래밍을 유지한다. 이 효율은 심지어 APT 영역(74)와 관련하여 카운터 도핑된 채널 영역(86)과 더불어 유지된다. 더욱이, 채널 영역(86)의 카운터 도핑은 반도체 디바이스(70)의 고유 V_t 를 줄이고 그 결과 이하 설명되는 바와 같이 판독 방해를 향상시킨다.

반도체 디바이스(70)의 고유 V_t 는 임의의 전하를 질화물(38)에 두기에 앞서 문턱 전압을 참조한다. 반도체 디바이스(10)와 더불어, 반도체 디바이스(70)의 더 높은 고유 V_t 에 대하여, 판독 방해는 강등된다. 그러므로, 고유 V_t 를 감소시킴으로써, 낮은 V_t 상태의 판독 방해는 향상된다(즉 문턱 전압 드리프트는 축소된다.) 더 낮은 고유 V_t 가 판독 방해를 줄이는 방법들 중 하나는 낮은 V_t 상태에 대해 더 낮은 V_t 를 가능하게 함으로써이다. 반도체 디바이스(70)의 판독 동안 반전층을 형성하기 위하여, 미리 결정된 양(전형적으로 게이트 오버드라이브로서 언급되는)에 의해 낮은 V_t 상태의 V_t 를 초과하는 게이트 바이어스(V_g)의 적용이 필요하다. (채널 영역(86)의 카운터 도핑에 의해 가능해진) 낮은 V_t 상태의 줄여진 V_t 는 일정한 게이트 오버드라이브를 유지하는 동안의 판독 동안 절대적인 게이트 바이어스(V_g)의 축소를 허용한다. 줄여진 절대 게이트 바이어스(V_g)는 게이트 스택(32)을 통한 전기장을 줄이고 그 결과 줄여진 판독 방해에 이르게 된다.

(채널 영역(86)의 카운터 도핑에 기인하여) 낮은 V_t 상태의 줄여진 V_t 가 너무 낮으면, 드레인 누출 전류로의 소스는 반도체 디바이스(70)를 포함하는 메모리 어레이 내의 선택되지 않은 디바이스들에서 발생할 수 있다. 선택되지 않은 디바이스들은 반도체 디바이스(70)의 판독 동작 동안 판독되도록 의도되지 않은 메모리 어레이 내의 그들 디바이스들이다. 본 기술에 알려진 바와 같이, 소스 바이어스로의 반전 웨일은 낮은 V_t 상태의 V_t 를 증가시킨다. 그러므로 드레인 누설 전류로의 소스는 반도체 디바이스(70)의 판독 동작 동안 메모리 어레이내 선택되지 않은 디바이스들로의 소스 바이어스로의 반전 웨일을 적용시킴으로써 방해될 수도 있다. 소스 바이어스로의 반전 웨일은 낮은 V_t 상태의 낮은 V_t 에 의해 원인인 되는 드레인 누설 전류로의 소스를 줄이기 위해 충분해야 한다. 예를 들면, 도 8을 다시 참조하면, 반도체 디바이스(70)의 판독은 V_s 보다 더 큰 대략 0.5 내지 1.5 볼트인 V_d 를 인가함으로써 수행될 수도 있다. 예를 들면, 일실시예에서, V_s 는 0볼트일 수도 있고 V_d 는 1볼트일 수도 있다. 이 실시예에서, 채널 영역(28)에서의 전류의 대략 10 내지 30 마이크로암페어를 생성하기에 충분한 V_g 및 V_w 가 인가된다. 예를 들면, 일실시예에서, 대략 1 내지 2 볼트 범위의 V_g 와 대략 0 내지 -3 볼트 범위의 V_w 가 사용될 수도 있다. 이 예에서 제공되거나 소스 전압(V_s)을 참조하여 주어진 전압들을 유념하라. 즉, 이 예에서, V_s 가 1볼트만큼 증가된다면, V_d , V_g , 및 V_w 는 또한 1볼트만큼 증가된다.

헤일로 영역(46)을 가진 삭제된 반도체 디바이스(70)(즉 낮은 V_t 상태에서의 반도체 디바이스(70))를 판독하거나 액세스하는 동안, 반전층이 채널 영역(86)에서 형성되고 공핍 영역(도시되지 않음)이 드레인 영역(54) 및 드레인 연장자(53) 주변에 형성된다. 이 공핍 영역은 실질적으로 헤일로 영역(46)에서 생성된 도편트 기울기를 마스크하고 그에 따라 헤일로 영역(46)의 더 높은 도편트가 반도체(70)의 V_t 를 증가시키는 것을 방해한다. 이 방식에서, V_t 는 낮은 V_t 상태로 남아있고, 때

라서 V_t 드리프트를 줄임으로써 팬독 방해를 향상시킨다. 또한, 상술된 바와 같이 대략 0.35 내지 0.06 미크론의 범위 내에 있는 게이트 스택(32)의 길이에 대하여, 반도체 디바이스(70)의 프로그래밍동안 짧은 채널 누출이 결과로서 발생할 수도 있다. 그러나, 높게 도핑된 APT 영역(74)은 또한 이 짧은 채널 누출을 줄이는 기능을 수행하고, 그에 따라 전력 소비를 줄이고 프로그래밍 효율을 향상시킨다.

본 발명은 특정 도전형들에 관하여 설명되었지만, 당업자들은 도전형들이 반전될 수도 있음을 이해한다. 예를 들면, p-형 혹은 n-형 반도체 디바이스들을 형성하기 위해, 절연된 웰의 분극에 의존하여, 소스 및 드레인들과 연장자들은 p-형 혹은 n-형일 수도 있다. 그러므로, 절연된 웰(20)은 P-형의 웰보다는 오히려 N-형의 웰일 수도 있고, 소스 및 드레인 영역들(52 및 54) 및 연장자들(51 및 53)은 P-형일 수도 있다. 또한, 대안의 실시예들에서, 다른 재료들 및 처리 단계들은 반도체 디바이스(10)를 형성하기 위해 이용될 수도 있다; 상술된 것들은 예들로서만 제공되었다.

앞서 말한 명세서에서, 본 발명은 특정 실시예들을 참조하여 설명되었다. 그러나, 본 기술의 당업자는 다양한 변경들 및 변화들이 이하의 청구항들에 놓여진 것처럼 본 발명의 범위를 벗어나지 않고 행해질 수 있음을 이해한다. 따라서, 명세서 및 도면들은 제한하는 것이라기 보다는 예시적인 것으로 간주되어야 하고, 모든 그러한 변경들은 본 발명의 범위내에 포함된다고 의도된다.

이익들, 다른 이점들, 및 문제의 해법들은 특정 실시예들에 관하여 상술되었다. 그러나, 어느 이익, 이점, 또는 해법을 놓거나 더 분명하게 하는 이익들, 이점들, 문제의 해법들, 및 어느 요소(들)은 어느 또는 모든 청구항들의 임계적이고, 요구되는, 또는 본질적인 특징 또는 요소로 제한되지 말아야 한다. 본 명세서에 사용된 바와 같이, "포함하다", "포함하는", 또는 그 단어의 어느 다른 변동은 비배타적인 포함을 포함하도록 의도되어서, 요소들의 리스트를 포함하는 공정, 방법, 논문, 또는 장치는 그들 요소들만을 포함하지 않지만, 특별히 목록되지 않거나 그러한 공정, 방법, 논문, 또는 장치에 고유적인 다른 요소들을 포함할 수도 있다.

(57) 청구의 범위

청구항 1.

반도체 디바이스(10)에 있어서,

반도체 기판(12),

상기 반도체 기판의 표면 아래로 제 1 미리 결정된 거리만큼 상기 반도체 기판으로 균일하게 주입된 제 1 도전형을 가진 제 1 고도핑 층(26),

상기 반도체 기판 상에 형성된 제 1 절연층(40),

상기 제 1 절연층 상에 형성된 전하 저장층(38),

상기 전하 저장층 상에 형성된 제 2 절연층(36),

상기 기판의 제 1 미리 결정된 영역으로 주입된 제 2 도전형을 가진 소스(52, 51),

상기 기판의 제 2 미리 결정된 영역으로 주입된 상기 제 2 도전형을 가진 드레인(54, 53), 및

상기 제 1 절연층의 드레인 층에서만 주입된 상기 제 1 도전형을 가지고, 상기 제 1 절연층의 에지로부터 제 2 미리 결정된 거리만큼 상기 드레인을 통하여 상기 제 1 절연층 아래에서 연장하는 제 2 고도핑 층(46)을 포함하는, 반도체 디바이스(10).

청구항 2.

제 1 항에 있어서,

상기 제 1 절연층 바로 아래와 상기 제 1 고도핑 층 위의 상기 기판은 상기 제 1 고도핑 층의 도편트 농도보다 더 낮은 도편트 농도를 가진, 반도체 디바이스(10).

청구항 3.

반도체 디바이스를 형성하는 방법에 있어서,

반도체 기판(12)을 제공하는 단계,

상기 반도체 기판의 표면 아래로 제 1 미리 결정된 거리만큼 상기 반도체 기판으로 제 1 도전형을 가진 제 1 고도핑 층(26)을 주입하는 단계,

상기 반도체 기판 상에 제 1 절연층(40)을 형성하는 단계,

상기 제 1 절연층 상에 전하 저장층(38)을 형성하는 단계,

상기 전하 저장층 상에 제 2 절연층(36)을 형성하는 단계,

상기 기판의 제 1 미리 결정된 영역으로 제 2 도전형을 가진 소스(52, 51)를 주입하는 단계,

상기 기판의 제 2 미리 결정된 영역으로 상기 제 2 도전형을 가진 드레인(54, 53)을 주입하는 단계, 및

상기 제 1 절연층의 드레인 측에서만 주입된 상기 제 1 도전형을 가지고, 상기 제 1 절연층의 에지로부터 제 2 미리 결정된 거리만큼 상기 드레인을 통하여 상기 제 1 절연층 아래에서 연장하는 제 2 고도평 층(46)을 주입하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 4.

제 3 항에 있어서,

상기 제 2 고도평 영역은 상기 제 2 미리 결정된 거리내에서 도편트 기울기를 증가시키고 상기 채널 영역내에서 상대적으로 낮은 도편트 높도를 유지하도록 결정된 어떤 각도로 주입되는, 반도체 디바이스 형성 방법.

청구항 5.

반도체 디바이스(10)에 있어서,

반도체 기판(12),

상기 반도체 기판의 표면 아래로 제 1 미리 결정된 거리만큼 상기 반도체 기판으로 균일하게 주입된 제 1 도전형을 가진 고도평 층(26),

상기 반도체 기판 상에 형성된 산화물-질화물-산화물 구조(40, 38, 36),

상기 산화물-질화물-산화물 구조 상에 형성된 게이트 전극(34),

상기 기판의 제 1 미리 결정된 영역으로 주입된 제 2 도전형을 가진 소스(52, 51),

상기 기판의 제 2 미리 결정된 영역으로 주입된 상기 제 2 도전형을 가진 드레인(54, 53), 및

상기 산화물-질화물-산화물 구조의 드레인 측에서만 주입되고 상기 제 1 도전형을 가지고, 상기 산화물-질화물-산화물 구조의 에지로부터 제 2 미리 결정된 거리만큼 상기 드레인을 통하여 상기 산화물-질화물-산화물 구조 아래에서 연장하는 각이 진 헤일로(angled halo)(46)를 포함하는, 반도체 디바이스(10).

청구항 6.

반도체 기판(12)의 제 1 도전형의 웰(20)에 비휘발성 메모리 디바이스(70)를 형성하는 방법에 있어서,

상기 제 1 도전형의 도편트들로 상기 웰의 표면으로부터 제 1 깊이로 상기 웰의 제 1 영역(74)을 주입하는 단계,

제 2 도전형의 도편트들로 상기 웰의 표면으로부터 제 2 깊이로 상기 제 1 영역내에서 제 2 영역(86)을 주입하는 단계로서, 상기 제 1 깊이는 상기 제 2 깊이보다 더 큰, 상기 제 2 영역 주입 단계,

상기 제 2 영역 상에 저장 요소(38)를 형성하는 단계,

상기 저장 요소 상에 제어 게이트(34)를 형성하는 단계, 및

상기 제어 게이트에 측방향으로 인접시켜 상기 제 1 및 제 2 영역들에 제 3 영역(52, 51) 및 제 4 영역(54, 53)을 형성하는 단계를 포함하고, 상기 제 3 및 제 4 영역들은 상기 제 2 도전형인, 비휘발성 메모리 디바이스 형성 방법.

청구항 7.

메모리 디바이스(70)에 있어서,
 반도체 기판(12),
 상기 기판(12)내의 제 1 도전형의 웰(20),
 상기 제 1 도전형의 도편트들의 제 1 농도 및 제 2 도전형의 도편트들의 제 2 농도를 가진, 상기 웰의 표면으로부터 제 1 깊이로 연장하는 상기 웰내의 채널 영역(86),
 상기 제 1 깊이로부터 상기 제 1 도전형의 상기 제 1 깊이 아래의 제 2 깊이로 연장하는 상기 웰내의 APT 영역(74),
 상기 채널 영역 상의 저장 요소(38),
 상기 저장 요소 상의 제어 게이트(34), 및
 상기 제어 게이트에 측방향으로 인접한 상기 웰내의 제 3 영역(52, 51) 및 제 4 영역(54, 53)을 포함하고, 상기 제 3 및 제 4 영역들은 상기 제 2 도전형인, 메모리 디바이스(70).

청구항 8.

제 7 항에 있어서,
 상기 웰은 상기 제 1 농도 마이너스 상기 제 2 농도보다 더 큰 순도평 농도(net doping concentration)를 가진, 메모리 디바이스(70).

청구항 9.

메모리 디바이스(70)에 있어서,
 제 1 도전형의 웰을 가진 반도체 기판(12),
 상기 제 1 도전형의 도편트들의 제 1 농도 및 제 2 도전형의 도편트들의 제 2 농도를 가진, 상기 웰의 표면에서의 채널 영역(86),
 상기 채널 영역 아래에 배치된 상기 제 1 도전형의 상기 웰내의 APT 영역(74),
 상기 채널 영역 상의 저장 요소(38),
 상기 저장 요소 상의 제어 게이트(34),
 상기 채널의 제 1 측면에 인접한 상기 웰내의 소스 영역(52, 51)으로서, 상기 소스 영역은 상기 제 2 도전형을 가진, 상기 소스 영역(52, 51),
 상기 채널의 제 2 측면에 인접한 상기 웰내의 드레인 영역(54, 53)으로서, 상기 드레인 영역은 상기 제 2 도전형을 가진, 상기 드레인 영역(54, 53), 및
 상기 드레인 영역과 상기 APT 영역 사이에 배치된 상기 웰내의 고도평 영역(46)으로서, 상기 고도평 영역은 상기 제 1 도전형을 가진, 상기 고도평 영역(46)을 포함하는, 메모리 디바이스(70).

청구항 10.

반도체 기판(12)의 제 1 도전형의 웰(20)에 비휘발성 메모리 디바이스(70)를 형성하는 방법으로서, 상기 웰은 절연층(22, 24)에 의해 경계 지워진, 상기 비휘발성 메모리 디바이스(70) 형성 방법에 있어서,
 APT 영역(74)을 형성하기 위해 상기 제 1 도전형의 도편트들을 상기 웰에 적어도 제 1 깊이로 주입하는 단계,

상기 APT 영역(74)상의 채널 영역(86)내에 채널을 형성하기 위해 상기 웰의 표면에 제 2 도전형의 도편트들을 주입하는 단계,

상기 채널 영역(86) 상에 저장 요소(38)를 형성하는 단계,

상기 저장 요소 상에 제어 게이트를 형성하는 단계로서, 상기 제어 게이트의 제 1 측상 및 상기 제어 게이트의 제 2 측상의 절연 영역으로부터 이격시켜 상기 제어 게이트(34)를 형성하는 단계,

상기 제어 게이트의 제 1 측면과 상기 절연 영역 사이의 영역에 주입 마스크(42)를 제공하는 단계,

상기 주입 마스크가 상기 제어 게이트의 제 1 측면과 상기 절연 영역 사이에 존재하는 동안 수직으로부터 20 내지 60도의 각도로 상기 제어 게이트의 제 2 측면과 상기 절연 영역 사이의 영역을 통해 상기 웰의 표면으로 상기 제 1 도전형의 도편트들을 주입하는 단계, 및

상기 제어 게이트의 제 1 측면과 상기 절연 영역 사이에 소스(52, 51)를, 그리고 상기 제어 게이트의 제 2 측면과 상기 절연 영역 사이에서 드레인 영역을 형성하는 단계를 포함하는, 비휘발성 메모리 디바이스(70) 형성 방법.

요약

일실시예에서, 반도체 디바이스(10)는 반도체 기판(20)으로 균일하게 주입된 제 1 도전형을 가진 높게 도핑된 층(26)을 가지고 있고, 채널 영역(28)은 상기 기판(20)의 상부 표면과 상기 높게 도핑된 층(26) 사이에 위치한다. 대안의 실시예에서, 반도체 디바이스(70)는 카운터도핑된 채널(86) 및 상기 채널 아래의 앤티-펀치 스루 영역(74)를 가진다. 게이트 스택(32)은 상기 기판(20)상에 형성된다. 제 2 도전형을 가진 소스(52) 및 드레인(54, 53)은 상기 기판으로 주입된다. 결과적인 비휘발성 메모리 셀은 판독 주기 동안 문턱 전압드리프트를 최소화하기 위해 낮은 고유 문턱 전압을 제공한다. 게다가, 제 2 도전형을 가지고 드레인 층에서의 각도로 주입된 헤일로 영역(46)은 더 높은 프로그래밍 속도를 허용하는 핫 캐리 주입에서 보조하기 위해 사용될 수도 있다.

대표도

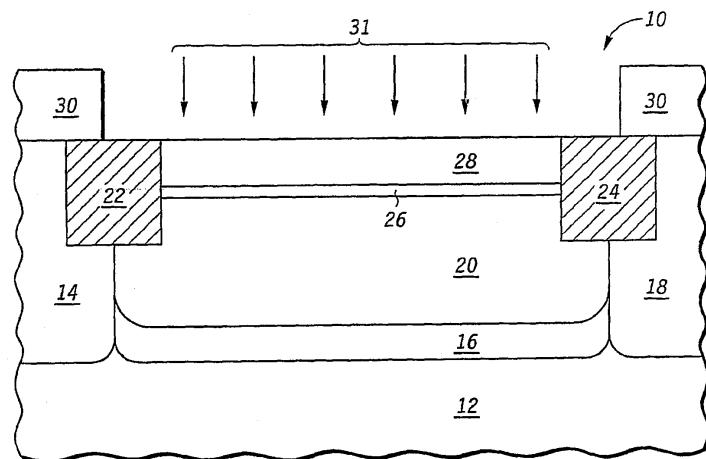
도 4

색인어

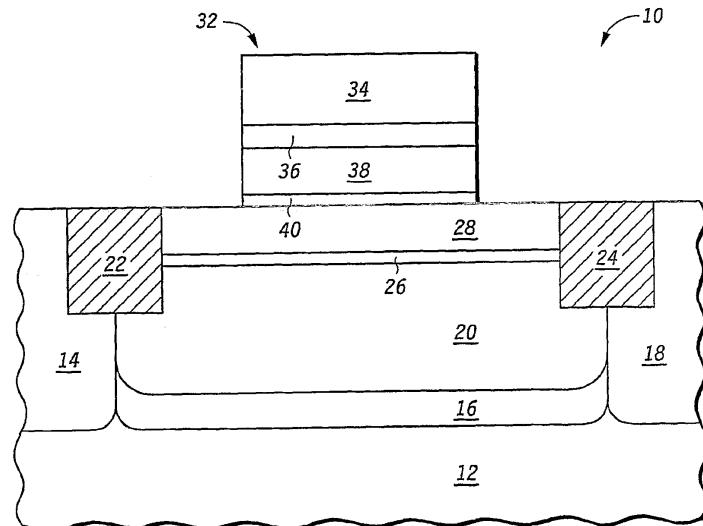
반도체 디바이스, 도핑, 반도체 기판, 문턱 전압, 비휘발성 메모리 셀

도면

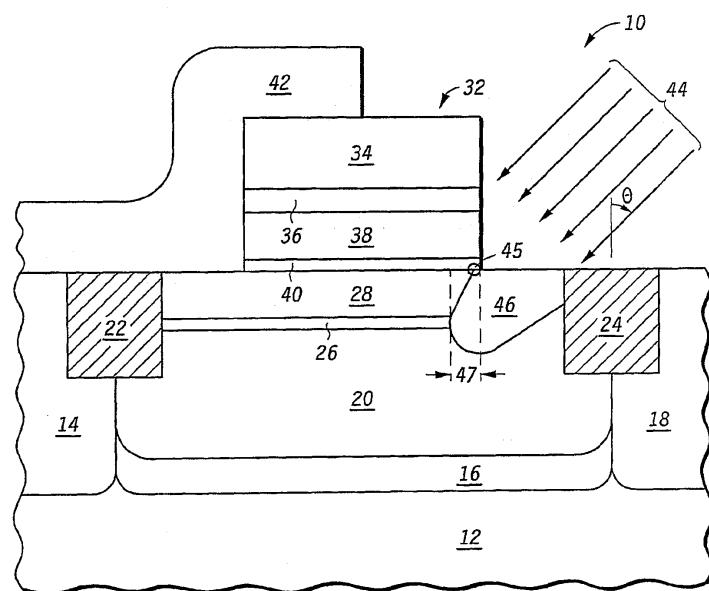
도면1



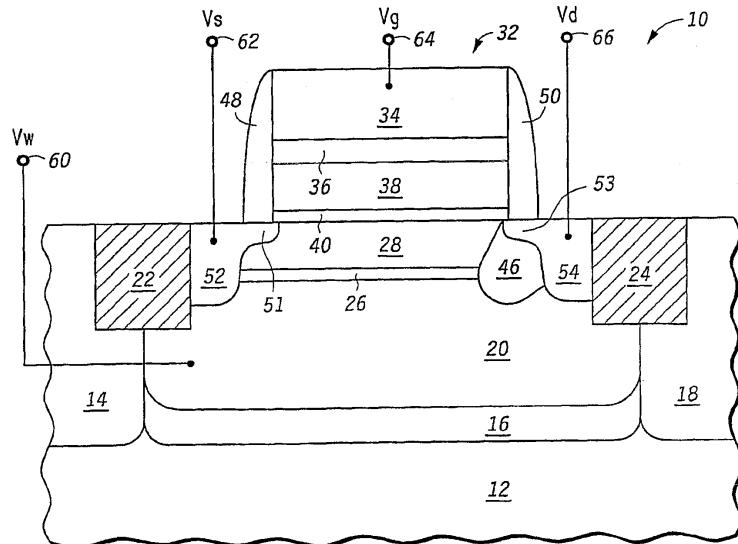
도면2



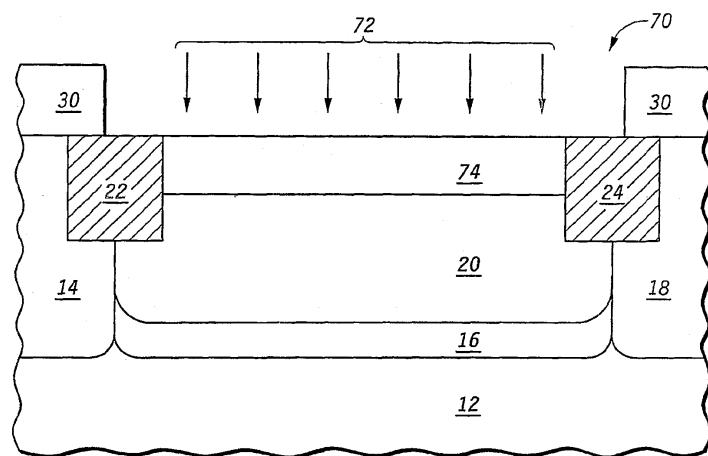
도면3



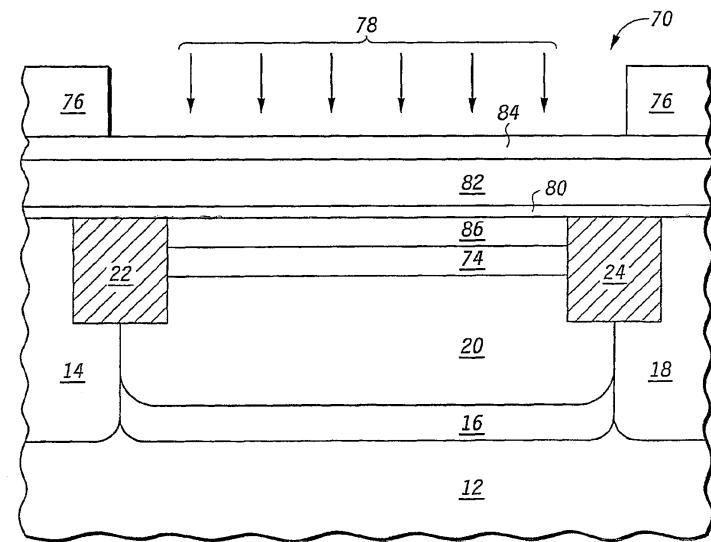
도면4



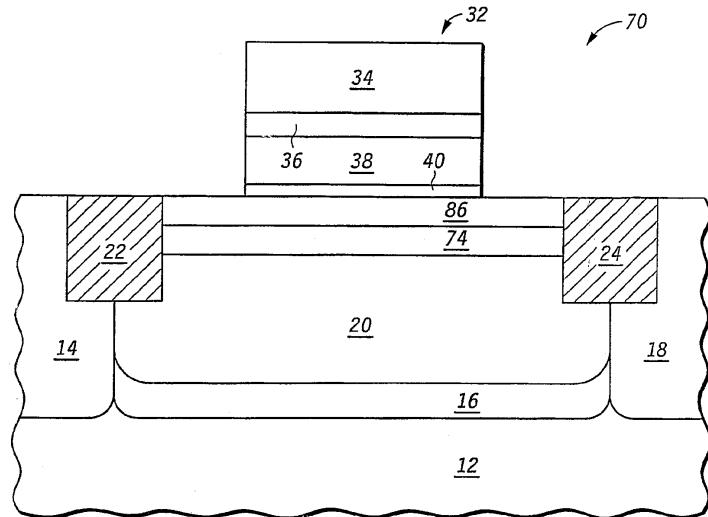
도면5



도면6



도면7



도면8

