

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

wiring line (M1) which is arranged on the reverse side from the first substrate, with the second substrate being interposed therebetween. The pixel circuit comprises: an electrical charge storage part (FD) that accumulates the electrical charge generated at the photoelectric conversion part; an amplifier transistor (33) that converts the electrical charge accumulated in the electrical charge storage part into a voltage having a voltage value corresponding to the amount of the electrical charge; a reset transistor (32) that discharges the electrical charge accumulated in the electrical charge storage part; first through electrodes (112a to 112d) that penetrate the second substrate from the first metal wiring line, and are connected to the electrical charge storage part; and a first wiring line (133) that connects the first through electrodes and a gate electrode of the amplifier transistor to each other.

(57) 要約: 光電変換効率を向上させる。実施形態に係る固体撮像装置は、入射光を光電変換して電荷を発生させる光電変換部を備える第1基板(410)と、前記第1基板と貼り合わされ、前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路の少なくとも一部を備える第2基板(420)と、前記第2基板を挟んで前記第1基板と反対側に配置された第1メタル配線(M1)とを備え、前記画素回路は、前記光電変換部で発生した電荷を蓄積する電荷蓄積部(FD)と、前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタ(33)と、前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタ(32)と、前記第1メタル配線から前記第2基板を貫通して前記電荷蓄積部に接続された第1貫通電極(112a~112d)と、前記増幅トランジスタのゲート電極と前記第1貫通電極とを接続する第1配線(133)とを含む。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 近年、イメージセンサの分野において、光電変換部に蓄積できる電荷量の増加を目的として、光電変換部と、光電変換部に蓄積された電荷を読み出すための画素回路の少なくとも一部とを別々の基板に配置し、これら基板を貼り合わせることで1枚のチップを構成する、所謂3Dシーケンシャルという技術が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-174209号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、3Dシーケンシャル構造では、1層目の基板と2層目の基板との間に配線が存在せず、1層目の基板に配置された素子と2層目の基板に配置された素子とを接続する貫通コンタクトのみが配置される。そのため、3Dシーケンシャル構造の配線密度（配線面積とセルサイズの比）は、画素回路と、光電変換部及び転送トランジスタとが単一の基板に配置される構造（以下、平置き構造ともいう）のそれとあまり変わらない。そのため、従来の3Dシーケンシャル構造では、配線密度の低下による寄生容量の低減幅が小さく、デバイス特性が低下してしまう可能性が存在した。

[0005] そこで本開示では、デバイス特性の低下を抑制することが可能な固体撮像装置及び電子機器を提案する。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示に係る一形態の固体撮像装置は、入

射光を光電変換して電荷を発生させる光電変換部を備える第1基板と、前記第1基板と貼り合わされ、前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路の少なくとも一部を備える第2基板と、前記第2基板を挟んで前記第1基板と反対側に配置された第1メタル配線とを備え、前記画素回路は、前記光電変換部で発生した電荷を蓄積する電荷蓄積部と、前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタと、前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタと、前記第1メタル配線から前記第2基板を貫通して前記電荷蓄積部に接続された第1貫通電極と、前記増幅トランジスタのゲート電極と前記第1貫通電極とを接続する第1配線とを含む。

[0007] また、本開示に係る他の形態の固体撮像装置は、入射光を光電変換して電荷を発生させる光電変換部と、前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路とを備え、前記光電変換部は、第1基板に配置され、前記画素回路の少なくとも一部は、前記第1基板に貼り合わされた第2基板に配置され、前記画素回路は、前記光電変換部で発生した電荷を蓄積する電荷蓄積部と、前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタと、前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタとを含み、前記増幅トランジスタは、前記第2基板に配置され、前記第2基板は、前記第2基板を挟んで前記第1基板と反対側に配置された第2メタル配線と、前記第2メタル配線と前記増幅トランジスタのゲート電極との間の少なくとも一部に配置されたシールド電極とをさらに備える。

図面の簡単な説明

[0008] [図1]第1の実施形態に係る固体撮像装置を搭載した電子機器の概略構成例を示すブロック図である。

[図2]第1の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。

[図3]第1の実施形態に係る単位画素の概略構成例を示す回路図である。

[図4]第1の実施形態に係る固体撮像装置の積層構造例を示す図である。

[図5]第1の実施形態に係る固体撮像装置の断面構造例を示す断面図である。

[図6]第1の実施形態の第1例に係るFD共有の回路構成例を示す回路図である。

[図7]第1の実施形態の第1例に係る受光チップのレイアウト例を示す平面図である。

[図8]第1の実施形態の第1例に係る回路チップのレイアウト例を示す平面図である。

[図9]第1の実施形態の第1例に係るA-A'断面の構造例を示す断面図である。

[図10]第1の実施形態の第1例に係るB-B'断面の構造例を示す断面図である。

[図11]第1の実施形態の第2例に係る回路チップのレイアウト例を示す平面図である。

[図12]第1の実施形態の第2例に係るA-A'断面の構造例を示す断面図である。

[図13]第1の実施形態の第2例に係るB-B'断面の構造例を示す断面図である。

[図14]第1の実施形態の第3例に係る回路チップのレイアウト例を示す平面図である。

[図15]第1の実施形態の第3例に係るB-B'断面の構造例を示す断面図である。

[図16]第1の実施形態の第4例に係る受光チップのレイアウト例を示す平面図である。

[図17]第1の実施形態の第4例に係る回路チップのレイアウト例を示す平面図である。

[図18]第1の実施形態の第4例に係るA-A'断面の構造例を示す断面図である。

[図19]第1の実施形態の第4例に係るB-B'断面の構造例を示す断面図である。

[図20]第1の実施形態の第4例に係るC-C'断面の構造例を示す断面図である。

[図21]第1の実施形態の第5例に係るFD共有の回路構成例を示す回路図である。

[図22]第1の実施形態の第5例に係る受光チップのレイアウト例を示す平面図である。

[図23]第1の実施形態の第5例に係る回路チップのレイアウト例を示す平面図である。

[図24]第1の実施形態の第5例に係るB-B'断面の構造例を示す断面図である。

[図25]第1の実施形態の第6例に係る受光チップのレイアウト例を示す平面図である。

[図26]第1の実施形態の第6例に係る回路チップのレイアウト例を示す平面図である。

[図27]第1の実施形態の第6例に係るA-A'断面の構造例を示す断面図である。

[図28]第1の実施形態の第6例に係るB-B'断面の構造例を示す断面図である。

[図29]第1の実施形態の第7例に係る回路チップのレイアウト例を示す平面図である。

[図30]第1の実施形態の第7例に係るB-B'断面の構造例を示す断面図である。

[図31]第1の実施形態の第7例に係るD-D'断面の構造例を示す断面図である。

[図32]第1の実施形態の第8例に係る回路チップのレイアウト例を示す平面図である。

[図33]第1の実施形態の第8例に係るB-B'断面の構造例を示す断面図である。

[図34]第1の実施形態の第8例に係るD-D'断面の構造例を示す断面図である。

[図35]第1の実施形態の第9例に係る受光チップのレイアウト例を示す平面図である。

[図36]第1の実施形態の第9例に係る回路チップのレイアウト例を示す平面図である。

[図37]第1の実施形態の第9例に係るA-A'断面の構造例を示す断面図である。

[図38]第1の実施形態の第9例に係るC-C'断面の構造例を示す断面図である。

[図39]第1の実施形態の第9例に係るD-D'断面の構造例を示す断面図である。

[図40]第1の実施形態の第10例に係る受光チップのレイアウト例を示す平面図である。

[図41]第1の実施形態の第10例に係る回路チップのレイアウト例を示す平面図である。

[図42]第1の実施形態の第10例に係るB-B'断面の構造例を示す断面図である。

[図43]第1の実施形態の第10例に係るC-C'断面の構造例を示す断面図である。

[図44]第1の実施形態の第10例に係るD-D'断面の構造例を示す断面図である。

[図45]第1の実施形態の第11例に係る受光チップのレイアウト例を示す平面図である。

[図46]第1の実施形態の第11例に係る回路チップのレイアウト例を示す平面図である。

[図47]第1の実施形態の第11例に係るC-C'断面の構造例を示す断面図である。

[図48]第1の実施形態の第12例に係る単位画素の断面構造例を示す断面図である。

[図49]第1の実施形態の第12例に係る受光チップのレイアウト例を示す平面図である。

[図50]第1の実施形態の第12例に係る回路チップのレイアウト例を示す平面図である。

[図51]第1の実施形態の第12例に係るB-B'断面の構造例を示す断面図である。

[図52]第1の実施形態の第13例に係る単位画素の断面構造例を示す断面図である。

[図53]第1の実施形態の第13例に係る受光チップのレイアウト例を示す平面図である。

[図54]第1の実施形態の第13例に係る回路チップのレイアウト例を示す平面図である。

[図55]第1の実施形態の第14例に係る単位画素の断面構造例を示す断面図である。

[図56]第1の実施形態の第14例に係る受光チップのレイアウト例を示す平面図である。

[図57]第1の実施形態の第14例に係る回路チップのレイアウト例を示す平面図である。

[図58]第1の実施形態の第14例に係るE-E'断面の構造例を示す断面図である。

[図59]第1の実施形態の第14例に係るF-F'断面の構造例を示す断面図である。

[図60]第1の実施形態の第14例に係るG-G'断面の構造例を示す断面図である。

[図61]第1の実施形態の第14例に係るH-H'断面の構造例を示す断面図である。

[図62]第1の実施形態の第14例に係るL-L'断面の構造例を示す断面図である。

[図63]第2の実施形態の第1例に係る受光チップのレイアウト例を示す平面図である。

[図64]比較例に係る回路チップのレイアウト例を示す平面図である。

[図65]第2の実施形態の第1例に係る回路チップのレイアウト例を示す平面図である。

[図66]第2の実施形態の第1例に係るX-X'断面の一部構造例を示す部分断面図である。

[図67]第2の実施形態の第1例に係るY-Y'断面の一部構造例を示す部分断面図である。

[図68]第2の実施形態の第1例に係るZ-Z'断面の構造例を示す断面図である。

[図69]第2の実施形態の第1例の変形例に係る回路チップのレイアウト例を示す平面図である。

[図70]第2の実施形態の第2例に係る回路チップのレイアウト例を示す平面図である。

[図71]第2の実施形態の第2例に係るW-W'断面の構造例を示す断面図である。

[図72]第2の実施形態の第3例に係る回路チップのレイアウト例を示す平面図である。

[図73]第2の実施形態の第3例に係るA-A'断面の構造例を示す断面図である。

[図74]第2の実施形態の第3例に係るB-B'断面の構造例を示す断面図である。

[図75]車両制御システムの概略的な構成の一例を示すブロック図である。

[図76]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図77]内視鏡手術システムの概略的な構成の一例を示す図である。

[図78]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

発明を実施するための形態

[0009] 以下に、本開示の一実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

0. はじめに

1. 第1の実施形態

- 1. 1 電子機器の構成例
- 1. 2 固体撮像装置の構成例
- 1. 3 単位画素の構成例
- 1. 4 単位画素の基本機能例
- 1. 5 固体撮像装置の積層構造例
- 1. 6 単位画素の断面構造例
- 1. 7 チップレイアウト及び断面構造の例
 - 1. 7. 1 第1例
 - 1. 7. 2 第2例
 - 1. 7. 3 第3例
 - 1. 7. 4 第4例
 - 1. 7. 5 第5例
 - 1. 7. 6 第6例
 - 1. 7. 7 第7例
 - 1. 7. 8 第8例
 - 1. 7. 9 第9例
 - 1. 7. 10 第10例
 - 1. 7. 11 第11例

1. 7. 1 2 第 1 2 例

1. 7. 1 3 第 1 3 例

1. 7. 1 4 第 1 4 例

1. 8 まとめ

2. 第 2 の実施形態

2. 1 チップレイアウト及び断面構造の例

2. 1. 1 第 1 例

2. 1. 2 第 2 例

2. 1. 3 第 3 例

2. 2 まとめ

3. 移動体への応用例

4. 内視鏡手術システムへの応用例

[0011] 0. はじめに

上述のように、近年では、光電変換部に蓄積できる電荷量の増加を目的として、光電変換部及び転送トランジスタと、光電変換部から取り出した電荷に基づく信号（以下、画素信号という）を出力する画素回路を構成する増幅トランジスタ、選択トランジスタ及びリセットトランジスタのうちの少なくとも 1 つと、を別々の基板に配置し、これら基板を貼り合わせることで 1 枚のチップを構成する 3 D シーケンシャル技術が提案されている。

[0012] しかしながら、従来の 3 D シーケンシャル構造では、光電変換部、転送トランジスタ、リセットトランジスタ、増幅トランジスタ及び選択トランジスタが単一の基板に配置される平置き構造と比較して、配線密度の低下幅が小さい。

[0013] ここで、基板に形成された配線の配線容量は、配線密度に依存する。したがって、配線密度が低いほど、配線に起因する寄生容量は低下する。そのため、回路動作の高速化や変換効率の増加など、デバイス特性の向上には、寄生容量を低減させることが重要となるが、従来の 3 D シーケンシャル構造では、配線密度の低下による寄生容量の低減幅が小さいため、デバイス特性が

低下してしまう可能性が存在した。

[0014] そこで、以下の実施形態では、デバイス特性の低下を抑制することが可能な固体撮像装置及び電子機器について、例を挙げて説明する。

[0015] また、一般に、配線レイアウトを設計する難易度は配線密度が低いほど容易になる。そのため、従来の３Ｄシーケンシャル構造では、配線密度の上昇により、配線レイアウトの設計難易度が上昇してしまう可能性があるという課題も存在した。

[0016] そこで、以下の実施形態では、設計難易度の上昇を抑制することが可能な構成についても説明する。

[0017] １．第１の実施形態

まず、本開示の第１の実施形態について、図面を参照して詳細に説明する。なお、本実施形態では、ＣＭＯＳ（Complementary Metal-Oxide-Semiconductor）型の固体撮像装置（以下、イメージセンサともいう）に本実施形態に係る技術を適用した場合を例示するが、これに限定されず、例えば、ＣＣＤ（Charge Coupled Device）型の固体撮像装置やＴｏＦ（Time of Flight）センサやＥＶＳ（Event-based Vision Sensor）など、光電変換素子を備える種々のセンサに本実施形態に係る技術を適用することが可能である。

[0018] １．１ 電子機器の構成例

図１は、第１の実施形態に係る固体撮像装置を搭載した電子機器の概略構成例を示すブロック図である。図１に示すように、電子機器１は、例えば、撮像レンズ１１と、固体撮像装置１０と、記憶部１４と、プロセッサ１３とを備える。

[0019] 撮像レンズ１１は、入射光を集光してその像を固体撮像装置１０の受光面に結像する光学系の一例である。受光面とは、固体撮像装置１０における光電変換素子が配列する面であってよい。固体撮像装置１０は、入射光を光電変換して画像データを生成する。また、固体撮像装置１０は、生成した画像データに対し、ノイズ除去やホワイトバランス調整等の所定の信号処理を実行する。

[0020] 記憶部 14 は、例えば、フラッシュメモリや D R A M (Dynamic Random Access Memory) や S R A M (Static Random Access Memory) 等で構成され、固体撮像装置 10 から入力された画像データ等を記録する。

[0021] プロセッサ 13 は、例えば、C P U (Central Processing Unit) 等を用いて構成され、オペレーティングシステムや各種アプリケーションソフトウェア等を実行するアプリケーションプロセッサや、G P U (Graphics Processing Unit) やベースバンドプロセッサなどが含まれ得る。プロセッサ 13 は、固体撮像装置 10 から入力された画像データや記憶部 14 から読み出した画像データ等に対し、必要に応じた種々処理を実行したり、ユーザへの表示を実行したり、所定のネットワークを介して外部へ送信したりする。

[0022] 1. 2 固体撮像装置の構成例

図 2 は、第 1 の実施形態に係る C M O S 型の固体撮像装置の概略構成例を示すブロック図である。ここで、C M O S 型の固体撮像装置とは、C M O S プロセスを応用して、または、部分的に使用して作成されたイメージセンサである。例えば、本実施形態に係る固体撮像装置 10 は、裏面照射型のイメージセンサで構成されている。

[0023] 本実施形態に係る固体撮像装置 10 は、例えば、画素アレイ部 21 が配置された第 1 半導体チップ 410 (基板) と、周辺回路が配置された第 2 半導体チップ 420 (基板) とが積層されたスタック構造を有する (例えば、図 4 参照)。周辺回路には、例えば、垂直駆動回路 22、カラム処理回路 23、水平駆動回路 24 及びシステム制御部 25 が含まれ得る。

[0024] 固体撮像装置 10 は更に、信号処理部 26 及びデータ格納部 27 を備えている。信号処理部 26 及びデータ格納部 27 は、周辺回路と同じ半導体チップに設けられてもよいし、別の半導体チップに設けられてもよい。

[0025] 画素アレイ部 21 は、受光した光量に応じた電荷を生成しかつ蓄積する光電変換素子を有する単位画素 (以下、単に「画素」と記述する場合もある) 30 が行方向及び列方向に、すなわち、行列状に 2 次元格子状に配置された構成を有する。ここで、行方向とは画素行の画素の配列方向 (図面中、横方

向)をいい、列方向とは画素列の画素の配列方向(図面中、縦方向)をいう。単位画素の具体的な回路構成や画素構造の詳細については後述する。

[0026] 画素アレイ部21では、行列状の画素配列に対し、画素行ごとに画素駆動線LDが行方向に沿って配線され、画素列ごとに垂直信号線VSLが列方向に沿って配線されている。画素駆動線LDは、画素から信号を読み出す際の駆動を行うための駆動信号を伝送する。図2では、画素駆動線LDが1本ずつの配線として示されているが、1本ずつに限られるものではない。画素駆動線LDの一端は、垂直駆動回路22の各行に対応した出力端に接続されている。

[0027] 垂直駆動回路22は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部21の各画素を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動回路22は、当該垂直駆動回路22を制御するシステム制御部25と共に、画素アレイ部21の各画素の動作を制御する駆動部を構成している。この垂直駆動回路22はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系との2つの走査系を備えている。

[0028] 読出し走査系は、単位画素から信号を読み出すために、画素アレイ部21の単位画素を行単位で順に選択走査する。単位画素から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

[0029] この掃出し走査系による掃出し走査により、読出し行の単位画素の光電変換素子から不要な電荷が掃き出されることによって当該光電変換素子がリセットされる。そして、この掃出し走査系で不要電荷を掃き出す(リセットすることにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する(電荷の蓄積を開始する)動作のことを言う。

[0030] 読出し走査系による読出し動作によって読み出される信号は、その直前の

読出し動作または電子シャッタ動作以降に受光した光量に対応している。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における電荷の蓄積期間（露光期間ともいう）となる。

[0031] 垂直駆動回路 22 によって選択走査された画素行の各単位画素から出力される信号は、画素列ごとに垂直信号線 VSL の各々を通してカラム処理回路 23 に入力される。カラム処理回路 23 は、画素アレイ部 21 の画素列ごとに、選択行の各画素から垂直信号線 VSL を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0032] 具体的には、カラム処理回路 23 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS（Correlated Double Sampling：相関二重サンプリング）処理や、DDS（Double Data Sampling）処理を行う。例えば、CDS 処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理回路 23 は、その他にも、例えば、AD（アナログーデジタル）変換機能を備え、光電変換素子から読み出され得たアナログの画素信号をデジタル信号に変換して出力する。

[0033] 水平駆動回路 24 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理回路 23 の画素列に対応する読出し回路（以下、画素回路という）を順番に選択する。この水平駆動回路 24 による選択走査により、カラム処理回路 23 において画素回路ごとに信号処理された画素信号が順番に出力される。

[0034] システム制御部 25 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、当該タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動回路 22、カラム処理回路 23、及び、水平駆動回路 24 などの駆動制御を行う。

[0035] 信号処理部 26 は、少なくとも演算処理機能を有し、カラム処理回路 23

から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部 27 は、信号処理部 26 での信号処理にあたって、その処理に必要なデータを一時的に格納する。

[0036] なお、信号処理部 26 から出力された画像データは、例えば、固体撮像装置 10 を搭載する電子機器 1 におけるプロセッサ 13 等において所定の処理が実行されたり、所定のネットワークを介して外部へ送信されたりしてもよい。

[0037] 1. 3 単位画素の構成例

図 3 は、本実施形態に係る単位画素の概略構成例を示す回路図である。図 3 に示すように、単位画素 30 は、光電変換部 PD と、転送トランジスタ 31 と、リセットトランジスタ 32 と、増幅トランジスタ 33 と、選択トランジスタ 34 と、浮遊拡散領域 FD とを備える。

[0038] 選択トランジスタ 34 のゲートには、画素駆動線 LD に含まれる選択トランジスタ駆動線 LD34 が接続され、リセットトランジスタ 32 のゲートには、画素駆動線 LD に含まれるリセットトランジスタ駆動線 LD32 が接続され、転送トランジスタ 31 のゲートには、画素駆動線 LD に含まれる転送トランジスタ駆動線 LD31 が接続されている。また、増幅トランジスタ 33 のソースには、カラム処理回路 23 に一端が接続される垂直信号線 VSL が選択トランジスタ 34 を介して接続されている。

[0039] 以下の説明において、リセットトランジスタ 32、増幅トランジスタ 33 と及び選択トランジスタ 34 は、まとめて画素回路とも称される。この画素回路には、浮遊拡散領域 FD 及び／又は転送トランジスタ 31 が含まれてもよい。

[0040] 光電変換部 PD は、入射した光を光電変換する。転送トランジスタ 31 は、光電変換部 PD に発生した電荷を転送する。浮遊拡散領域 FD は、転送トランジスタ 31 が転送した電荷を蓄積する電荷蓄積部として機能する。増幅トランジスタ 33 は、浮遊拡散領域 FD に蓄積された電荷に応じた電圧値の画素信号を垂直信号線 VSL に出現させる。リセットトランジスタ 32 は、

浮遊拡散領域FDに蓄積された電荷を放出する。選択トランジスタ34は、読出し対象の単位画素30を選択する。

[0041] 光電変換部PDのアノードは、接地されており、カソードは、転送トランジスタ31のソースに接続されている。転送トランジスタ31のドレインは、リセットトランジスタ32のソースおよび増幅トランジスタ33のゲートに接続されており、これらの接続点であるノードが浮遊拡散領域FDを構成する。なお、リセットトランジスタ32のドレインは、不図示の垂直リセット入力線に接続されている。

[0042] 増幅トランジスタ33のドレインは、不図示の垂直電圧供給線に接続されている。増幅トランジスタ33のソースは、選択トランジスタ34のドレインに接続されており、選択トランジスタ34のソースは、垂直信号線VSLに接続されている。

[0043] 浮遊拡散領域FDの電位は、そこに蓄積している電荷と浮遊拡散領域FDの容量で決まる。浮遊拡散領域FDの容量は、対接地容量に加え、転送トランジスタ31のドレインの拡散層容量、リセットトランジスタ32のソース拡散層容量、増幅トランジスタ33のゲート容量などで決まる。

[0044] 1. 4 単位画素の基本機能例

次に、単位画素30の基本機能について、図3を参照して説明する。リセットトランジスタ32は、垂直駆動回路22からリセットトランジスタ駆動線LD32を介して供給されるリセット信号RSTに従って、浮遊拡散領域FDに蓄積されている電荷の排出（リセット）を制御する。なお、リセットトランジスタ32がオン状態であるときに転送トランジスタ31をオン状態とすることで、浮遊拡散領域FDに蓄積されている電荷に加え、光電変換部PDに蓄積されている電荷を排出（リセット）することも可能である。

[0045] リセットトランジスタ32のゲートにHighレベルのリセット信号RSTが入力されると、浮遊拡散領域FDの電位が垂直リセット入力線を通して印加される電圧にクランプされる。これにより、浮遊拡散領域FDに蓄積されていた電荷が排出（リセット）される。

- [0046] また、リセットトランジスタ32のゲートにLowレベルのリセット信号RSTが入力されると、浮遊拡散領域FDは、垂直リセット入力線と電氣的に切断され、浮遊状態になる。
- [0047] 光電変換部PDは、入射光を光電変換し、その光量に応じた電荷を生成する。生成された電荷は、光電変換部PDのカソード側に蓄積する。転送トランジスタ31は、垂直駆動回路22から転送トランジスタ駆動線LD31を介して供給される転送制御信号TRGに従って、光電変換部PDから浮遊拡散領域FDへの電荷の転送を制御する。
- [0048] 例えば、転送トランジスタ31のゲートにHighレベルの転送制御信号TRGが入力されると、光電変換部PDに蓄積されている電荷が浮遊拡散領域FDに転送される。一方、転送トランジスタ31のゲートにLowレベルの転送制御信号TRGが供給されると、光電変換部PDからの電荷の転送が停止する。
- [0049] リセットトランジスタ32がオフ時の浮遊拡散領域FDの電位は、上述したように、光電変換部PDから転送トランジスタ31を介して転送された電荷量と浮遊拡散領域FDの持つ容量できまる。
- [0050] 増幅トランジスタ33は、そのゲートに接続された浮遊拡散領域FDの電位変動を入力信号とする増幅器として機能し、その出力電圧信号は選択トランジスタ34を介して垂直信号線VSLに画素信号として出現する。
- [0051] 選択トランジスタ34は、垂直駆動回路22から選択トランジスタ駆動線LD34を介して供給される選択制御信号SELに従って、増幅トランジスタ33による画素信号の垂直信号線VSLへの出現を制御する。例えば、選択トランジスタ34のゲートにHighレベルの選択制御信号SELが入力されると、増幅トランジスタ33による画素信号が垂直信号線VSLに出現される。一方、選択トランジスタ34のゲートにLowレベルの選択制御信号SELが入力されると、垂直信号線VSLへの画素信号の出現が停止される。これにより、複数の単位画素30が接続された垂直信号線VSLにおいて、選択した単位画素30の出力のみを取り出すことが可能となる。

[0052] 1. 5 固体撮像装置の積層構造例

図4は、本実施形態に係るイメージセンサの積層構造例を示す図である。図4に示すように、固体撮像装置10は、第1半導体チップ410と第2半導体チップ420とが上下に積層された構造を備える。第1半導体チップ410は、受光チップ41と回路チップ42とが積層された構造を備える。受光チップ41は、例えば、光電変換部PDが配列する画素アレイ部21を備える半導体チップであり、回路チップ42は、例えば、画素回路が配列する半導体チップである。

[0053] 第1半導体チップ410と第2半導体チップ420との接合には、例えば、それぞれの接合面を平坦化して両者を電子間力で貼り合わせる、いわゆる直接接合を用いることができる。ただし、これに限定されず、例えば、互いの接合面に形成された銅（Cu）製の電極パッド同士をボンディングする、いわゆるCu-Cu接合や、その他、バンプ接合などを用いることも可能である。

[0054] また、第1半導体チップ410と第2半導体チップ420とは、例えば、半導体基板を貫通する貫通コンタクトであるTSV（Through-Silicon Via）などの接続部を介して電氣的に接続される。TSVを用いた接続には、例えば、第1半導体チップ410に設けられたTSVと第1半導体チップ410から第2半導体チップ420にかけて設けられたTSVとの2つのTSVをチップ外表で接続する、いわゆるツインTSV方式や、第1半導体チップ410から第2半導体チップ420まで貫通するTSVで両者を接続する、いわゆるシェアードTSV方式などを採用することができる。

[0055] ただし、第1半導体チップ410と第2半導体チップ420との接合にCu-Cu接合やバンプ接合を用いた場合には、Cu-Cu接合部やバンプ接合部を介して両者が電氣的に接続される。

[0056] 1. 6 単位画素の断面構造例

次に、図5を参照して、第1の実施形態に係る固体撮像装置10の断面構造例を説明する。図5は、第1の実施形態に係る単位画素の断面構造例を示

す断面図である。なお、図 5 には、単位画素 30 における光電変換部 PD が配置された受光チップ 41 の断面構造例が示されている。

[0057] 図 5 に示すように、固体撮像装置 10 では、光電変換部 PD が、半導体基板 58 の裏面（図では上面）側から入射する入射光 L1 を受光する。光電変換部 PD の上方には、平坦化膜 53、カラーフィルタ 52 及びオンチップレンズ 51 が設けられており、各部を順次介することで受光面 57 から半導体基板 58 内に入射した入射光 L1 に対して光電変換が行われる。

[0058] 例えば、光電変換部 PD は、N 型半導体領域 59 が、電荷（電子）を蓄積する電荷蓄積領域として形成されている。光電変換部 PD においては、N 型半導体領域 59 は、半導体基板 58 の P 型半導体領域 56 及び 64 で囲まれた領域内に設けられている。N 型半導体領域 59 の、半導体基板 58 の表面（下面）側には、裏面（上面）側よりも不純物濃度が高い P 型半導体領域 64 が設けられている。つまり、光電変換部 PD は、HAD（Hole-Accumulation Diode）構造になっており、N 型半導体領域 59 の上面側と下面側との各界面において、暗電流が発生することを抑制するように、P 型半導体領域 56 及び 64 が設けられている。

[0059] 半導体基板 58 の内部には、複数の単位画素 30 の間を電氣的に分離する画素分離部 60 が設けられており、この画素分離部 60 で区画された領域に、光電変換部 PD が設けられている。図中、上面側から、固体撮像装置 10 を見た場合、画素分離部 60 は、例えば、複数の単位画素 30 の間に介在するように格子状に設けられており、光電変換部 PD は、この画素分離部 60 で区画された領域内に配置されている。

[0060] 各光電変換部 PD では、アノードが接地されており、固体撮像装置 10 において、光電変換部 PD が蓄積した信号電荷（例えば、電子）は、図示せぬ転送トランジスタ 31（図 3 参照）等を介して読み出され、電気信号として、図示せぬ垂直信号線 VSL（図 3 参照）へ出力される。

[0061] 配線層 65 は、半導体基板 58 のうち、遮光膜 54、平坦化膜 53、カラーフィルタ 52、オンチップレンズ 51 等の各部が設けられた裏面（上面）

とは反対側の表面（下面）に設けられる。

[0062] 配線層 6 5 は、配線 6 6 と絶縁層 6 7 と貫通電極（不図示）で構成される。受光チップ 4 1 からの電気信号は、配線 6 6、貫通電極（不図示）を介して回路チップ 4 2 へ伝送される。同様に、受光チップ 4 1 の基板電位も、第 2 半導体チップ 4 2 0 から配線 6 6、貫通電極（不図示）を介して印加される。

[0063] 配線層 6 5 の、光電変換部 P D が設けられている側に対して反対側の面には、例えば、図 4 で例示した回路チップ 4 2 が接合される。

[0064] 遮光膜 5 4 は、半導体基板 5 8 の裏面（図では上面）の側に設けられ、半導体基板 5 8 の上方から半導体基板 5 8 の裏面へ向かう入射光 L 1 の一部を遮光する。

[0065] 遮光膜 5 4 は、半導体基板 5 8 の内部に設けられた画素分離部 6 0 の上方に設けられる。ここでは、遮光膜 5 4 は、半導体基板 5 8 の裏面（上面）上において、シリコン酸化膜等の絶縁膜 5 5 を介して、凸形状に突き出るように設けられている。これに対して、半導体基板 5 8 の内部に設けられた光電変換部 P D の上方においては、光電変換部 P D に入射光 L 1 が入射するように、遮光膜 5 4 は、設けられておらず、開口している。

[0066] つまり、図中、上面側から、固体撮像装置 1 0 を見た場合、遮光膜 5 4 の平面形状は、格子状になっており、入射光 L 1 が受光面 5 7 へ通過する開口が形成されている。

[0067] 遮光膜 5 4 は、光を遮光する遮光材料で形成されている。例えば、チタン（Ti）膜とタングステン（W）膜とを、順次、積層することで、遮光膜 5 4 が形成されている。この他に、遮光膜 5 4 は、例えば、窒化チタン（TiN）膜とタングステン（W）膜とを、順次、積層することで形成することができる。

[0068] 遮光膜 5 4 は、平坦化膜 5 3 によって被覆されている。平坦化膜 5 3 は、光を透過する絶縁材料を用いて形成されている。この絶縁材料には、例えば、酸化シリコン（SiO₂）などを用いることができる。

[0069] 画素分離部60は、例えば、溝部61、固定電荷膜62、及び、絶縁膜63を有し、半導体基板58の裏面（上面）の側において、複数の単位画素30の間を区画している溝部61を覆うように設けられている。

[0070] 具体的には、固定電荷膜62は、半導体基板58において裏面（上面）側に形成された溝部61の内側の面を一定の厚みで被覆するように設けられている。そして、その固定電荷膜62で被覆された溝部61の内部を埋め込むように、絶縁膜63が設けられている（充填されている）。

[0071] ここでは、固定電荷膜62は、半導体基板58との界面部分において正電荷（ホール）蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体を用いて形成されている。固定電荷膜62が負の固定電荷を有することで、その負の固定電荷によって、半導体基板58との界面に電界が加わり、正電荷（ホール）蓄積領域が形成される。

[0072] 固定電荷膜62は、例えば、ハフニウム酸化膜（ HfO_2 膜）で形成することができる。また、固定電荷膜62は、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物の少なくとも1つを含むように形成することができる。

[0073] なお、画素分離部60は、上記構成に限定されず、種々変形することができる。例えば、絶縁膜63の代わりにタングステン（W）膜などの光を反射する反射膜を用いることで、画素分離部60を光反射構造とすることが可能となる。それにより、光電変換部PD内に進入した入射光L1を画素分離部60で反射させることが可能となるため、光電変換部PD内での入射光L1の光路長を長くすることが可能となる。加えて、画素分離部60を光反射構造とすることで、隣接画素への光の漏れ込みを低減することが可能となるため、画質や測距精度等をより向上させることも可能となる。なお、反射膜の材料としてタングステン（W）などの金属材料を用いた場合には、固定電荷膜62の代わりにシリコン酸化膜などの絶縁膜を溝部61内に設けるとよい。

[0074] また、画素分離部 60 を光反射構造とする構成は、反射膜を用いる構成に限定されず、例えば、溝部 61 内に半導体基板 58 よりも高い屈折率若しくは低い屈折率の材料を埋め込むことでも実現することができる。

[0075] さらに、図 5 には、半導体基板 58 の裏面（上面）側から形成された溝部 61 内に画素分離部 60 が設けられた、いわゆる RDTI（Reverse Deep Trench Isolation）構造の画素分離部 60 が例示されているが、これに限定されず、例えば、半導体基板 58 の表面（下面）側から形成された溝部内に画素分離部 60 が設けられた、いわゆる DTI（Deep Trench Isolation）構造や、半導体基板 58 の表裏面を貫通するように形成された溝部内に画素分離部 60 が設けられた、いわゆる FTI（Full Trench Isolation）構造など、種々の構造の画素分離部 60 を採用することが可能である。

[0076] 1. 7 チップレイアウト及び断面構造の例

次に、本実施形態に係る受光チップ 41 及び回路チップ 42 のチップレイアウトと、受光チップ 41 及び回路チップ 42 を貼り合わせた積層チップの断面構造とについて、いくつか例を挙げて説明する。なお、以下の説明では、簡略化のため、半導体基板 58（後述する半導体基板 101 に相当）に形成された光電変換部 PD 及び光電変換部 PD を区画する画素分離部 60（図 5 参照）については、その図示が適宜省略されている。また、以下の説明において、先行して説明した例と同様の構成については、後続する例においてその詳細な説明を省略する。

[0077] 1. 7. 1 第 1 例

第 1 例では、2 行 2 列に配列した 4 つの単位画素 30 が 1 つの浮遊拡散領域 FD を共有する場合について説明する。

[0078] 図 6 は、第 1 例に係る FD 共有の回路構成例を示す回路図である。図 7 は、第 1 例に係る受光チップのレイアウト例を示す平面図である。図 8 は、第 1 例に係る回路チップのレイアウト例を示す平面図である。図 9 は、第 1 例に係る A-A' 断面の構造例を示す断面図である。図 10 は、第 1 例に係る B-B' 断面の構造例を示す断面図である。

[0079] (F D 共有構成)

図6に示すように、4つの単位画素30a～30dが1つの浮遊拡散領域F Dを共有するF D 共有構成では、4つの光電変換部P D a～P D dがそれぞれ転送トランジスタ31a～31dを介して共通の浮遊拡散領域F Dに接続されている。浮遊拡散領域F Dから先の構成は、4つの単位画素30a～30dで共有される。したがって、本例では、リセットトランジスタ32、増幅トランジスタ33及び選択トランジスタ34が4つの単位画素30a～30dで共有される。

[0080] (受光チップのレイアウト例及び断面構造例)

第1例において、受光チップ41には、光電変換部P D a～P D dと、転送トランジスタ31a～31dとが配置される。図7に示すように、転送トランジスタ31a～31dの転送ゲート電極111a～111dは、受光チップ41の半導体基板101における素子形成面（以下、表面ともいう）に2行2列に配置される。光電変換部P D a～P D dは、基板厚方向において各転送ゲート電極111a～111dと重畳するように、半導体基板101の受光面（以下、裏面ともいう）側に配置される。なお、半導体基板101は、例えば、図5に例示した断面構造における半導体基板58に相当し得る。

[0081] 各転送ゲート電極111a～111dには、回路チップ42を貫通して回路チップ42上の第1メタル配線M1まで達する貫通電極112a～112dが接続される。貫通電極112a～112dは、転送トランジスタ駆動線L D 31の一部である。

[0082] 2行2列に配列する転送ゲート電極111a～111dの中央には、浮遊拡散領域F Dが配置される。浮遊拡散領域F Dには、回路チップ42を貫通して回路チップ42上の第1メタル配線M1まで達する貫通電極103が接続される。なお、浮遊拡散領域F Dは、貫通電極103及び第1メタル配線M1を介して、リセットトランジスタ32のソース及び増幅トランジスタ33のゲートに接続される。

[0083] 貫通電極 112a～112d 及び 103 は、例えば、受光チップ 41 と回路チップ 42 の間の層間絶縁膜及び回路チップ 42 を貫通している絶縁膜領域 265（以下、層間絶縁膜及び絶縁膜領域 265 をまとめて絶縁層 301 という）を貫通することで、回路チップ 42 上層の第 1 メタル配線 M1 に接続される。

[0084] また、図 7、図 8 及び図 10 に示すように、半導体基板 101 の素子形成面に形成されたコンタクト部 104 には、貫通電極 105 が接続される。すなわち、半導体基板 101 のウェル電位は、回路チップ 42 を貫通して回路チップ 42 上の第 1 メタル配線 M1 まで達する貫通電極 105 を介して制御される。なお、コンタクト部 104 は、例えば、P+型拡散領域であってよい。

[0085] （回路チップのレイアウト例及び断面構造例）

第 1 例において、回路チップ 42 には、リセットトランジスタ 32 と、増幅トランジスタ 33 と、選択トランジスタ 34 とが配置される。

[0086] 図 8、図 9 及び図 10 において、リセットトランジスタ 32 はリセットゲート電極 221 と不図示のゲート絶縁膜及びチャネル形成領域とより構成され、増幅トランジスタ 33 は増幅ゲート電極 231 とゲート絶縁膜 231a とチャネル形成領域 231b とより構成され、選択トランジスタ 34 は選択ゲート電極 241 と不図示のゲート絶縁膜及びチャネル形成領域とより構成される。リセットゲート電極 221 は、リセットトランジスタ駆動線 LD32 の一部であるコンタクトプラグ 222 を介して第 1 メタル配線 M1 に接続される。選択ゲート電極 241 は、選択トランジスタ駆動線 LD34 の一部であるコンタクトプラグ 242 を介して第 1 メタル配線 M1 に接続される。また、各ゲート電極を挟むように配置された拡散領域 210 は、例えば、N+型拡散領域であり、リセットトランジスタ 32、増幅トランジスタ 33 及び選択トランジスタ 34 それぞれのソース・ドレインとして機能する。

[0087] リセットトランジスタ 32 のドレイン及び増幅トランジスタのドレインとして機能する拡散領域 210 は、コンタクトプラグ 224 を介して第 1 メタ

ル配線M1のリセット電圧線に接続される。このリセット電圧線は、浮遊拡散領域FDをリセットするためのリセット電位を供給する電圧線であり、例えば、電源電圧VDDを供給する電源線であってもよい。

[0088] リセットトランジスタ32のソースとして機能する拡散領域210は、コンタクトプラグ223を介して、浮遊拡散領域FDに接続された貫通電極103に接続された第1メタル配線M1に接続される。増幅ゲート電極231は、半導体基板201の素子形成面に沿って浮遊拡散領域FDの方向へ延伸する延伸部233を備え、この延伸部233を介して浮遊拡散領域FDに接続する貫通電極103と短絡する。これにより、増幅トランジスタ33のゲートとリセットトランジスタ32のソースと浮遊拡散領域FDとが電氣的に接続される。

[0089] 増幅トランジスタ33のソースと選択トランジスタ34のドレインとは、同じ拡散領域210を共有する。選択トランジスタ34のソースとして機能する拡散領域210は、垂直信号線VSLの一部であるコンタクトプラグ243を介して第1メタル配線M1に接続される。

[0090] また、第1例において、半導体基板201の素子形成面に形成されたコンタクト部204には、コンタクトプラグ205が接続される。すなわち、半導体基板201のウェル電位は、第1メタル配線M1まで達するコンタクトプラグ205を介して制御される。なお、コンタクト部204は、コンタクト部104と同様に、例えば、P+型拡散領域であってよい。

[0091] (第1例のまとめ)

このように、増幅ゲート電極231を浮遊拡散領域FDの方向に延伸させて貫通電極103に短絡させることで、追加の配線を必要とせずに、従来の3Dシーケンシャル構造（従来の3Dシーケンシャル構造では増幅ゲート電極及び浮遊拡散領域それぞれ1本ずつの合計2本）よりも必要な電極数を削減することが可能となる。なお、本開示において、電極数とは、例えば、貫通電極の本数及び／又はコンタクトプラグの本数であってよい。それにより、回路チップ42の配線密度を低減することが可能となるため、配線に起因

する寄生容量を低下させることができる。その結果、デバイス特性を向上させることが可能となる。

[0092] また、必要な電極数を削減することで、密であった回路チップ42の配線密度が低減されるため、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0093] 1. 7. 2 第2例

第2例では、第1例と同様に、2行2列に配列した4つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例及び受光チップ41のレイアウト例は、第1例において図6及び図7を用いて説明した構成と同様であってよいので、ここでは詳細な説明を省略する。

[0094] 図11は、第2例に係る回路チップのレイアウト例を示す平面図である。図12は、第2例に係るA-A'断面の構造例を示す断面図である。図13は、第2例に係るB-B'断面の構造例を示す断面図である。

[0095] (回路チップのレイアウト例及び断面構造例)

図11～図13に示すように、第2例に係る回路チップ42のレイアウト例及び断面構造例では、第1例に係るそれらと同様の構成において、増幅ゲート電極231の延伸部233が省略され、代わりに、浮遊拡散領域FDの貫通電極103と、増幅ゲート電極231のコンタクトプラグ232とが、上層の第1メタル配線M1で接続される。第2例において、貫通電極105は半導体基板201を貫通するように形成されたコンタクト部204を貫通し、半導体基板101の素子形成面に形成されたコンタクト部104に接続している。言い換えると、コンタクト部104は貫通電極105を介してコンタクト部204と電氣的に短絡している。従って、半導体基板101及び201のウェル電位は、第1メタル配線M1まで達する貫通電極105を介して制御することができる。なお、コンタクト部104及び204は、第1例と同様に、例えば、P+型拡散領域であってよい。

[0096] (第2例のまとめ)

このように、コンタクト部104とコンタクト部204とを貫通電極105及び第1メタル配線M1で短絡させることで、回路チップ42の配線層に作り込む配線の数削減することが可能となる。それにより、回路チップ42の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0097] 1. 7. 3 第3例

第3例では、第1例と同様に、2行2列に配列した4つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例及び受光チップ41のレイアウト例は、第1例において図6及び図7を用いて説明した構成と同様であってよく、A-A'断面構造は、第1例において図9を用いて説明した構造と同様であってよい。ため、ここでは詳細な説明を省略する。

[0098] 図14は、第3例に係る回路チップのレイアウト例を示す平面図である。

図15は、第3例に係るB-B'断面の構造例を示す断面図である。

[0099] (回路チップのレイアウト例及び断面構造例)

図14、図9及び図15に示すように、第3例に係る回路チップ42のレイアウト例及び断面構造例では、第1例に係るそれらと同様の構成において、リセットトランジスタ32のソースとして機能する拡散領域210は、半導体基板201の素子形成面に沿って貫通電極103まで引き回されて拡散領域210aに短絡している。半導体基板201を貫通するように形成された拡散領域210aは貫通電極103に短絡している。

[0100] なお、第3例では、拡散領域210aと貫通電極103とを接触させるために、絶縁膜領域265の一部に、貫通電極103の側面の一部を露出させる凹状の溝302が設けられ、この溝302内の半導体基板201に拡散領域210aが形成される。その際、貫通電極103の側面を溝302から露出し易くするために、貫通電極103の水平断面が縦又は横（図14では縦）に長い形状を有していてもよい。

[0101] (第3例のまとめ)

このように、リセットトランジスタ32のソースとして機能する拡散領域210を浮遊拡散領域FDへ向けて引き回して貫通電極103に短絡させることで、第1例と同様に、必要な電極数が削減されるとともに、回路チップ42の配線層に作り込む配線の数が増減される。それにより、回路チップ42の配線密度を低減してデバイス特性を向上させることが可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0102] 1. 7. 4 第4例

第4例では、第1例と同様に、2行2列に配列した4つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例は、第1例について図6を用いて説明した構成と同様であってよいので、ここでは詳細な説明を省略する。

[0103] 図16は、第4例に係る受光チップのレイアウト例を示す平面図である。図17は、第4例に係る回路チップのレイアウト例を示す平面図である。図18は、第4例に係るA-A'断面の構造例を示す断面図である。図19は、第4例に係るB-B'断面の構造例を示す断面図である。図20は、第4例に係るC-C'断面の構造例を示す断面図である。

[0104] (受光チップのレイアウト例及び断面構造例)

第4例において、受光チップ41には、光電変換部PDa~PDd及び転送トランジスタ31a~31dに加え、増幅トランジスタ33が配置される。図16、図18~図20に示すように、受光チップ41のレイアウト例及び断面構造例では、第1例に係るそれらと同様の構成において、2行2列に配列する転送ゲート電極111a~111dと隣接する位置に、増幅ゲート電極131が配置され、増幅ゲート電極131下のチャンネル形成領域131bを挟む領域に、増幅トランジスタ33のソース・ドレインとして機能する一対の拡散領域110が配置される。

[0105] 増幅ゲート電極131に接続された貫通電極132は、上層の回路チップ

4 2 を貫通して第 1 メタル配線 M 1 に接続される。また、第 4 例では、半導体基板 1 0 1 と半導体基板 2 0 1 との間の配線層に設けられた配線 1 3 3 により、増幅ゲート電極 1 3 1 に接続された貫通電極 1 3 2 と、浮遊拡散領域 F D に接続された貫通電極 1 0 3 とが接続される。それにより、増幅トランジスタ 3 3 のゲートと浮遊拡散領域 F D とが短絡される。なお、配線 1 3 3 は、例えば、不純物がドーピングされたポリシリコン (Polycrystalline silicon) などの導電性材料で構成されてもよい。

[0106] (回路チップのレイアウト例及び断面構造例)

第 4 例において、回路チップ 4 2 には、リセットトランジスタ 3 2 と、選択トランジスタ 3 4 とが配置される。

[0107] 図 1 7 ～図 2 0 に示すように、回路チップ 4 2 のレイアウト例及び断面構造例では、第 1 例に係るそれらと同様の構成において、リセットトランジスタ 3 2 のソースとして機能する拡散領域 2 1 0 の一部である 2 1 0 a は半導体基板 2 0 1 を貫通するように形成されている。さらに、貫通電極 1 3 2 は拡散領域 2 1 0 a を貫通するように配置されている。すなわち、第 4 例では、増幅トランジスタ 3 3 のゲート (増幅ゲート電極 1 3 1) を第 1 メタル配線 M 1 に接続する貫通電極 1 3 2 が、リセットトランジスタ 3 2 のソース (拡散領域 2 1 0 a) を第 1 メタル配線 M 1 に接続する貫通電極と一体化されている。それにより、増幅トランジスタ 3 3 のゲート及び浮遊拡散領域 F D と、リセットトランジスタ 3 2 のソースとが短絡される。なお、説明の都合上、図 1 7 ～図 2 0 に示す回路チップ 4 2 では、リセットトランジスタ 3 2 と選択トランジスタ 3 4 との位置関係が、第 1 例に係るそれらの位置関係から入れ替えられているが、これに限定されるものではない。リセットトランジスタ 3 2 のドレイン (拡散領域 2 1 0 a) は、貫通電極 1 3 5 を介して増幅トランジスタ 3 3 のドレイン (拡散領域 1 1 0) に短絡されている。貫通電極 1 3 5 は、上層の第 1 メタル配線 M 1 を介して、電源電圧 V D D を供給する電源線に接続される。選択トランジスタ 3 4 のドレイン (拡散領域 2 1 0 a) は、貫通電極 1 3 4 を介して増幅トランジスタ 3 3 のソース (拡散領域

域 1 1 0) に短絡されている。第 2 例と同様に、半導体基板 2 0 1 の素子形成面に形成されたコンタクト部 2 0 4 は、貫通電極 1 0 5 を介して、半導体基板 1 0 1 の素子形成面に形成されたコンタクト部 1 0 4 に短絡されている。

[0108] (第 4 例のまとめ)

このように、増幅トランジスタ 3 3 を受光チップ 4 1 に配置することで、回路チップ 4 2 に配置される素子数及び配線数を削減することが可能となるため、回路チップ 4 2 の配線密度を低減してデバイス特性を向上させることが可能になるとともに、回路チップ 4 2 の配線レイアウトの設計難易度を容易化することも可能となる。

[0109] また、第 4 例では、増幅トランジスタ 3 3 のゲート（増幅ゲート電極 1 3 1）に接続された貫通電極 1 3 2 がリセットトランジスタ 3 2 のソース（拡散領域 2 1 0 a）に接続される貫通電極を兼ねることに加え、増幅トランジスタ 3 3 のドレインが貫通電極 1 3 5 を介してリセットトランジスタ 3 2 のドレインに短絡していること、及び、増幅トランジスタ 3 3 のソースが貫通電極 1 3 4 を介して選択トランジスタのドレインに短絡していることにより、必要な電極数がさらに削減されるため、回路チップ 4 2 の配線密度を低減してデバイス特性をさらに向上させることが可能になるとともに、回路チップ 4 2 の配線レイアウトの設計難易度をさらに容易化することも可能となる。

[0110] 1. 7. 5 第 5 例

第 5 例では、2 行 2 列に配列した 4 つの単位画素 3 0 で 1 つの浮遊拡散領域 F D を共有する構成を 2 つ備え、これら 2 つの構成間で浮遊拡散領域 F D が短絡されることで、計 8 つの単位画素 3 0 で 1 つの浮遊拡散領域 F D を共有する場合について説明する。また、第 5 例では、浮遊拡散領域 F D の容量を変化させる、言い換えれば、各単位画素 3 0 のダイナミックレンジを変化させることが可能な構成についても例示する。

[0111] 図 2 1 は、第 5 例に係る F D 共有の回路構成例を示す回路図である。図 2 2 は、第 5 例に係る受光チップのレイアウト例を示す平面図である。図 2 3

は、第5例に係る回路チップのレイアウト例を示す平面図である。図24は、第5例に係るB-B'断面の構造例を示す断面図である。なお、A-A'断面構造は、第1例において図9を用いて説明した構造と同様であってよい。ため、ここでは詳細な説明を省略する。

[0112] (FD共有構成)

図21に示すように、8つの単位画素30a~30hが1つの浮遊拡散領域FDを共有するFD共有構成では、第1例において図6を用いて説明した回路構成と同様に、8つの光電変換部PDa~PDhがそれぞれ転送トランジスタ31a~31hを介して共通の浮遊拡散領域FDに接続されている。浮遊拡散領域FDから先の構成は、8つの単位画素30a~30hで共有される。したがって、本例では、リセットトランジスタ32、増幅トランジスタ33、選択トランジスタ34、切替トランジスタ35及びキャパシタCが8つの単位画素30a~30hで共有される。

[0113] また、浮遊拡散領域FDの容量を変化させる構成では、浮遊拡散領域FDとリセットトランジスタ32のソースとの間に、切替トランジスタ35が接続される。そして、リセットトランジスタ32のソースと切替トランジスタ35のドレインとの接続ノードに、キャパシタCが接続される。このキャパシタCは、例えば、メタル配線などを用いて意図的に付加された容量であってもよいし、接続ノードと基板との間で形成された寄生容量等であってもよい。

[0114] このような構成では、切替トランジスタ35のオン/オフを制御することで、各光電変換部PDa~PDhから転送された電荷を蓄積する容量を、浮遊拡散領域FD単独の容量と、浮遊拡散領域FDの容量にキャパシタCの容量を加えた容量との何れかに切り替えることが可能となる。それにより、増幅トランジスタ33のゲートに印加される電圧を制御することが可能となるため、各単位画素30のダイナミックレンジを切り替えることが可能となる。なお、実際には、浮遊拡散領域FDに接続された配線等の寄生容量等も、各光電変換部PDa~PDhから転送された電荷を蓄積する容量に含まれる。

が、ここでは簡略化のため、浮遊拡散領域FDに接続された配線等の寄生容量等は考慮しないものとしている。

[0115] (受光チップのレイアウト例及び断面構造例)

第5例において、受光チップ41には、光電変換部PDa~PDhと、転送トランジスタ31a~31hとが配置される。図22、図9及び図24に示すように、第5例では、転送トランジスタ31a~31dの転送ゲート電極111a~111dが2行2列に配置され、この配列の中央に浮遊拡散領域FD1が配置される。また、転送トランジスタ31e~31hの転送ゲート電極111e~111hが2行2列に配置され、この配列の中央に浮遊拡散領域FD2が配置される。したがって、FD共有画素全体では、8つの単位画素30が4行2列に配列した構成となる。

[0116] 転送ゲート電極111a~111hは、それぞれ貫通電極112a~112hを介して、第1メタル配線M1に接続される。また、浮遊拡散領域FD1は、貫通電極103を介して第1メタル配線M1に接続され、浮遊拡散領域FD2は貫通電極107を介して第1メタル配線M1に接続される。言い換えると、浮遊拡散領域FD1と浮遊拡散領域FD2は第1メタル配線M1を介して短絡される。その結果、8つの単位画素30の浮遊拡散領域FDの共有が実現される。

[0117] なお、第5例では、半導体基板101のウェル電位を制御するためのコンタクト部及び貫通電極を、コンタクト部104及び貫通電極105と、コンタクト部108及び貫通電極109との2組備える場合を例示するが、これに限定されず、1組又は3組以上を備えてもよい。

[0118] (回路チップのレイアウト例及び断面構造例)

第5例において、回路チップ42には、リセットトランジスタ32と、増幅トランジスタ33と、選択トランジスタ34と、切替トランジスタ35とが配置される。

[0119] 図23、図9及び図24に示すように、第5例では、第1例に係る回路チップ42のレイアウト例及び断面構造例と同様の構成において、増幅ラン

ジスタ 33 と選択トランジスタ 34 とリセットトランジスタ 32 と切替トランジスタ 35 とがこの順序で配列し、増幅ゲート電極 231 と選択ゲート電極 241 との間に配置された拡散領域 210 が増幅トランジスタ 33 のソース及び選択トランジスタ 34 のドレインとして機能し、切替ゲート電極 251 とリセットゲート電極 221 との間に配置された拡散領域 210 が切替トランジスタ 35 のドレイン及びリセットトランジスタ 32 のソースとして機能する。

[0120] 増幅トランジスタ 33 のドレインとして機能する拡散領域 210 がコンタクトプラグ 234 を介して第 1 メタル配線 M1 に接続され、切替トランジスタ 35 のソースとして機能する拡散領域 210 がコンタクトプラグ 253 を介して第 1 メタル配線 M1 に接続される。

[0121] このような構成において、増幅ゲート電極 231 は、第 1 例と同様に、浮遊拡散領域 FD1 へ向けて延伸する延伸部 233 を備え、延伸部 233 が貫通電極 103 と接続することで、増幅トランジスタ 33 のゲートと浮遊拡散領域 FD1 とが短絡されている。

[0122] また、切替トランジスタ 35 のソースとして機能する拡散領域 210 に接続されたコンタクトプラグ 253 は、第 1 メタル配線 M1 を介して、浮遊拡散領域 FD2 の貫通電極 107 及び浮遊拡散領域 FD1 の貫通電極 103 と接続される。これにより、増幅トランジスタ 33 のゲートと、浮遊拡散領域 FD1 及び FD2 と、切替トランジスタ 35 のソースとが短絡される。

[0123] なお、第 5 例では、半導体基板 201 のウェル電位を制御するためのコンタクト部及び貫通電極を、コンタクト部 204 及び貫通電極 105 と、コンタクト部 208 及び貫通電極 109 との 2 組備える場合を例示するが、これに限定されず、1 組又は 3 組以上を備えてもよい。

[0124] (第 5 例のまとめ)

このように、増幅ゲート電極 231 を浮遊拡散領域 FD の方向に延伸させて貫通電極 103 に短絡させることで、第 1 例と同様に、必要な電極数が削減される。それにより、回路チップ 42 の配線密度を低減してデバイス特性

を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0125] 1. 7. 6 第6例

第6例では、第5例と同様に、4行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例は、第5例について図21を用いて説明した構成と同様であってよいので、ここでは詳細な説明を省略する。

[0126] 図25は、第6例に係る受光チップのレイアウト例を示す平面図である。図26は、第6例に係る回路チップのレイアウト例を示す平面図である。図27は、第6例に係るA-A'断面の構造例を示す断面図である。図28は、第6例に係るB-B'断面の構造例を示す断面図である。

[0127] (受光チップのレイアウト例及び断面構造例)

図25、図27及び図28に示すように、第6例に係る受光チップ41のレイアウト例及び断面構造例では、第5例に係るそれらと同様の構成において、貫通電極103と貫通電極107とが配線160により接続されることで、浮遊拡散領域FD1と浮遊拡散領域FD2とが電氣的に接続されている。配線160は、例えば、不純物がドーピングされたポリシリコンなどの導電性材料で構成されてもよい。

[0128] (回路チップのレイアウト例及び断面構造例)

図26～図28に示すように、回路チップ42のレイアウト例及び断面構造例では、第5例に係るそれらと同様の構成において、切替トランジスタ35のソースに接続されたコンタクトプラグ253と貫通電極103と貫通電極107とを接続する第1メタル配線M1が、コンタクトプラグ253と貫通電極107とを接続する第1メタル配線M1に置き換えられている。

[0129] (第6例のまとめ)

第6例においても、第5例と同様に、増幅ゲート電極231を浮遊拡散領域FDの方向に延伸させて貫通電極103に短絡させることで、必要な電極数が削減される。加えて、浮遊拡散領域FD1を配線160、貫通電極10

3、貫通電極107を介して浮遊拡散領域FD2に短絡させることで回路チップ42の上層の第1メタル配線M1の面積が第5例よりも低減される。以上から、回路チップ42の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0130] 1. 7. 7 第7例

第7例では、第5例と同様に、4行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例及び受光チップ41のレイアウト例は、第5例において図21及び図22を用いて説明した構成と同様であってよく、図29に示されている回路チップ42のA-A'断面構造は、第1例において図9を用いて説明した構造と同様であってよいため、ここでは詳細な説明を省略する。ただし、第7例では、画素回路における切替トランジスタ35が省略されている。

[0131] 図29は、第7例に係る回路チップのレイアウト例を示す平面図である。図30は、第7例に係るB-B'断面の構造例を示す断面図である。図31は、第7例に係るD-D'断面の構造例を示す断面図である。

[0132] (回路チップのレイアウト例及び断面構造例)

図29、図9、図30及び図31に示すように、回路チップ42のレイアウト例及び断面構造例では、リセットトランジスタ32のソースとして機能する拡散領域210は、浮遊拡散領域FD2側へ延在し拡散領域210aに短絡している。さらに拡散領域210aは貫通電極107に接触している。これにより、リセットトランジスタ32のソースと、増幅トランジスタのゲートと、浮遊拡散領域FD1及びFD2とが、貫通電極103及び107と、これらを接続する第1メタル配線M1と、延伸部233とを介して短絡されている。

[0133] なお、第7例では、リセットトランジスタ32のソースとして機能する拡散領域210の一部である拡散領域210aは半導体基板201を貫通するように形成されている。さらに、拡散領域210aを貫通電極107に接触

させるため、貫通電極 1 1 2 e ~ 1 1 2 h を貫通させるための絶縁膜領域 2 6 5 が、拡散領域 2 1 0 a の延在方向に沿って 2 つに分断されている。

[0134] (第 7 例のまとめ)

第 7 例においても、第 5 例と同様に、増幅ゲート電極 2 3 1 を浮遊拡散領域 F D 1 の方向に延伸させて貫通電極 1 0 3 に短絡させることで、必要な電極数が削減される。さらに、リセットトランジスタ 3 2 のソースとして機能する拡散領域 2 1 0 a を貫通電極 1 0 7 を介して浮遊拡散領域 F D 2 に短絡させることで、回路チップ 4 2 の上層の第 1 メタル配線 M 1 の面積が第 5 例よりも低減される。以上より、回路チップ 4 2 の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ 4 2 の配線レイアウトの設計難易度を容易化することも可能となる。

[0135] 1. 7. 8 第 8 例

第 8 例では、第 5 例と同様に、4 行 2 列に配列した 8 つの単位画素 3 0 が 1 つの浮遊拡散領域 F D を共有する場合について説明する。なお、F D 共有の回路構成例は、第 5 例において図 2 1 を用いて説明した構成と同様であってよく、受光チップ 4 1 のレイアウト例は、第 6 例において図 2 5 を用いて説明したレイアウト例と同様であってよく、図 3 2 に示されている回路チップ 4 2 の A - A' 断面構造は、第 6 例において図 2 7 を用いて説明した構造と同様であってよいため、ここでは詳細な説明を省略する。ただし、第 8 例では、画素回路における切替トランジスタ 3 5 が省略されている。

[0136] 図 3 2 は、第 8 例に係る回路チップのレイアウト例を示す平面図である。

図 3 3 は、第 8 例に係る B - B' 断面の構造例を示す断面図である。図 3 4 は、第 8 例に係る D - D' 断面の構造例を示す断面図である。

[0137] (回路チップのレイアウト例及び断面構造例)

図 3 2、図 2 7、図 3 3 及び図 3 4 に示すように、回路チップ 4 2 のレイアウト例及び断面構造例では、第 7 例に係るそれらと同様の構成において、第 7 例では貫通電極 1 0 3 が第 1 メタル配線 M 1 を介して貫通電極 1 0 7 に短絡されているのに対し、第 8 例では配線 1 6 0 を介して短絡される。

[0138] (第8例のまとめ)

第8例においても、第5例と同様に、増幅ゲート電極231を浮遊拡散領域FD1の方向に延伸させて貫通電極103に短絡させることで、必要な電極数が削減される。加えて、浮遊拡散領域FD1を配線160、貫通電極103、貫通電極107を介して浮遊拡散領域FD2に短絡させることで回路チップ42上層の第1メタル配線M1の面積が第7例よりも低減される。以上より、回路チップ42の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0139] 1. 7. 9 第9例

第9例では、第5例と同様に、4行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例は、第5例において図21を用いて説明した構成と同様であってよいため、ここでは詳細な説明を省略する。ただし、第9例では、画素回路における切替トランジスタ35が省略されている。

[0140] 図35は、第9例に係る受光チップのレイアウト例を示す平面図である。図36は、第9例に係る回路チップのレイアウト例を示す平面図である。図37は、第9例に係るA-A'断面の構造例を示す断面図である。図38は、第9例に係るC-C'断面の構造例を示す断面図である。図39は、第9例に係るD-D'断面の構造例を示す断面図である。

[0141] (受光チップのレイアウト例及び断面構造例)

第9例において、受光チップ41には、光電変換部PDa~PDh及び転送トランジスタ31a~31hに加え、リセットトランジスタ32が配置される。図35、図37~図39に示すように、受光チップ41のレイアウト例及び断面構造例では、第6例に係るそれらと同様の構成において、リセットトランジスタ32を構成するリセットゲート電極121、ゲート絶縁膜121a、チャネル形成領域121b及び一対の拡散領域110が、半導体基板101の素子形成面に設けられている。リセットゲート電極121は、貫

通電極 1 2 2 を介して第 1 メタル配線 M 1 に接続される。リセットトランジスタ 3 2 のドレインとして機能する拡散領域 1 1 0 は、貫通電極 1 2 4 を介して増幅トランジスタ 3 3 のドレインの一部である拡散領域 2 1 0 a に短絡される。

[0142] また、リセットトランジスタ 3 2 のソースとして機能する拡散領域 1 1 0 は、基板厚方向において配線 1 6 0 と重畳するように配置される。貫通電極 1 2 3 は配線 1 6 0 を貫通し拡散領域に 1 1 0 に接続される。同様に、貫通電極 1 0 3 は浮遊拡散領域 F D 1 に、貫通電極 1 0 7 は浮遊拡散領域 F D 2 に、配線 1 6 0 を貫通して接続される。その結果、拡散領域 1 1 0、浮遊拡散領域 F D 1 及び F D 2 は、配線 1 6 0、貫通電極 1 0 3、1 0 7、1 2 3 を介して短絡される。なお配線 1 6 0 は、例えば、不純物がドーピングされたポリシリコンなどの導電性材料で構成されてもよい。

[0143] (回路チップのレイアウト例及び断面構造例)

第 9 例において、回路チップ 4 2 には、増幅トランジスタ 3 3 と選択トランジスタ 3 4 とが配置される。図 3 6、図 3 7～図 3 9 に示すように、増幅トランジスタ 3 3 の増幅ゲート電極 2 3 1 は、第 1 例と同様の延伸部 2 3 3 を備え、延伸部 2 3 3 を介して、浮遊拡散領域 F D 1 に接続された貫通電極 1 0 3 に接続される。これにより、リセットトランジスタ 3 2 のソースと増幅トランジスタ 3 3 のゲートと浮遊拡散領域 F D 1 及び F D 2 とが、貫通電極 1 0 3、1 0 7 及び 1 2 3 と、延伸部 2 3 3 と配線 1 6 0 を介して短絡される。

[0144] (第 9 例のまとめ)

第 9 例においても、第 5 例と同様に、増幅ゲート電極 2 3 1 を浮遊拡散領域 F D 1 の方向に延伸させて貫通電極 1 0 3 に短絡させることで、必要な電極数が削減される。それにより、回路チップ 4 2 の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ 4 2 の配線レイアウトの設計難易度を容易化することも可能となる。

[0145] また、リセットトランジスタ 3 2 を受光チップ 4 1 に配置することで、回

路チップ内に増幅トランジスタの配置が可能な領域が増加する。言い換えると、増幅トランジスタのゲート面積を増やすことが可能であり、その結果、ランダムノイズなどの特性が第5例よりも改善できる。

[0146] 1. 7. 10 第10例

第10例では、第5例と同様に、4行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例は、第5例において図21を用いて説明した構成と同様であってよいため、ここでは詳細な説明を省略する。ただし、第10例では、画素回路における切替トランジスタ35が省略されている。

[0147] 図40は、第10例に係る受光チップのレイアウト例を示す平面図である。図41は、第10例に係る回路チップのレイアウト例を示す平面図である。図42は、第10例に係るB-B'断面の構造例を示す断面図である。図43は、第10例に係るC-C'断面の構造例を示す断面図である。図44は、第10例に係るD-D'断面の構造例を示す断面図である。

[0148] (受光チップのレイアウト例及び断面構造例)

第10例において、受光チップ41には、光電変換部PDa~PDh及び転送トランジスタ31a~31hに加え、増幅トランジスタ33が配置される。図40、図42~図44に示すように、受光チップ41のレイアウト例及び断面構造例では、第5例に係るそれらと同様の構成において、第4例で例示したように、4行2列に配列する転送ゲート電極111a~111hと隣接する位置に、増幅ゲート電極131が配置され、増幅ゲート電極131下のチャネル形成領域131bを挟む領域に、増幅トランジスタ33のソース・ドレインとして機能する一対の拡散領域110が配置される。

[0149] 浮遊拡散領域FD1に接続された貫通電極103と浮遊拡散領域FD2に接続された貫通電極107とは、第6例と同様に、配線160により接続されている。配線160は、増幅ゲート電極131へ向けて素子形成面と平行に延伸する延伸部161を備える。この延伸部161は、増幅ゲート電極131に接続された貫通電極132に接続される。なお、延伸部161は、配

線 1 6 0 と同じ材料、例えば不純物がドーピングされたポリシリコンなどの導電性材料で構成されてよい。

[0150] (回路チップのレイアウト例及び断面構造例)

第 1 0 例において、回路チップ 4 2 には、リセットトランジスタ 3 2 と選択トランジスタ 3 4 とが配置される。図 4 1、図 4 2～図 4 4 に示すように、増幅トランジスタ 3 3 の増幅ゲート電極 1 3 1 に接続された貫通電極 1 3 2 は、リセットトランジスタ 3 2 のソースとして機能する拡散領域 2 1 0 a を貫通する。これにより、リセットトランジスタ 3 2 のソースと増幅トランジスタ 3 3 のゲートと浮遊拡散領域 F D 1 及び F D 2 とが、貫通電極 1 0 3、1 0 7 及び 1 3 2 と、延伸部 1 6 1 を含む配線 1 6 0 とを介して短絡される。同様に、リセットトランジスタ 3 2 のドレイン（拡散領域 2 1 0 a）は、貫通電極 1 3 5 を介して増幅トランジスタ 3 3 のドレイン（拡散領域 1 1 0）に短絡される。貫通電極 1 3 5 は、上層の第 1 メタル配線 M 1 を介して、電源電圧 V D D を供給する電源線に接続される。選択トランジスタ 3 4 のドレイン（拡散領域 2 1 0 a）は、貫通電極 1 3 4 を介して増幅トランジスタ 3 3 のソース（拡散領域 1 1 0）に短絡される。

[0151] (第 1 0 例のまとめ)

第 1 0 例においても、第 4 例と同様に、増幅トランジスタ 3 3 を受光チップ 4 1 に配置することで、回路チップ 4 2 に配置される素子数及び配線数を削減することが可能となるため、回路チップ 4 2 の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ 4 2 の配線レイアウトの設計難易度を容易化することも可能となる。

[0152] また、第 1 0 例でも、第 4 例と同様に、増幅トランジスタ 3 3 のゲート（増幅ゲート電極 1 3 1）に接続された貫通電極 1 3 2 がリセットトランジスタ 3 2 のソース（拡散領域 2 1 0 a）に接続される貫通電極を兼ねることに加え、増幅トランジスタ 3 3 のドレインが貫通電極 1 3 5 を介してリセットトランジスタ 3 2 のドレインに短絡していること、及び、増幅トランジスタ 3 3 のソースが貫通電極 1 3 4 を介して選択トランジスタのドレインに短絡

していることにより、必要な電極数がさらに削減されるため、回路チップ42の配線密度を低減してデバイス特性をさらに向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度をさらに容易化することも可能となる。

[0153] 1. 7. 11 第11例

第11例では、第5例と同様に、4行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、FD共有の回路構成例は、第5例において図21を用いて説明した構成と同様であってよく、B-B'断面構造は、第10例において図42を用いて説明した構造と同様であってよく、D-D'断面構造は、第10例において図44を用いて説明した構造と同様であってよい。ため、ここでは詳細な説明を省略する。ただし、第11例では、画素回路が切替トランジスタ35を含む。

[0154] 図45は、第11例に係る受光チップのレイアウト例を示す平面図である。図46は、第11例に係る回路チップのレイアウト例を示す平面図である。図47は、第11例に係るC-C'断面の構造例を示す断面図である。

[0155] (受光チップのレイアウト例及び断面構造例)

第11例において、受光チップ41には、第10例と同様に、光電変換部PDa~PDh及び転送トランジスタ31a~31hに加え、増幅トランジスタ33が配置される。ただし、図45、図42、図44及び図47に示すように、第11例では、配線160から延伸部161が突出する位置が、回路チップ42における切替トランジスタ35のソースとして機能する拡散領域210aの位置に応じて調整されている。

[0156] (回路チップのレイアウト例及び断面構造例)

第11例において、回路チップ42には、リセットトランジスタ32と選択トランジスタ34と切替トランジスタ35とが配置される。図46、図42、図44及び図47に示すように、増幅トランジスタ33の増幅ゲート電極131に接続された貫通電極132は、切替トランジスタ35のソースとして機能する拡散領域210aを貫通する。これにより、切替トランジスタ

35のソースと増幅トランジスタ33のゲートと浮遊拡散領域FD1及びFD2とが、貫通電極103、107及び132と、延伸部161を含む配線160とを介して短絡される。同様に、リセットトランジスタ32のドレイン（拡散領域210a）は、貫通電極123を介して増幅トランジスタ33のドレイン（拡散領域110）に短絡される。貫通電極123は、上層の第1メタル配線M1を介して、電源電圧VDDを供給する電源線に接続される。選択トランジスタ34のドレイン（拡散領域210a）は、貫通電極124を介して増幅トランジスタ33のソース（拡散領域110）に短絡される。

[0157] （第11例のまとめ）

第11例においても、第4例と同様に、増幅トランジスタ33を受光チップ41に配置することで、回路チップ42に配置される素子数及び配線数を削減することが可能となるため、回路チップ42の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0158] また、第11例でも、第4例と同様に、増幅トランジスタ33のゲート（増幅ゲート電極131）に接続された貫通電極132が切替トランジスタ35のソース（拡散領域210a）に接続される貫通電極を兼ねることに加え、増幅トランジスタ33のドレインが貫通電極123を介してリセットトランジスタ32のドレインに短絡していること、及び、増幅トランジスタ33のソースが貫通電極124を介して選択トランジスタのドレインに短絡していることにより、必要な電極数がさらに削減されるため、回路チップ42の配線密度を低減してデバイス特性をさらに向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度をさらに容易化することも可能となる。

[0159] 1. 7. 12 第12例

第12例では、第5例と同様に、4行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。ただし、第1

2例では、2以上の単位画素30が1つのオンチップレンズ51及び1つのカラーフィルタ52を共有する場合について説明する。

[0160] なお、FD共有の回路構成例は、第5例において図21を用いて説明した構成と同様であってよく、C-C'断面構造は、第10例において図43を用いて説明した構造と同様であってよく、D-D'断面構造は、第10例において図44を用いて説明した構造と同様であってよい。ため、ここでは詳細な説明を省略する。ただし、第12例では、画素回路における切替トランジスタ35が省略されている。

[0161] 図48は、第12例に係る単位画素の断面構造例を示す断面図である。図49は、第12例に係る受光チップのレイアウト例を示す平面図である。図50は、第12例に係る回路チップのレイアウト例を示す平面図である。図51は、第12例に係るB-B'断面の構造例を示す断面図である。なお、図48には、図5と同様に、単位画素30における光電変換部PDが配置された受光チップ41の断面構造例が示されている。

[0162] (単位画素の断面構造例)

図48に示すように、第12例では、1つのオンチップレンズ51及び1つのカラーフィルタ52が、行方向又は列方向に配列する2つ以上の単位画素30に跨るように配置されている。これにより、行方向又は列方向に配列する2つ以上の単位画素30で1つのオンチップレンズ51及び1つのカラーフィルタ52が共有される。

[0163] (受光チップのレイアウト例及び断面構造例)

第12例において、受光チップ41には、第10例と同様に、光電変換部PDa~PDh及び転送トランジスタ31a~31hに加え、増幅トランジスタ33が配置される。

[0164] (回路チップのレイアウト例及び断面構造例)

第12例において、回路チップ42には、第10例と同様に、リセットトランジスタ32と選択トランジスタ34とが配置される。

[0165] (第12例のまとめ)

第12例においても、第4例と同様に、増幅トランジスタ33を受光チップ41に配置することで、回路チップ42に配置される素子数及び配線数を削減することが可能となるため、回路チップ42の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0166] また、第12例でも、第4例と同様に、増幅トランジスタ33のゲート（増幅ゲート電極131）に接続された貫通電極132がリセットトランジスタ32のソース（拡散領域210a）に接続される貫通電極を兼ねることで、必要な電極数がさらに削減されるため、回路チップ42の配線密度を低減してデバイス特性をさらに向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度をさらに容易化することも可能となる。

[0167] なお、第12例で説明した、1つのオンチップレンズ51及び1つのカラーフィルタ52を2以上の単位画素30で共有する構成は、例えば、カラーフィルタ52の配列に、クワッドベイヤー（クワドラともいう）などのカラーフィルタ配列を採用した場合や、固体撮像装置10が隣接画素間の位相差に基づいてフォーカスを自動調整する機構を備える場合などに好適である。ただし、これらに限定されるものではない。

[0168] 1. 7. 13 第13例

第13例では、第1例と同様に、2行2列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。ただし、第13例では、各単位画素30の光電変換部PDを区画する画素分離部60に、FTI構造の画素分離部170が採用された場合を例示する。

[0169] なお、FD共有の回路構成例は、第1例において図6を用いて説明した構成と同様であってよいため、ここでは詳細な説明を省略する。

[0170] 図52は、第13例に係る単位画素の断面構造例を示す断面図である。図53は、第13例に係る受光チップのレイアウト例を示す平面図である。図54は、第13例に係る回路チップのレイアウト例を示す平面図である。

[0171] （単位画素の断面構造例）

図52に示すように、第13例では、図5で例示したRDTI構造の画素分離部60に代えて、溝部61が半導体基板58（半導体基板101に相当）を貫通する画素分離部170により、各单位画素30の光電変換部PDが区画された構造を備える。

[0172] （受光チップのレイアウト例）

図53に示すように、第13例において、受光チップ41には、第1例と同様に、光電変換部PDa～PDd及び転送トランジスタ31a～31dが配置される。光電変換部PDa～PDd及び転送トランジスタ31a～31dそれぞれは、半導体基板101における画素分離部170で区画された各領域（以下、画素領域という）に配置される。

[0173] また、画素分離部170で区画された画素領域には、転送トランジスタ31a～31dそれぞれのドレインとして機能する拡散領域110a～110dが設けられる。拡散領域110a～110dは、浮遊拡散領域FDa～FDdとしても機能する。浮遊拡散領域FDa～FDdは配線162及びそれを貫通する貫通電極113a～113dを介して短絡している。第13例では、この配線162及び浮遊拡散領域FDa～FDdが半導体基板101及び／又は半導体基板201との間で形成する寄生容量が、浮遊拡散領域FDa～FDdの容量として機能する。配線162は、例えば、不純物がドーピングされたポリシリコンなどの導電性材料で構成されてもよい。

[0174] なお、各光電変換部PDa～PDdが配置される画素領域をFTI構造の画素分離部170で区画した場合、各画素領域には、コンタクト部104a～104dが設けられ、これらコンタクト部104a～104dが貫通電極105a～105dを介して第1メタル配線M1に接続されることで、各画素領域のウェル電位が制御される。

[0175] （回路チップのレイアウト例及び断面構造例）

図54に示すように、第13例において、回路チップ42には、リセットトランジスタ32と、増幅トランジスタ33と、選択トランジスタ34とが配置される。増幅ゲート電極231は、貫通電極113a～113dのいずれ

れか（図54では貫通電極113b）が貫通した延伸部233を備える。延伸部233を貫通した貫通電極（図54では貫通電極113b）は浮遊拡散領域FDa～FDdのいずれか（図53では浮遊拡散領域FDb）に接続される。また、貫通電極113a～113dのいずれか（図54では貫通電極113d）は、リセットトランジスタ32のソースとして機能する拡散領域210aを貫通する。これにより、リセットトランジスタ32のソース（拡散領域210a）と増幅トランジスタ33のゲート（増幅ゲート電極231）と浮遊拡散領域FDa～FDdとが短絡される。

[0176] （第13例のまとめ）

このように、増幅トランジスタ33の増幅ゲート電極231及びリセットトランジスタ32のソースとして機能する拡散領域210aをそれぞれ貫通電極113b、113dを介して浮遊拡散領域FDa～FDdに短絡させることで、第1例と同様に、必要な電極数が削減されるとともに、回路チップ42の配線層に作り込む配線の数が増減される。それにより、回路チップ42の配線密度を低減してデバイス特性を向上させること可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0177] 1. 7. 14 第14例

第14例では、第1例と同様に、2行4列に配列した8つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。なお、第14例では、行方向に配列する2つの単位画素30が1つのオンチップレンズ51及び1つのカラーフィルタ52を共有し、この2つの単位画素30間で位相差を検出する位相差検出画素を構成している場合について説明する。

[0178] なお、FD共有の回路構成例は、第5例において図21を用いて説明した構成と同様であってよいため、ここでは詳細な説明を省略する。ただし、第14例では、画素回路における切替トランジスタ35が省略されている。

[0179] 図55は、第14例に係る単位画素の断面構造例を示す断面図である。図56は、第14例に係る受光チップのレイアウト例を示す平面図である。図

図 57 は、第 14 例に係る回路チップのレイアウト例を示す平面図である。図 58 は、第 14 例に係る E-E' 断面の構造例を示す断面図である。図 59 は、第 14 例に係る F-F' 断面の構造例を示す断面図である。図 60 は、第 14 例に係る G-G' 断面の構造例を示す断面図である。図 61 は、第 14 例に係る H-H' 断面の構造例を示す断面図である。図 62 は、第 14 例に係る L-L' 断面の構造例を示す断面図である。

[0180] (単位画素の断面構造例)

図 55 に示すように、第 14 例では、第 12 例において図 48 を用いて説明した単位画素 30 の断面構造と同様の構造において、1 つのオンチップレンズ 51 及び 1 つのカラーフィルタ 52 を共有する 2 つの単位画素 30 間を分離する画素分離部が、RDTI 型の画素分離部 60 に置き換えられている。したがって、第 14 例では、FTI 型の画素分離部 170 が、2 行 4 列に配列する 8 つの単位画素 30 が配置された領域を、行方向に配列する 2 つの単位画素 30 で構成された位相差検出画素ごとの領域（以下、位相差画素領域ともいう）に区画し、RDTI 型の画素分離部 60 が、位相差画素領域を単位画素 30 ごとの画素領域に区画する。

[0181] (受光チップのレイアウト例及び断面構造例)

図 56、図 58～図 62 に示すように、第 14 例において、受光チップ 41 には、第 10 例と同様に、光電変換部 PDa～PDh 及び転送トランジスタ 31a～31h と、増幅トランジスタ 33 とが配置される。ただし、第 14 例では、増幅トランジスタ 33 を構成する増幅ゲート電極が、増幅ゲート電極 131A と増幅ゲート電極 131B とに分離され、増幅ゲート電極 131A 及び 131B それぞれに、ソース・ドレインとして機能する拡散領域 110 が配置されている。

[0182] 各画素領域に配置された転送ゲート電極 111a1、111a2、111b1、111b2、111c1、111c2、111d1 及び 111d2 は、それぞれ貫通電極 112a1、112a2、112b1、112b2、112c1、112c2、112d1 及び 112d2 を介して第 1 メタル配線

M1に接続される。

[0183] 各位相差画素領域に配置された一对の転送ゲート電極111a1及び111a2、111b1及び111b2、111c1及び111c2、111d1及び111d2の間には、各転送トランジスタ31a～31hのドレインとして機能する拡散領域110a、110b、110c、110dが配置される。各拡散領域110a、110b、110c、110dは、同じ位相差画素領域に形成された転送トランジスタ31a及び31b、31c及び31d、31e及び31f、31g及び31h間で共有される。拡散領域110a、110b、110c、110dは、浮遊拡散領域FDa～FDdとしても機能する。

[0184] 拡散領域110a、110b、110c及び110dは、貫通電極113a、113b、113c及び113dを介して第1メタル配線M1に接続されている。増幅ゲート電極131A及び131Bは、貫通電極132a及び132bを介して第1メタル配線M1に接続されている。

[0185] また、貫通電極113a、113b、113c、113d、132a及び132bは、配線160及び163を介して短絡している。以上から、FDa、FDb、FDc、FDdと増幅ゲート電極131A及び131Bの短絡が可能となる。

[0186] なお、各位相差画素領域には、コンタクト部104a～104dが設けられ、これらコンタクト部104a～104dが貫通電極105a～105dを介して第1メタル配線M1に接続されることで、各画素領域のウェル電位が制御される。

[0187] (回路チップのレイアウト例及び断面構造例)

図57～図62に示すように、第14例において、回路チップ42には、リセットトランジスタ32と、選択トランジスタ34とが配置される。ただし、第14例では、リセットトランジスタ32を構成するリセットゲート電極が、リセットゲート電極221Aとリセットゲート電極221Bとに分離され、リセットゲート電極221A及び221Bそれぞれに、ソース・ドレ

インとして機能する拡散領域 210 及び 210a が配置されている。また、選択トランジスタ 34 を構成する選択ゲート電極が、選択ゲート電極 241A と選択ゲート電極 241B とに分離され、選択ゲート電極 241A 及び 241B それぞれに、ソース・ドレインとして機能する拡散領域 210 及び 210a が配置されている。

[0188] リセットトランジスタ 32 のソースとして機能する 2 つに分断された拡散領域 210a は、増幅ゲート電極 131A 及び 131B に接続された貫通電極 132a 及び 132b を介して第 1 メタル配線 M1 に接続される。すなわち、増幅ゲート電極 131A 及び 131B に接続された貫通電極 132a 及び 132b は、リセットトランジスタ 32 のソースを第 1 メタル配線 M1 に接続する貫通電極を兼ねる。それにより、リセットトランジスタ 32 のソースと増幅トランジスタ 33 のゲートと浮遊拡散領域 FDa～FDd とが短絡される。

[0189] また、リセットトランジスタ 32 のドレインとして機能する 2 つに分断された拡散領域 210 及び 210a は、増幅トランジスタ 33 のドレインとして機能する拡散領域 110 に接続された貫通電極 134a～134d を介して第 1 メタル配線 M1 に接続される。すなわち、増幅トランジスタ 33 のドレインに接続された貫通電極 134a～134d は、リセットトランジスタ 32 のドレインを第 1 メタル配線 M1 に接続する貫通電極を兼ねる。

[0190] さらに、選択トランジスタ 34 のドレインとして機能する 2 つに分断された拡散領域 210a は、増幅トランジスタ 33 のソースとして機能する拡散領域 110 に接続された貫通電極 135a～135d を介して第 1 メタル配線 M1 に接続される。すなわち、増幅トランジスタ 33 のソースに接続された貫通電極 135a～135d は、選択トランジスタ 34 のドレインを第 1 メタル配線 M1 に接続する貫通電極を兼ねる。

[0191] (第 14 例のまとめ)

第 14 例においても、第 4 例と同様に、増幅トランジスタ 33 を受光チップ 41 に配置することで、回路チップ 42 に配置される素子数及び配線数を

削減することが可能となるため、回路チップ42の配線密度を低減してデバイス特性を向上させることが可能になるとともに、回路チップ42の配線レイアウトの設計難易度を容易化することも可能となる。

[0192] また、第14例でも、第4例と同様に、増幅トランジスタ33のゲート（増幅ゲート電極131A及び131B）に接続された貫通電極132a及び132bがリセットトランジスタ32のソース（拡散領域210a）に接続される貫通電極を兼ねること、増幅トランジスタ33のドレインに接続された貫通電極134a～134dがリセットトランジスタ32のドレインに接続される貫通電極を兼ねること、及び、増幅トランジスタ33のソースに接続された貫通電極135a～135dが選択トランジスタ34のドレインに接続される貫通電極を兼ねることから、必要な電極数がさらに削減されるため、回路チップ42の配線密度を低減してデバイス特性をさらに向上させることが可能になるとともに、回路チップ42の配線レイアウトの設計難易度をさらに容易化することも可能となる。

[0193] 1. 8 まとめ

以上のように、本実施形態によれば、増幅ゲート電極231／131が、増幅ゲート電極231から延伸する延伸部233又は受光チップ41に設けられた配線133／160（及び161又は163）／162、若しくは、上層の第1メタル配線M1を介して、浮遊拡散領域FDに接続された貫通電極103／107に電氣的に接続される。それにより、電極数及び／又は回路チップ42に配置する配線の数削減することが可能となるため、配線密度を低減することが可能となる。その結果、配線に起因する寄生容量を低下させることができるため、デバイス特性を向上させることが可能となる。また、配線密度が低減されることで、配線レイアウトの設計難易度の容易化も可能となる。

[0194] 2. 第2の実施形態

次に、本開示の第2の実施形態について、図面を参照して詳細に説明する。なお、以下の説明において、上述した実施形態又はその変形例と同様の構

成、動作及び効果については、それらを引用することで、重複する説明を省略する。

[0195] 上述した第1の実施形態で例示した固体撮像装置に限らず、一般的な固体撮像装置においては、デバイス特性の向上を図る上で、増幅ゲート電極や浮遊拡散領域FDに接続された配線（以下、FD配線ともいう）と他の配線（例えば、電源線（以下、VDD配線ともいう）、リセットゲート電極に接続された配線（以下、RST制御線ともいう）など）との結合容量の低減が重要である。また、FD配線と増幅ゲート電極231／131とは電氣的に短絡されているため、増幅ゲート電極と他の配線との結合容量の低減も同様に重要となっている。

[0196] 一方で、3Dシーケンシャル構造では、画素領域において増幅ゲート電極が占める面積割合が従来構造よりも大きくなる傾向にある。そのため、増幅ゲート電極と他の配線との結合容量は、従来構造よりも増加し易いという課題が存在する。

[0197] 増幅ゲート電極と他の配線との容量結合は、グランド線やVSS配線（以下、まとめてVSS配線という）でFD配線や増幅ゲート電極の周辺をシールドすれば防ぐことができる。しかしながら、近年では、画素の微細化に伴い、シールドを目的としたVSS配線の設計が困難になってきている。

[0198] そこで、第2の実施形態では、第1の実施形態と同様に、デバイス特性の低下や設計難易度の上昇を抑制することが可能な固体撮像装置及び電子機器について、例を挙げて説明する。

[0199] より具体的には、本実施形態では、増幅ゲート電極やFD配線の少なくとも一部を導電性のシールド電極で覆う構造を提案する。その際、増幅ゲート電極やFD配線とシールド電極との間には、両者が電氣的に短絡することを回避するために、絶縁膜が配置される。また、シールド電極は、VSS配線に接続される。このような構造とすることで、増幅ゲート電極やFD配線が他の配線と形成するカップリング容量を低減することが可能となるため、配線密度が低減される。それにより、配線に起因する寄生容量が低下されるた

め、デバイス特性の低下や配線レイアウトの設計難易度の上昇を抑制することが可能となる。

[0200] なお、本実施形態に係る電子機器の構成（図 1 参照）、固体撮像装置の構成（図 2 参照）及び積層構造（図 4 参照）、単位画素の構成及び基本機能（図 3、図 6、図 2 1 等参照）並びに断面構造（図 5、図 4 8、図 5 2、図 5 5 等参照）は、上述した第 1 の実施形態と同様であってよい。

[0201] 2. 1 チップレイアウト及び断面構造の例

つづいて、本実施形態に係る受光チップ 4 1 及び回路チップ 4 2 のチップレイアウトと、受光チップ 4 1 及び回路チップ 4 2 を貼り合わせた積層チップの断面構造とについて、いくつか例を挙げて説明する。なお、以下の説明では、第 1 の実施形態と同様に、半導体基板 5 8（後述する半導体基板 1 0 1 に相当）に形成された光電変換部 P D 及び光電変換部 P D を区画する画素分離部 6 0（図 5 参照）については、その図示が適宜省略されている。また、以下の説明において、先行して説明した例（第 1 の実施形態を含む）と同様の構成については、後続する例においてその詳細な説明を省略する。

[0202] 2. 1. 1 第 1 例

第 1 例では、2 行 4 列に配列した 8 つの単位画素 3 0 が 1 つの浮遊拡散領域 F D を共有する場合について説明する。また、単位画素 3 0 の回路構成としては、第 1 の実施形態において図 2 1 を用いて説明した回路構成を引用する。

[0203] 図 6 3 は、第 1 例に係る受光チップのレイアウト例を示す平面図である。図 6 4 は、比較例に係る回路チップのレイアウト例を示す平面図である。図 6 5 は、第 1 例に係る回路チップのレイアウト例を示す平面図である。図 6 6 は、第 1 例に係る X-X' 断面の一部構造例を示す部分断面図である。図 6 7 は、第 1 例に係る Y-Y' 断面の一部構造例を示す部分断面図である。図 6 8 は、第 1 例に係る Z-Z' 断面の構造例を示す断面図である。

[0204] （受光チップのレイアウト例）

第 1 例において、受光チップ 4 1 には、光電変換部 P D a ~ P D h と、転

送トランジスタ31a～31hとが配置される。図63に示すように、第1例に係る受光チップ41のレイアウト例は、第1の実施形態の第5例において図22を用いて説明したそれと同様であってよい。ただし、図63では、説明の都合上、図22に例示したレイアウト例が90度（図63では左方向に90度）回転している。

[0205] （比較例に係る回路チップのレイアウト例）

比較例において、回路チップ42には、リセットトランジスタ32と、増幅トランジスタ33と、選択トランジスタ34と、切替トランジスタ35とが配置される。図64に示すように、比較例に係る回路チップ42の平面レイアウト例は、第1の実施形態の第5例において図23を用いて説明したそれと同様であってよい。ただし、第1例では、増幅ゲート電極231から延伸する延伸部233が省略され、代わりに、増幅トランジスタ33のゲート（増幅ゲート電極231）と浮遊拡散領域FD1及びFD2と切替トランジスタ35のソース（拡散領域210）とが貫通電極103、107及び第1メタル配線M1を介して接続されている。また、図64では、リセットトランジスタ32、増幅トランジスタ33、選択トランジスタ34及び切替トランジスタ35それぞれのゲート幅が拡大されている。さらに、図64では、説明の都合上、図23に例示したレイアウト例が90度（図64では左方向に90度）回転している。

[0206] このようなレイアウト例では、図64に示すように、基板厚方向において、例えば第1メタル配線M1より上層の第2メタル配線M2が増幅ゲート電極231と重畳する。この第2メタル配線M2は、増幅トランジスタ33のドレインとして機能する拡散領域210にコンタクトプラグ234、第1メタル配線M1及びビアホール235を介して接続され、また、リセットトランジスタ32のドレインとして機能する拡散領域210にコンタクトプラグ223、第1メタル配線M1及びビアホール225を介して接続される。したがって、第2メタル配線M2は、VDD配線である。

[0207] このように、VDD配線である第2メタル配線M2が増幅ゲート電極23

1と重畳すると、上述したように、増幅ゲート電極231と第2メタル配線M2の結合容量が増加する。その結果、画質の劣化が引き起こされる。一方で、第2メタル配線M2と増幅ゲート電極231の結合容量を抑制しながら設計することは、他の部分の配線密度を高めることにつながり、設計難易度が増加する。

[0208] (第1例に係る回路チップのレイアウト例)

そこで、第1例では、図65に示すように、第2メタル配線M2と増幅ゲート電極231とが基板厚方向において重畳する領域の少なくとも一部を覆うシールド電極260を、第2メタル配線M2と増幅ゲート電極231との間に介在させる。シールド電極260は、例えば、不純物がドーピングされたポリシリコンなどの導電性材料で構成されてもよい。

[0209] シールド電極260は、例えば、VSS配線に接続される貫通電極105（又は貫通電極109）に接続されることで、電源電位よりも低い電位（例えば、接地電位又はVSS電位）に維持される。それにより、増幅ゲート電極231と第2メタル配線M2の結合容量を抑制することが可能となるため、デバイス特性の低下を抑制することが可能となる。なお、第1例に係る回路チップ42のレイアウト例は、シールド電極260以外の部分において、図64に示した比較例と同様であってよい。

[0210] (シールド電極の断面構造例)

図66～図68に示すように、半導体基板201に形成された増幅トランジスタ33は、例えば、半導体基板201の表面の一部を覆うゲート絶縁膜231aと、ゲート絶縁膜231a上に配置された増幅ゲート電極231と、増幅ゲート電極231下のチャネル形成領域231bを挟む一対の拡散領域210（ソース／ドレイン）とを備える。増幅ゲート電極231の側面には、ソース・ドレインとして機能する拡散領域210と増幅ゲート電極231との距離を確保するためのサイドウォール231cが設けられてもよい。サイドウォール231cは、例えばシリコン酸化膜などの絶縁膜であってよい。なお、このようなトランジスタ構造は、リセットトランジスタ32、選

択トランジスタ 34 及び切替トランジスタ 35 にも適用されてよい。

[0211] 増幅トランジスタ 33 が形成された半導体基板 201 の上面における少なくともシールド電極 260 が形成される領域は、絶縁膜 261 で覆われる。これにより、シールド電極 260 が半導体基板 201 や増幅トランジスタ 33 に短絡されることが防止される。

[0212] (第 1 例のまとめ)

以上のように、第 2 メタル配線 M2 と増幅ゲート電極 231 とが基板厚方向において重畳する領域の少なくとも一部を、接地電位又は VSS 電位に維持されたシールド電極 260 で覆うことで、増幅ゲート電極 231 と VDD 配線の結合容量が抑制される。その結果、ノイズの増大が抑制され、画質の向上が可能となる。また、メタル配線を用いずに増幅ゲート電極 231 を VDD 配線からシールドしているため、回路チップの配線密度が従来の構造よりも低減され、配線レイアウトの設計難易度の容易化を図ることが可能となる。

[0213] (第 1 例の変形例)

図 69 は、第 1 例の変形例に係る回路チップのレイアウト例を示す平面図である。上述した第 1 例では、VDD 配線と増幅ゲート電極 231 との容量結合を抑制する場合について説明した。ただし、容量結合の抑制対象は、VDD 配線及び増幅ゲート電極 231 に限定されない。例えば、図 69 に示すように、リセットゲート電極 221 に接続された第 2 メタル配線 M2 と増幅ゲート電極 231 との容量結合を抑制するように、シールド電極 260 が配置されてもよい。その場合、第 2 メタル配線 M2 と増幅ゲート電極 231 とが基板厚方向において重畳する領域の少なくとも一部を覆うシールド電極 260 が、第 2 メタル配線 M2 と増幅ゲート電極 231 との間に設けられる。それにより、増幅ゲート電極 231 とリセットゲート電極 221 に接続された第 2 メタル配線 M2 との容量結合が抑制されるため、配線の容量結合に起因する寄生容量が低下され、その結果、デバイス特性を向上や配線レイアウトの設計難易度の容易化を図ることが可能となる。

[0214] なお、第1例では、浮遊拡散領域FDを共有する8つの単位画素30（以下、共有画素グループという）で共有される増幅ゲート電極231に対して配置されたシールド電極260が、この共有画素グループのウェル電位を制御するための貫通電極105／109に接続される場合を例示したが、シールド電極260の接続先は、これに限定されない。例えば、図69に示すように、隣接する共有画素グループのウェル電位を制御するための貫通電極105／109に接続されてもよい。

[0215] 2. 1. 2 第2例

第2例では、2行2列に配列した4つの単位画素30が1つの浮遊拡散領域FDを共有する場合について説明する。また、単位画素30の回路構成としては、第1の実施形態において図6を用いて説明した回路構成を引用する。

[0216] 図70は、第2例に係る回路チップのレイアウト例を示す平面図である。図71は、第2例に係るW-W'断面の構造例を示す断面図である。なお、第2例に係る受光チップ41のレイアウト例は、第1の実施形態の第13例において図53を用いて説明したレイアウト例と同様であってよい。

[0217] （回路チップのレイアウト例）

第2例において、回路チップ42には、リセットトランジスタ32と、増幅トランジスタ33と、選択トランジスタ34とが配置される。図70に示すように、第2例に係る回路チップ42のレイアウト例は、第1の実施形態の第13例において図54を用いて説明したレイアウト例と同様のレイアウトにおいて、増幅ゲート電極231上に、VDD配線としての第2メタル配線M2（VDD）と、リセットゲート電極221に接続された第2メタル配線M2（RST）とが配線されている。

[0218] そこで、第2例では、基板厚方向において、増幅ゲート電極231と、第2メタル配線M2（VDD）及び／又はM2（RST）とが重畳する領域の少なくとも一部を覆うように、シールド電極260が配置される。なお、第2メタル配線M2（VDD）は、ビアホール225を介してリセットラン

ジスタ 32 のドレインとして機能する拡散領域 210 に短絡された第 1 メタル配線 M1 に接続される。第 2 メタル配線 M2 (RST) は、ビアホール 226 を介してリセットゲート電極 221 に短絡された第 1 メタル配線 M1 に接続される。

[0219] シールド電極 260 は、貫通電極 105a ~ 105d のいずれか 1 つ以上 (図 70 では、貫通電極 105a) に接続されることで、電源電位よりも低い電位 (例えば、接地電位又は VSS 電位) に維持される。それにより、増幅ゲート電極 231 と第 2 メタル配線 M2 (VDD) 及び／又は M2 (RST) との容量結合を抑制することが可能となるため、デバイス特性の低下を抑制することが可能となる。

[0220] (シールド電極の断面構造例)

図 71 に示すように、シールド電極 260 は、増幅ゲート電極 231 の少なくとも一部を覆うように、増幅ゲート電極 231 上に絶縁膜 261 を介して配置される。このシールド電極 260 が配置される領域は、増幅ゲート電極 231 と、第 2 メタル配線 M2 (VDD) 及び／又は M2 (RST) とが重畳する領域の少なくとも一部と対応している。

[0221] (第 2 例のまとめ)

以上のように、第 2 メタル配線 M2 (VDD) 及び／又は M2 (RST) と増幅ゲート電極 231 とが基板厚方向において重畳する領域の少なくとも一部を、接地電位又は VSS 電位に維持されたシールド電極 260 で覆うことで、増幅ゲート電極 231 と VDD 配線及び／又はリセットゲート電極 221 との容量結合が抑制される。それにより、配線の容量結合に起因する寄生容量が低下されるため、デバイス特性を向上や配線レイアウトの設計難易度の容易化を図ることが可能となる。

[0222] 2. 1. 3 第 3 例

第 3 例では、2 行 2 列に配列した 4 つの単位画素 30 が 1 つの浮遊拡散領域 FD を共有する場合について説明する。また、単位画素 30 の回路構成としては、第 1 の実施形態において図 6 を用いて説明した回路構成を引用する

。

[0223] 図 7 2 は、第 3 例に係る回路チップのレイアウト例を示す平面図である。

図 7 3 は、第 3 例に係る A - A' 断面の構造例を示す断面図である。図 7 4 は、第 3 例に係る B - B' 断面の構造例を示す断面図である。なお、第 3 例に係る受光チップ 4 1 のレイアウト例は、第 1 の実施形態の第 1 例において図 7 を用いて説明したレイアウト例と同様であってよい。

[0224] (回路チップのレイアウト例及び断面構造例)

第 3 例において、回路チップ 4 2 には、リセットトランジスタ 3 2 と、増幅トランジスタ 3 3 と、選択トランジスタ 3 4 とが配置される。図 7 2 ~ 図 7 4 に示すように、第 3 例に係る回路チップ 4 2 のレイアウト例は、第 1 の実施形態の第 3 例において図 1 4 を用いて説明したレイアウト例と同様のレイアウトにおいて、リセットトランジスタ 3 2 のソースとして機能する拡散領域 2 1 0 (F D 配線に相当) と、増幅ゲート電極 2 3 1 とを跨ぐように、リセットゲート電極 2 2 1 に接続された第 2 メタル配線 M 2 (R S T) が配線されている。

[0225] そこで、第 3 例では、基板厚方向において、拡散領域 2 1 0 及び／又は増幅ゲート電極 2 3 1 と、第 2 メタル配線 M 2 (R S T) とが重畳する領域の少なくとも一部を覆うように、シールド電極 2 6 0 が配置される。シールド電極 2 6 0 は、隣接する共有画素グループのウェル電位を制御するための貫通電極 1 0 5 に接続されることで、電源電位よりも低い電位（例えば、接地電位又は V S S 電位）に維持される。それにより、拡散領域 2 1 0 及び／又は増幅ゲート電極 2 3 1 と第 2 メタル配線 M 2 (R S T) との容量結合を抑制することが可能となるため、デバイス特性の低下を抑制することが可能となる。

[0226] (第 3 例のまとめ)

以上のように、拡散領域 2 1 0 及び／又は増幅ゲート電極 2 3 1 と第 2 メタル配線 M 2 (R S T) とが基板厚方向において重畳する領域の少なくとも一部を、接地電位又は V S S 電位に維持されたシールド電極 2 6 0 で覆うこ

とで、浮遊拡散領域FD及び／又は増幅ゲート電極231とリセットゲート電極221に接続された第2メタル配線M2（RST）との容量結合が抑制される。それにより、配線の容量結合に起因する寄生容量が低下されるため、デバイス特性を向上や配線レイアウトの設計難易度の容易化を図ることが可能となる。

[0227] 2. 2 まとめ

以上のように、本実施形態によれば、増幅ゲート電極やFD配線の少なくとも一部が接地電位又はVSS電位に維持されたシールド電極260で覆われるため、増幅ゲート電極231やFD配線が第2メタル配線M2等の他の配線と容量結合することが抑制される。それにより、配線の容量結合に起因する寄生容量が低下されるため、デバイス特性の低下や配線レイアウトの設計難易度の上昇を抑制することが可能となる。

[0228] 3. 移動体への応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0229] 図75は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0230] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図75に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（Interface）12053が図示されている。

- [0231] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0232] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0233] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0234] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0235] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検

出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0236] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0237] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0238] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0239] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図７５の例では、出力装置として、オ

オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0240] 図 76 は、撮像部 12031 の設置位置の例を示す図である。

[0241] 図 76 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0242] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0243] なお、図 76 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112、12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0244] 撮像部 12101 ないし 12104 の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104

の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0245] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0246] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0247] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識

は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

[0248] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 1 2 0 3 1 等に適用され得る。撮像部 1 2 0 3 1 に本開示に係る技術を適用することにより、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0249] 4. 内視鏡手術システムへの応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0250] 図 7 7 は、本開示に係る技術（本技術）が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0251] 図 7 7 では、術者（医師） 1 1 1 3 1 が、内視鏡手術システム 1 1 0 0 0 を用いて、患者ベッド 1 1 1 3 3 上の患者 1 1 1 3 2 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 1 1 0 0 0 は、内視鏡 1 1 1 0 0 と、気腹チューブ 1 1 1 1 1 やエネルギー処置具 1 1 1 1 2 等の、その他の術具 1 1 1 1 0 と、内視鏡 1 1 1 0 0 を支持する支持アーム装置 1 1 1 2 0 と、内視鏡下手術のための各種の装置が搭載されたカート 1 1 2 0 0 と、から構成される。

[0252] 内視鏡 1 1 1 0 0 は、先端から所定の長さの領域が患者 1 1 1 3 2 の体腔内に挿入される鏡筒 1 1 1 0 1 と、鏡筒 1 1 1 0 1 の基端に接続されるカメ

ラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0253] 鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0254] カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAW データとしてカメラコントロールユニット（CCU: Camera Control Unit）11201 に送信される。

[0255] CCU 11201 は、CPU (Central Processing Unit) や GPU (Graphics Processing Unit) 等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0256] 表示装置 11202 は、CCU 11201 からの制御により、当該 CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。

[0257] 光源装置 11203 は、例えば LED (light emitting diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。

- [0258] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。
- [0259] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 の駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。
- [0260] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。
- [0261] また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0262] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0263] 図 78 は、図 77 に示すカメラヘッド 11102 及び CCU 11201 の機能構成の一例を示すブロック図である。

[0264] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 と CCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0265] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0266] 撮像部 11402 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が

多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部11402は、3D (dimensional) 表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者11131は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部11402が多板式で構成される場合には、各撮像素子に対応して、レンズユニット11401も複数系統設けられ得る。

[0267] また、撮像部11402は、必ずしもカメラヘッド11102に設けられなくてもよい。例えば、撮像部11402は、鏡筒11101の内部に、対物レンズの直後に設けられてもよい。

[0268] 駆動部11403は、アクチュエータによって構成され、カメラヘッド制御部11405からの制御により、レンズユニット11401のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部11402による撮像画像の倍率及び焦点が適宜調整され得る。

[0269] 通信部11404は、CCU11201との間で各種の情報を送受信するための通信装置によって構成される。通信部11404は、撮像部11402から得た画像信号をRAWデータとして伝送ケーブル11400を介してCCU11201に送信する。

[0270] また、通信部11404は、CCU11201から、カメラヘッド11102の駆動を制御するための制御信号を受信し、カメラヘッド制御部11405に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0271] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU

１１２０１の制御部１１４１３によって自動的に設定されてもよい。後者の場合には、いわゆるＡＥ（Auto Exposure）機能、ＡＦ（Auto Focus）機能及びＡＷＢ（Auto White Balance）機能が内視鏡１１１００に搭載されていることになる。

[0272] カメラヘッド制御部１１４０５は、通信部１１４０４を介して受信したＣＣＵ１１２０１からの制御信号に基づいて、カメラヘッド１１１０２の駆動を制御する。

[0273] 通信部１１４１１は、カメラヘッド１１１０２との間で各種の情報を送受信するための通信装置によって構成される。通信部１１４１１は、カメラヘッド１１１０２から、伝送ケーブル１１４００を介して送信される画像信号を受信する。

[0274] また、通信部１１４１１は、カメラヘッド１１１０２に対して、カメラヘッド１１１０２の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0275] 画像処理部１１４１２は、カメラヘッド１１１０２から送信されたＲＡＷデータである画像信号に対して各種の画像処理を施す。

[0276] 制御部１１４１３は、内視鏡１１１００による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部１１４１３は、カメラヘッド１１１０２の駆動を制御するための制御信号を生成する。

[0277] また、制御部１１４１３は、画像処理部１１４１２によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置１１２０２に表示させる。この際、制御部１１４１３は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部１１４１３は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具１１１１２の使用時のミスト等を認識することができる。制御部１１４１３は、表示装置１１２０２に撮像画像を表示させる際に、その認識結果を用いて、各種の手術

支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者１１１３１に提示されることにより、術者１１１３１の負担を軽減することや、術者１１１３１が確実に手術を進めることが可能になる。

[0278] カメラヘッド１１１０２及びＣＣＵ１１２０１を接続する伝送ケーブル１１４００は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0279] ここで、図示する例では、伝送ケーブル１１４００を用いて有線で通信が行われていたが、カメラヘッド１１１０２とＣＣＵ１１２０１との間の通信は無線で行われてもよい。

[0280] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、カメラヘッド１１１０２の撮像部１１４０２に適用され得る。カメラヘッド１１１０２に本開示に係る技術を適用することにより、より鮮明な術部画像を得ることができるため、術者が術部を確実に確認することが可能になる。

[0281] なお、ここでは、一例として内視鏡手術システムについて説明したが、本開示に係る技術は、その他、例えば、顕微鏡手術システム等に適用されてもよい。

[0282] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0283] また、本明細書に記載された各実施形態における効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0284] なお、本技術は以下のような構成も取ることができる。

(１)

入射光を光電変換して電荷を発生させる光電変換部を備える第１基板と、前記第１基板と貼り合わされ、前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路の少なくとも一部を備える第２基板と、

前記第2基板を挟んで前記第1基板と反対側に配置された第1メタル配線と、

を備え、

前記画素回路は、

前記光電変換部で発生した電荷を蓄積する電荷蓄積部と、

前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタと、

前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタと、

前記第1メタル配線から前記第2基板を貫通して前記電荷蓄積部に接続された第1貫通電極と、

前記増幅トランジスタのゲート電極と前記第1貫通電極とを接続する第1配線と、

を含む固体撮像装置。

(2)

前記第1配線は、前記増幅トランジスタのゲート電極から延伸した延伸部である

前記(1)に記載の固体撮像装置。

(3)

前記画素回路は、前記増幅トランジスタのゲート電極に接続された第2貫通電極をさらに備え、

前記第1配線は、前記第1貫通電極と前記第2貫通電極とを接続する配線である

前記(1)に記載の固体撮像装置。

(4)

前記増幅トランジスタは、前記第1基板に配置される

前記(3)に記載の固体撮像装置。

(5)

前記第 1 配線は、前記第 1 メタル配線の一部を含む

前記（１）に記載の固体撮像装置。

（６）

前記画素回路は、前記リセットトランジスタのソースと前記電荷蓄積部とを接続する第 2 配線をさらに備える

前記（１）～（５）の何れか 1 つに記載の固体撮像装置。

（７）

前記第 2 配線は、前記第 1 メタル配線の一部を含む

前記（６）に記載の固体撮像装置。

（８）

前記リセットトランジスタは、前記第 2 基板に配置され、

前記第 2 配線は、前記リセットトランジスタの前記ソースとして機能する第 1 拡散領域と連続する第 2 拡散領域である

前記（６）に記載の固体撮像装置。

（９）

前記増幅トランジスタは、前記第 1 基板に配置され、

前記画素回路は、前記増幅トランジスタのゲート電極に接続された第 2 貫通電極をさらに備え、

前記第 2 配線は、前記第 2 貫通電極及び前記第 1 配線の少なくとも一部を含む

前記（６）に記載の固体撮像装置。

（１０）

前記第 1 基板は、複数の前記光電変換部を備え、

前記複数の光電変換部は、前記電荷蓄積部に接続される

前記（１）～（９）の何れか 1 つに記載の固体撮像装置。

（１１）

前記画素回路は、

複数の前記電荷蓄積部と、

前記複数の電荷蓄積部を接続する第3配線と、
をさらに備える前記（10）に記載の固体撮像装置。

（12）

前記第3配線は、前記複数の電荷蓄積部それぞれに接続された前記第1貫通電極間を接続する前記第1メタル配線の一部を含む

前記（11）に記載の固体撮像装置。

（13）

前記第3配線は、前記第1基板上に設けられ、前記複数の電荷蓄積部それぞれに接続された前記第1貫通電極間を接続する第4配線を含む

前記（11）に記載の固体撮像装置。

（14）

前記（1）～（13）の何れか1つに記載の固体撮像装置と、
前記固体撮像装置から出力された画像信号を処理するプロセッサと、
を備える電子機器。

（15）

入射光を光電変換して電荷を発生させる光電変換部と、
前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路と、

を備え、

前記光電変換部は、第1基板に配置され、

前記画素回路の少なくとも一部は、前記第1基板に貼り合わされた第2基板に配置され、

前記画素回路は、

前記光電変換部で発生した電荷を蓄積する電荷蓄積部と、

前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタと、

前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタと、

を含み、

前記増幅トランジスタは、前記第2基板に配置され、

前記第2基板は、

前記第2基板を挟んで前記第1基板と反対側に配置された第2メタル配線と、

前記第2メタル配線と前記増幅トランジスタのゲート電極との間の少なくとも一部に配置されたシールド電極と、

をさらに備える固体撮像装置。

(16)

前記第2メタル配線は、電源電圧が印加される電源線である

前記(15)に記載の固体撮像装置。

(17)

前記第2メタル配線は、前記リセットトランジスタのゲート電極に接続される

前記(15)に記載の固体撮像装置。

(18)

前記シールド電極はさらに、前記電荷蓄積部と前記第2メタル配線との間の少なくとも一部に配置される

前記(15)～(17)の何れか1つに記載の固体撮像装置。

(19)

前記シールド電極は、前記第2基板のウェルに接続される

前記(15)～(18)の何れか1つに記載の固体撮像装置。

(20)

前記(15)～(19)の何れか1つに記載の固体撮像装置と、

前記固体撮像装置から出力された画像信号を処理するプロセッサと、

を備える電子機器。

符号の説明

[0285] 1 電子機器

- 1 0 固体撮像装置
- 1 1 撮像レンズ
- 1 3 プロセッサ
- 1 4 記憶部
- 2 1 画素アレイ部
- 2 2 垂直駆動回路
- 2 3 カラム処理回路
- 2 4 水平駆動回路
- 2 5 システム制御部
- 2 6 信号処理部
- 2 7 データ格納部
- 3 0、3 0 a～3 0 h 単位画素
- 3 1、3 1 a～3 1 h 転送トランジスタ
- 3 2 リセットトランジスタ
- 3 3 増幅トランジスタ
- 3 4 選択トランジスタ
- 3 5 切替トランジスタ
- 4 1 受光チップ
- 4 2 回路チップ
- 5 1 オンチップレンズ
- 5 2 カラーフィルタ
- 5 3 平坦化膜
- 5 4 遮光膜
- 5 5、6 3、2 6 1 絶縁膜
- 5 6、6 4 P型半導体領域
- 5 7 受光面
- 5 8、1 0 1、2 0 1 半導体基板
- 5 9 N型半導体領域

60、170 画素分離部

61 溝部

62 固定電荷膜

66 配線

65 配線層

67、301 絶縁層

103、105、105a~105d、107、109、112a~112h、112a1~112d1、112a2~112d2、113a~113d、122、123、124、132、132a、132b、134、134a~134d、135、135a~135d 貫通電極

104、104a~104d、108、204、204a~204d、208 コンタクト部

110、110a~110d、210、210a 拡散領域

111a~111h、111a1~111d1、111a2~111d2 転送ゲート電極

121、221、221A、221B リセットゲート電極

131、131A、131B、231 増幅ゲート電極

133、160、162、163 配線

161、233 延伸部

121a、131b、221a、231a、241a、251a ゲート絶縁膜

121b、131b、221b、231b、241b、251b チャネル形成領域

205、222、222A、222B、223、224、232、234、242、242A、242B、243、252、253 コンタクトプラグ

225、226、235 ビアホール

231c サイドウォール

2 4 1、2 4 1 A、2 4 1 B 選択ゲート電極

2 5 1 切替ゲート電極

2 6 0 シールド電極

2 6 5 絶縁膜領域

4 1 0 第1半導体チップ

4 2 0 第2半導体チップ

C キャパシタ

F D、F D 1、F D 2、F D a～F D d 浮遊拡散領域

L D 画素駆動線

L D 3 1 転送トランジスタ駆動線

L D 3 2 リセットトランジスタ駆動線

L D 3 4 選択トランジスタ駆動線

M 1 第1メタル配線

M 2 第2メタル配線

P D、P D a～P D h 光電変換部

V S L 垂直信号線

請求の範囲

- [請求項1] 入射光を光電変換して電荷を発生させる光電変換部を備える第1基板と、
- 前記第1基板と貼り合わされ、前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路の少なくとも一部を備える第2基板と、
- 前記第2基板を挟んで前記第1基板と反対側に配置された第1メタル配線と、
- を備え、
- 前記画素回路は、
- 前記光電変換部で発生した電荷を蓄積する電荷蓄積部と、
- 前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタと、
- 前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタと、
- 前記第1メタル配線から前記第2基板を貫通して前記電荷蓄積部に接続された第1貫通電極と、
- 前記増幅トランジスタのゲート電極と前記第1貫通電極とを接続する第1配線と、
- を含む固体撮像装置。
- [請求項2] 前記第1配線は、前記増幅トランジスタのゲート電極から延伸した延伸部である
- 請求項1に記載の固体撮像装置。
- [請求項3] 前記画素回路は、前記増幅トランジスタのゲート電極に接続された第2貫通電極をさらに備え、
- 前記第1配線は、前記第1貫通電極と前記第2貫通電極とを接続する配線である
- 請求項1に記載の固体撮像装置。

- [請求項4] 前記増幅トランジスタは、前記第1基板に配置される請求項3に記載の固体撮像装置。
- [請求項5] 前記第1配線は、前記第1メタル配線の一部を含む請求項1に記載の固体撮像装置。
- [請求項6] 前記画素回路は、前記リセットトランジスタのソースと前記電荷蓄積部とを接続する第2配線をさらに備える請求項1に記載の固体撮像装置。
- [請求項7] 前記第2配線は、前記第1メタル配線の一部を含む請求項6に記載の固体撮像装置。
- [請求項8] 前記リセットトランジスタは、前記第2基板に配置され、前記第2配線は、前記リセットトランジスタの前記ソースとして機能する第1拡散領域と連続する第2拡散領域である請求項6に記載の固体撮像装置。
- [請求項9] 前記増幅トランジスタは、前記第1基板に配置され、前記画素回路は、前記増幅トランジスタのゲート電極に接続された第2貫通電極をさらに備え、
前記第2配線は、前記第2貫通電極及び前記第1配線の少なくとも一部を含む請求項6に記載の固体撮像装置。
- [請求項10] 前記第1基板は、複数の前記光電変換部を備え、前記複数の光電変換部は、前記電荷蓄積部に接続される請求項1に記載の固体撮像装置。
- [請求項11] 前記画素回路は、
複数の前記電荷蓄積部と、
前記複数の電荷蓄積部を接続する第3配線と、
をさらに備える請求項10に記載の固体撮像装置。
- [請求項12] 前記第3配線は、前記複数の電荷蓄積部それぞれに接続された前記第1貫通電極間を接続する前記第1メタル配線の一部を含む

請求項 1 1 に記載の固体撮像装置。

[請求項13] 前記第 3 配線は、前記第 1 基板上に設けられ、前記複数の電荷蓄積部それぞれに接続された前記第 1 貫通電極間を接続する第 4 配線を含む

請求項 1 1 に記載の固体撮像装置。

[請求項14] 請求項 1 に記載の固体撮像装置と、
前記固体撮像装置から出力された画像信号を処理するプロセッサと、
、
を備える電子機器。

[請求項15] 入射光を光電変換して電荷を発生させる光電変換部と、
前記光電変換部で発生した前記電荷に基づく電圧信号を生成する画素回路と、

を備え、

前記光電変換部は、第 1 基板に配置され、

前記画素回路の少なくとも一部は、前記第 1 基板に貼り合わされた第 2 基板に配置され、

前記画素回路は、

前記光電変換部で発生した電荷を蓄積する電荷蓄積部と、

前記電荷蓄積部に蓄積された前記電荷を当該電荷の電荷量に応じた電圧値の電圧に変換する増幅トランジスタと、

前記電荷蓄積部に蓄積された前記電荷を放出するリセットトランジスタと、

を含み、

前記増幅トランジスタは、前記第 2 基板に配置され、

前記第 2 基板は、

前記第 2 基板を挟んで前記第 1 基板と反対側に配置された第 2 メタル配線と、

前記第 2 メタル配線と前記増幅トランジスタのゲート電極との間

の少なくとも一部に配置されたシールド電極と、
をさらに備える固体撮像装置。

[請求項16] 前記第2メタル配線は、電源電圧が印加される電源線である
請求項15に記載の固体撮像装置。

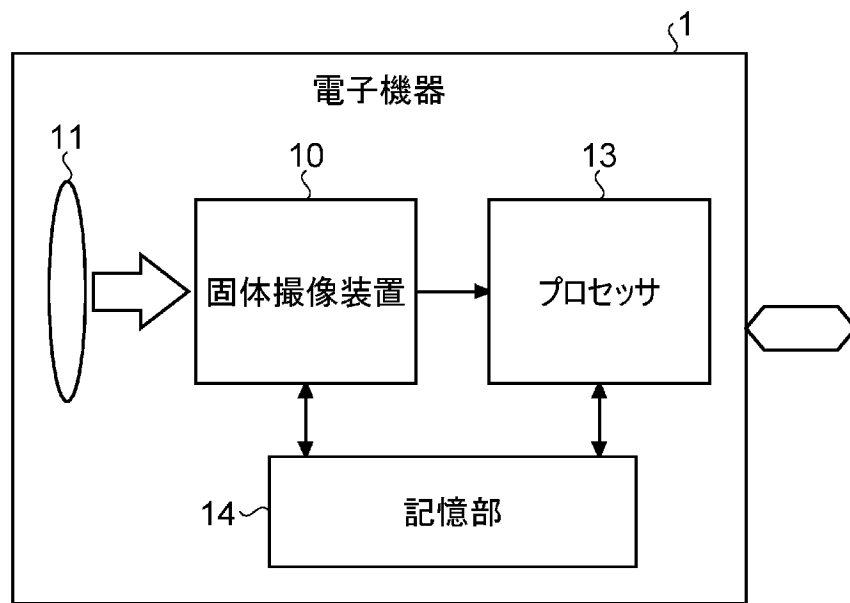
[請求項17] 前記第2メタル配線は、前記リセットトランジスタのゲート電極に
接続される
請求項15に記載の固体撮像装置。

[請求項18] 前記シールド電極はさらに、前記電荷蓄積部と前記第2メタル配線
との間の少なくとも一部に配置される
請求項15に記載の固体撮像装置。

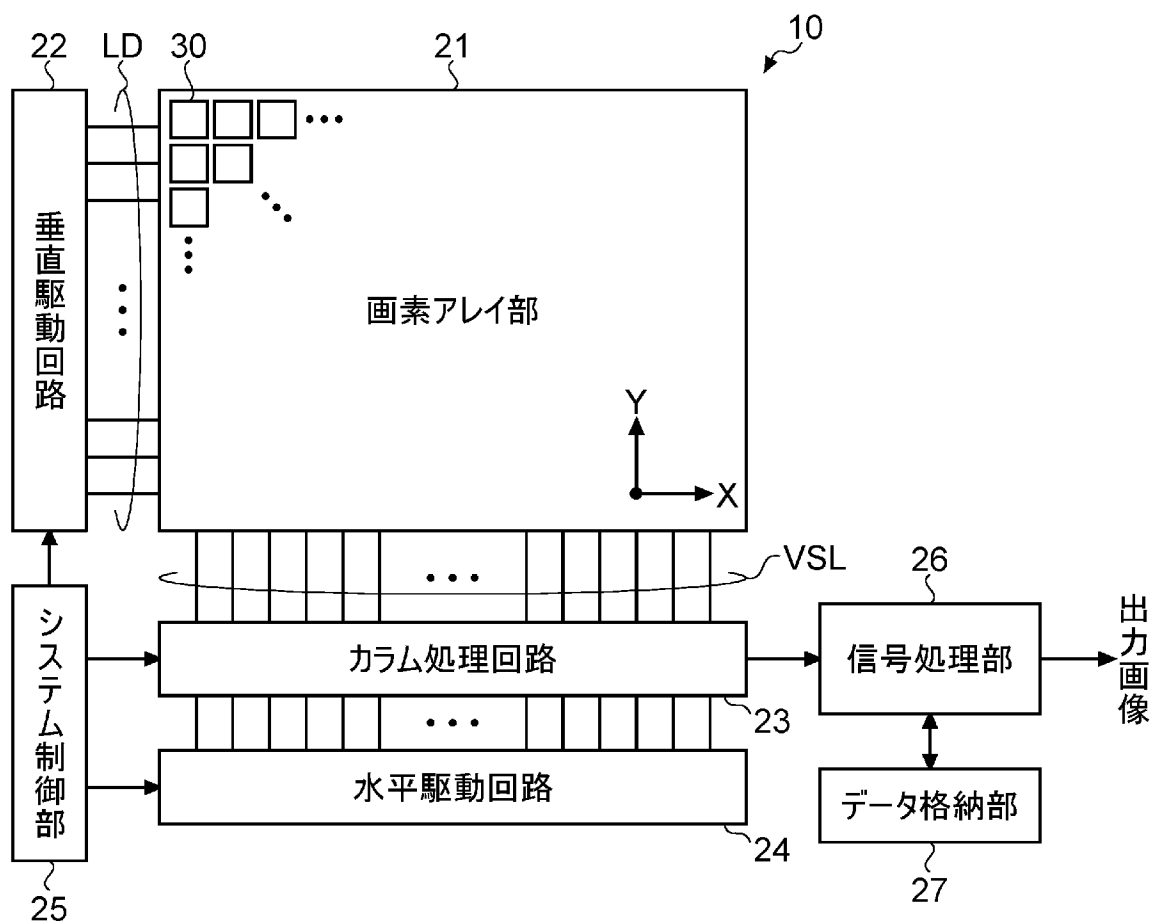
[請求項19] 前記シールド電極は、前記第2基板のウェルに接続される
請求項15に記載の固体撮像装置。

[請求項20] 請求項15に記載の固体撮像装置と、
前記固体撮像装置から出力された画像信号を処理するプロセッサと
、
を備える電子機器。

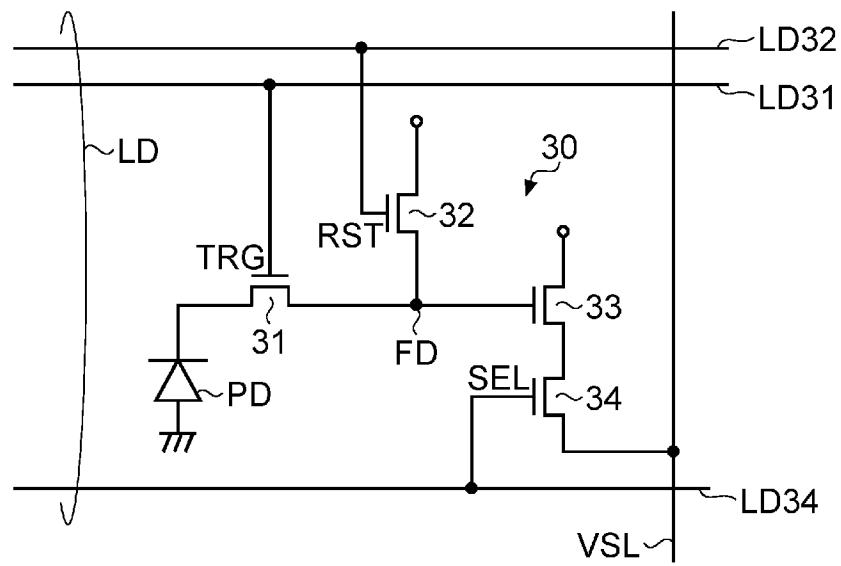
[図1]



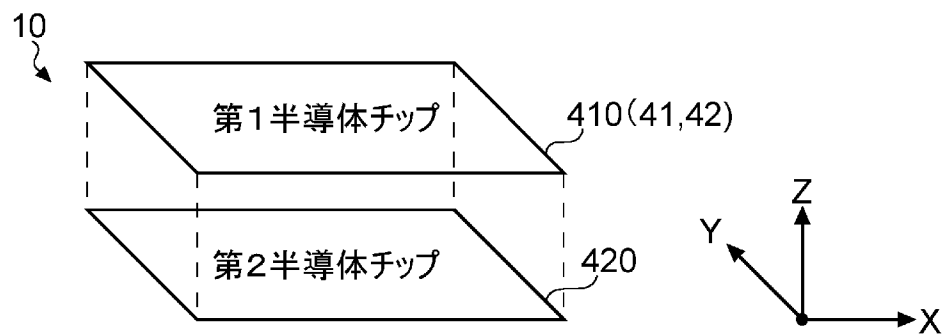
[図2]



[図3]

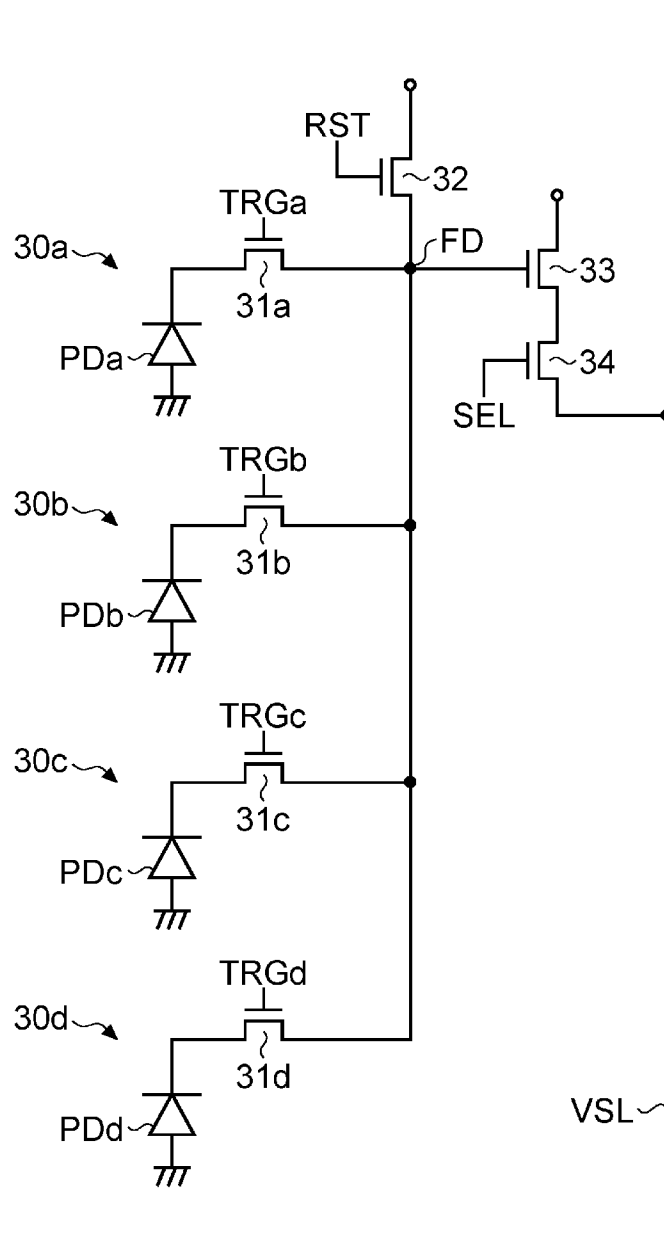


[図4]

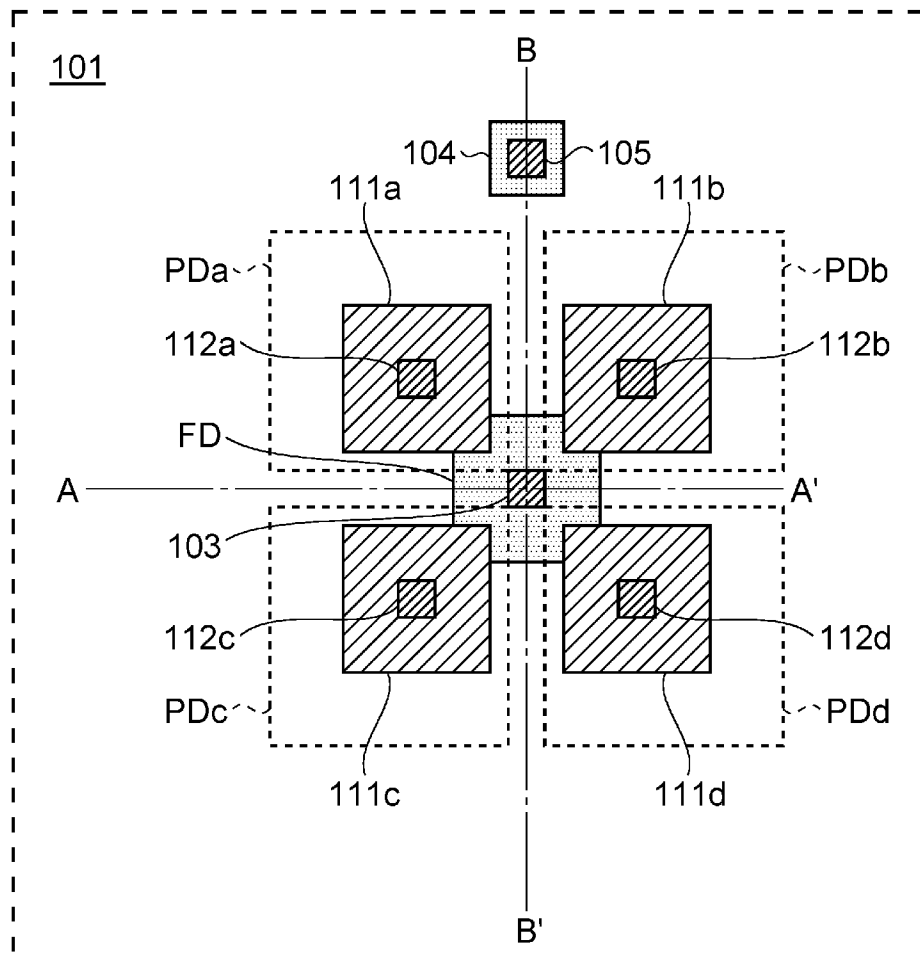


[illegible]

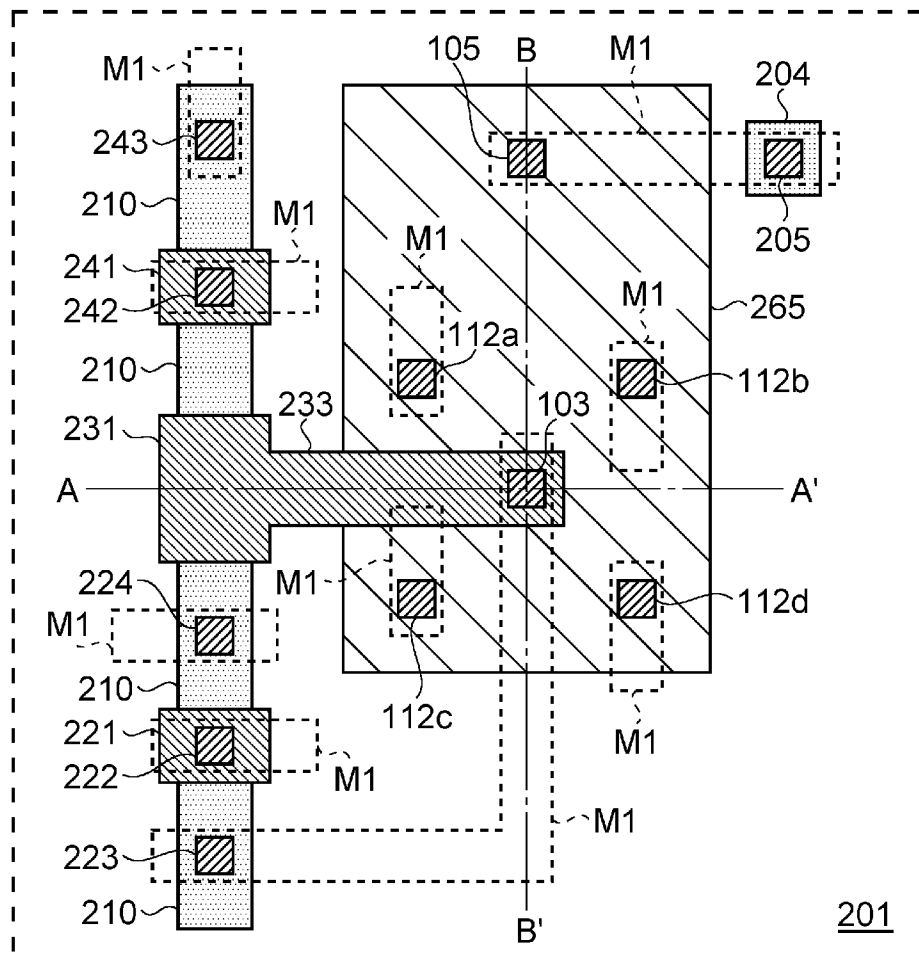
[図6]



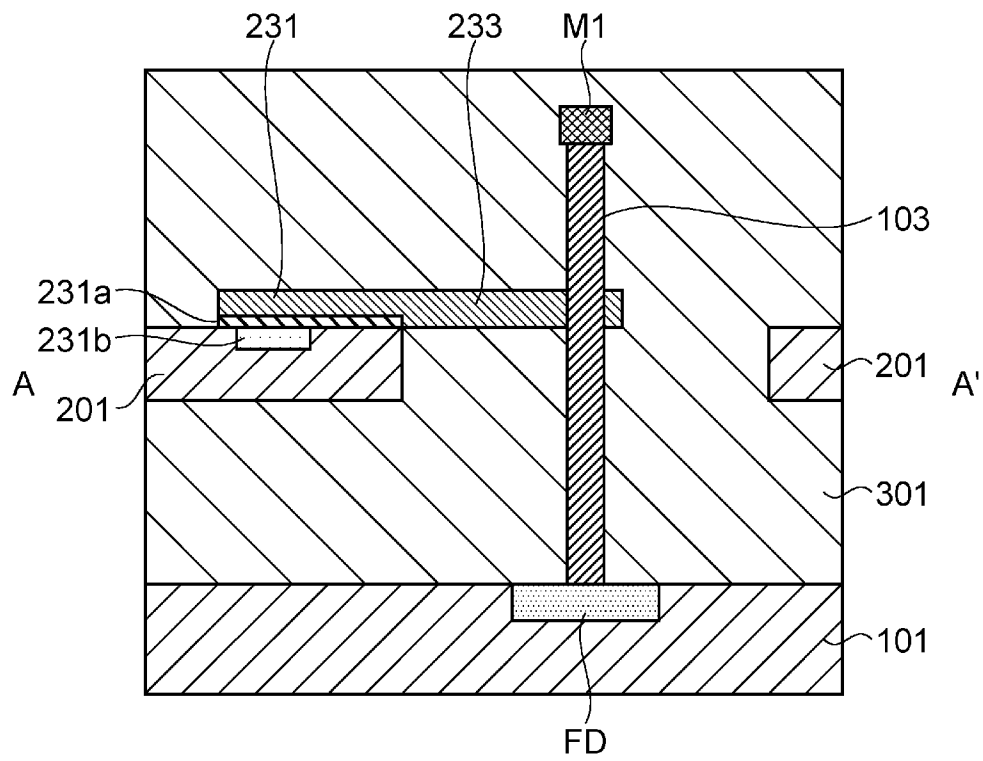
[図7]



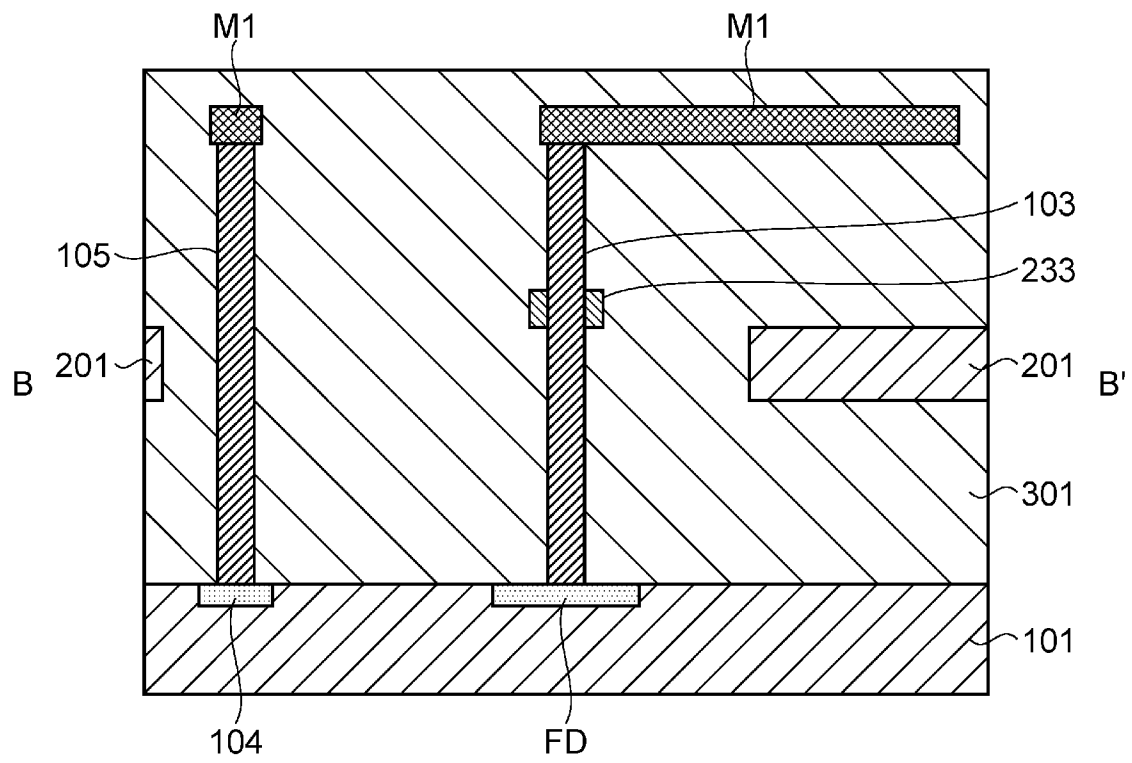
[図8]



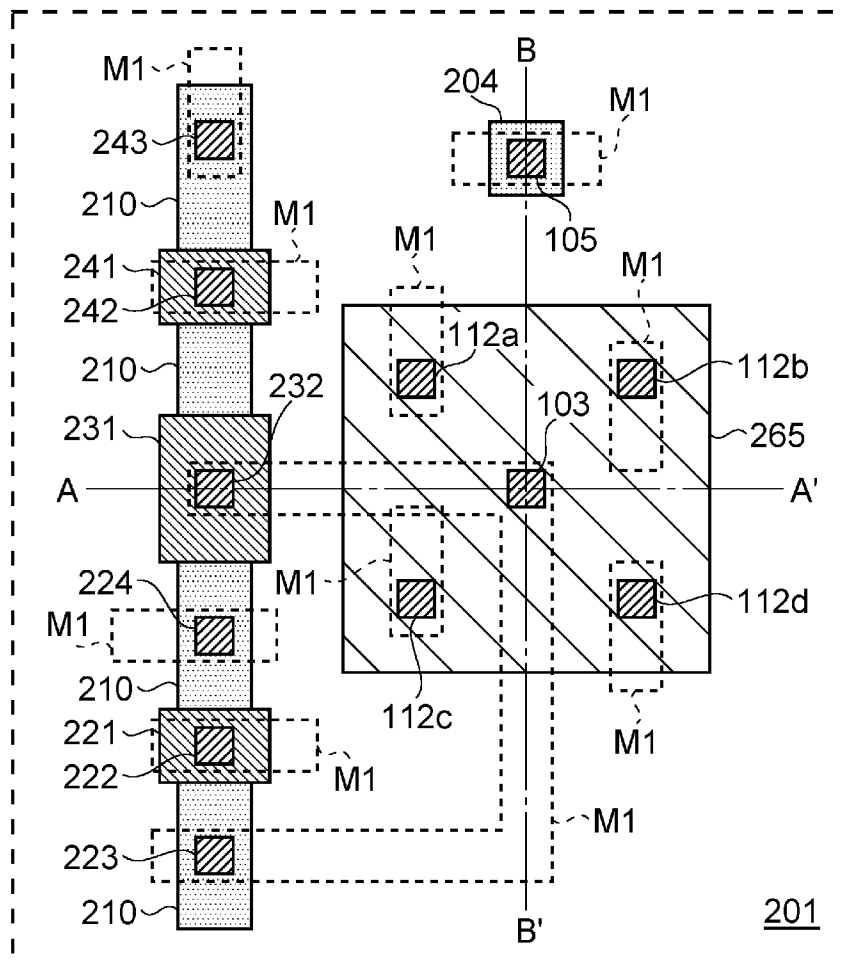
[図9]

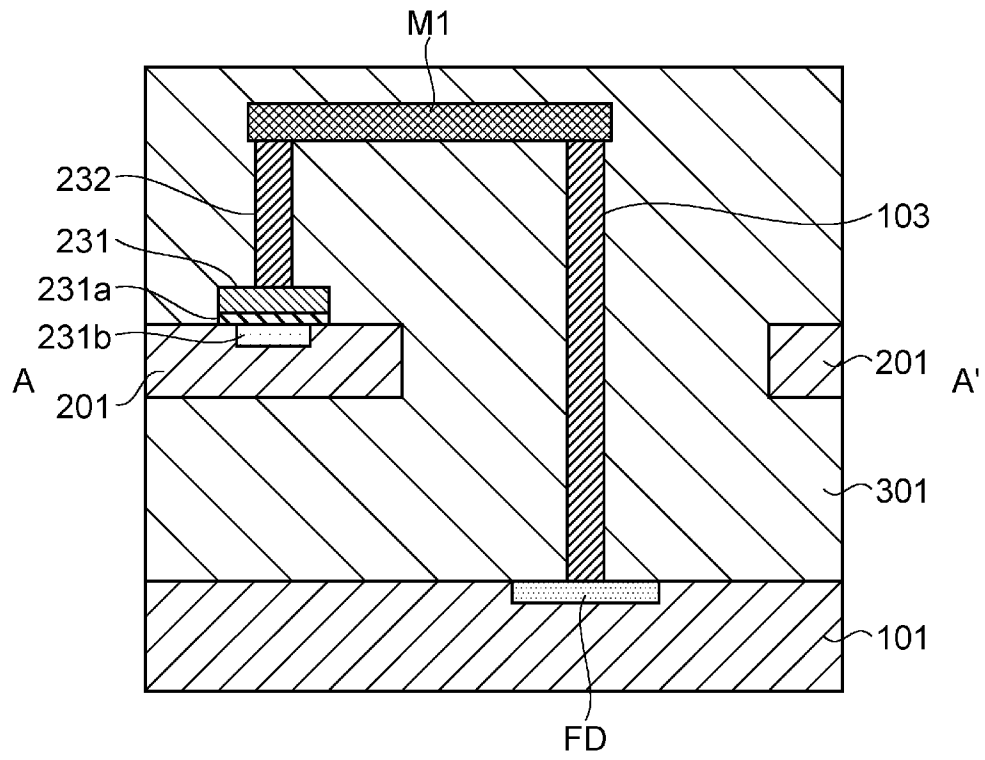


[図10]



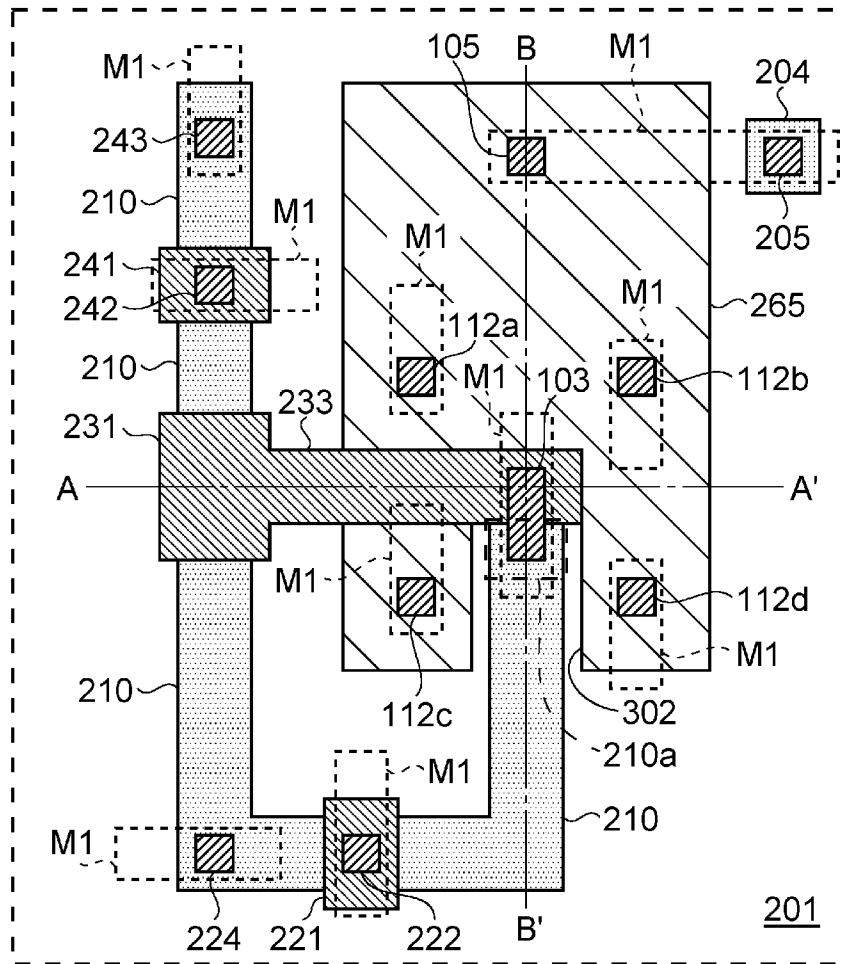
[図11]



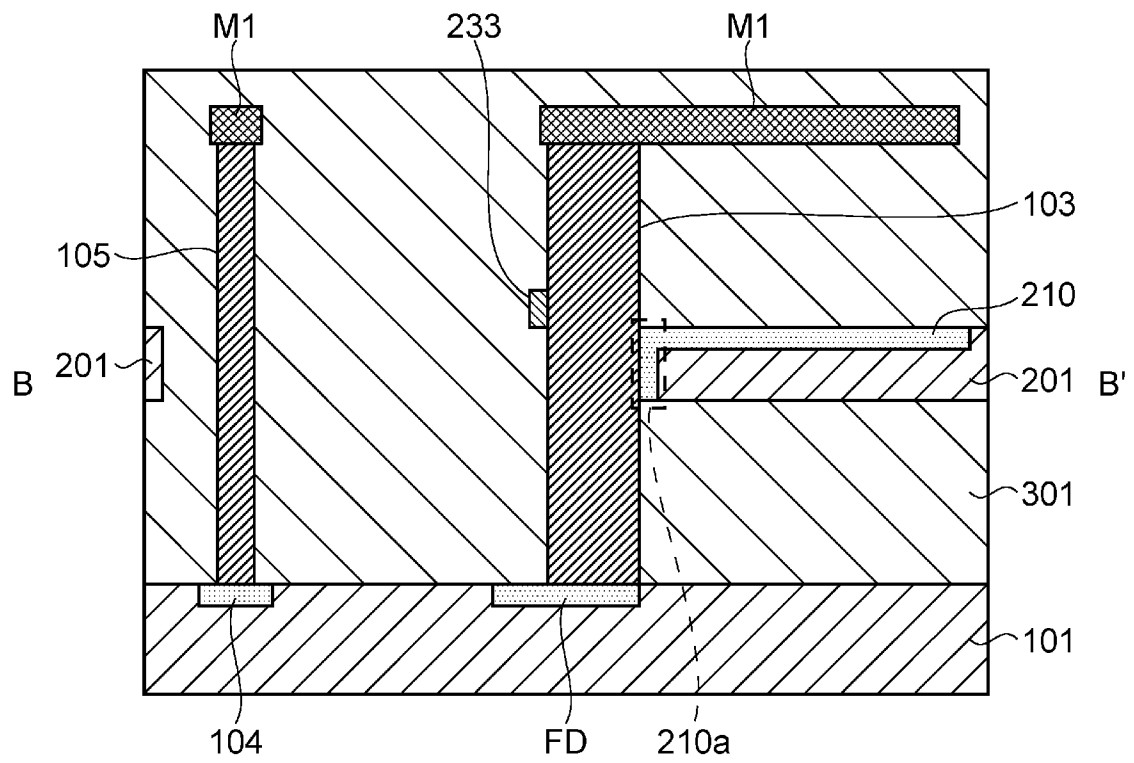


This cross-sectional view, taken along direction B', shows the device structure from a different perspective. It features a substrate 101 with a base layer 104. A vertical conductive layer 103 is positioned on the substrate. A horizontal conductive layer 105 is located above the vertical layer. A gate stack 201 is situated on top of the vertical layer 103. The top surface of the device is covered by a passivation layer 301. Labels M1 and FD indicate specific regions or materials within the structure.

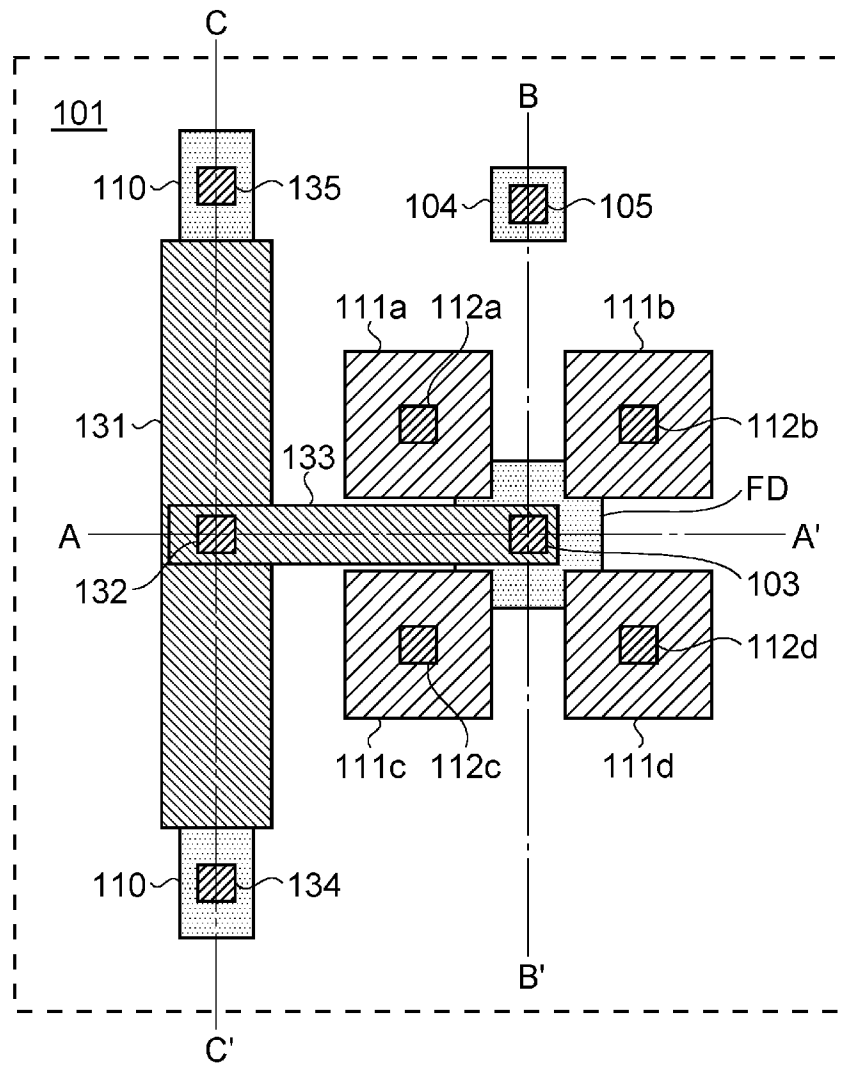
[図14]



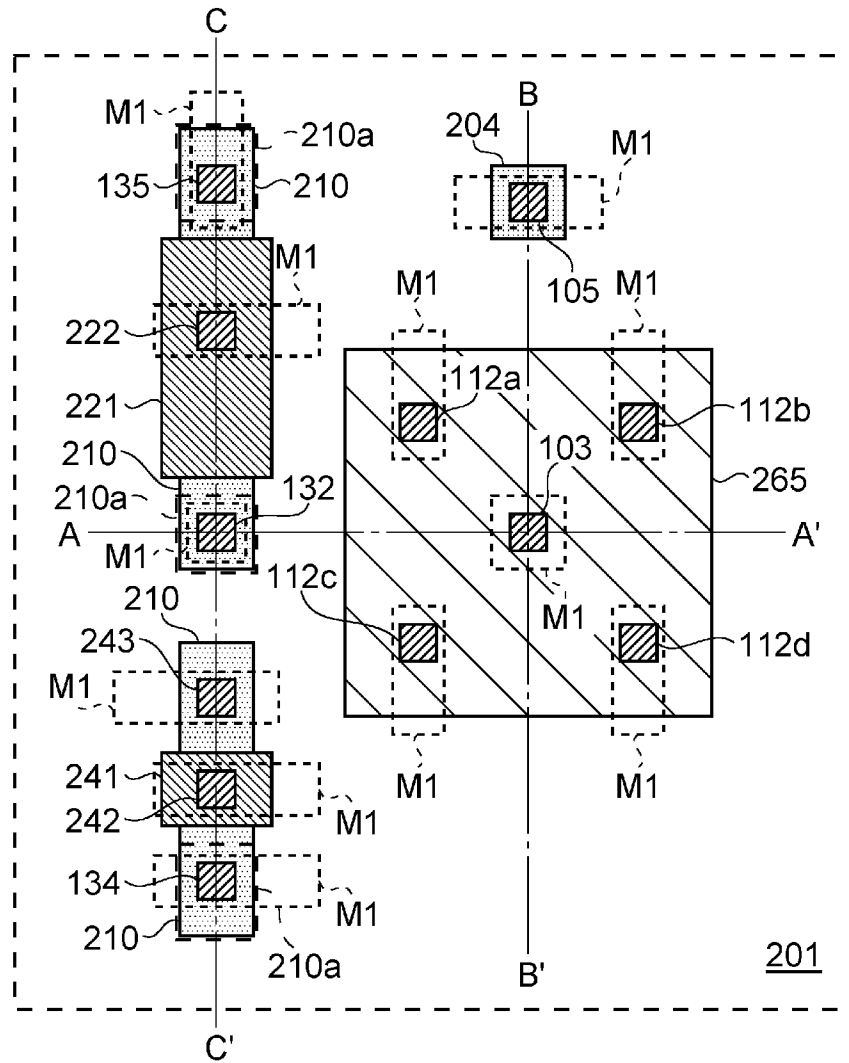
[図15]



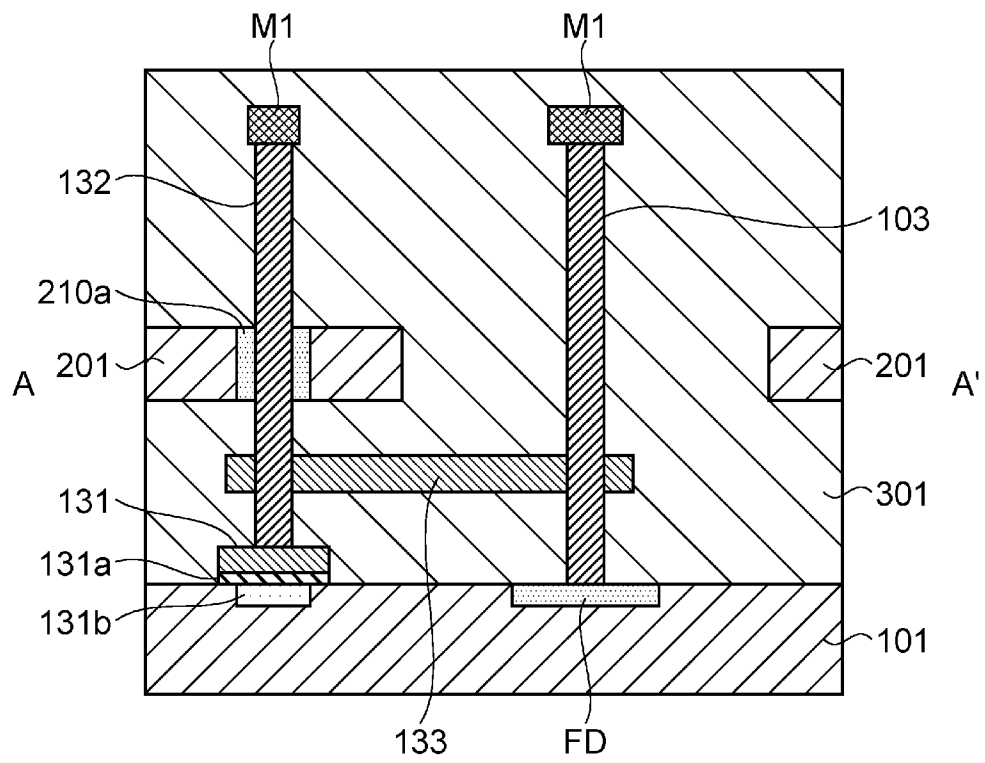
[図16]



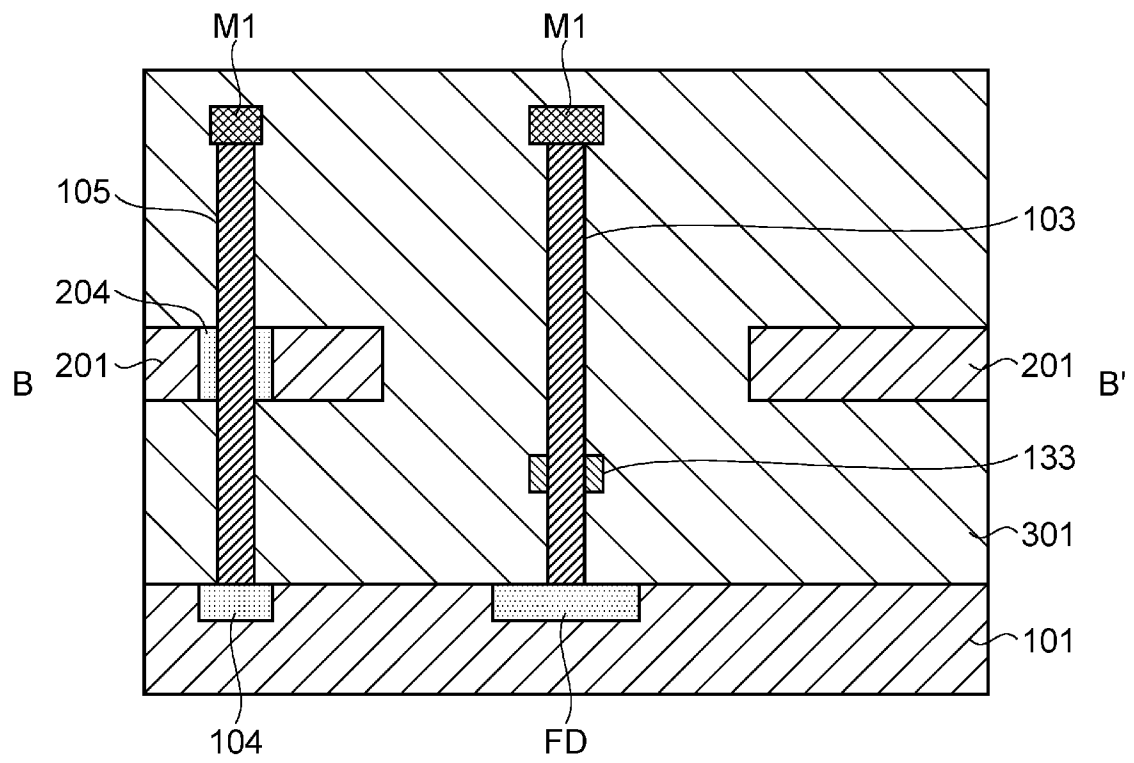
[図17]



[図18]

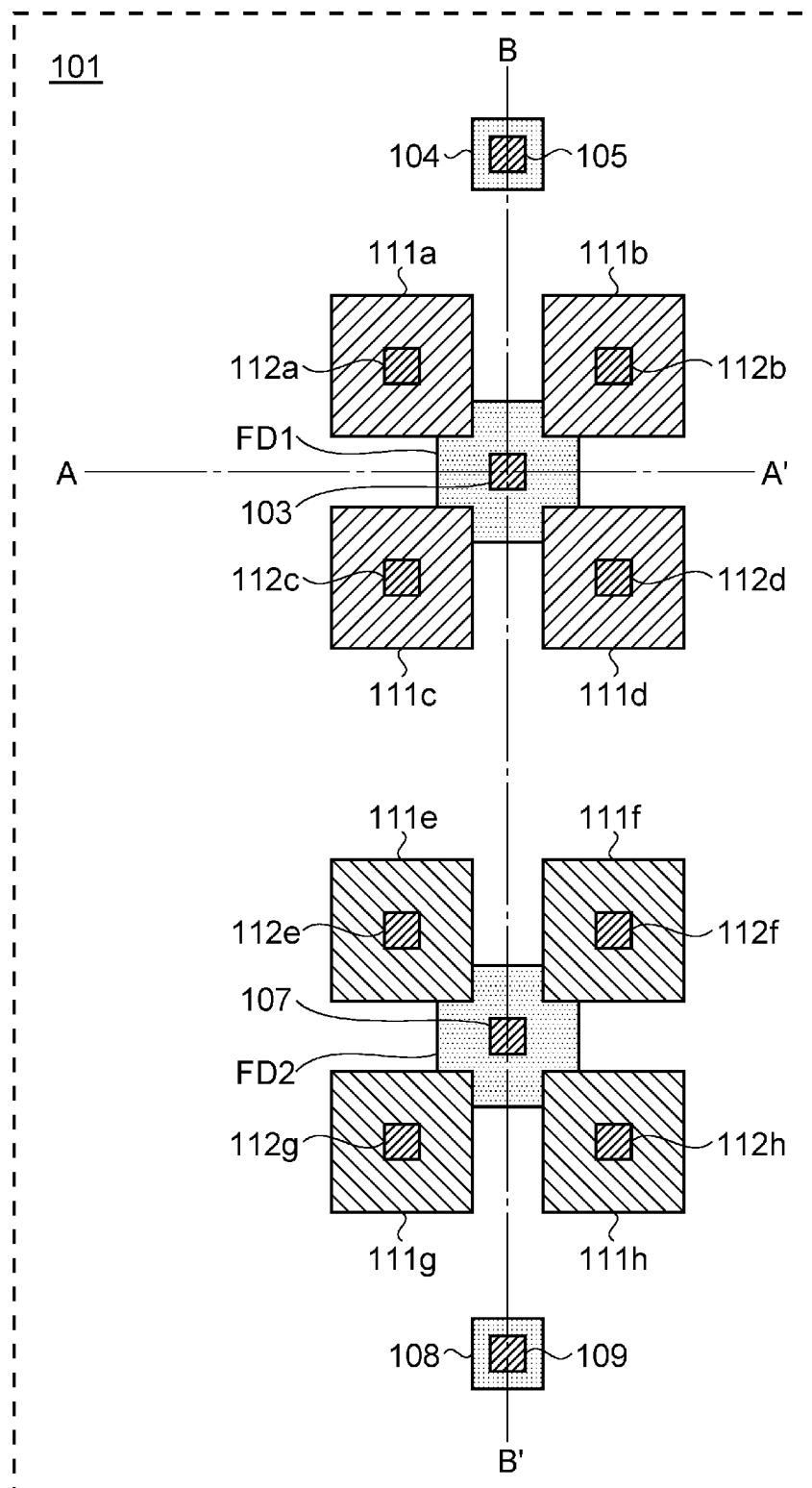


[図19]

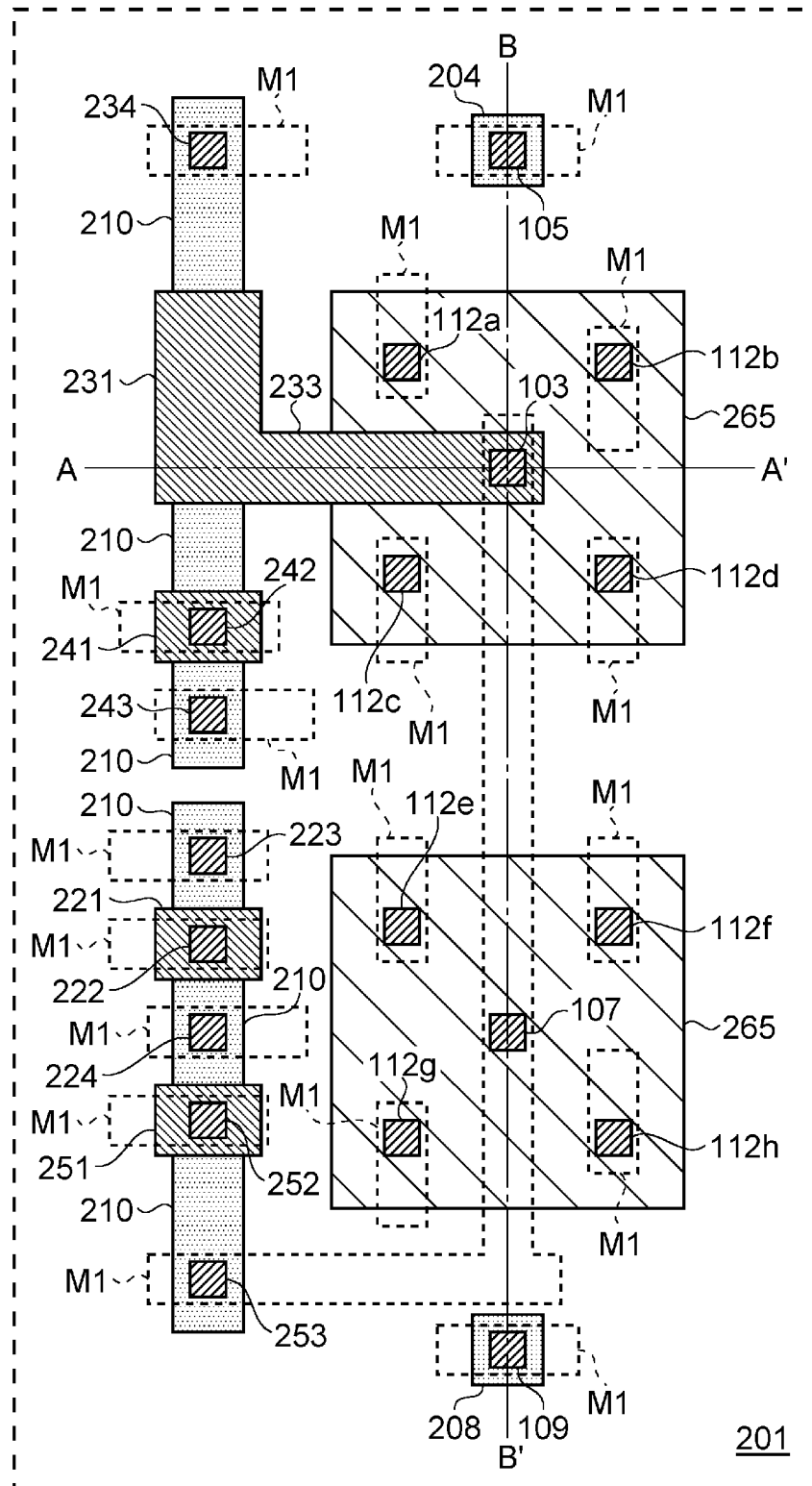


[illegible]

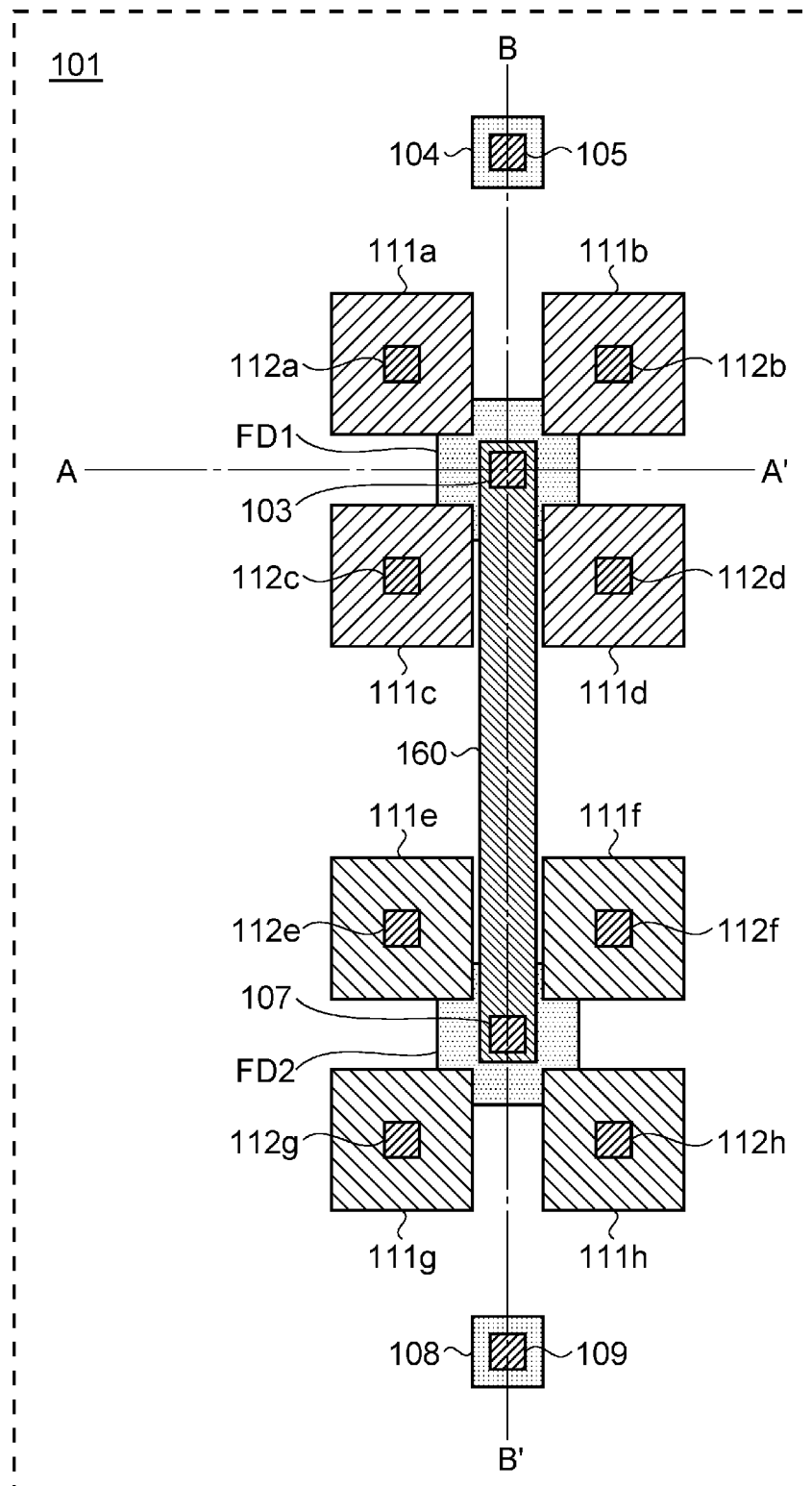
[図22]



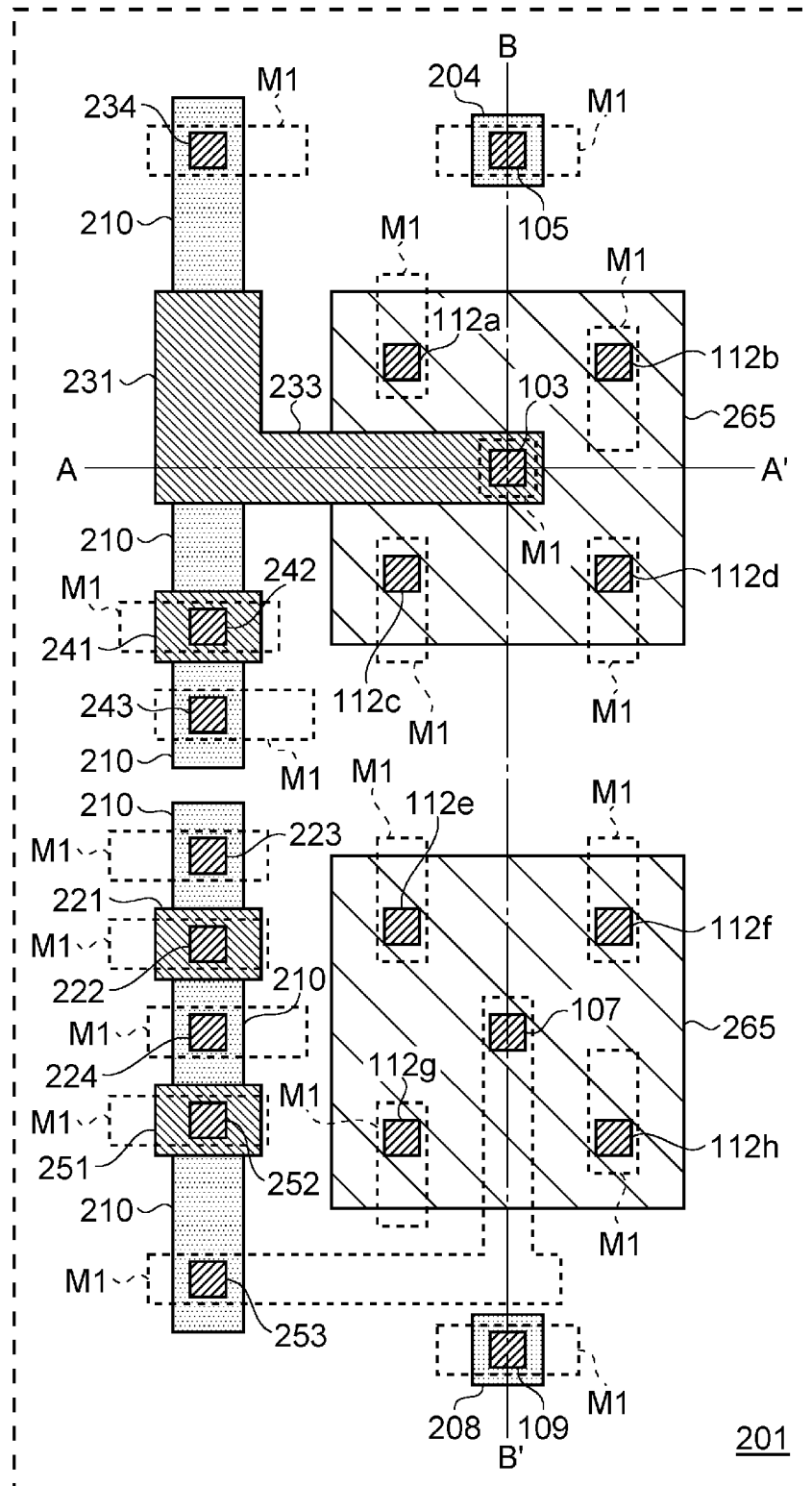
[図23]



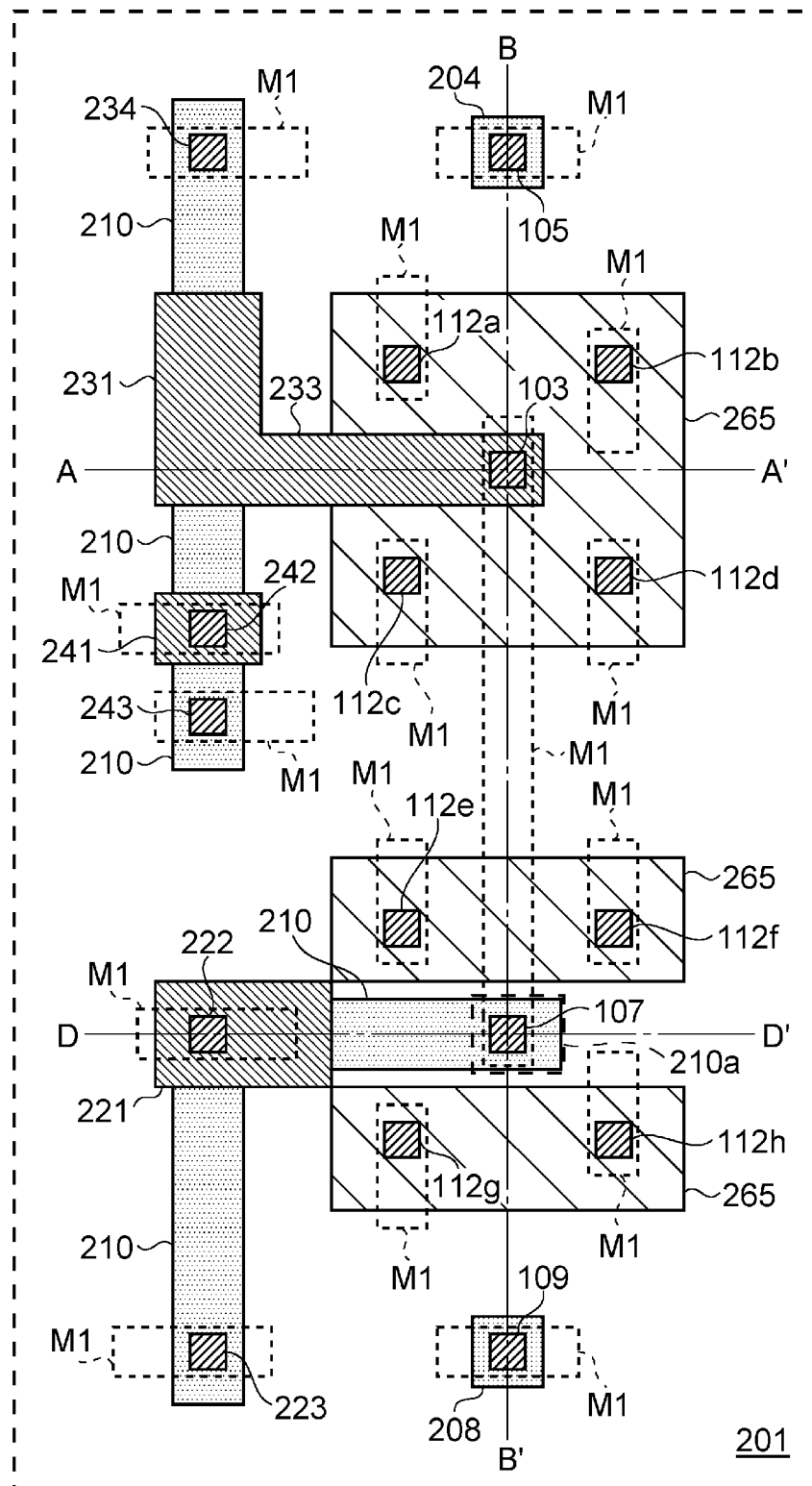
[図25]



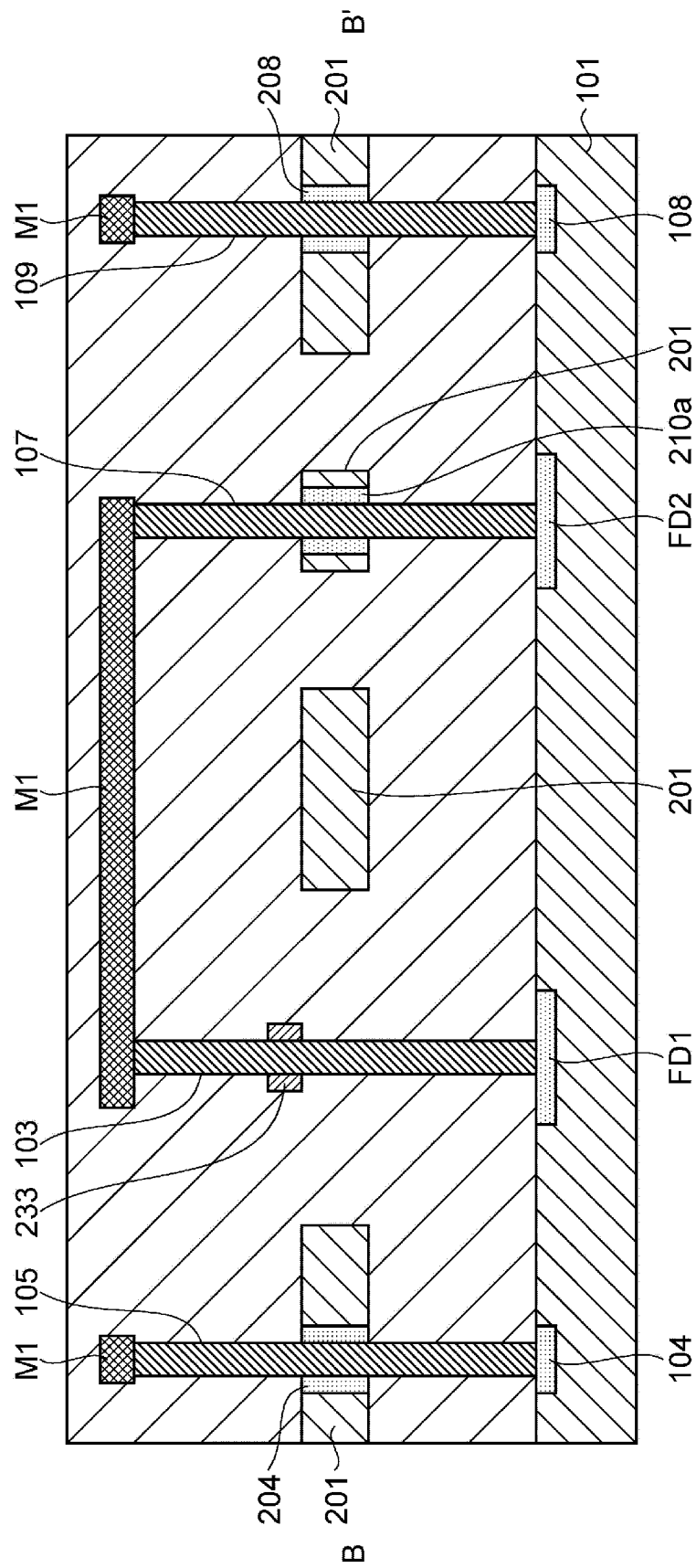
[図26]



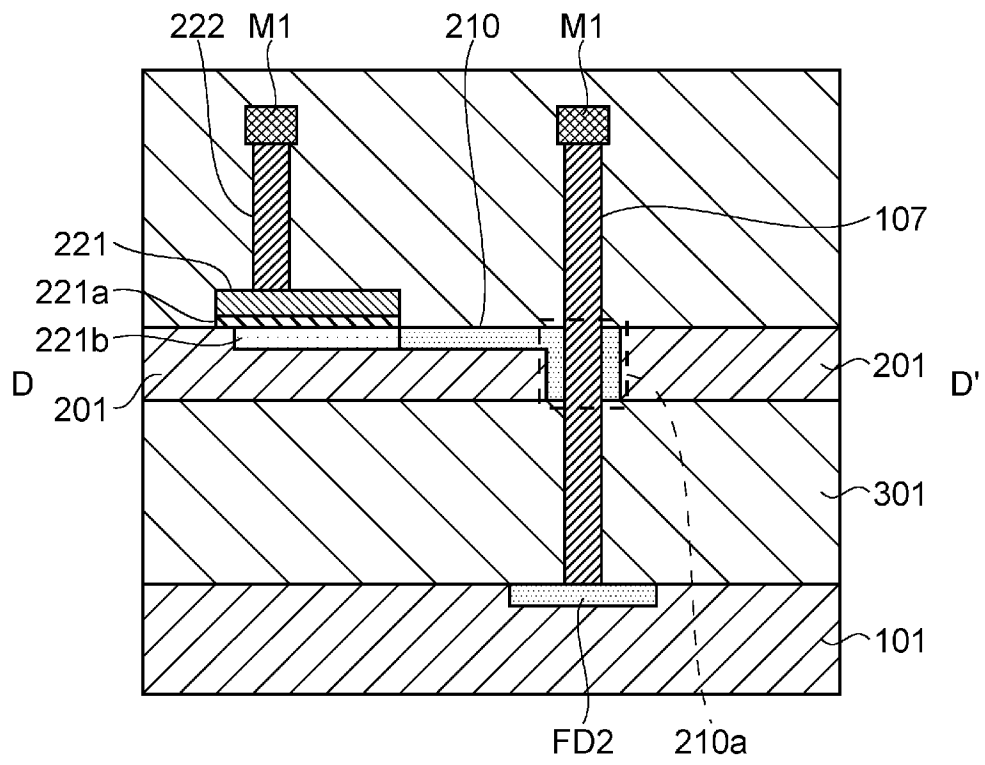
[図29]



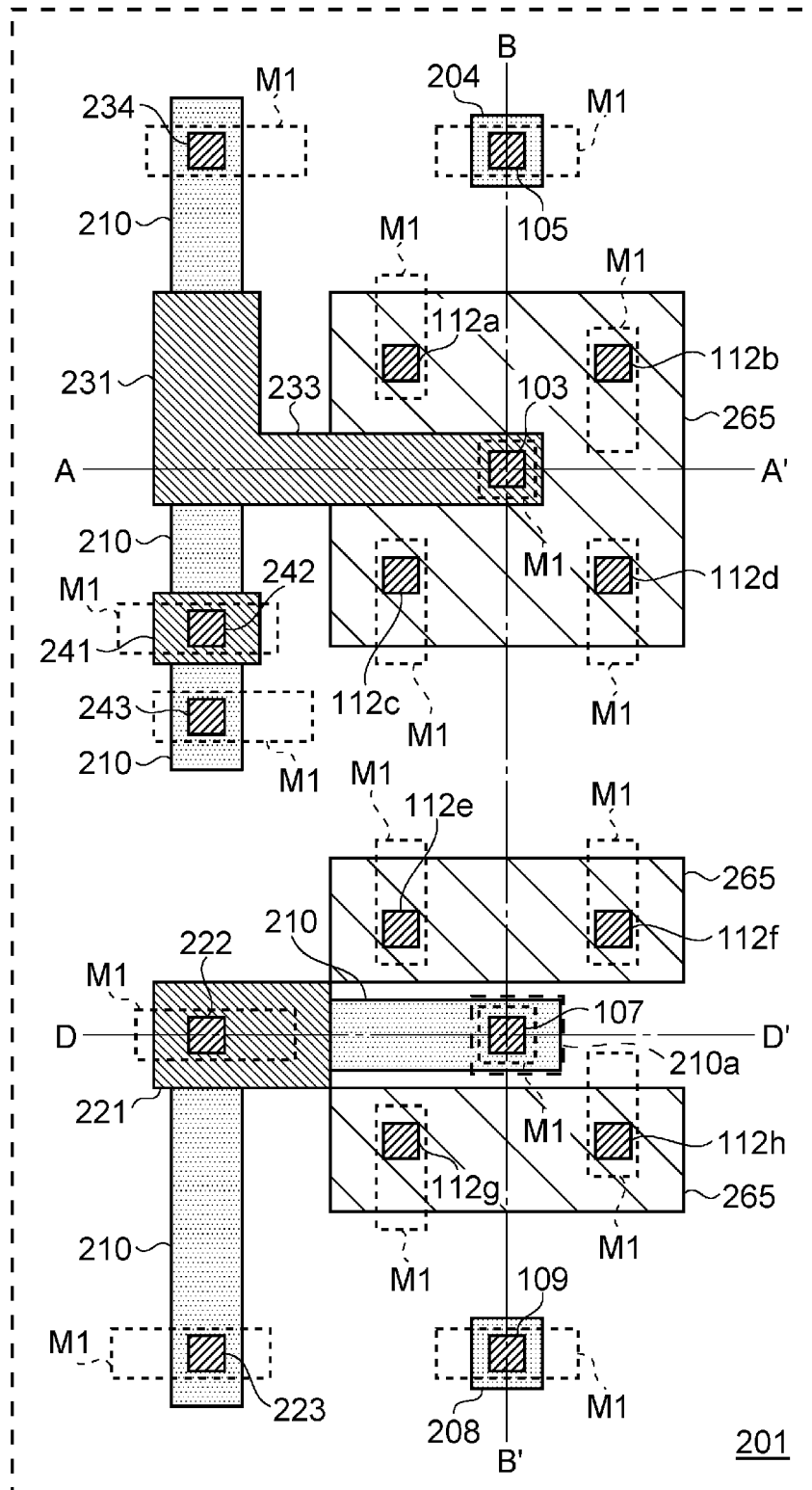
[図30]



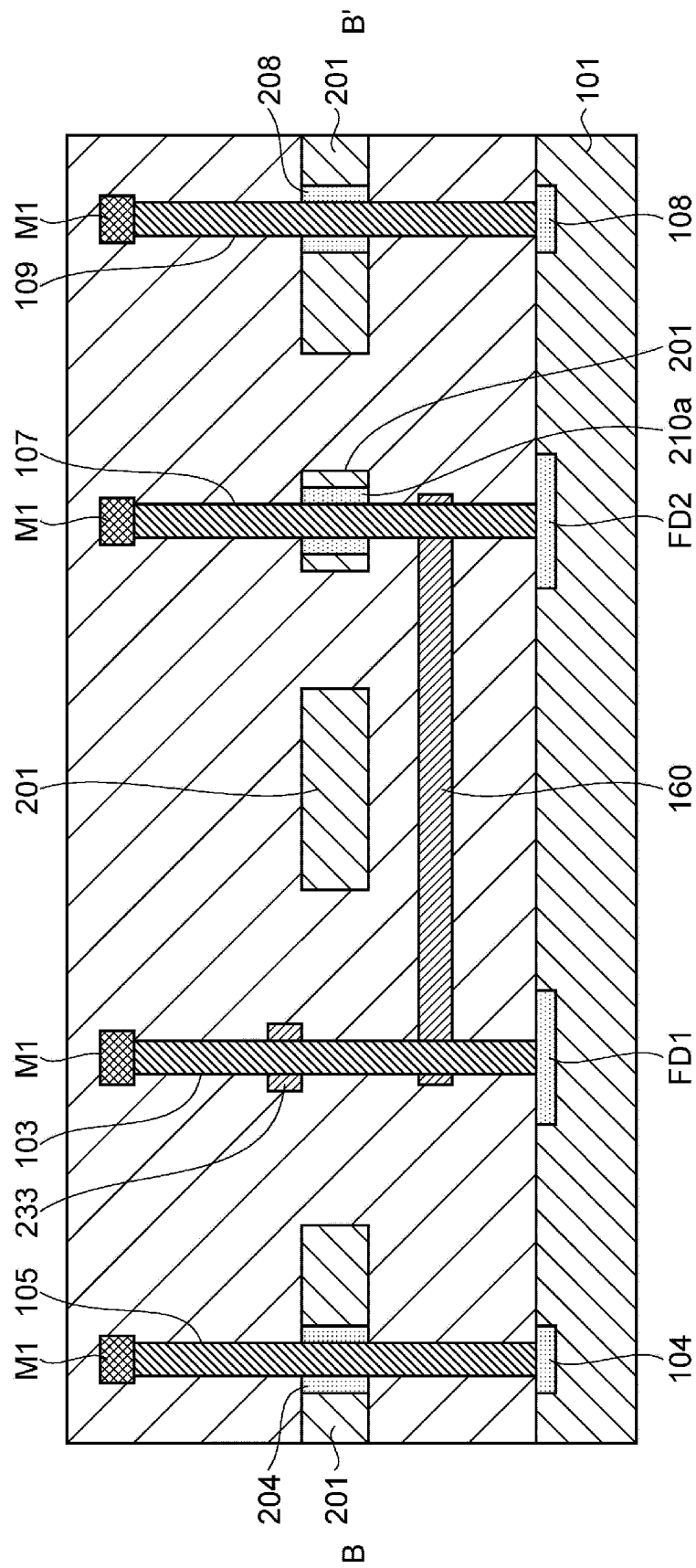
[図31]



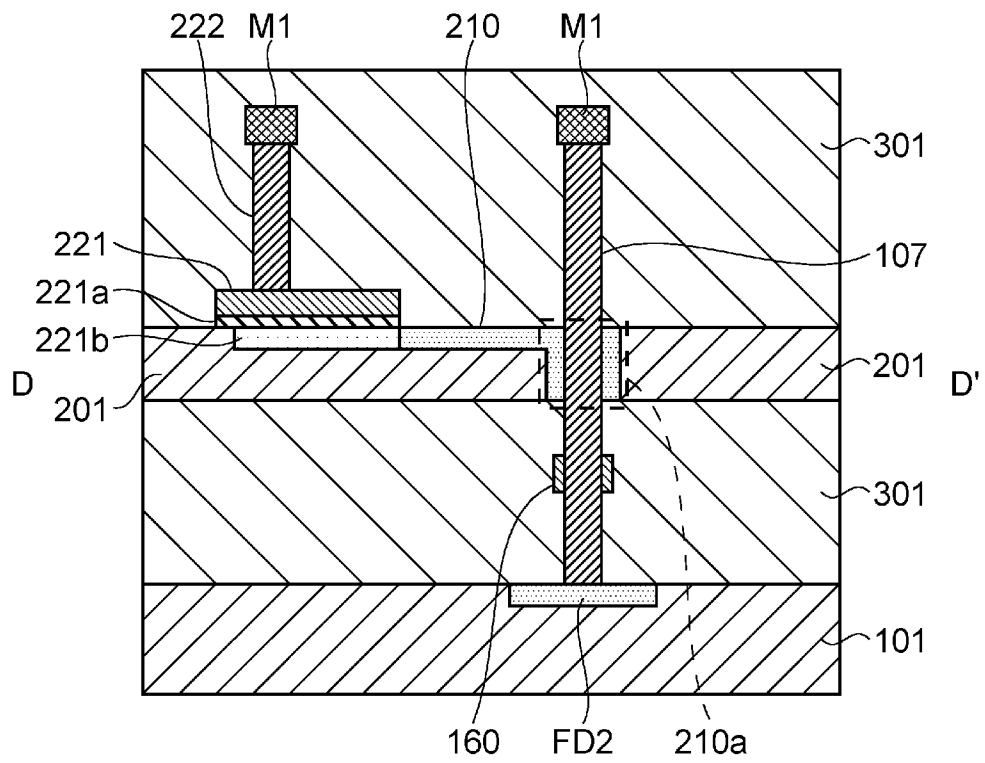
[図32]



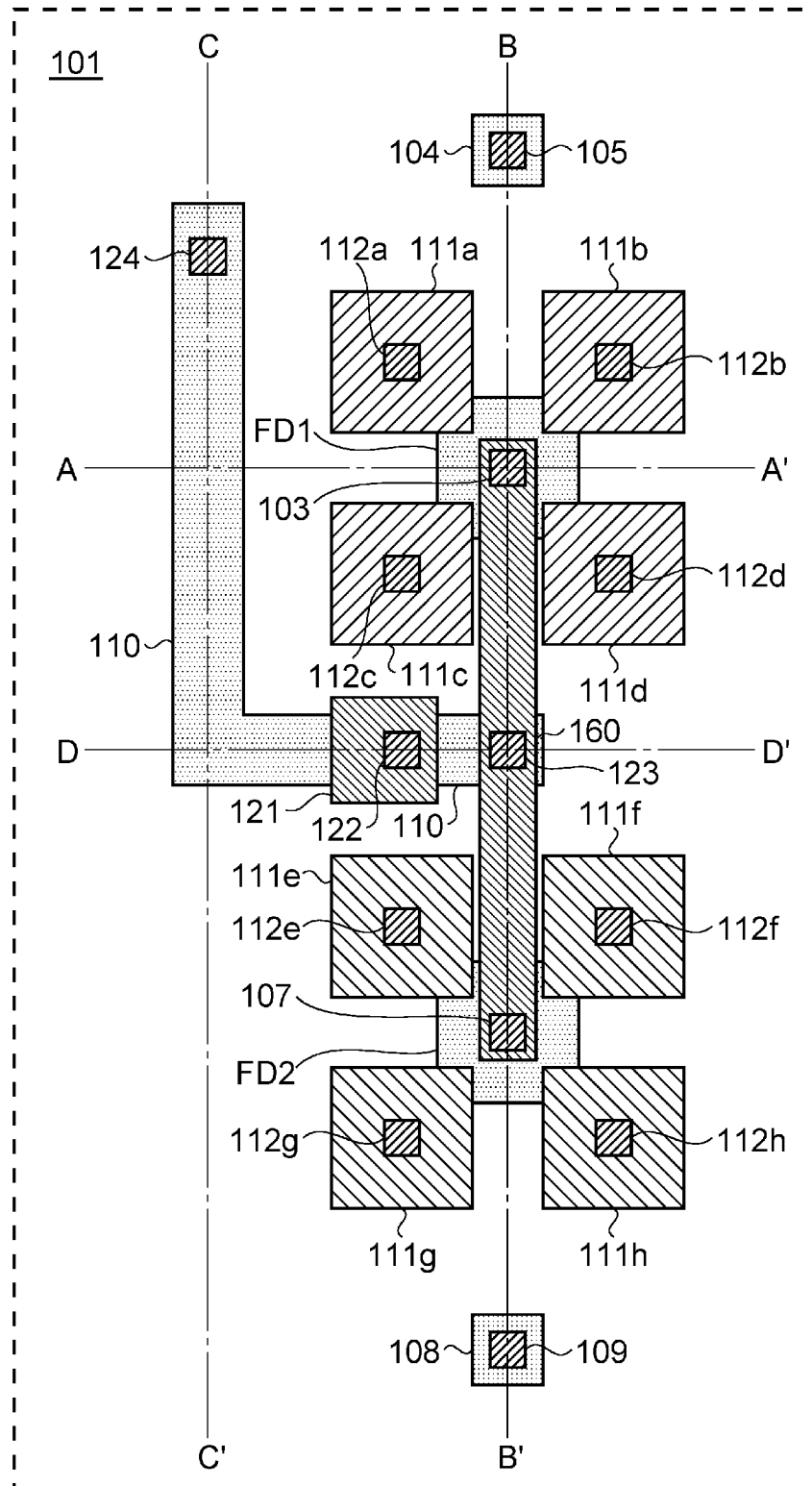
[図33]



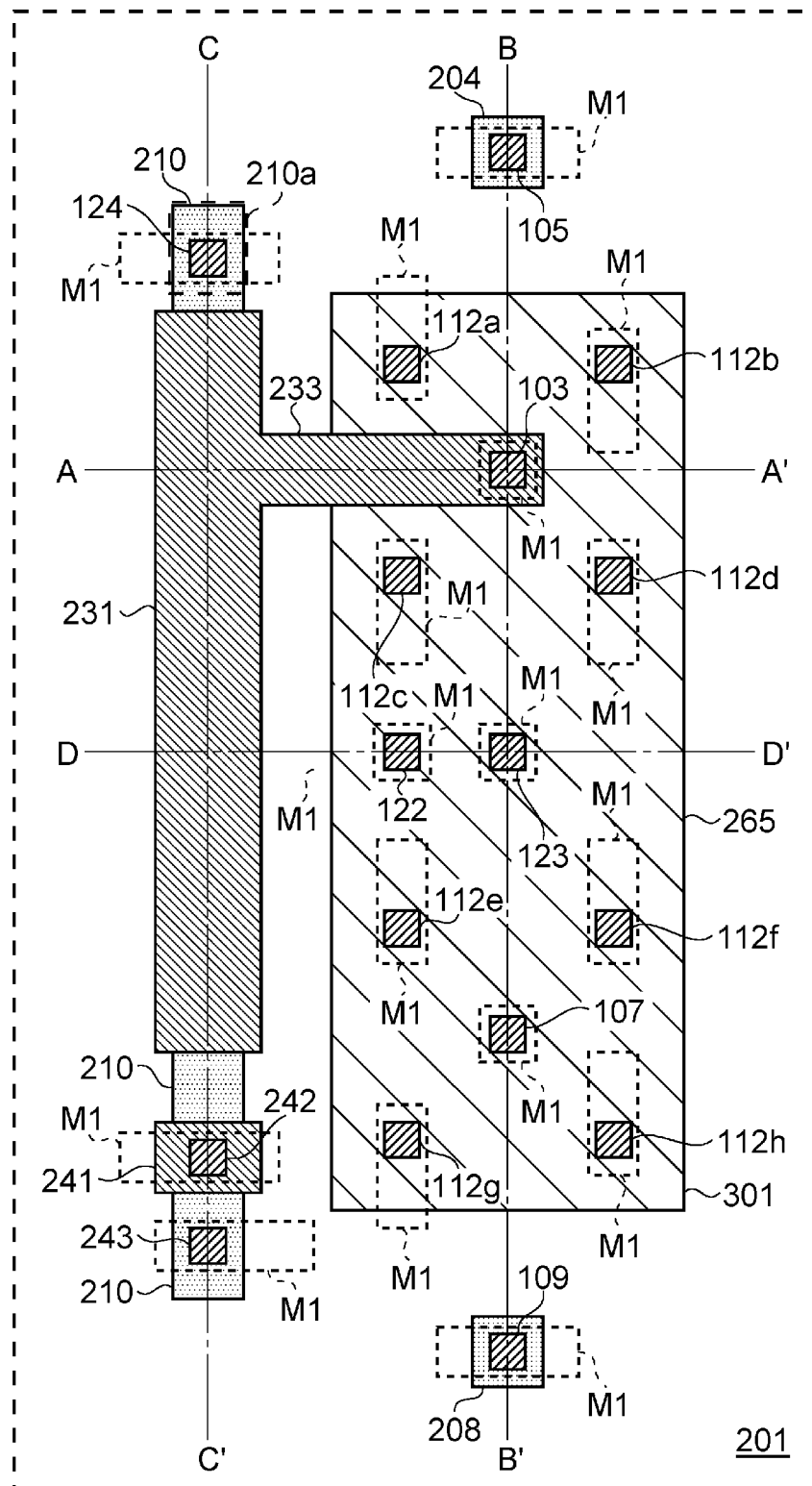
[図34]



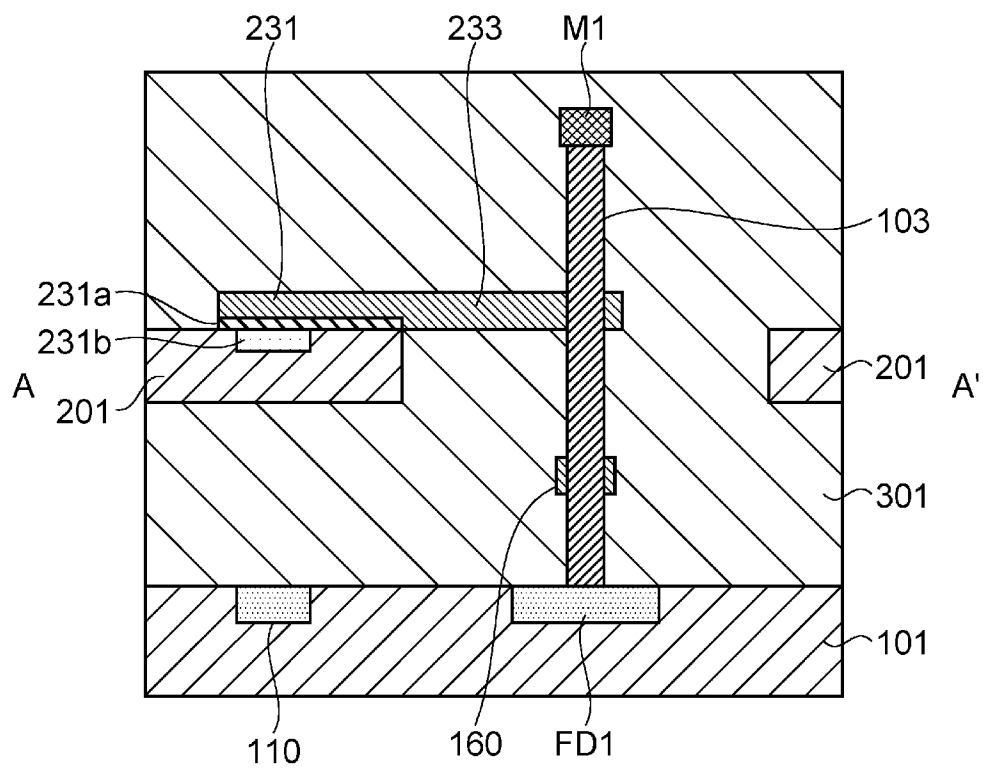
[図35]



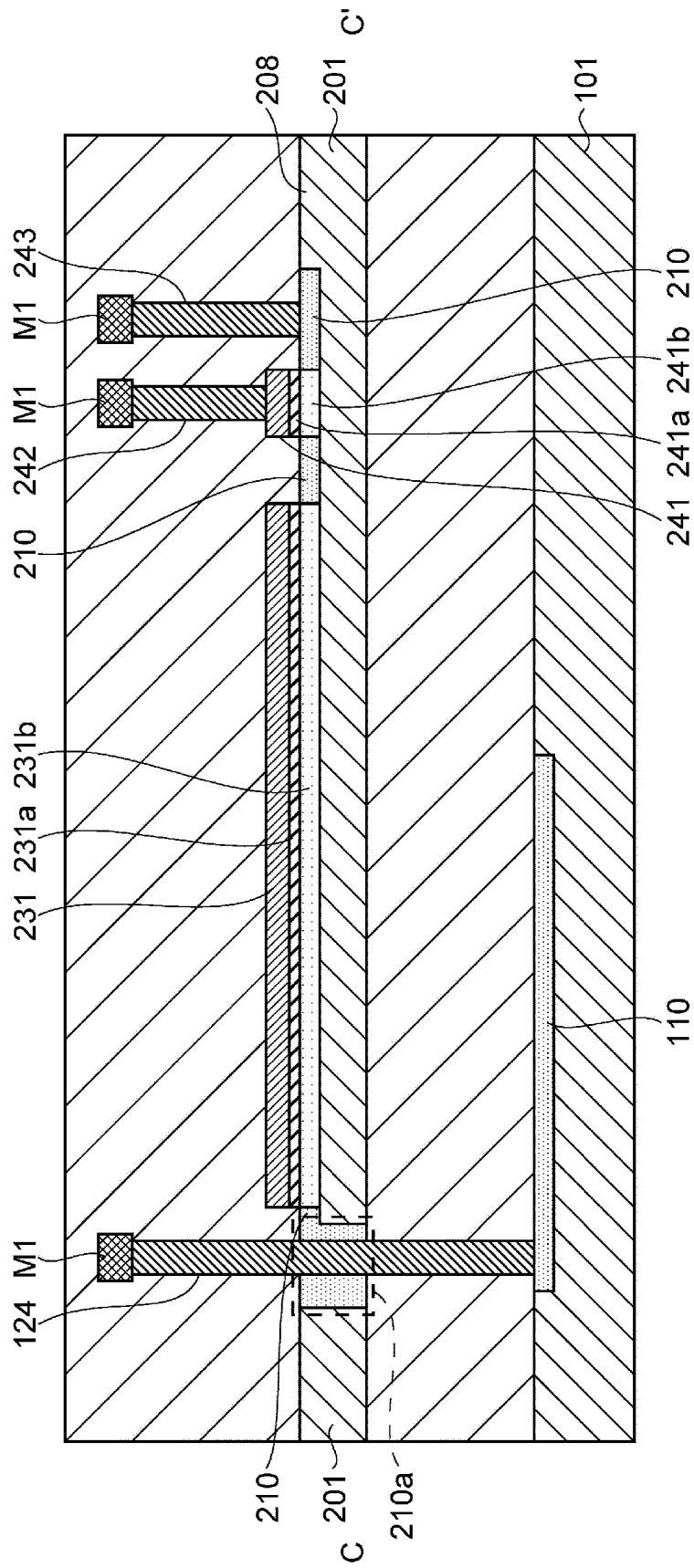
[図36]



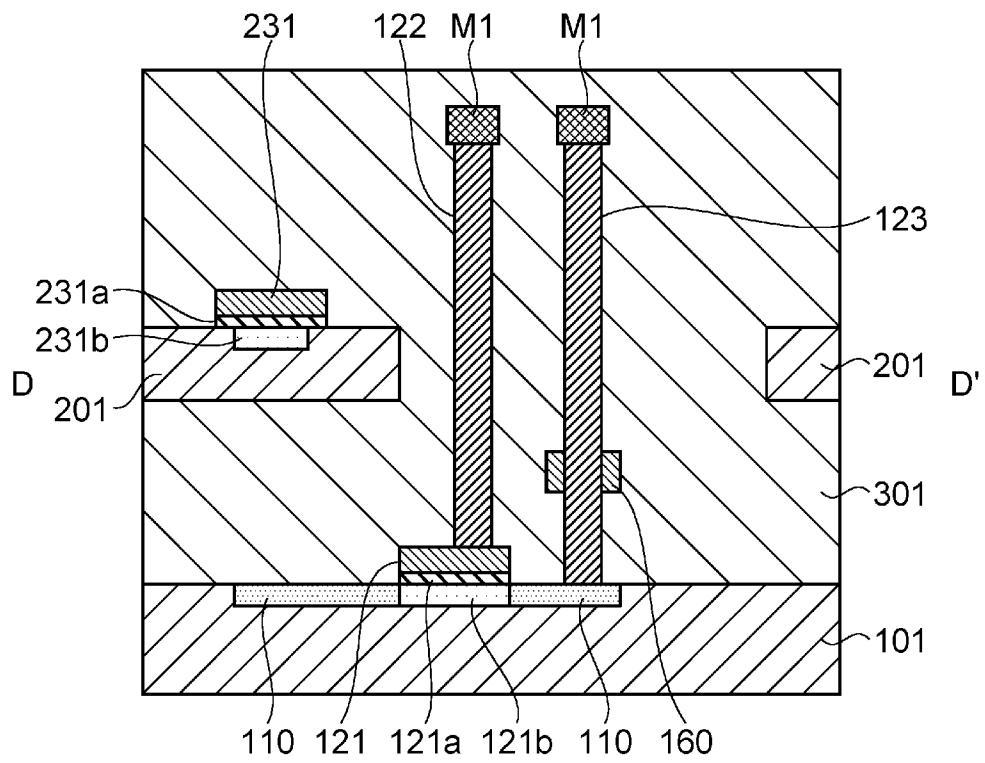
[図37]



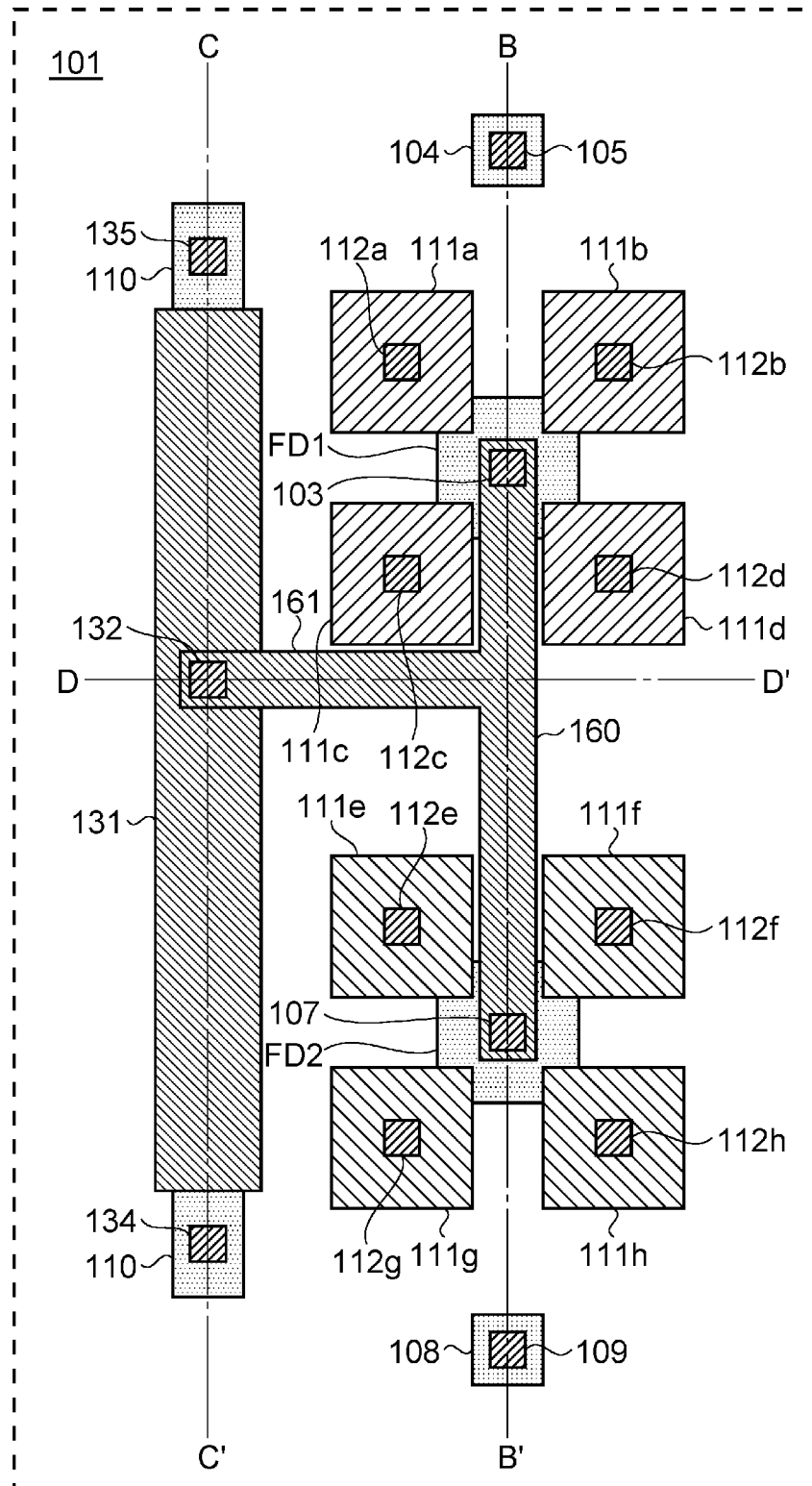
[図38]



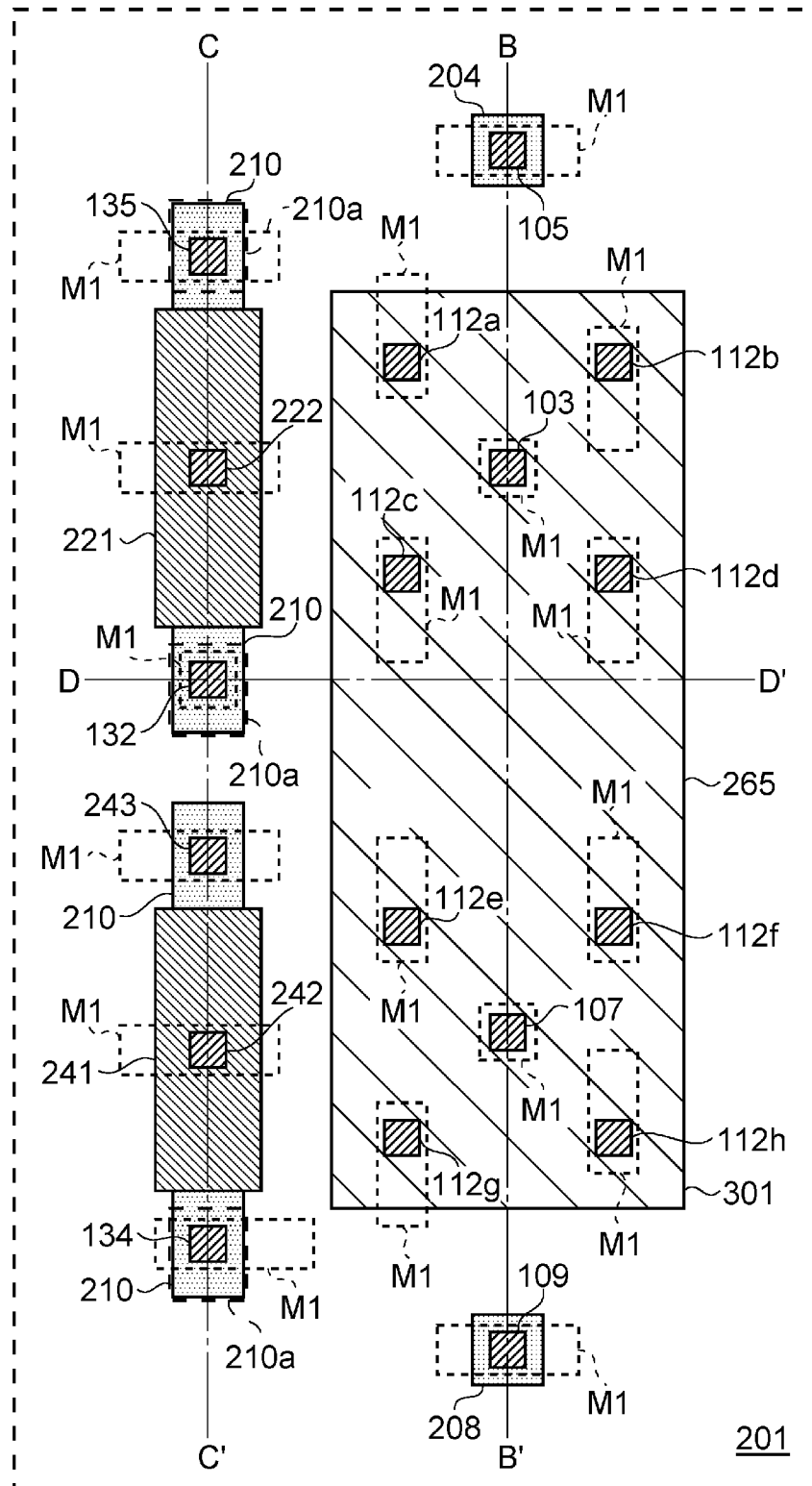
[図39]



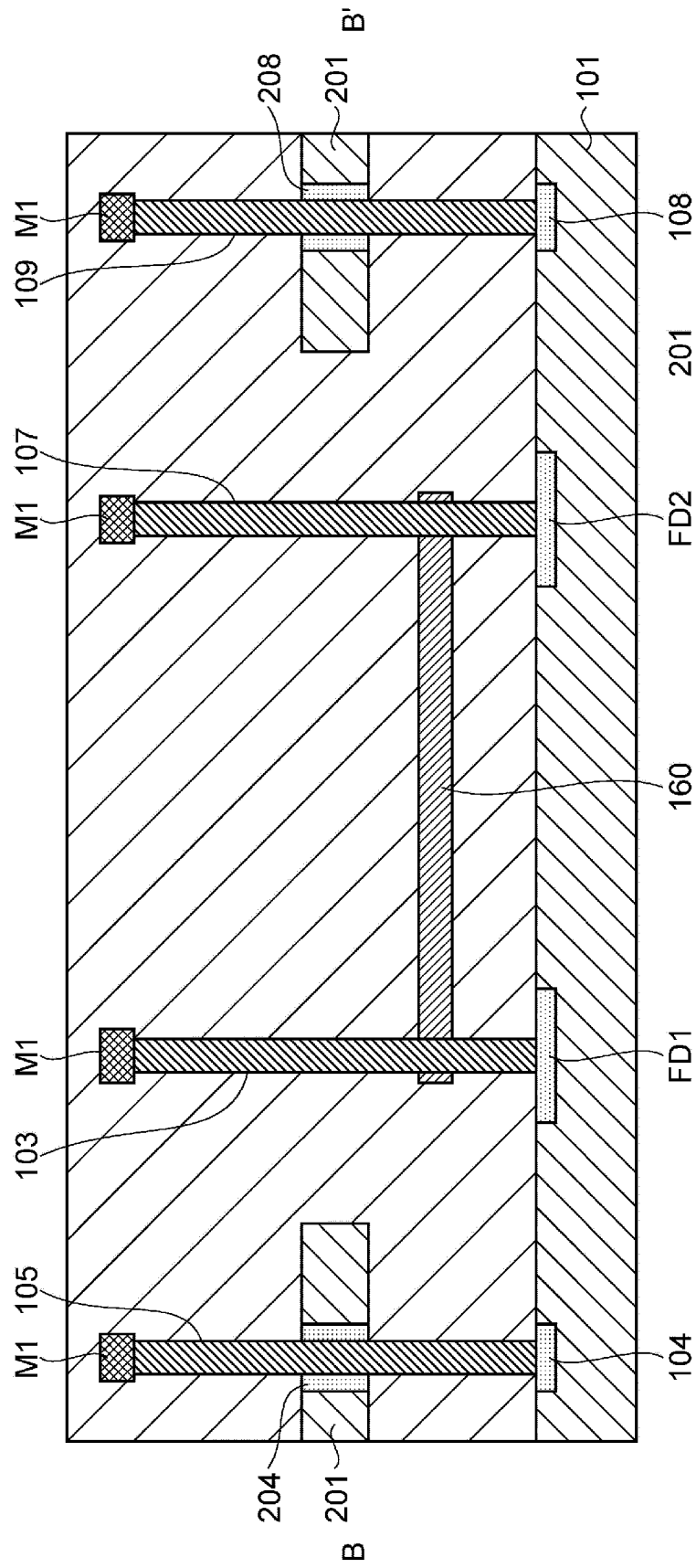
[図40]



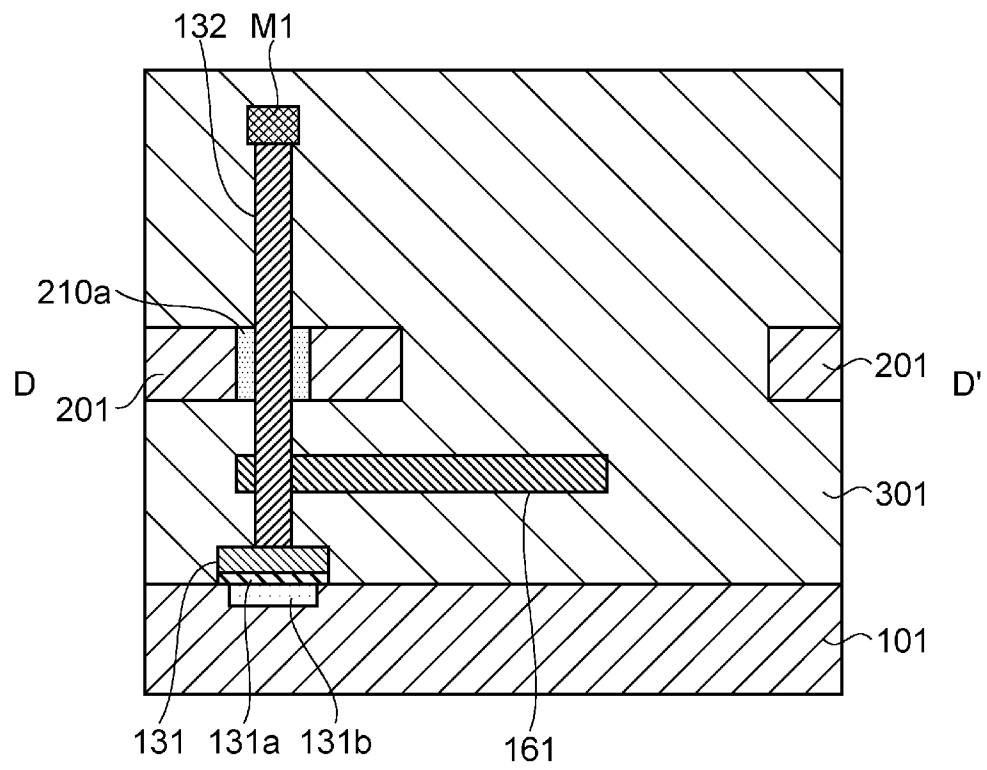
[図41]



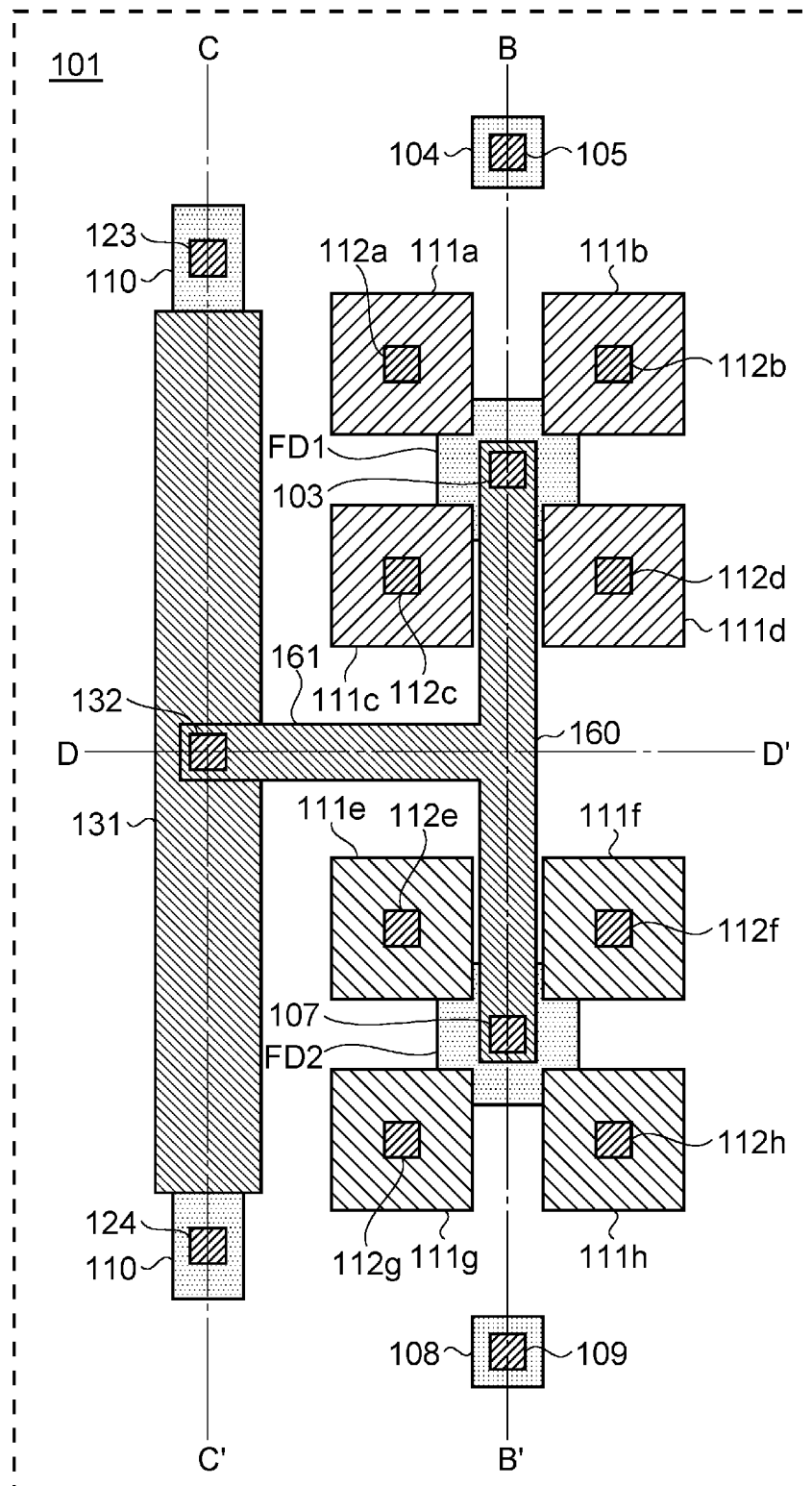
[図42]



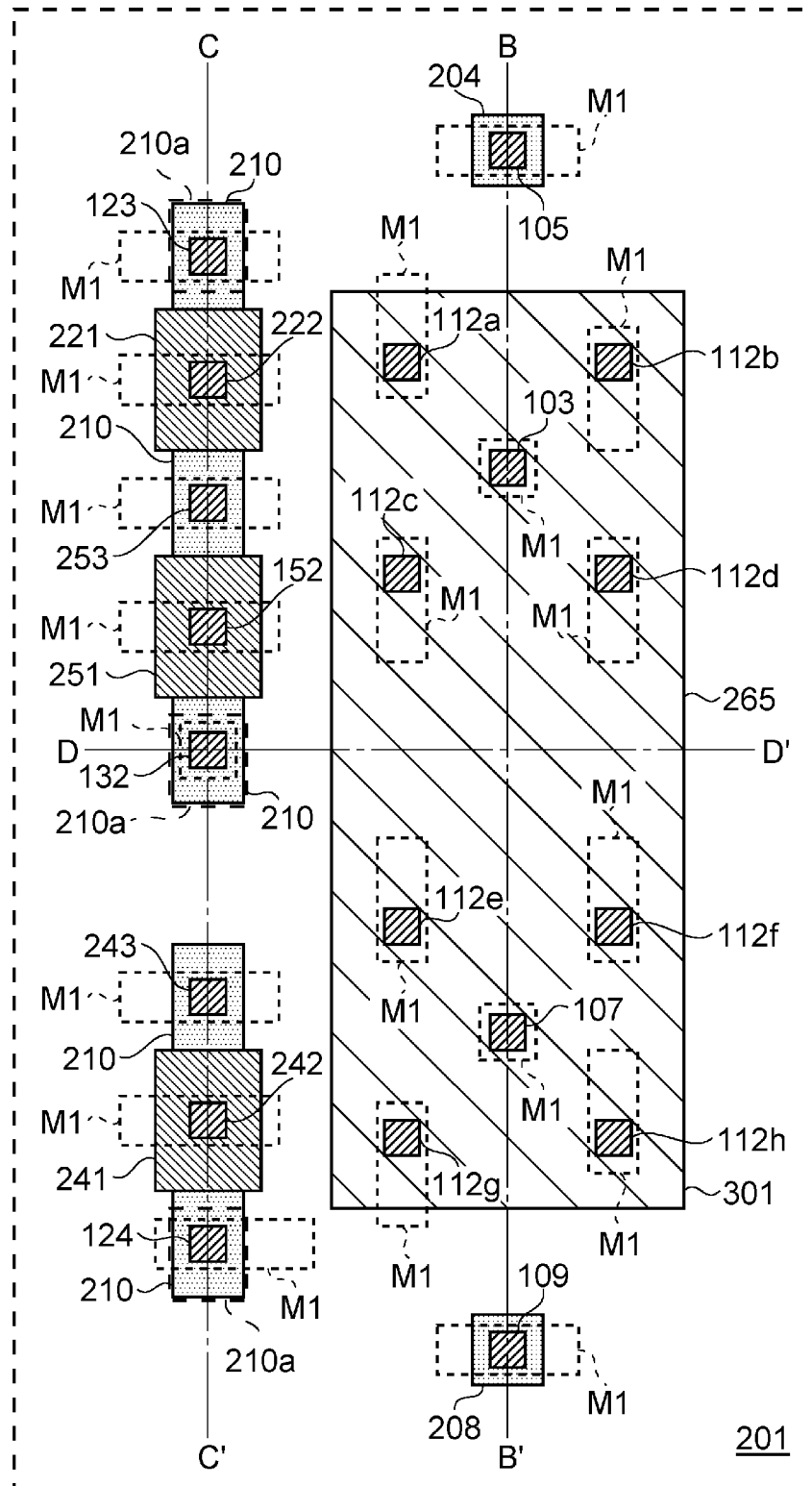
[図44]



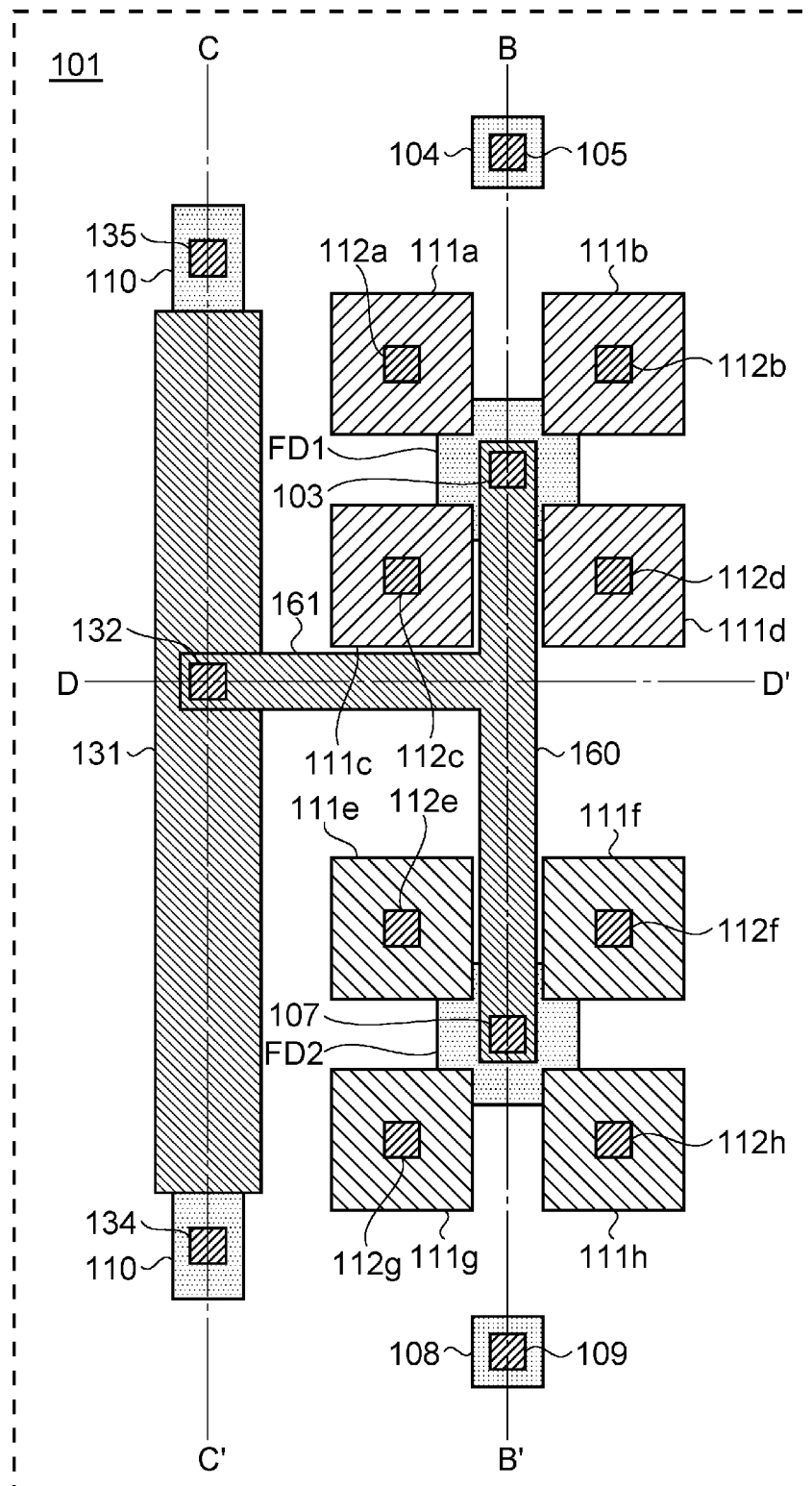
[図45]



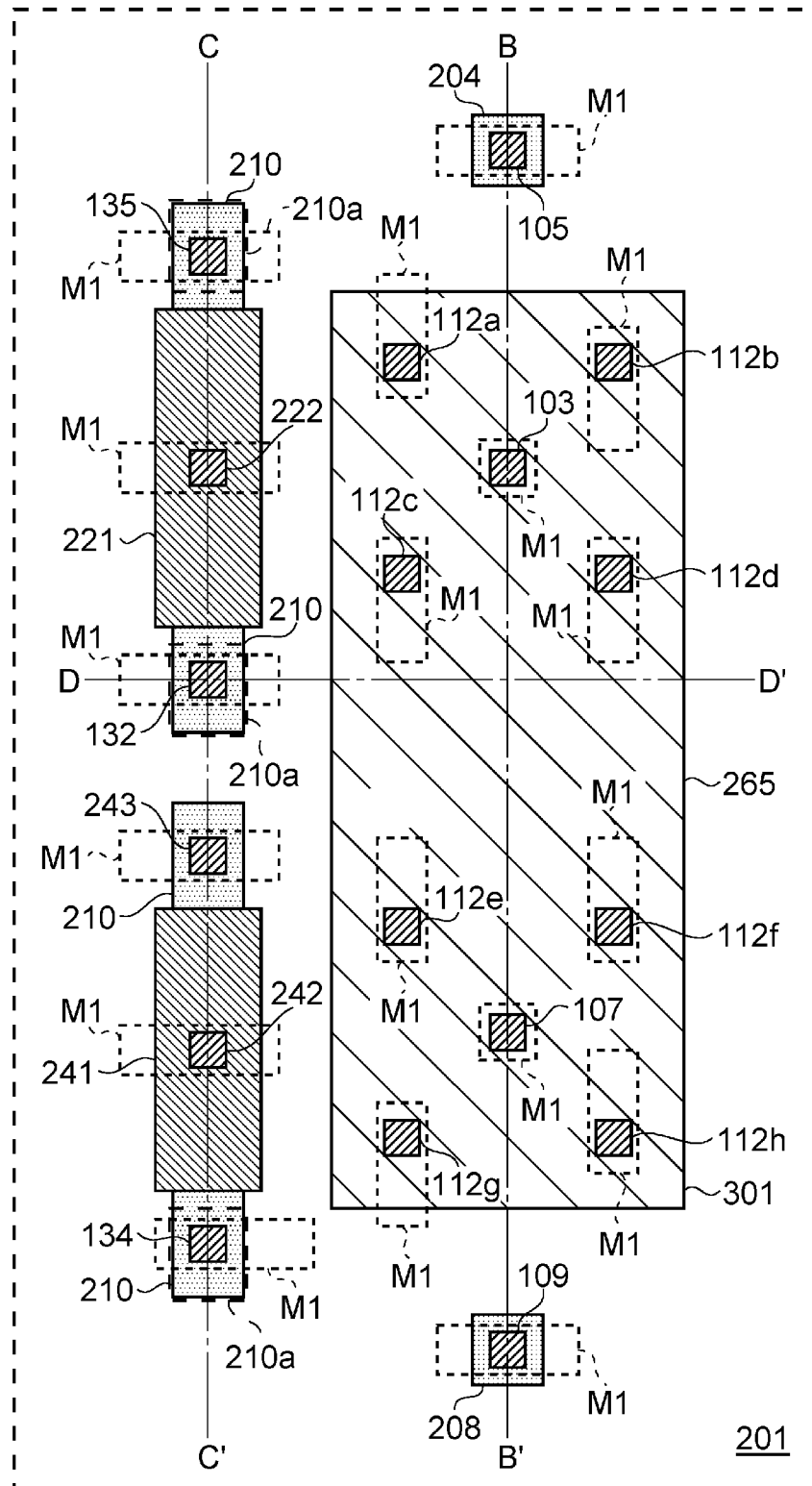
[図46]



[図49]

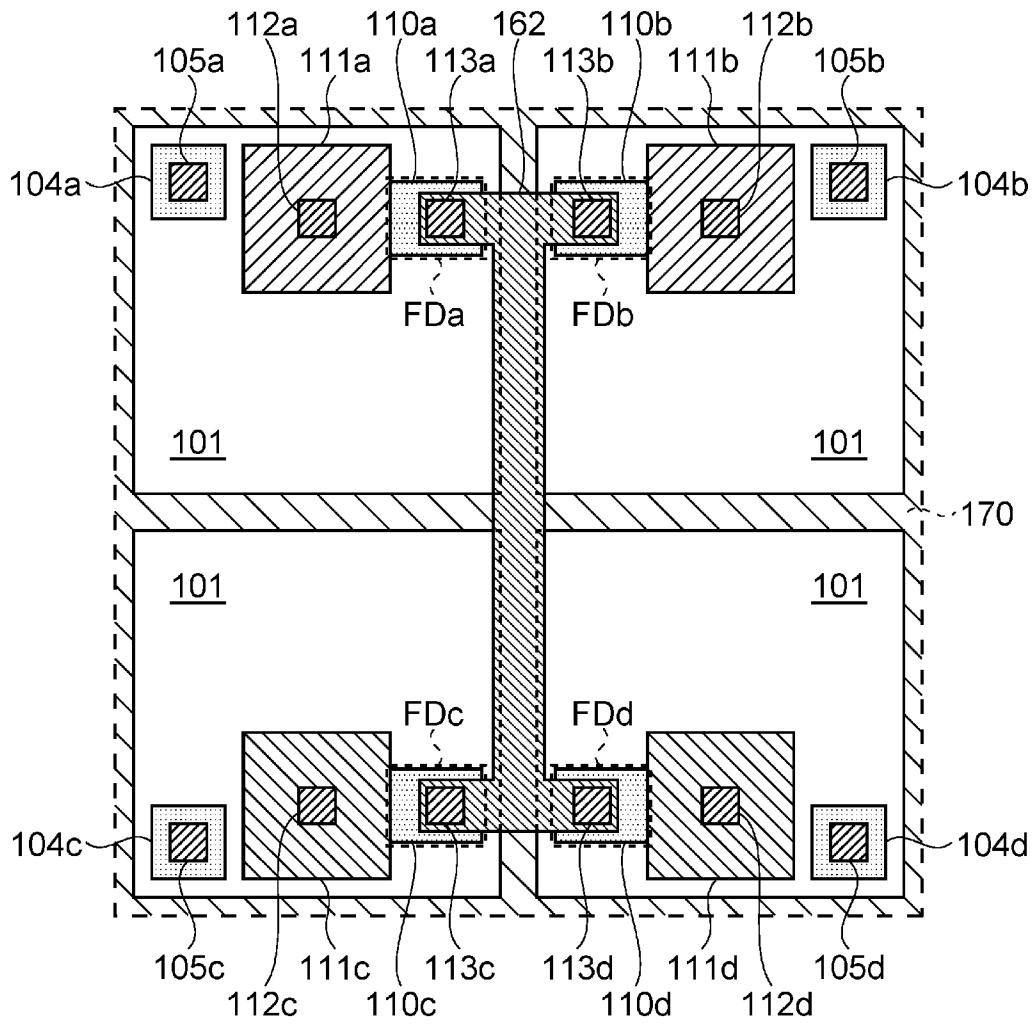


[図50]

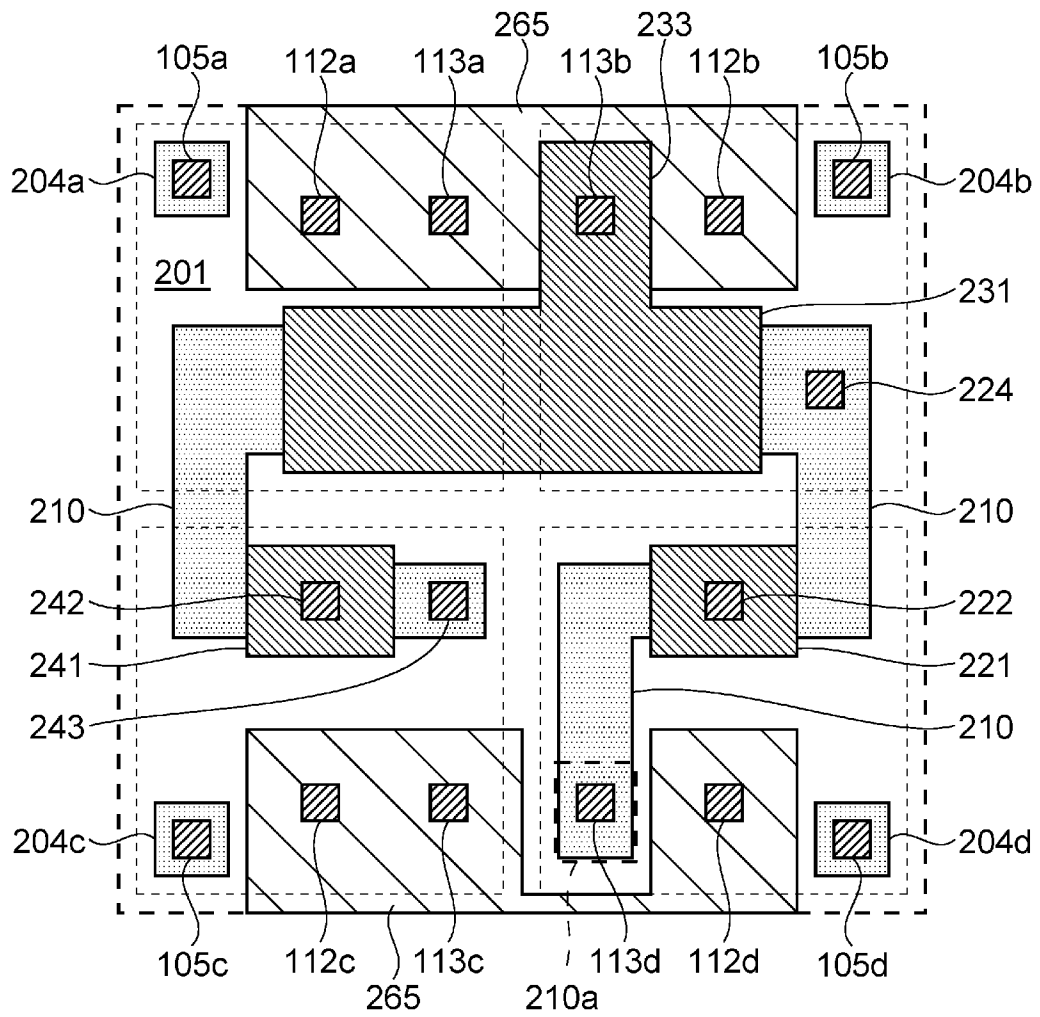


A cross-sectional view of a semiconductor device 30. The device includes a substrate 42 at the bottom. Above it is a layer 67, which contains several rectangular regions 66. A bracket groups these as 65. Above layer 67 is a stack of layers labeled 61, 62, and 63, collectively indicated by a bracket 170. On top of this stack are two vertical structures 58 and 59, each containing a central core 56. These cores are surrounded by a material 55. Above the cores are two small rectangular pads 54. A dashed arrow 57 points from the left pad towards the right one. Above the pads is a horizontal layer 52. At the very top is a dome-shaped structure 51. An arrow L1 points down onto the dome. To the right of the diagram is a coordinate system with Z pointing up, X pointing right, and Y pointing out of the page (indicated by a circle with a dot).

[図53]

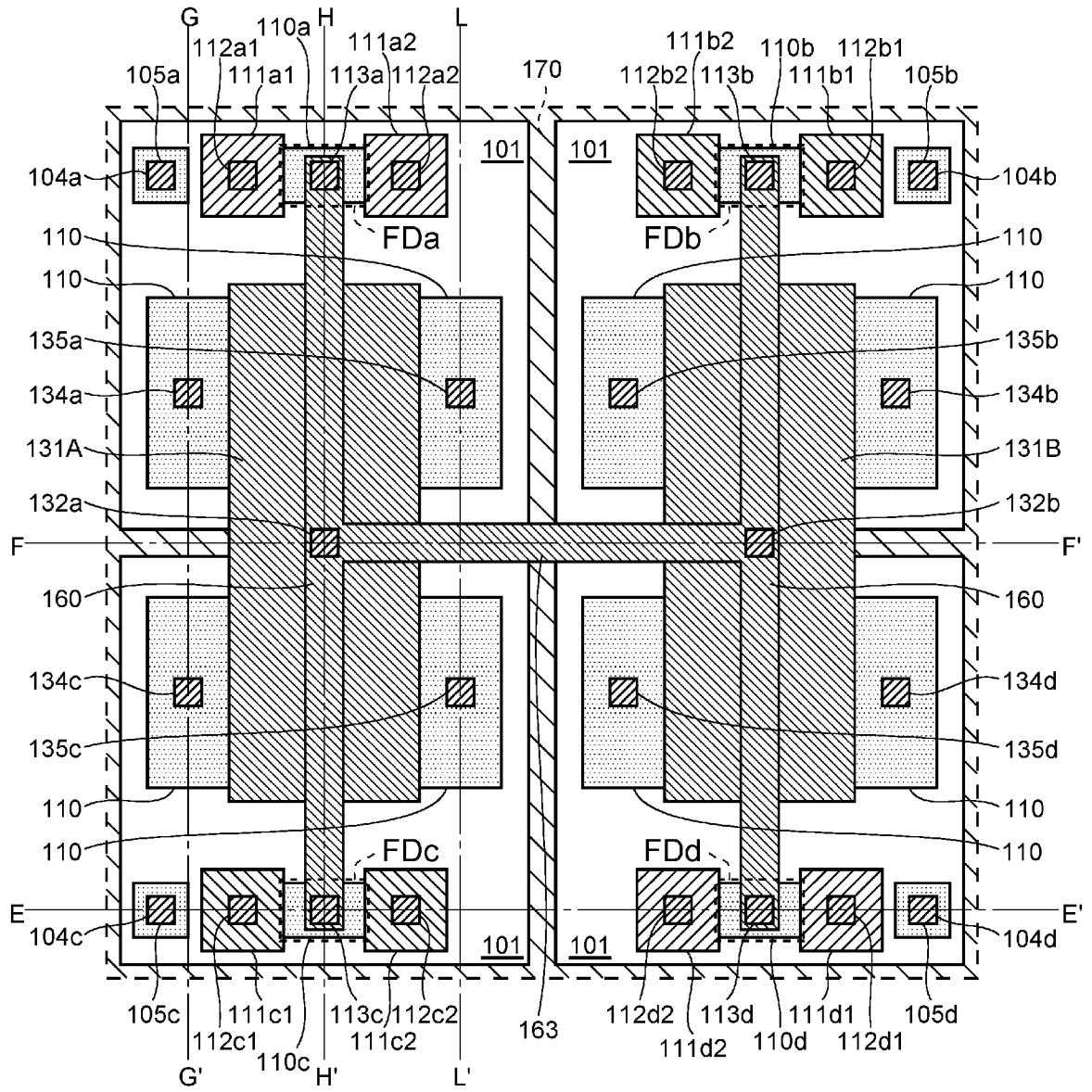


[図54]

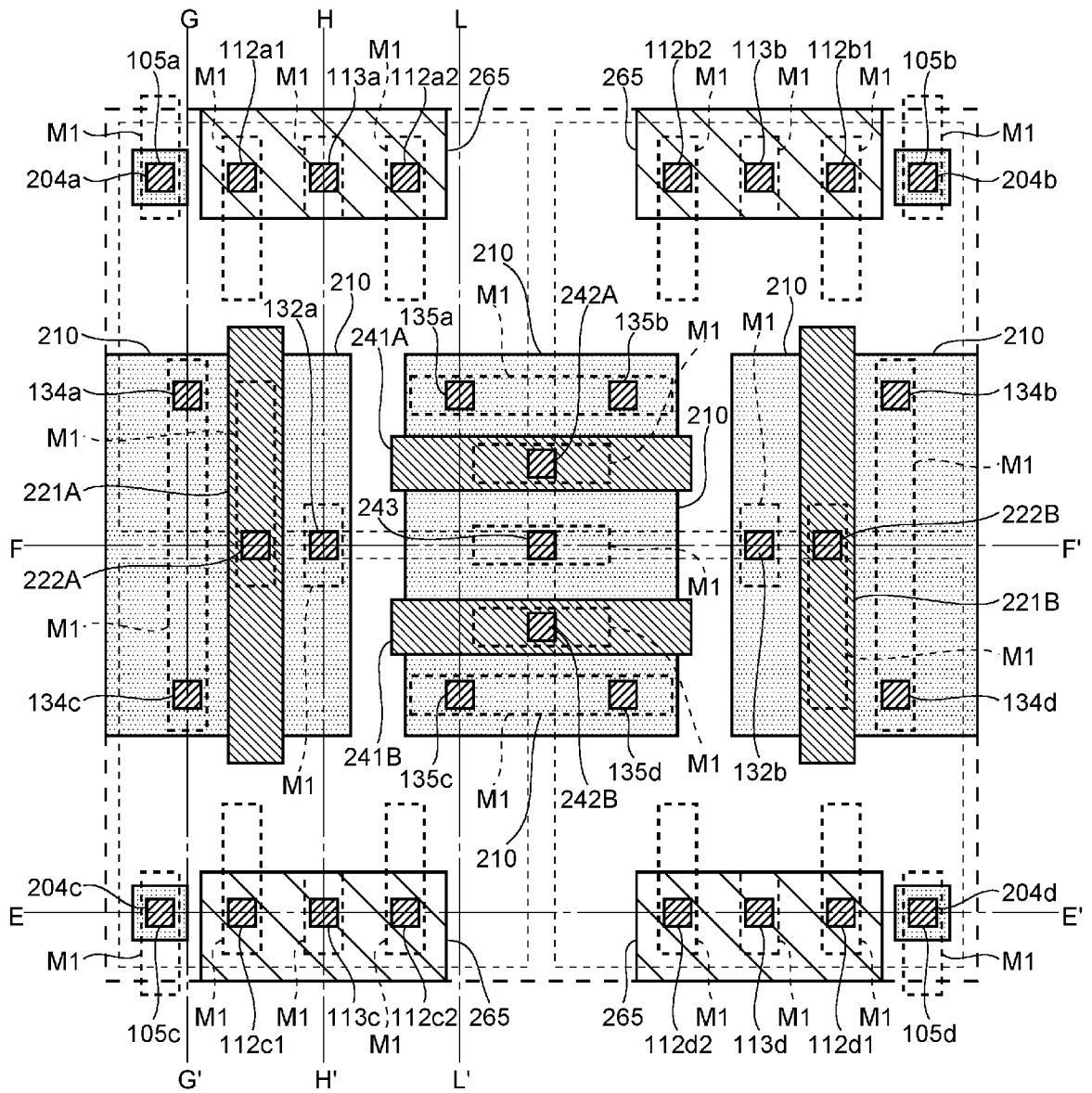


[illegible]

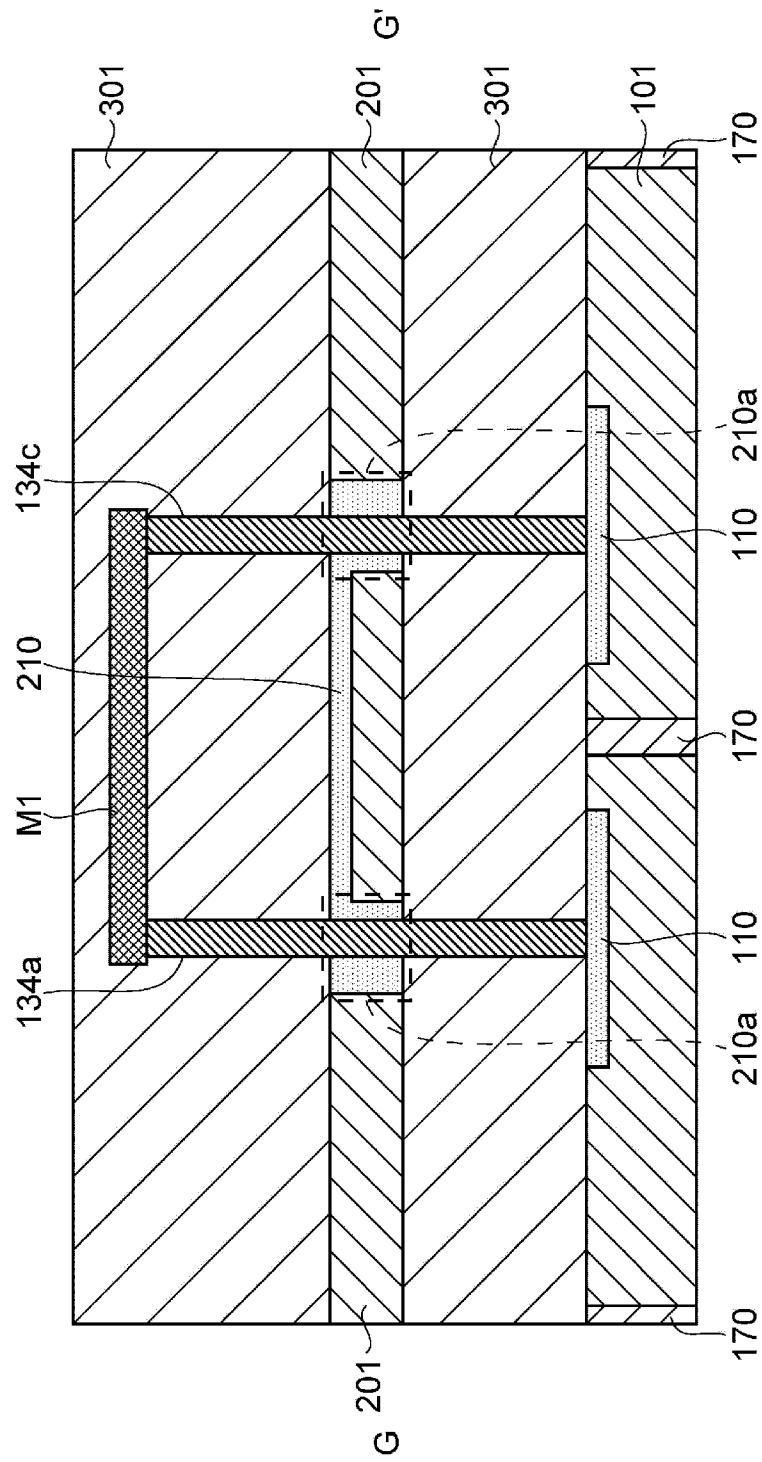
[図56]



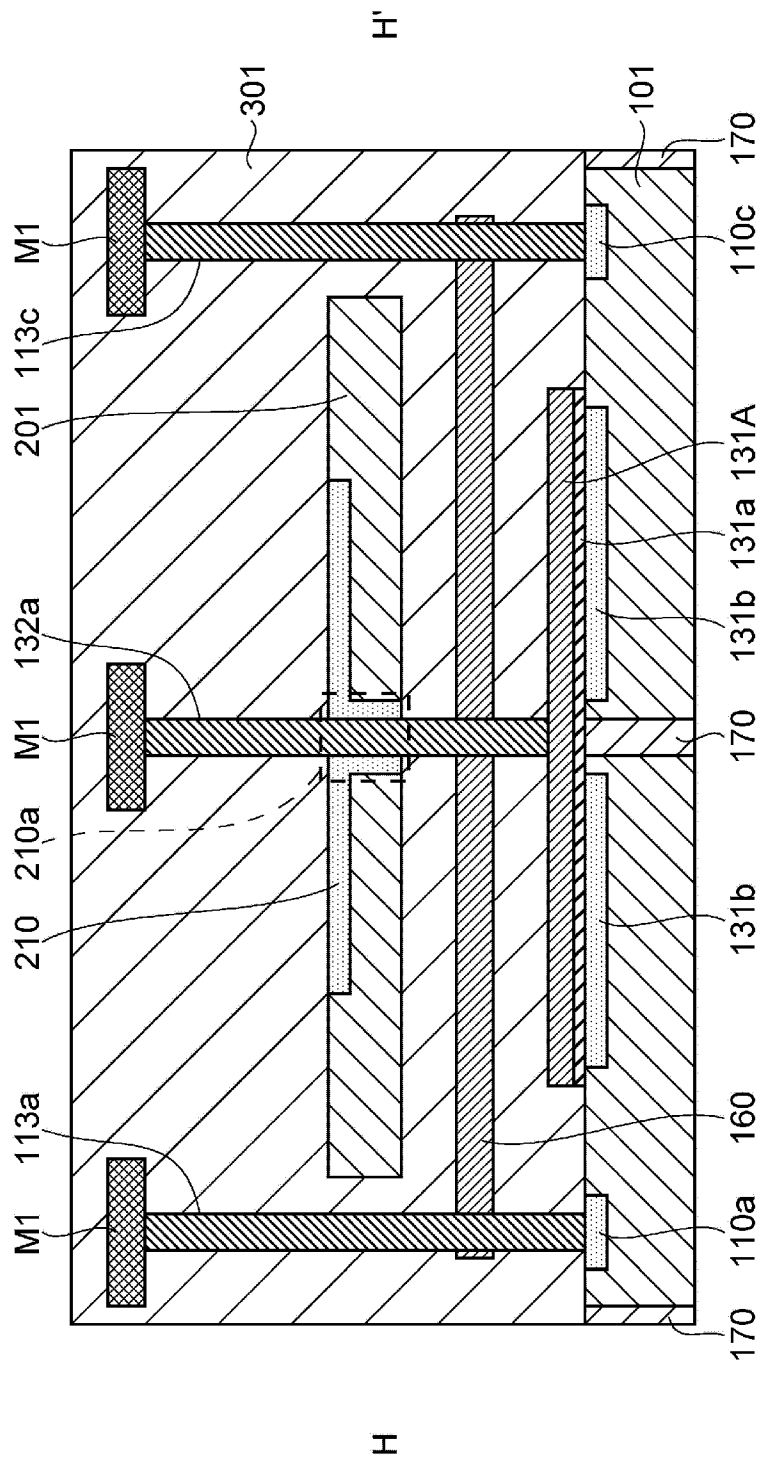
[図57]



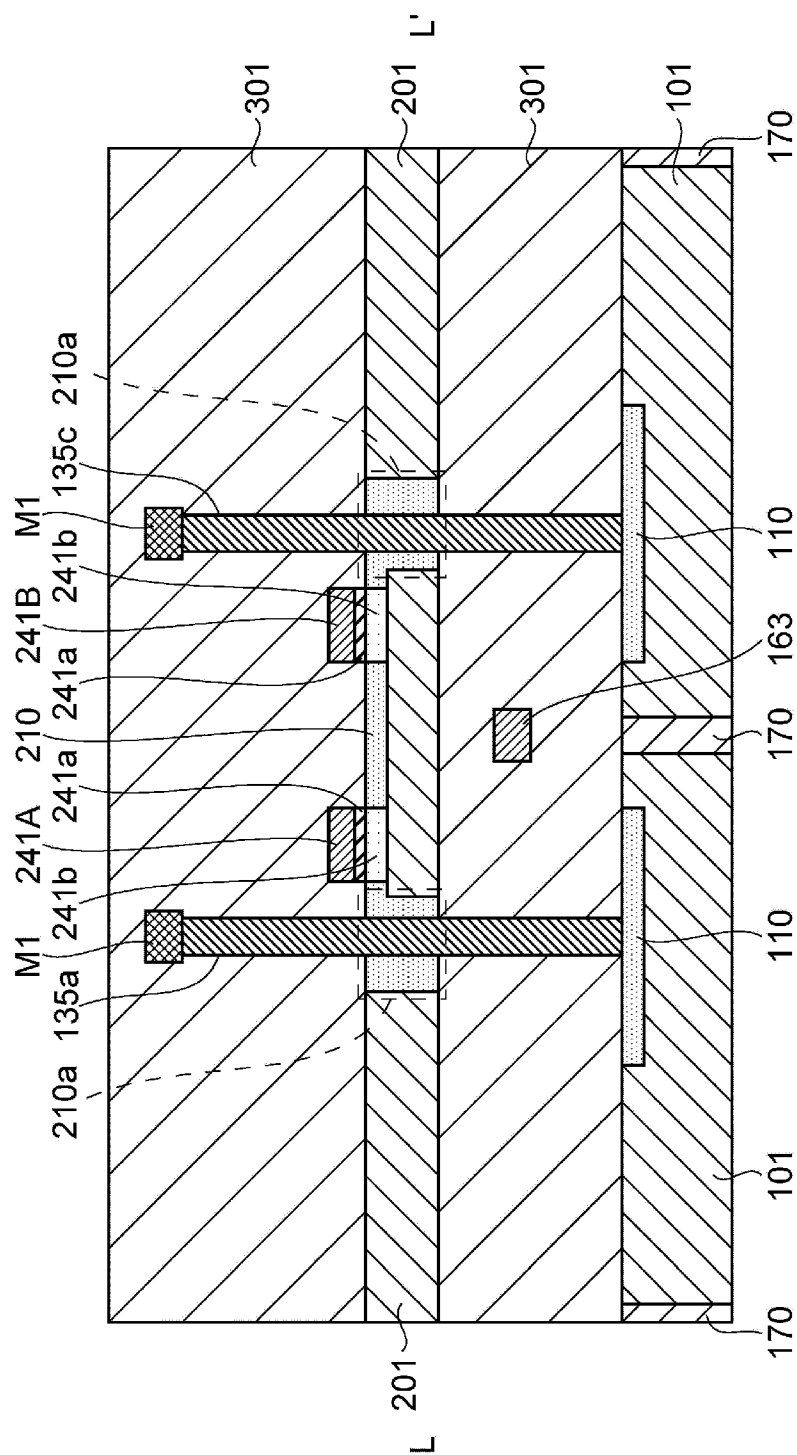
[図60]



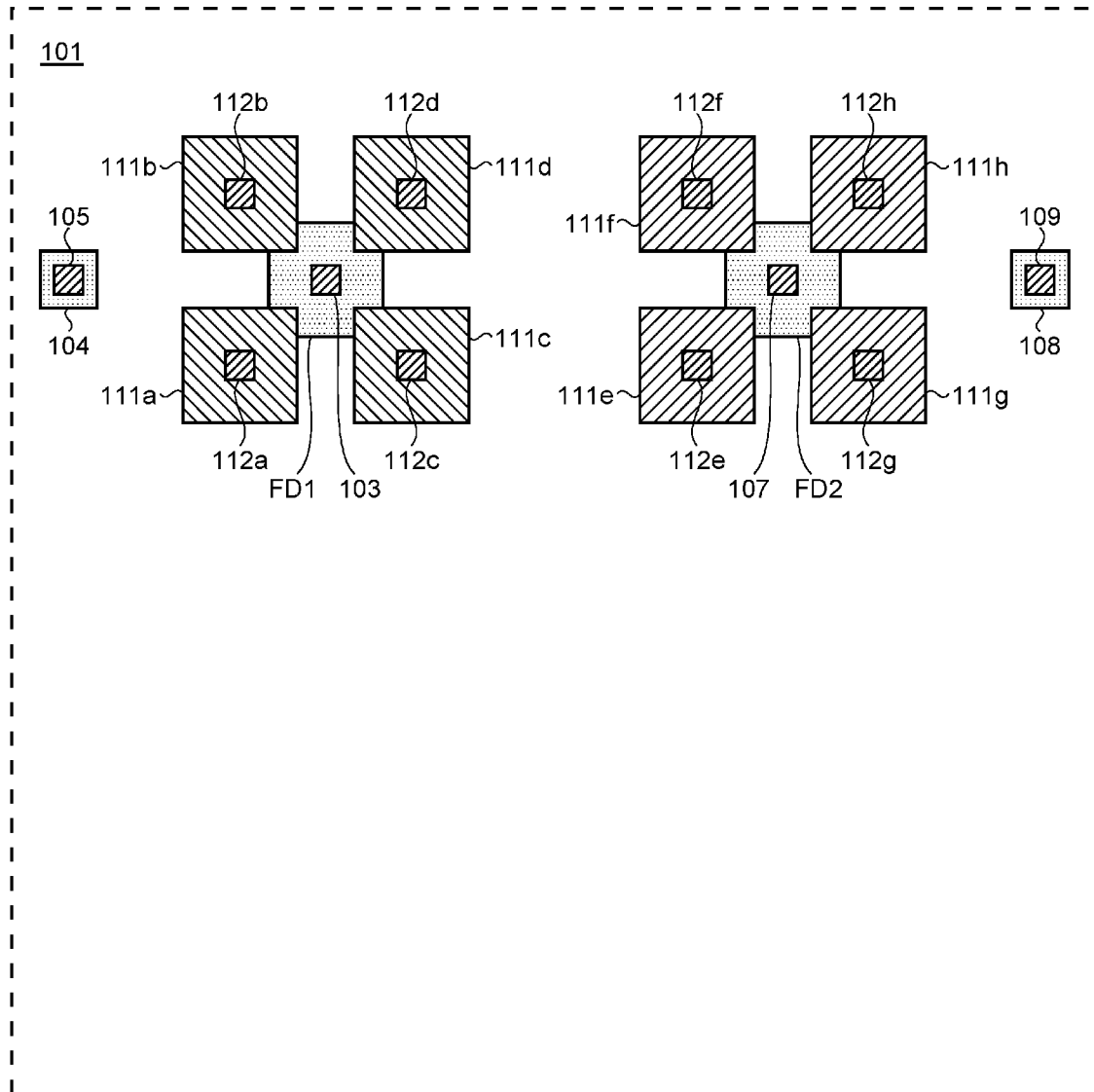
[図61]



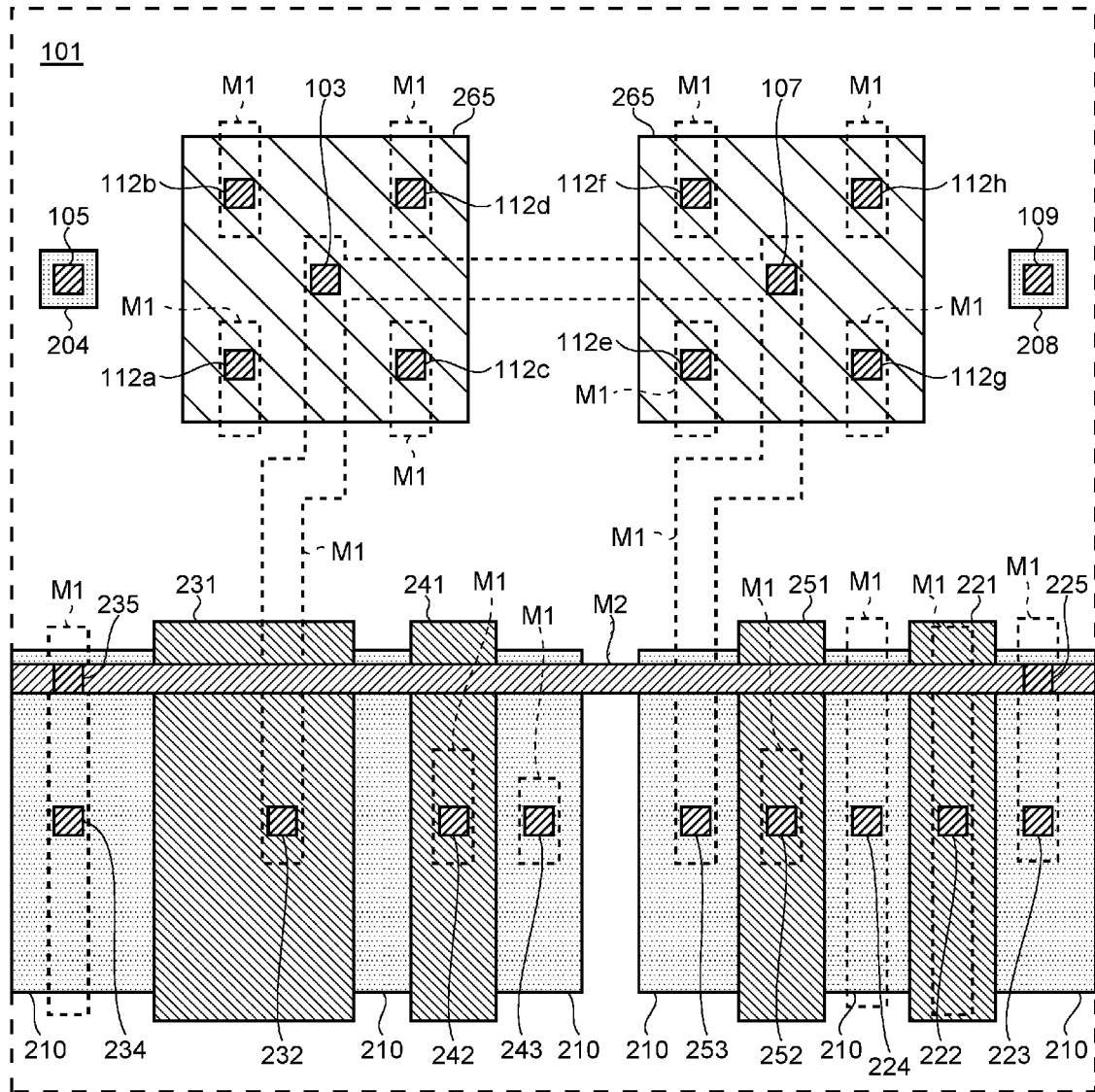
[図62]



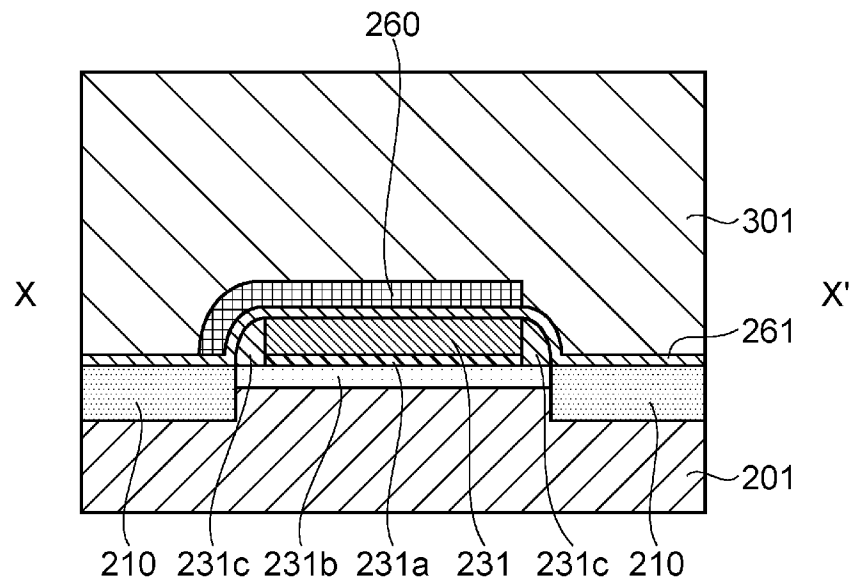
[図63]



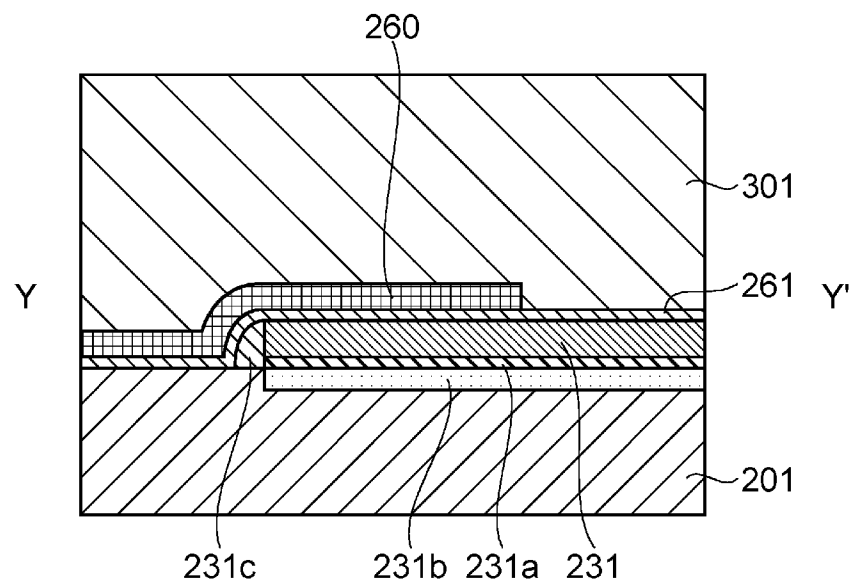
[図64]



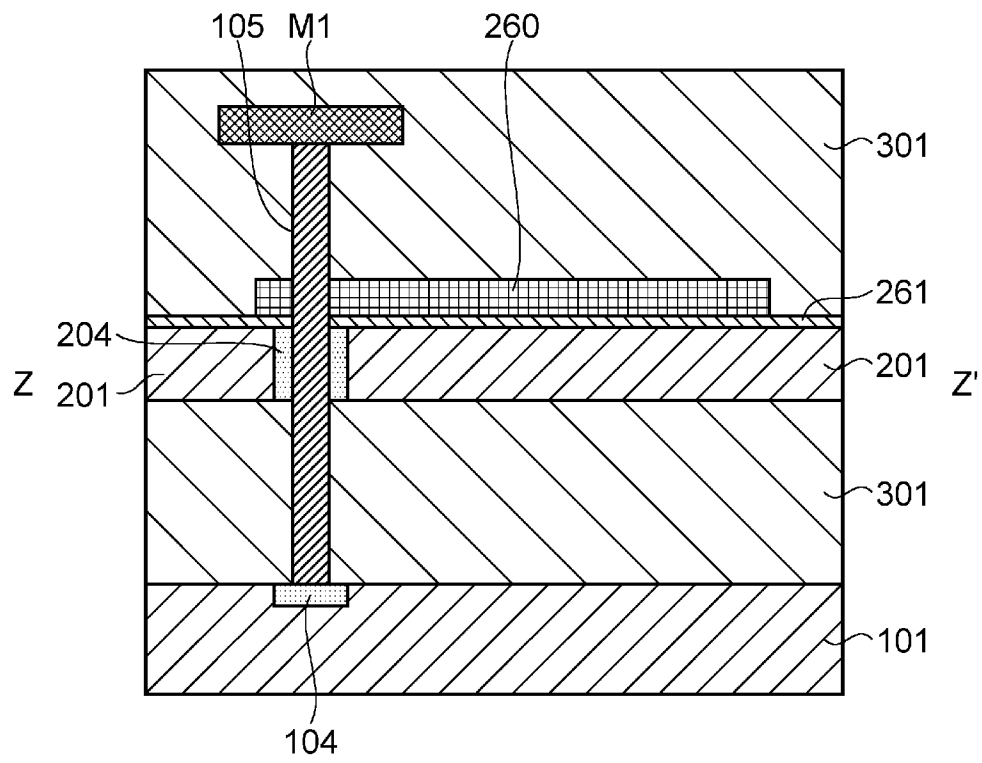
[図66]



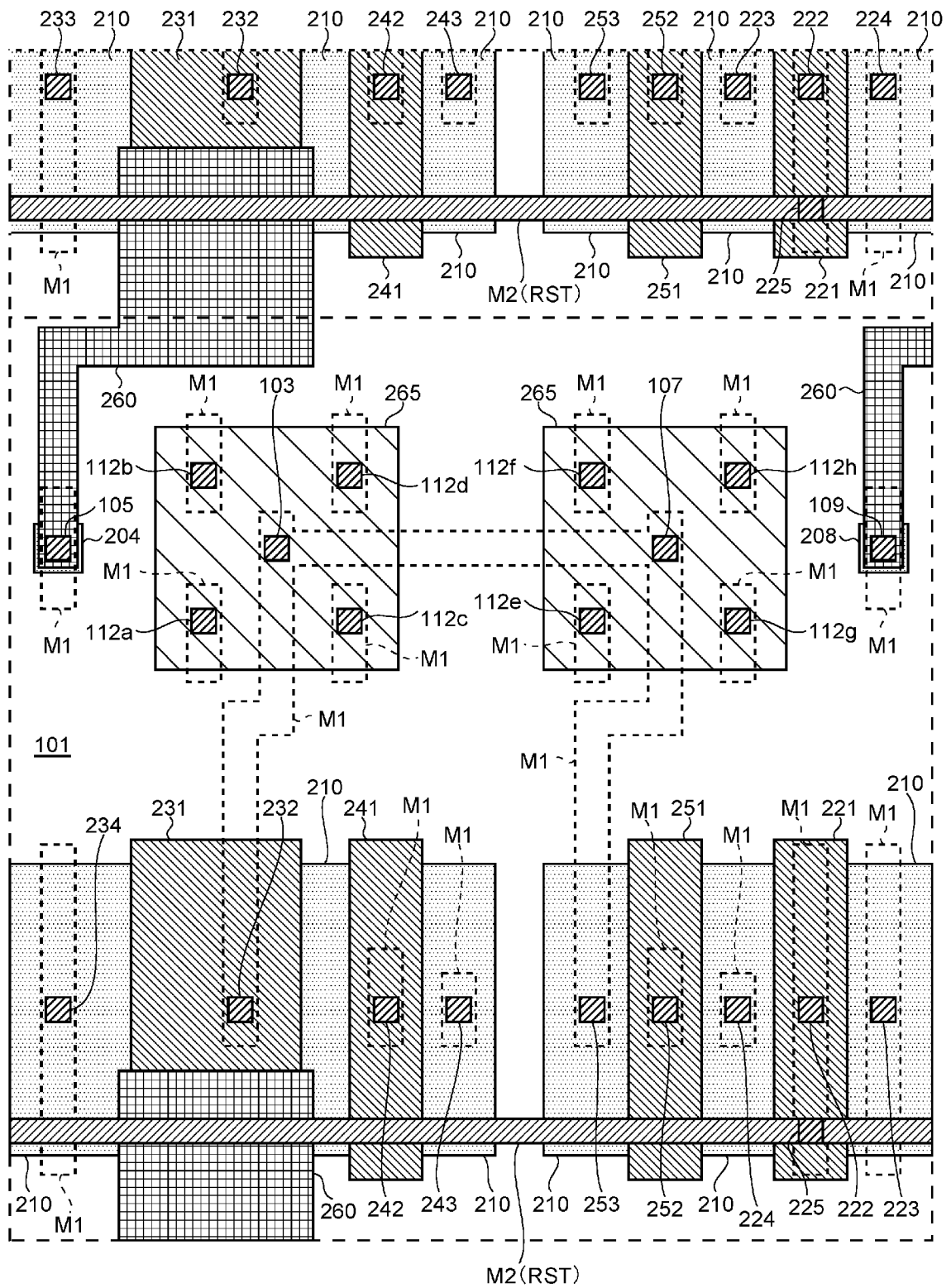
[図67]

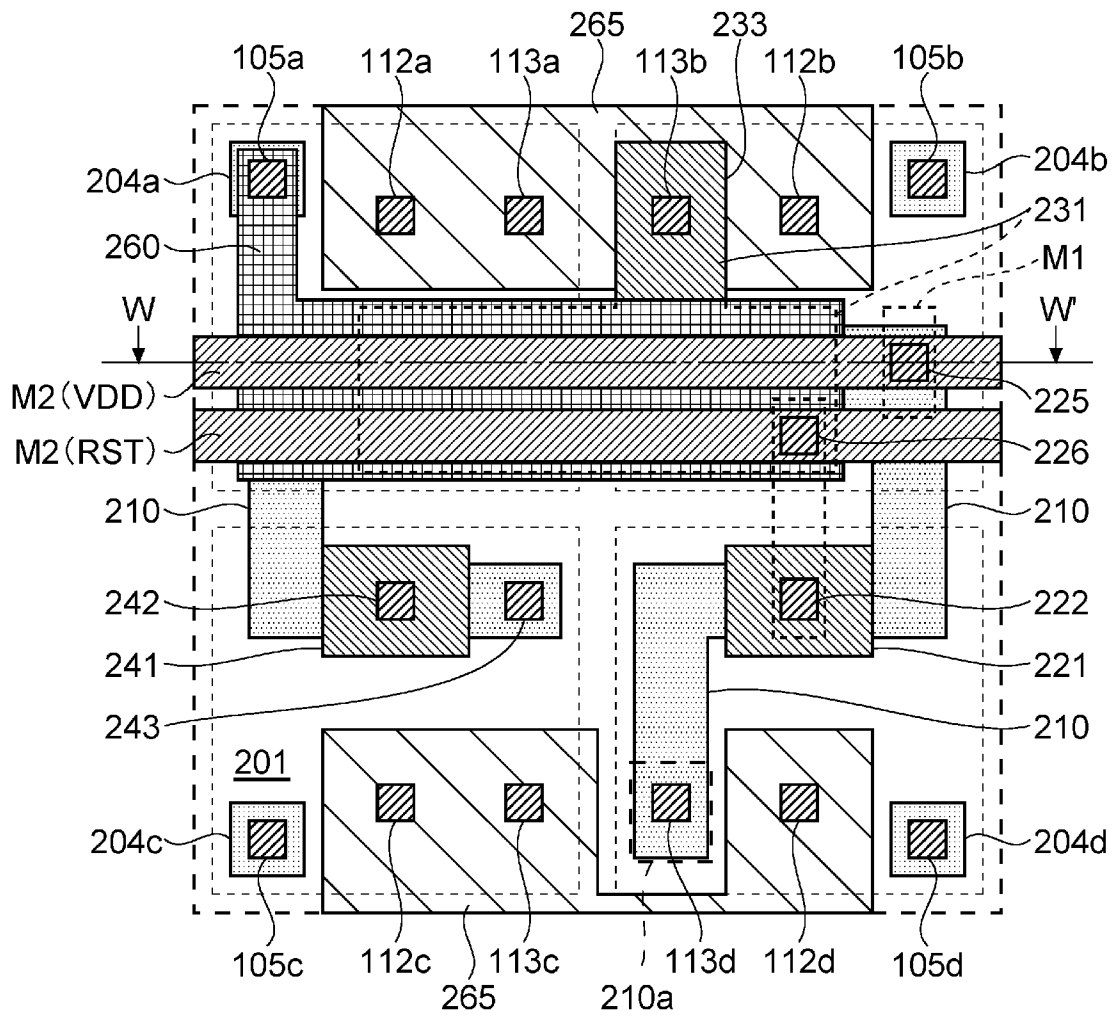


[図68]



[図69]





[図71]

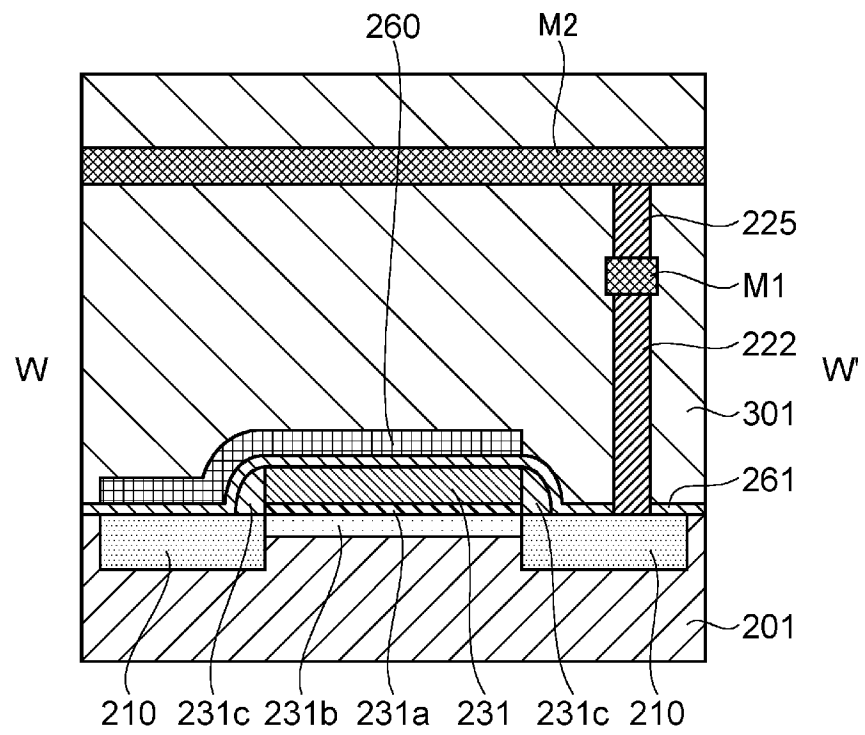
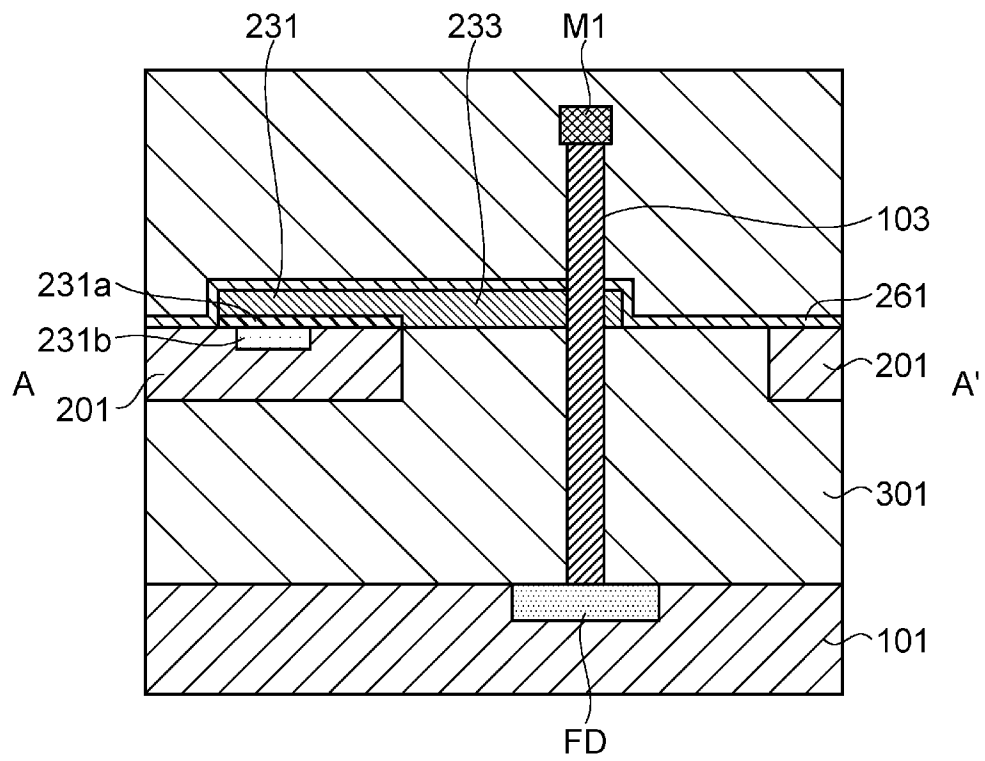


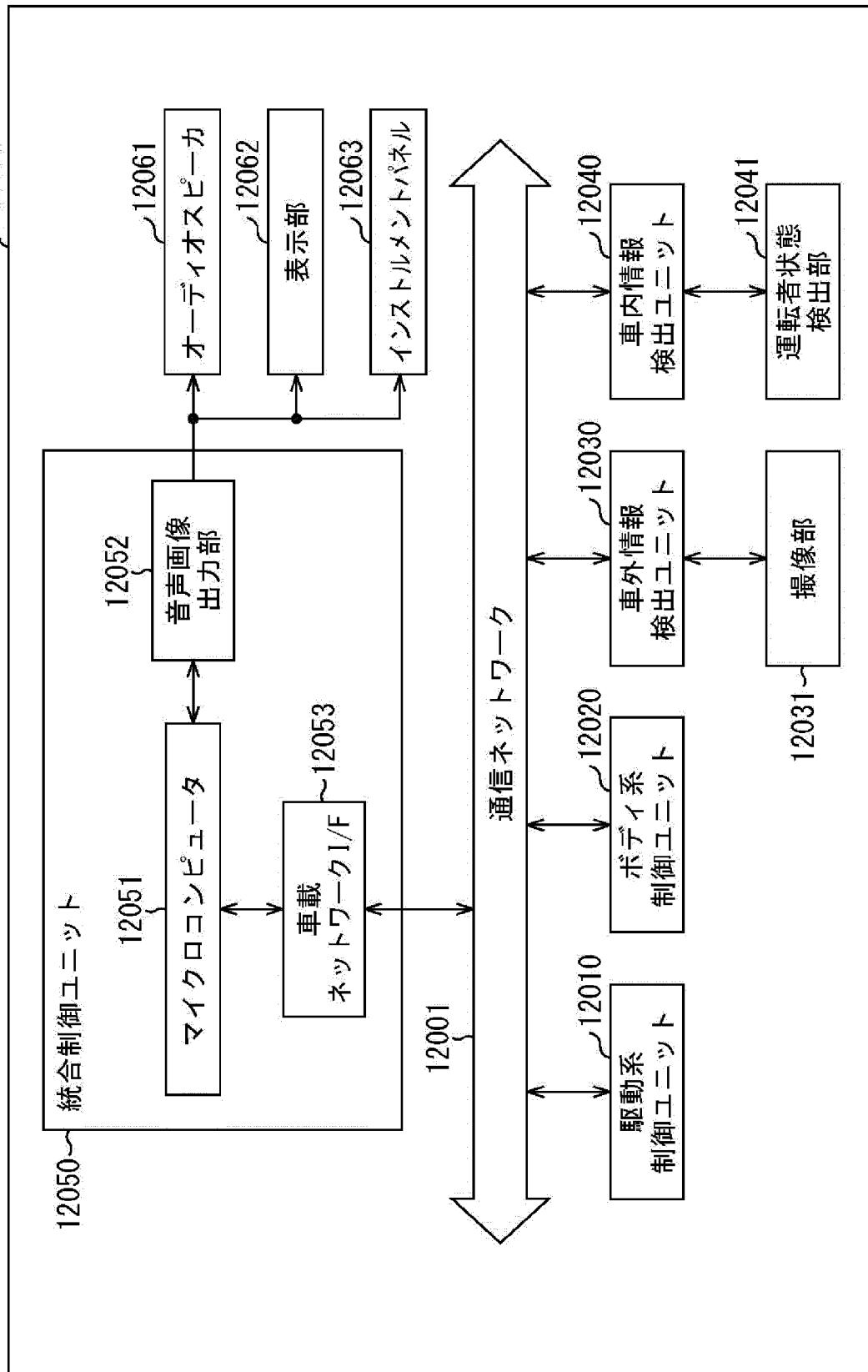
Figure 1 is a cross-sectional view of a semiconductor device 201. The device is shown within a dashed rectangular boundary. At the bottom, there is a substrate 260. Above the substrate, a layer 226 is formed. A central region 210 is defined by a vertical structure 231 on the left and a vertical structure 265 on the right. The central region 210 contains a stack of layers 224, 221, and 222. A vertical structure 260 is formed in the center of the device. Various regions are labeled with M1, M2(RST), and A, A'. The device is enclosed in a dashed box 201.

[図73]

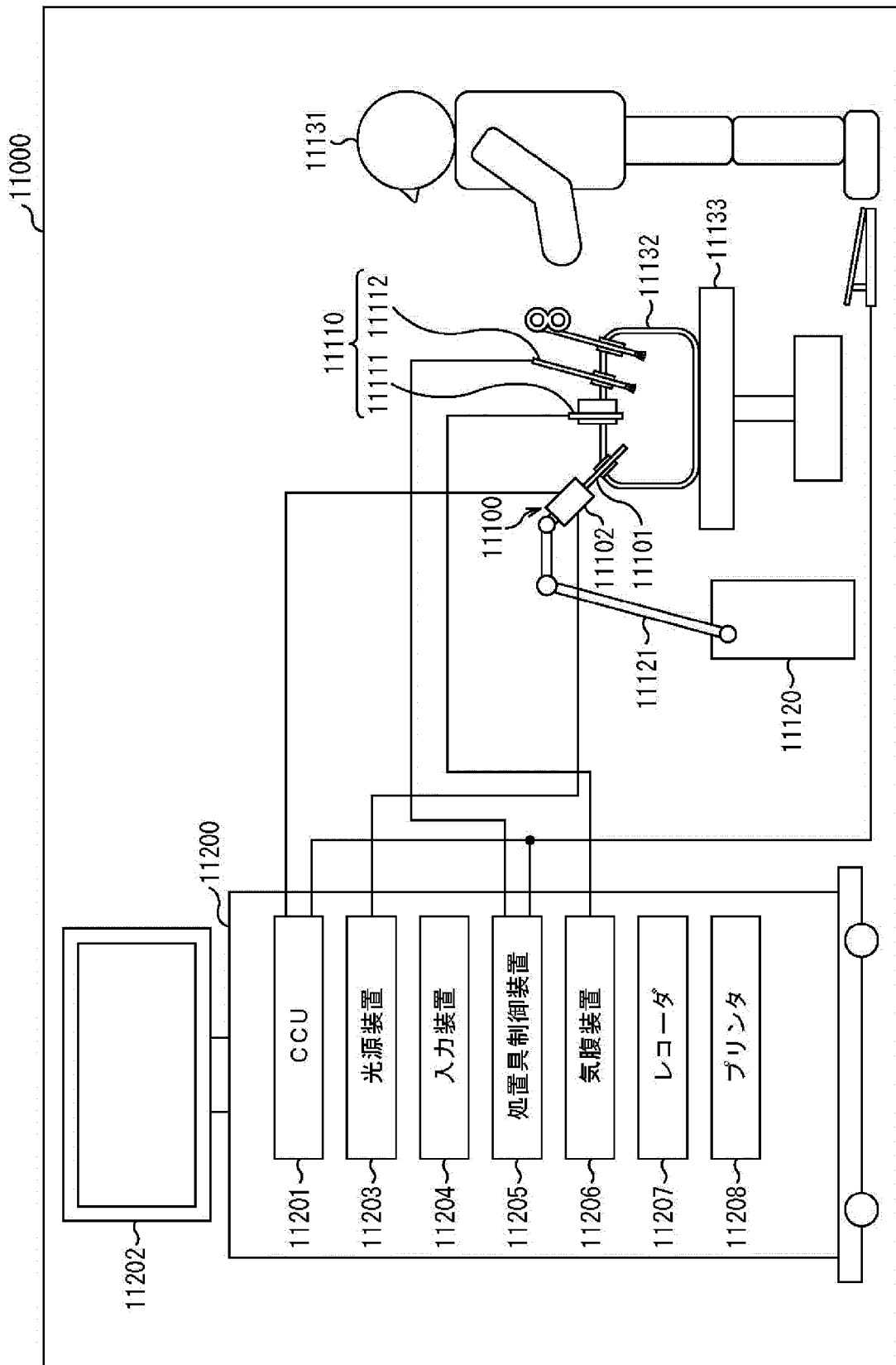


This cross-sectional view shows the device structure along line B-B'. It features two vertical pillars, 103 and 104, which are filled with a material having diagonal hatching. Pillar 103 is topped with a cross-hatched cap 105, while pillar 104 has a cross-hatched cap 106. Both pillars are situated on a base layer 101. A horizontal layer 201 is positioned above the pillars, with a patterned layer 260 on top of it. A dashed line 210a indicates a boundary or interface. Other labels include 233, FD, and M1, M2, which are also present in the top view.

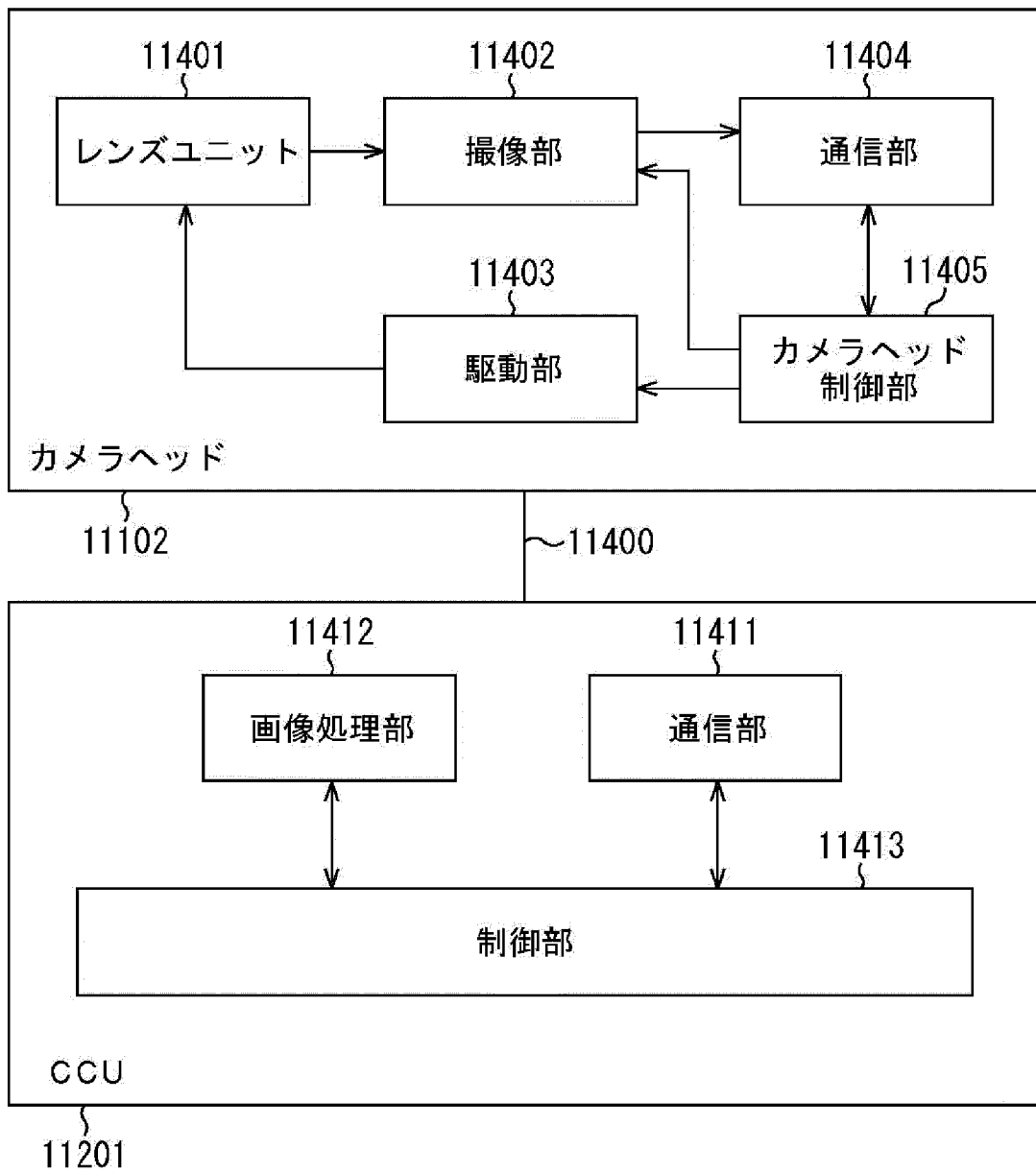
[図75]



[図77]



[図78]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000668

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i; **H04N 5/369**(2011.01)i

FI: H01L27/146 A; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/203141 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 08 October 2020 (2020-10-08) paragraphs [0018], [0028]-[0035], [0053], fig. 1-17	1, 3, 5-7, 10-13
Y		2, 4, 9, 14
A		8, 15-20
X	JP 2020-96225 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 18 June 2020 (2020-06-18) paragraphs [0024], [0028]-[0034], [0037], [0049], [0103], [0167], fig. 1-41	1, 3, 5, 6, 10, 14
Y		2, 4, 14-20
A		7-9, 11-13
Y	WO 2020/121725 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 18 June 2020 (2020-06-18) paragraphs [0099], [0121], fig. 1-43	2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

17 March 2022

Date of mailing of the international search report

29 March 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000668

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2020/044747 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 05 March 2020 (2020-03-05) paragraphs [0042], [0043], fig. 1-30	4, 9
Y	JP 2018-201078 A (CANON INC.) 20 December 2018 (2018-12-20) paragraphs [0020], [0028], fig. 1-13	15-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/000668

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/203141	A1	08 October 2020	(Family: none)	
JP	2020-96225	A	18 June 2020	WO 2020/122010 A1 paragraphs [0025], [0029]- [0035], [0038], [0050], [0104], [0168], fig. 1-41	
WO	2020/121725	A1	18 June 2020	(Family: none)	
WO	2020/044747	A1	05 March 2020	(Family: none)	
JP	2018-201078	A	20 December 2018	US 2018/0342553 A1 paragraphs [0032], [0040], fig. 1-13	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/146 A; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2020/203141 A1（ソニーセミコンダクタソリューションズ株式会社）08.10.2020 (2020 - 10 - 08) 段落0018, 0028-0035, 0053, 図1-17	1, 3, 5-7, 10-13 2, 4, 9, 14 8, 15-20
X Y A	JP 2020-96225 A（ソニーセミコンダクタソリューションズ株式会社）18.06.2020 (2020 - 06 - 18) 段落0024, 0028-0034, 0037, 0049, 0103, 0167, 図1-41	1, 3, 5, 6, 10, 14 2, 4, 14-20 7-9, 11-13
Y	WO 2020/121725 A1（ソニーセミコンダクタソリューションズ株式会社）18.06.2020 (2020 - 06 - 18) 段落0099, 0121, 図1-43	2
Y	WO 2020/044747 A1（ソニーセミコンダクタソリューションズ株式会社）05.03.2020 (2020 - 03 - 05) 段落0042, 0043, 図1-30	4, 9
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 17.03.2022		国際調査報告の発送日 29.03.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-201078 A (キヤノン株式会社) 20.12.2018 (2018 - 12 - 20) 段落0020, 0028, 図1-13	15-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/000668

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/203141	A1	08.10.2020	(ファミリーなし)	
JP	2020-96225	A	18.06.2020	WO 2020/122010 A1	
				段落0025, 0029-0035, 0038, 0050, 0104, 0168, 図1-41	
WO	2020/121725	A1	18.06.2020	(ファミリーなし)	
WO	2020/044747	A1	05.03.2020	(ファミリーなし)	
JP	2018-201078	A	20.12.2018	US 2018/0342553 A1	
				段落0032, 0040, 図1-13	