



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

201 617

(11)

(B1)

(61)

- (23) Výstavní priorita
- (22) Přihlášeno 19 04 77
- (21) PV 2592-77

(51) Int. Cl.³ H 03 K 21/34

- (40) Zveřejněno 31 03 80
- (45) Vydáno 01 02 83

(75)

Autor vynálezu BŮHM FRANTIŠEK ing., PRAHA
KUNA JOSEF ing., PRAHA
PURKRÁBEK ZDENĚK ing., PRAHA

(54) Zapojení zkoušečky logických stavů

1

Vynález se týká zapojení zkoušečky logických stavů signálů s optickou indikací v sítích TTL.

V dosud známých zapojeních se k rozlišení testované úrovně používá komplementárních zesilovačů, popřípadě rozdílného zisku v obou větvích pro indikaci úrovní L a H. Tyto obvody potřebují ke správné funkci nastavení pracovních bodů, což přináší problémy se stabilitou, při oživování apod. Kromě toho jsou tato zapojení většinou dosti složitá.

Tyto nevýhody odstraňuje zapojení zkoušečky logických stavů s optickou indikací v sítích TTL, jehož podstata spočívá v tom že vstup signálu je spojen s uzlem spojeným se dvěma paralelními větvemi, z nichž první paralelní větev je tvořena sériovým spojením první diody, připojené anodou do uzlu a katodou k bázi tranzistoru vodivostního typu NPN, jehož kolektor je spojen se vstupem prvního hradla a druhé diody, spojené anodou s emitorem tranzistoru a katodou s bodem nulového potenciálu, zatímco druhá paralelní větev je tvořena diodou spojenou katodou s uzlem a anodou se vstupem druhého hradla.

Pokrok dosažený vynálezem spočívá v tom, že popsaný prahový obvod umožňuje sestavit logickou zkoušečku s výbornými dynamickými vlastnostmi, vyhovující přesností a stabilitou. Zapojení je velice jednoduché a při oživování není třeba nic nastavovat.

Vynález je zobrazen na přiloženém výkrese, který představuje schéma zapojení zkoušečky logických stavů.

U zapojení zkoušečky logických stavů s optickou indikací v sítích TTL je testovaný signál v uzlu 1 rozdělen do dvou paralelních větví 2 a 3. První paralelní větev 2 je tvořena sériovým spojením první diody 4, připojené anodou do uzlu 1 a katodou k bázi tranzistoru 5 a druhé diody 7 spojené anodou s emitorem tranzistoru 5 a katodou s bodem nulové-

201 617

ho potenciálu. Kolektor tranzistoru 5 je spojen se vstupem prvního hradla 6. Druhá paralelní větev 3 je tvořena diodou 8 spojenou katodou s uzlem 1 a anodou s vstupem druhého hradla 9. Obvody indikace /nezakresleno/ jsou připojeny k výstupům prvního hradla 6 a druhého hradla 9.

Zapojení zkoušečky logických stavů používá k rozlišení testovaných ^{úrovni} úbytků na PN přechodech. Logická zkoušečka rozlišuje tři úrovně vstupního napětí. Pro indikaci hodnoty logická nula je třeba, aby napětí na vstupu druhého hradla 9 bylo menší než rozhodovací úroveň TTL, tj. 1,4 V. Vzhledem k tomu, že v cestě signálu je zapojena dioda 8, musí být vstupní napětí menší o úbytek na této diodě, t.j.

$$U_L = 1,4 - 0,7 = 0,7 \text{ V.}$$

Při splnění této podmínky je v činnosti indikační obvod, zapojený na výstup hradla 9 "logická nula".

Hodnota logická jedna se indikuje obvodem, připojeným na výstup prvního hradla 6, a to tehdy, je-li sepnut tranzistor 5. K tomu je třeba, aby vstupní napětí bylo větší, než je součet úbytků na přechodech první diody 4 a druhé diody 7 a přechodu B - E tranzistoru 5, tj.

$$U_H = 3 \times 0,7 = 2,1 \text{ V.}$$

V případě, že napětí v uzlu 1 nesplňuje žádnou z uvedených podmínek, popřípadě není-li vstup připojen k měřenému obvodu, například nedokonalý kontakt nebo vysoký výstupní odpor zdroje signálu, není v činnosti žádná z indikačních větví.

Přesnost prahových úrovní vstupního obvodu je pro potřebu zkoušečky dostačující; výhodné je, že zapojení má obdobnou strukturu jako TTL. Z toho plyne, že případné teplotní drifts a offset způsobené tolerancí napájecího napětí se projeví obdobně jako v testovaném zařízení. Prahový obvod podle vynálezu neobsahuje žádné pasivní prvky, které by ovlivňovaly dynamické vlastnosti zkoušečky.

PŘEDMĚT VYNÁLEZU

Zapojení zkoušečky logických stavů s optickou indikací v sítích TTL, vyznačené tím, že vstup signálu je spojen s uzlem /1/ spojeným se dvěma paralelními větvemi /2 a 3/, z nichž první paralelní větev /2/ je tvořena sériovým spojením první diody /4/, připojené anodou do uzlu /1/ a katodou k bázi tranzistoru vodivostního typu NPN /5/, jehož kolektor je spojen se vstupem prvního hradla /6/, a druhé diody /7/, spojené anodou s emitorem tranzistoru /5/ a katodou s bodem nulového potenciálu, zatímco druhá paralelní větev /3/ je tvořena diodou /8/ spojenou katodou s uzlem /1/ a anodou s vstupem druhého hradla /9/.

1 výkres

