(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3640272号

(P3640272)

(45)発行日　平成17年4月20日(2005.4.20)　(24)登録日　平成17年1月28日(2005.1.28)

(51)Int.Cl.[7]	F I		
H01L 21/308	H01L	21/308	F
C23F 1/00	C23F	1/00	A
C23F 1/30	C23F	1/30	
C30B 29/10	C30B	29/10	
C30B 29/40	C30B	29/40	Z

請求項の数 2　(全 17 頁)　最終頁に続く

(21)出願番号　特願平8-23759
(22)出願日　平成8年2月9日(1996.2.9)
(65)公開番号　特開平9-219399
(43)公開日　平成9年8月19日(1997.8.19)
審査請求日　平成14年10月2日(2002.10.2)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100081813
弁理士　早瀬　憲一
(72)発明者　北野　俊明
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　菅野　智子

(56)参考文献　特開平０７－３１２４２１（ＪＰ，Ａ）
特開平０７－００７００４（ＪＰ，Ａ）
特開平０５－１９８５９８（ＪＰ，Ａ）
特開平０５－１４４８４８（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

ＩｎＰ基板上に、アンドープＩｎＡｌＡｓバッファ層、アンドープＩｎＧａＡｓ動作層、ｎ型ＩｎＡｌＡｓ電子供給層、ｎ型ＩｎＧａＡｓキャップ層を順次結晶成長により形成する工程と、

上記ｎ型ＩｎＧａＡｓキャップ層上にＷＳｉ層を形成する工程と、

該ＷＳｉ層上に、上記基板に対して垂直方向の断面形状がＴ字型である開口部を備えたレジストを形成する工程と、

該レジストをマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用い、上記ＷＳｉ層とｎ型ＩｎＧａＡｓキャップ層とを上記ｎ型ＩｎＡｌＡｓ電子供給層に対して選択的にエッチング除去する工程と、

上記レジストをマスクとしてゲート電極材料を蒸着した後、上記レジストを除去して、上記レジストの開口部内以外に配置されたゲート電極材料をリフトオフしてＴ型ゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項２】

ＩｎＰ基板上に、アンドープＩｎＡｌＡｓバッファ層，ｎ型ＩｎＧａＡｓ動作層を結晶成長させる工程と、

上記ｎ型ＩｎＧａＡｓ動作層上に、ＷＳｉ層を形成する工程と、

該ＷＳｉ層上に開口部を有するレジストを形成する工程と、

該レジストをマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いたウエットエッチングにより、上記ＷＳｉ層を、上記ｎ型ＩｎＧａＡｓ動作層に対して選択的にエッチング除去する工程と、

上記レジストをマスクとして、ゲート電極材料を蒸着した後、上記レジストを除去して、上記レジストの開口部内以外に配置されたゲート電極材料をリフトオフしてゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体装置の製造方法，および半導体装置に関し、特に、ＭＥＳＦＥＴやＨＥＭＴ等の半導体装置の製造方法，半導体装置に関するものである。

【０００２】

【従来の技術】

従来、ＩｎＡｌＡｓまたはＩｎＧａＡｓに対してＷＳｉを選択的にエッチングする選択エッチング液，即ち、ＩｎＡｌＡｓまたはＩｎＧａＡｓに対するエッチングレートよりも、ＷＳｉに対するエッチングレートが十分に高いエッチング液については知られていなかった。この技術がないため、例えば、ＩｎＧａＡｓ層，またはＩｎＡｌＡｓ層上に形成されたＷＳｉを上記ＩｎＧａＡｓ層，またはＩｎＡｌＡｓ層に対して選択的にエッチングする際には、反応性イオンエッチング（Reactive ion etching：以下、ＲＩＥと称す）等によりエッチングを行っていた。

【０００３】

図９は従来のＭＥＳ電界効果トランジスタ（Metal-semiconductor field effect transistor ：以下，ＭＥＳＦＥＴと称す）の製造方法を示す断面図であり、図において、１は半絶縁性ＩｎＰ基板，２はアンドープＩｎＰバッファ層、３はｎ型の動作層で、ＳｉをドープしたＩｎＡｌＡｓ，またはＩｎＧａＡｓからなっている。４はＷＳｉ層、４ａ，４ｂはそれぞれ、ＷＳｉからなるソース電極，ドレイン電極である。５はＴｉ層とＡｌ層とを積層してなるゲート電極、６ａ，６ｂは第１，第２のホトレジストである。

【０００４】

次に、従来のＭＥＳＦＥＴの製造方法について説明する。まず、図９(a) に示すように、ＩｎＰ基板１上に、バッファ層２，ｎ型動作層３をＭＢＥ(Molecular beam epitaxy)法やＭＯＣＶＤ（Metal organic chemical vapor deposition)法等を用いて結晶成長させ、さらに、ｎ型動作層３上にＷＳｉ層４をスパッタ法により形成する。次に、図９(b) に示すように、ＷＳｉ層４上に第１のホトレジスト６ａを形成し、該ホトレジスト６ａのゲート電極を形成する領域に写真製版技術を用いて開口部を形成し、該ホトレジスト６ａをマスクとして、上記開口部内に露出したＷＳｉ層４を、ＲＩＥによりｎ型動作層３に対して選択的にエッチング除去する。このＲＩＥに使用するガスとしては、SF_6 ／CHF_3 等のフッ素系のガスを用いる。このＲＩＥにより、ＷＳｉ層４からソース電極４ａ，ドレイン電極４ｂが形成される。

【０００５】

続いて、ホトレジスト６ａを除去した後、図９(c) に示すように、ソース電極４ａ，ドレイン電極４ｂ上，及び上記ＲＩＥにより露出したｎ型動作層３上に第２のホトレジスト６ｂを形成し、該ホトレジスト６ｂの上記ソース電極４ａとドレイン電極４ｂとの中間に位置する領域上に写真製版技術を用いて開口部を形成し、該ホトレジスト６ｂをマスクとして、ＥＢ（Electron beam ：電子ビーム）蒸着によりＴｉ／Ａｌ層を形成し、上記ホトレジスト６ｂをリフトオフすることにより、ゲート電極５を形成して、図９(d) に示すようなＭＥＳＦＥＴを得る。

【０００６】

以上のように、従来のＭＥＳＦＥＴは製造されていたが、このようなＭＥＳＦＥＴの製造方法においては、ソース電極４ａ，ドレイン電極４ｂを形成する工程において、ＷＳｉ層

４をＳｉをドープしたＩｎＡｌＡｓ，またはＩｎＧａＡｓからなるｎ型動作層３に対して選択的に除去する必要があるが、従来は、ＷＳｉをＩｎＡｌＡｓ，またはＩｎＧａＡｓに対して選択的に除去できるエッチャントがなく、この除去を図９(b) に示すようにＲＩＥにより行っていた。しかしながら、このＲＩＥにおいてはSF_6／CHF_3等のフッ素系のガスを用いているため、ＲＩＥにより露出したｎ型動作層３にフッ素が付着し、動作層３内に侵入してしまう。このようにフッ素の付着や侵入が起こると、ｎ型動作層３のドーパントであるＳｉとフッ素とが結合してしまい、動作層３のキャリア濃度が低下し、その結果、ＦＥＴの特性が劣化してしまうという問題があった。

【０００７】

一方、図１０は従来のＴ型ゲートを有する高電子移動度トランジスタ（High electron mobility transistor ：以下、ＨＥＭＴと称す）の製造方法を示す断面図であり、図において、１１は半絶縁性ＩｎＰ基板、１２はアンドープＩｎＡｌＡｓバッファ層、１３はアンドープＩｎＧａＡｓ動作層、１４は電子供給層で、Ｓｉプレーナドープ層１４ａ，即ちＳｉを原子層単位で例えば$4\times10^{12}cm^{-2}$の濃度にドープした層と、厚さ約３００オングストロームのアンドープＩｎＡｌＡｓ層１４ｂとにより構成されている。１５は厚さ約３００オングストロームのｎ型ＩｎＧａＡｓキャップ層で、ソース電極とドレイン電極とがオーミック接合できるように、ｎ型不純物が$5\times10^{18}cm^{-3}$程度の高濃度にドープされている。１５ａはキャップ層１５に形成されたゲートリセス、１６ａ，１６ｂはそれぞれ厚さ約１０００オングストロームのＷＳｉからなるソース電極，ドレイン電極である。１９はＴｉ上にＡｌを積層してなるゲート電極、１７はＥＢ（電子ビーム）レジスト、１８はホトレジストである。

【０００８】

次に製造方法について説明する。まず、ＩｎＰ基板１１上に、アンドープＩｎＡｌＡｓバッファ層１２、アンドープＩｎＧａＡｓ動作層１３、Ｓｉプレーナドープ層１４ａ、アンドープＩｎＡｌＡｓ層１４ｂ、ｎ型ＩｎＧａＡｓキャップ層１５を、順次結晶成長により形成する。この成長方法としてはＭＢＥ法やＭＯＣＶＤ法等が用いられる。さらに、キャップ層１５上にＥＢレジスト１７，ホトレジスト１８を順次形成し、該ホトレジスト１８のゲート電極が設けられる領域を写真製版技術により除去して幅約０．５μｍの開口部を設け、さらに、該開口部内に露出したＥＢレジスト１７の中央の幅約０．１μｍの領域を電子ビーム露光を用いた写真製版技術により除去して開口部を設ける。これにより、ホトレジスト１８の開口部とＥＢレジスト１７の開口部とを組合わせた開口部の基板１１に対して垂直方向の断面形状はＴ字型となる（図１０(a)）。

【０００９】

続いて、上記ホトレジスト１８とＥＢレジスト１７とをマスクとして、上記ＥＢレジスト１７の開口部に露出したｎ型ＩｎＧａＡｓキャップ層１５を、H_3PO_4／H_2O_2等の無機酸をエッチャントとして用いたウエットエッチングにより除去してゲートリセス１５ａを設ける（図１０(b)）。このゲートリセス１５ａは等方性のウエットエッチングにより形成されるため、その幅は、上記ＥＢレジスト１７の開口部の幅よりも広くなっている。

【００１０】

さらに、図１０(c) に示すように、上記ホトレジスト１８とＥＢレジスト１７とをマスクとして、蒸着，及びリフトオフを行うことにより、Ｔｉ／Ａｌからなり、その上記基板１１に対して垂直方向の断面形状がＴ字型のＴ型ゲート電極１９を形成し、最後に、Ｔ型ゲート電極１９の上部をマスクとしてＩｎＰ基板１１の上方からＥＢ蒸着を行い、キャップ層１５上にＷＳｉからなるソース電極１６ａ，ドレイン電極１６ｂを形成して、図１０(d) に示すようなＴ型ゲート電極１９を備えたＨＥＭＴを得る。このとき、Ｔ型ゲート電極１９の上部の電極幅は約０．５μｍとなり、Ｔ型ゲート電極１９の上部のひさし状に突出した部分の下方領域には、ソース電極１６ａ，ドレイン電極１６ｂは形成されず、ソース・ドレイン間隔も約０．５μｍとなる。なお、キャップ層１５の、ソース電極１６ａ，ドレイン電極１６ｂを形成しない領域には、予めレジスト等のマスクを形成しておく。また、図示していないが、Ｔ型ゲート電極１９上にもＷＳｉ層が形成されるため、Ｔ型ゲート

電極１９の少なくともボンディングが行われる部分（図示せず）には、このＷＳｉ層が形成されないようにするか、もしくは形成されたＷＳｉ層をエッチング等により除去するようにする。

【００１１】

以上のように、従来のＨＥＭＴは製造されていたが、このようなＨＥＭＴの製造方法においては、Ｔ型ゲート電極１９を形成した後、該Ｔ型ゲート電極１９の上部をマスクとして蒸着によりソース電極１６ａ，ドレイン電極１６ｂを形成していたため、ソース・ドレイン間隔が、Ｔ型ゲート電極１９の上部の電極幅と等しくなり、ソース・ドレイン間隔はＴ型ゲート電極１９の上部の電極幅で制限されるため、ソース・ドレイン間隔を狭くすることができず、ソース抵抗およびドレイン抵抗が低減できず、その結果、ＨＥＭＴの特性を律速する原因となっていた。

【００１２】

【発明が解決しようとする課題】

以上のように、従来は、ＷＳｉをＩｎＡｌＡｓまたはＩｎＧａＡｓに対して選択的にエッチングできるエッチング液がなく、ＷＳｉをＩｎＡｌＡｓまたはＩｎＧａＡｓに対して選択的にエッチングできないという問題があった。

【００１３】

また、従来のＦＥＴ等の半導体装置の製造方法においては、ＩｎＡｌＡｓ層またはＩｎＧａＡｓ層上に形成されたＷＳｉ層をエッチング除去する際に、SF_6／CHF_3等のフッ素系ガスを用いたＲＩＥを用いているため、エッチングによりＷＳｉを除去した際に露出したＩｎＡｌＡｓ層またはＩｎＧａＡｓ層にフッ素が付着，混入し、ＩｎＡｌＡｓ層またはＩｎＧａＡｓ層のキャリア濃度が低下してしまうという問題があった。

【００１４】

また、Ｔ型ゲート電極を備えたＨＥＭＴ等の半導体装置の製造方法においては、Ｔ型ゲート電極形成後に、Ｔ型ゲート電極の上部をマスクとして蒸着によりＷＳｉからなるソース電極およびドレイン電極を形成していたため、ソース・ドレイン間隔をＴ型ゲート電極の上部の電極幅よりも狭くすることができず、ソース抵抗，ドレイン抵抗を低減できないという問題があった。

【００１７】

本発明は上記のような問題点を解消するためになされたものであり、ＩｎＡｌＡｓ層またはＩｎＧａＡｓ層上に形成されたＷＳｉ層をエッチング除去する際に、ＩｎＡｌＡｓ層またはＩｎＧａＡｓ層にフッ素の付着や混入が生じない半導体装置の製造方法を提供することを目的とする。

【００１８】

また、本発明は上記のような問題点を解消するためになされたものであり、ソース・ドレイン間隔をＴ型ゲート電極の上部の電極幅よりも短くした半導体装置の製造方法を提供することを目的とする。

【００１９】

また、本発明は上記のような問題点を解消するためになされたものであり、ソース・ドレイン間隔をＴ型ゲート電極の上部の電極幅よりも短くした半導体装置を提供することを目的とする。

【００２６】

【課題を解決するための手段】

この発明に係る半導体装置の製造方法は、ＩｎＰ基板上に、アンドープＩｎＡｌＡｓバッファ層、アンドープＩｎＧａＡｓ動作層、ｎ型ＩｎＡｌＡｓ電子供給層、ｎ型ＩｎＧａＡｓキャップ層を順次結晶成長により形成する工程と、上記ｎ型ＩｎＧａＡｓキャップ層上にＷＳｉ層を形成する工程と、該ＷＳｉ層上に、上記基板に対して垂直方向の断面形状がＴ字型である開口部を備えたレジストを形成する工程と、該レジストをマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用い、上記ＷＳｉ層

とｎ型ＩｎＧａＡｓキャップ層とを上記ｎ型ＩｎＡｌＡｓ電子供給層に対して選択的にエッチング除去する工程と、上記レジストをマスクとしてゲート電極材料を蒸着した後、上記レジストを除去して、上記レジストの開口部内以外に配置されたゲート電極材料をリフトオフしてＴ型ゲート電極を形成する工程とを備えるようにしたものである。

【００２７】

また、この発明に係る半導体装置の製造方法は、ＩｎＰ基板上に、アンドープＩｎＡｌＡｓバッファ層，ｎ型ＩｎＧａＡｓ動作層を結晶成長させる工程と、上記ｎ型ＩｎＧａＡｓ動作層上に、ＷＳｉ層を形成する工程と、上記ＷＳｉ層上に開口部を有するレジストを形成する工程と、該レジストをマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いたウエットエッチングにより、ＷＳｉ層を、上記ｎ型ＩｎＧａＡｓ動作層に対して選択的にエッチング除去する工程と、上記レジストをマスクとして、ゲート電極材料を蒸着した後、上記レジストを除去して、上記レジストの開口部内以外に配置されたゲート電極材料をリフトオフしてゲート電極を形成する工程とを備えるようにしたものである。

【００２９】

【発明の実施の形態】

実施の形態１．

この発明の実施の形態１に係るエッチング液は、図１によれば、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比を１以上とした構成としたものであり、このエッチング液を用いることにより、ＷＳｉをＩｎＡｌＡｓに対して選択的にエッチングできる作用効果がある。

【００３０】

実施の形態２．

この発明の実施の形態２に係るエッチング液は、図３によれば、上記実施の形態１に係るエッチング液において、上記クエン酸アンモニウム／クエン酸のｍｏｌ比を２以上とした構成としたものであり、このエッチング液を用いることにより、ＷＳｉをＩｎＧａＡｓに対して選択的にエッチングできる作用効果がある。

【００３１】

実施の形態３．

この発明の実施の形態３に係るエッチング液は、図５によれば、上記実施の形態１に係るエッチング液において、上記クエン酸アンモニウム／クエン酸のｍｏｌ比を１以上２未満とした構成としたものであり、このエッチング液を用いることにより、ＷＳｉとＩｎＧａＡｓとをＩｎＡｌＡｓに対して選択的にエッチングできる作用効果がある。

【００３２】

実施の形態４．

この発明の実施の形態４に係るエッチング方法は、図２によれば、ＩｎＡｌＡｓ層（２２）上にＷＳｉ層（２３）を配置してなる積層構造を用意する工程と、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上であるエッチング液を用いて、上記ＷＳｉ層（２３）を上記ＩｎＡｌＡｓ層（２２）に対して選択的に除去する工程とを含む構成としたものであり、これにより、ＷＳｉ層をＩｎＡｌＡｓ層に対して選択的にエッチングできる作用効果がある。

【００３３】

実施の形態５．

この発明の実施の形態５に係るエッチング方法は、図４によれば、ＩｎＧａＡｓ層（２５）上にＷＳｉ層（２３）を配置してなる積層構造を用意する工程と、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いて、上記ＷＳｉ層（２３）を上記ＩｎＧａＡｓ層（２５）に対して選択的に除去する工程とを含む構成としたものであり、これにより、ＷＳｉ層をＩｎＧａＡｓ層に対して選択的にエッチングできる作用効果がある。

【００３４】
実施の形態６．
この発明の実施の形態６に係るエッチング方法は、図５によれば、ＩｎＡｌＡｓ層（２２）上にＩｎＧａＡｓ層（２５）とＷＳｉ層（２３）とを順次配置してなる積層構造を用意する工程と、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用いて、上記ＷＳｉ層（２３）とＩｎＧａＡｓ層（２５）とを上記ＩｎＡｌＡｓ層（２２）に対して選択的に除去する工程とを含む構成としたから、ＷＳｉ層とＩｎＧａＡｓ層とをＩｎＡｌＡｓ層に対して選択的にエッチングできる作用効果がある。
【００３５】
実施の形態７．
この発明の実施の形態７に係る半導体装置の製造方法は、図７によれば、ＩｎＰ基板（１１）上に、アンドープＩｎＡｌＡｓバッファ層（１２）、アンドープＩｎＧａＡｓ動作層（１３）、ｎ型ＩｎＡｌＡｓ電子供給層（１４）、ｎ型ＩｎＧａＡｓキャップ層（１５）を順次結晶成長により形成する工程と、上記ｎ型ＩｎＧａＡｓキャップ層（１５）上にＷＳｉ層（１６）を形成する工程と、該ＷＳｉ層（１６）上に、上記基板（１１）に対して垂直方向の断面形状がＴ字型である開口部を備えたレジスト（１７，１８）を形成する工程と、該レジスト（１７，１８）をマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用い、上記ＷＳｉ層（１６）とｎ型ＩｎＧａＡｓキャップ層（１５）とを上記ｎ型ＩｎＡｌＡｓ電子供給層（１４）に対して選択的にエッチング除去する工程と、上記レジスト（１７，１８）をマスクとしてゲート電極材料を蒸着した後、上記レジスト（１７，１８）を除去して、上記レジスト（１７，１８）の開口部内以外に配置されたゲート電極材料をリフトオフしてＴ型ゲート電極（１９）を形成する工程とを備える構成としたものであり、これにより、ソース電極（１６ａ），ドレイン電極（１６ｂ），及びゲートリセス１５ａを、ＷＳｉ層（１６）とｎ型ＩｎＧａＡｓキャップ層（１５）とを上記エッチング液を用いたウエットエッチングによりエッチングして形成した後、蒸着とリフトオフとの組み合わせによりＴ型ゲート電極（１９）を形成することにより、ソース電極（１６ａ）及びドレイン電極（１６ｂ）の一部がＴ型ゲート電極（１９）の上部のひさし状に突出した部分の下方領域に位置するようにして、ソース・ドレイン間隔をＴ型ゲート電極の上部の電極幅よりも短縮して、最大遮断周波数を向上させた半導体装置が得られる作用効果がある。
【００３６】
実施の形態８．
この発明の実施の形態８に係る半導体装置の製造方法は、図８によれば、ＩｎＰ基板（１）上に、アンドープＩｎＡｌＡｓバッファ層（２），ｎ型ＩｎＧａＡｓ動作層（３０）を結晶成長させる工程と、上記ｎ型ＩｎＧａＡｓ動作層（３０）上に、ＷＳｉ層（４）を形成する工程と、上記ＷＳｉ層（４）上に開口部を有するレジスト（６）を形成する工程と、該レジスト（６）をマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いたウエットエッチングにより、ＷＳｉ層（４）を、上記ｎ型ＩｎＧａＡｓ動作層（３０）に対して選択的にエッチング除去する工程と、上記レジスト（６）をマスクとして、ゲート電極材料を蒸着した後、上記レジスト（６）を除去して、上記レジスト（６）の開口部内以外に配置されたゲート電極材料をリフトオフしてゲート電極（５）を形成する工程とを備える構成としたものであり、これにより、ソース電極（４ａ），ドレイン電極（４ｂ）を形成する際のＷＳｉ層（４）をエッチングする工程において、従来の技術のように、ｎ型ＩｎＧａＡｓ動作層（３０）にフッ素の付着や、混入が発生せず、高品質な半導体装置が得られる作用効果があるとともに、ＷＳｉ層（４）のエッチングに用いたレジスト（６）をマスクとしてゲート電極（５）を形成することができ、製造工程を容易にすることができる作用効果がある。

【００３７】
実施の形態９．
この発明の実施の形態９に係る半導体装置は、図６によれば、ＩｎＰ基板（１１）上に順次配置された、アンドープＩｎＡｌＡｓバッファ層（１２）、アンドープＩｎＧａＡｓ動作層（１３）、ｎ型ＩｎＡｌＡｓ電子供給層（１４）と、該ｎ型電子供給層（１４）上に配置されたＴ型ゲート電極（１９）と、該ｎ型電子供給層（１４）上のＴ型ゲート電極（１９）が配置された位置の両側に、それぞれの一部が上記Ｔ型ゲート電極（１９）の上部のひさし状に突出した部分の下方領域に位置するよう配置されたｎ型ＩｎＧａＡｓキャップ層（１５）と、該ｎ型ＩｎＧａＡｓキャップ層（１５）のそれぞれの上部に、それぞれの一部が上記Ｔ型ゲート電極（１９）の上部のひさし状に突出した部分の下方領域に位置するよう配置されたソース電極（１６ａ），及びドレイン電極（１６ｂ）とを備える構成としたものであり、これにより、ソース電極（１６ａ）及びドレイン電極（１６ｂ）の一部がＴ型ゲート電極（１９）の上部のひさし状に突出した部分の下方領域に位置するようにして、ソース・ドレイン間隔をＴ型ゲート電極の上部の電極幅よりも短縮して、最大遮断周波数を向上させた半導体装置が得られる作用効果がある。
【００３８】
【実施例】
実施例１．
図１は本発明の実施例１によるエッチング液，即ち、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上であることを特徴とするエッチング液を説明するための図であり、クエン酸アンモニウム溶液とクエン酸溶液との混合溶液からなるエッチング液における、ＷＳｉとＩｎＡｌＡｓとに対するエッチング速度の、クエン酸アンモニウム／クエン酸混合比（ｍｏｌ比）依存性の一例を示す図である。図において、横軸はエッチング液におけるクエン酸アンモニウムとクエン酸との混合比（ｍｏｌ比）、縦軸左はエッチング速度（単位：ｎｍ／ｍｉｎ）、縦軸右はエッチング液のＷＳｉに対するエッチング速度とＩｎＡｌＡｓに対するエッチング速度との比、即ちＷＳｉ／ＩｎＡｌＡｓ選択比を示している。また、図中、丸はエッチング液のＩｎＡｌＡｓに対するエッチング速度を示し、四角はエッチング液のＷＳｉに対するエッチング速度を示し、三角は上記ＷＳｉに対するエッチング速度とＩｎＡｌＡｓに対するエッチング速度との結果から得られたＷＳｉ／ＩｎＡｌＡｓ選択比をそれぞれ示している。なお、このエッチング液は、５wt%の濃度のクエン酸アンモニウム溶液と，５wt%の濃度のクエン酸溶液とを混合して混合比（ｍｏｌ比）が調整されており、このエッチング液には、３０wt%の過酸化水素がエッチング液全体の容量に対し約４vol %となるように含まれている。
【００３９】
また、図２は本発明の実施例１によるエッチング液を用いたエッチング方法を示す図であり、図において、２１はＩｎＰ基板、２２はＩｎＡｌＡｓ層、２３はＷＳｉ層、２４はホトレジストである。
【００４０】
次に、本実施例１のエッチング液について説明する。図１に示すように、クエン酸アンモニウム溶液とクエン酸溶液とを混合し、過酸化水素を４vol %加えた溶液によりＩｎＡｌＡｓとＷＳｉとをエッチングした場合、クエン酸に対するクエン酸アンモニウムの混合比（ｍｏｌ比）が１以上になると、ＷＳｉに対するエッチング速度がＩｎＡｌＡｓに対するエッチング速度よりも速くなり、ＷＳｉ／ＩｎＡｌＡｓ選択比が大きくなっていくことから、ＩｎＡｌＡｓに対してＷＳｉを選択的にエッチングできることがわかる。このことから、クエン酸アンモニウム／クエン酸の混合比（ｍｏｌ比）が１以上，即ちクエン酸に対するクエン酸アンモニウムのｍｏｌ比が１以上であるクエン酸，クエン酸アンモニウム，及び過酸化水素を含む水溶液からなるエッチング液を用いることにより、ＩｎＡｌＡｓに対してＷＳｉを選択的にエッチングできることがわかる。
【００４１】

次に本実施例１のエッチング液を用いたエッチング方法について図２を用いて説明する。まず、ＩｎＰ基板２１上に、該基板２１に格子整合するようにＩｎ組成比を調整したＩｎＡｌＡｓ層２２を結晶成長させた後、スパッタによりＩｎＡｌＡｓ層２２上にWが１に対してＳｉを0.2 含むＷＳｉ，即ち$WSi_{0.2}$ ２３を形成して、ＩｎＰ基板２１，ＩｎＡｌＡｓ層２２，及び$WSi_{0.2}$ ２３からなる積層構造を形成し、$WSi_{0.2}$ ２３上にホトレジスト２４を設け、これをパターニングして所定の領域に開口部を設けたサンプルを用意する（図２(a)）。このサンプルのエピタキシャル成長方法としては、例えば、成長温度４５０℃でＶ／III 比（蒸気圧比）を２０とした条件のＭＢＥ(Molecular beam epitaxy)等が用いられる。

【００４２】

次に、本実施例１のエッチング液として、例えば、５wt%の濃度のクエン酸アンモニウム溶液と，５wt%の濃度のクエン酸溶液とをクエン酸アンモニウム／クエン酸混合比（ｍｏｌ比）が３となるよう混合したものに、３０wt%の過酸化水素を約４vol %となるように加えてなるエッチング液を用い、上記ホトレジスト２４をマスクとして$WSi_{0.2}$ ２３をエッチングする。この時、上述したように、本実施例１のエッチング液は、ＩｎＡｌＡｓに対するエッチング速度よりも$WSi_{0.2}$ に対するエッチング速度が速く、ＩｎＡｌＡｓに対してＷＳｉを選択的にエッチングできるものであるため、深さ方向のエッチングは、ＩｎＡｌＡｓ２２に達した時点で停止する。これによりエッチング深さの精密な制御が可能になる。また、このエッチングはウエットエッチングであるので、$WSi_{0.2}$ ２３のエッチングされる幅は、ホトレジスト２４の幅よりも広くなる。

【００４３】

このように本実施例１によれば、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上であるエッチング液を用いるようにしたから、ＩｎＡｌＡｓに対してＷＳｉを選択的にエッチングできる効果がある。

【００４４】

実施例２．

図３は本発明の実施例２によるエッチング液，即ち、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を説明するための図であり、クエン酸アンモニウム溶液とクエン酸溶液との混合溶液からなるエッチング液の、ＷＳｉとＩｎＧａＡｓに対するエッチング速度の、クエン酸アンモニウム／クエン酸混合比（ｍｏｌ比）依存性の一例を示す図である。図において、横軸はエッチング液におけるクエン酸に対するクエン酸アンモニウムの混合比，即ちクエン酸アンモニウム／クエン酸の混合比（ｍｏｌ比）、縦軸左はエッチング速度（単位：ｎｍ／ｍｉｎ）、縦軸右はエッチング液のＷＳｉに対するエッチング速度とＩｎＧａＡｓに対するエッチング速度との比、即ちＷＳｉ／ＩｎＧａＡｓ選択比を示している。また、図中、丸はエッチング液のＩｎＧａＡｓに対するエッチング速度を示し、四角はエッチング液のＷＳｉに対するエッチング速度を示し、三角は上記ＷＳｉに対するエッチング速度とＩｎＧａＡｓに対するエッチング速度との結果から得られたＷＳｉ／ＩｎＧａＡｓ選択比をそれぞれ示している。なお、このエッチング液は５wt%の濃度のクエン酸アンモニウム溶液と，５wt%の濃度のクエン酸溶液とを混合して調整されており、この溶液には、３０wt%の過酸化水素がエッチング液全体の容量に対し約４vol %となるように含まれている。

【００４５】

また、図４は本発明の実施例２によるエッチング液を用いたエッチング方法を示す図であり、図において、図２と同一符号は同一又は相当する部分を示しており、２５はＩｎＧａＡｓ層である。

【００４６】

次に、本実施例２のエッチング液について説明する。図３に示すように、クエン酸アンモニウム溶液とクエン酸溶液とを混合し、過酸化水素を４vol %加えた溶液によりＩｎＧａ

ＡｓとＷＳｉとをエッチングした場合、クエン酸に対するクエン酸アンモニウムの混合比（ｍｏｌ比）が２以上になると、ＷＳｉに対するエッチング速度がＩｎＧａＡｓに対するエッチング速度よりも速くなり、ＷＳｉ／ＩｎＧａＡｓ選択比が大きくなっていくことから、ＩｎＧａＡｓに対してＷＳｉを選択的にエッチングできることがわかる。このことから、クエン酸アンモニウム／クエン酸の混合比（ｍｏｌ比）が２以上，即ちクエン酸に対するクエン酸アンモニウムのｍｏｌ比が２以上であるクエン酸，クエン酸アンモニウム，及び過酸化水素を含む水溶液からなる本願のエッチング液を用いることにより、ＩｎＧａＡｓに対してＷＳｉを選択的にエッチングできることがわかる。

【００４７】

次に本実施例２のエッチング液を用いたエッチング方法について図４を用いて説明する。まず、ＩｎＰ基板２１上に、該基板２１に格子整合するようにＩｎ組成比を調整したＩｎＧａＡｓ層２５を結晶成長させた後、スパッタによりＩｎＧａＡｓ層２５上に$WSi_{0.2}$２３を形成して、ＩｎＰ基板２１，ＩｎＧａＡｓ層２５，及び$WSi_{0.2}$２３からなる積層構造を形成し、$WSi_{0.2}$２３上にホトレジスト２４を設け、これをパターニングして所定の領域に開口部を設けたサンプルを用意する（図４(a)）。次に、本実施例２のエッチング液として、例えば、５wt％の濃度のクエン酸アンモニウム溶液と５wt％の濃度のクエン酸溶液とをクエン酸アンモニウム／クエン酸混合比（ｍｏｌ比）が５となるように混合し、３０wt％の過酸化水素を約４vol ％となるように加えたものを用い、上記ホトレジスト２４をマスクとして$WSi_{0.2}$２３をエッチングする。この時、上述したように、本実施例２のエッチング液は、ＩｎＡｌＡｓに対するエッチング速度よりも$WSi_{0.2}$に対するエッチング速度が速く、ＩｎＧａＡｓに対してＷＳｉを選択的にエッチングできるものであるため、深さ方向のエッチングは、ＩｎＧａＡｓ２２に達した時点で停止する。これによりエッチング深さの精密な制御が可能になる。また、このエッチングはウエットエッチングであるので、$WSi_{0.2}$２３のエッチングされる幅は、ホトレジスト２４の幅よりも広くなる。

【００４８】

このように本実施例２によれば、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いるようにしたから、ＩｎＧａＡｓに対してＷＳｉを選択的にエッチングできる効果がある。

【００４９】

実施例３．

図５は本発明の実施例３によるエッチング液，即ち、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用いたエッチング方法を示す図であり、図において、図２および図４と同一符号は同一または相当する部分を示している。

【００５０】

次に、本実施例３のエッチング液について説明する。上記実施例１，２において説明したように、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなるエッチング液において、クエン酸アンモニウム／クエン酸のｍｏｌ比を１以上とすると、ＷＳｉをＩｎＡｌＡｓに対して選択的にエッチングできるとともに、クエン酸アンモニウム／クエン酸のｍｏｌ比を２以上とすると、ＷＳｉをＩｎＧａＡｓに対して選択的にエッチングできることから、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満としたエッチング液を用いることにより、ＩｎＡｌＡｓに対してＷＳｉとＩｎＧａＡｓとを選択的にエッチングできることがわかる。

【００５１】

したがって、図５に示すように、ＩｎＰ基板２１上に、該基板２１に格子整合するようにＩｎ組成比を調整したＩｎＡｌＡｓ層２２，ＩｎＧａＡｓ層２５を結晶成長させた後、スパッタによりＩｎＧａＡｓ層２５上に$WSi_{0.2}$２３を形成し、$WSi_{0.2}$上にホトレジスト２４を設け、これをパターニングして所定の領域に開口部を設けたサンプルを用意し

（図５(a)）、本実施例３のエッチング液を用い、上記ホトレジスト２４をマスクとしてエッチングを行うと、$WSi_{0.2}$ ２３とＩｎＧａＡｓ層２５とがエッチングされるとともに、上述したように、本実施例２のエッチング液は、ＷＳｉとＩｎＧａＡｓとを選択的にエッチングできることから、深さ方向のエッチングは、ＩｎＧａＡｓ２２に達した時点で停止し、これによりエッチング深さの精密な制御が可能になる。

【００５２】

このように本実施例３によれば、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用いるようにしたから、ＩｎＡｌＡｓに対してＩｎＧａＡｓとＷＳｉとを選択的にエッチングできる効果がある。

【００５３】

なお、上記実施例１～３においては、エッチング液に３０wt%の過酸化水素がエッチング液全体の容量に対し約４vol %となるように含まれているようにしたが、本発明においては、この過酸化水素の量としては、３０wt%の過酸化水素であれば、エッチング液全体の容量の１～１０vol %程度含まれていればよく、このような場合においても上記各実施例と同様の効果を奏する。

【００５４】

また、上記実施例１～３においては、５wt%の濃度のクエン酸アンモニウム溶液と５wt%の濃度のクエン酸溶液とを混合して作製したエッチング液を用いた場合について説明したが、本発明においては、エッチング液はクエン酸とクエン酸アンモニウムとを合わせた濃度が、エッチング液全体の５０wt%以下であればよく、このような場合においても上記各実施例と同様の効果を奏する。

【００５５】

実施例４.

図６は本発明の実施例４によるＴ型ゲート電極を備えた高電子移動度トランジスタ（High electron mobility transistor:ＨＥＭＴ）の構造を示す断面図であり、本実施例４のＨＥＭＴは、上記実施例３に示したエッチング液をソース電極，ドレイン電極を形成する工程に用いて形成されたものである。図において、１１は半絶縁性ＩｎＰ基板、１２はアンドープＩｎＡｌＡｓバッファ層、１３はアンドープＩｎＧａＡｓ動作層、１４はｎ型のＩｎＡｌＡｓからなる電子供給層で、Ｓｉプレーナドープ層１４ａ，即ちＳｉを原子層単位で例えば$4\times10^{12}cm^{-2}$の濃度にドープした層と、厚さ約３００オングストロームのアンドープＩｎＡｌＡｓ層１４ｂとにより構成されている。なお、この電子供給層１４の代わりに、不純物を高濃度にドープしてなる電子供給層を用いるようにしてもよい。１５は厚さ約３００オングストロームのｎ型ＩｎＧａＡｓキャップ層で、ソース電極とドレイン電極とがオーミック接触できるように、ｎ型不純物が$5\times10^{18}cm^{-3}$程度の高濃度にドープされている。１６ａ，１６ｂはそれぞれ厚さ約１０００オングストロームのＷＳｉからなるソース電極，ドレイン電極である。１９はＴｉ上にＡｌを積層してなるゲート電極である。

【００５６】

また、図７は本発明の実施例４によるＴ型ゲート電極を備えたＨＥＭＴの製造方法を示す断面工程図であり、図において、図６と同一符号は同一または相当する部分を示しており、１５ａはゲートリセス、１６はＷＳｉ層、１７はＥＢ（電子ビーム）レジスト、１８はホトレジストである。

【００５７】

次に製造方法について説明する。まず、ＩｎＰ基板１１上に、アンドープＩｎＡｌＡｓバッファ層１２、アンドープＩｎＧａＡｓ動作層１３、Ｓｉプレーナドープ層１４ａ、アンドープＩｎＡｌＡｓ層１４ｂ、ｎ型ＩｎＧａＡｓキャップ層１５を、順次結晶成長により形成する。この成長方法としてはＭＢＥ法やＭＯＣＶＤ法等が用いられる。さらに、キャップ層１５上にスパッタによりＷＳｉ層１６を形成した後、該ＷＳｉ層１６上にＥＢレジスト１７，ホトレジスト１８を形成し、該ホトレジスト１８のゲート電極が設けられる領

域を写真製版技術を用いてパターニングして幅約０．５μｍの開口部を設け、さらに、該開口部内に露出したＥＢレジスト１７の中央の幅約０．１μｍの領域を電子ビーム露光を用いた写真製版技術によりパターニングして開口部を設ける。これにより、ホトレジスト１８の開口部とＥＢレジスト１７の開口部とを組合わせた開口部の上記基板１１に対して垂直な方向の断面形状はＴ字型となる（図７(a)）。

【００５８】

続いて、上記ホトレジスト１８とＥＢレジスト１７とをマスクとして、上記ＥＢレジスト１７の開口部に露出したＷＳｉ層１６とｎ型ＩｎＧａＡｓキャップ層１５とを、上記実施例３において示したエッチング液，即ち、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用いたウエットエッチングにより除去する（図７(b)）。このエッチングによりソース電極１６ａ，ドレイン電極１６ｂ，及びゲートリセス１５ａが形成される。このとき、このエッチングは上記実施例３に示したエッチング液を用いて行うため、エッチングは、基板１１に対する深さ方向においてはＩｎＡｌＡｓからなる電子供給層１４に達した時点において停止する。また、このエッチングは等方性のウエットエッチングであるため、このエッチングにより形成されたＷＳｉ層１６とｎ型ＩｎＧａＡｓキャップ層１５との開口部の幅は、それぞれ上記ＥＢレジスト１７の開口部の幅よりも広くなっている。なお、ソース・ドレイン間隔，及びゲートリセス幅が、上記ホトレジスト１８の開口部の幅よりも広くならないように、ＷＳｉ層１６とｎ型ＩｎＧａＡｓキャップ層１５との層厚はエッチング液に合わせて調整する。

【００５９】

さらに、図７(c) に示すように、上記ホトレジスト１８とＥＢレジスト１７とをマスクとして、蒸着，及びリフトオフを行うことにより、Ｔｉ／Ａｌからなり、その上記基板１１に対して垂直方向の断面形状がＴ字型のＴ型ゲート電極１９を形成して、図６に示すようなＴ型ゲート電極１９を備えたＨＥＭＴを得る。

【００６０】

本実施例４においては、ＷＳｉからなるソース電極１６ａ，ドレイン電極１６ｂを、予めＷＳｉ層１６を形成しておき、これを上記実施例３において示したエッチング液を用いてウエットエッチングすることにより形成しているため、ソース電極１６ａとドレイン電極１６ｂとの一部がゲート電極１９の上部のひさし状に突出した部分の下方領域に配置され、上述した従来のＨＥＭＴの製造方法のように、Ｔ型ゲート電極をマスクとして蒸着により形成するものとは異なり、ソース・ドレイン間隔をＴ型ゲート電極１９の上部の電極幅よりも狭くすることが可能となる。これにより、従来はＴ型ゲート電極の上部の電極幅で制限されていたソース・ドレイン間隔を、ゲートリセス幅と同程度までに短縮でき、このためソース抵抗，ドレイン抵抗が低減でき、最大遮断周波数の向上が実現できる。

【００６１】

また、ＷＳｉ層１６とｎ型ＩｎＧａＡｓキャップ層１５とをＩｎＡｌＡｓからなる電子供給層１４に対して選択的にエッチング可能な上記実施例３に示したエッチング液を用いてエッチング除去しているため、このエッチングの基板１１の深さ方向に対するエッチングをＩｎＡｌＡｓからなる電子供給層１４により停止させることができ、これにより、ゲートリセス１５ａを形成するためのＷＳｉ層１６とｎ型ＩｎＧａＡｓキャップ層１５とを除去するエッチングの深さ方向の制御性を向上させて、高品質なＨＥＭＴを歩留りよく形成することができる。

【００６２】

以上のように、本実施例４によれば、ＩｎＰ基板１１上に、アンドープＩｎＡｌＡｓバッファ層１２、アンドープＩｎＧａＡｓ動作層１３、ｎ型ＩｎＡｌＡｓからなる電子供給層１４、ｎ型ＩｎＧａＡｓキャップ層１５を、順次結晶成長により形成し、さらにＷＳｉ層１６を形成した後、パターニングしたＥＢレジスト１７，ホトレジスト１８をマスクとして、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上２未満であるエッチング液を用い、上記Ｗ

Ｓｉ層１６とｎ型ＩｎＧａＡｓキャップ層１５とをＩｎＡｌＡｓからなる電子供給層１４に対して選択的にエッチングして、ソース電極１６ａ，ドレイン電極１６ｂ，及びゲートリセス１５ａを形成し、さらに、上記パターニングしたＥＢレジスト１７，ホトレジスト１８を用いて蒸着とリフトオフとを行いＴ型ゲート電極１９を形成するようにしたから、ソース・ドレイン間隔を、Ｔ型ゲート電極１９の上部の電極幅よりも短縮でき、ソース抵抗，ドレイン抵抗が低減でき、最大遮断周波数を向上させたＨＥＭＴが得られる効果がある。

【００６３】

また、ｎ型ＩｎＧａＡｓキャップ層１５をＩｎＡｌＡｓからなる電子供給層１４に対して選択的にエッチングすることができるから、ゲートリセス１５を基板１１の深さ方向において制御性よく形成することができ、高品質なＨＥＭＴを歩留りよく得られる効果がある。

【００６４】

なお、本実施例４においては、Ｔ型ゲート電極を備えたＨＥＭＴについて説明したが、本発明は、その他のＴ型ゲート電極を備えた電界効果型トランジスタ等で半導体装置においても適用できるものであり、このような場合においても上記実施例４と同様の効果を奏する。

【００６５】

実施例５．

図８は本発明の実施例５によるＭＥＳＦＥＴの製造方法を示す断面図であり、図において、１は半絶縁性ＩｎＰ基板，２はアンドープＩｎＡｌＡｓバッファ層、３０はｎ型の動作層で、ＳｉをドープしたＩｎＧａＡｓからなっている。４はＷＳｉ層、４ａ，４ｂはそれぞれ、ＷＳｉからなるソース電極，ドレイン電極である。５はＴｉ層とＡｌ層とを積層してなるゲート電極、６はホトレジストである。３０ａはゲートリセスである。

【００６６】

本実施例５のＭＥＳＦＥＴの製造方法は上記実施例２に示したエッチング液，即ち、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液をゲートリセスを形成する工程に用いるものである。

【００６７】

次に製造方法について説明する。まず、図８(a) に示すように、ＩｎＰ基板１上に、バッファ層２，ｎ型動作層３０をＭＢＥ法やＭＯＣＶＤ法等を用いて結晶成長させ、さらに、ｎ型動作層３上に、ＷＳｉ層４をスパッタ法により形成する。次に、図８(b) に示すように、ＷＳｉ層４上に第１のホトレジスト６を形成し、該ホトレジスト６のゲート電極を形成する領域近傍に写真製版技術を用いて開口部を形成し、該ホトレジスト６をマスクとして、上記開口部内に露出したＷＳｉ層４を、上記実施例２において示したエッチング液、つまり、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いたウエットエッチングによりｎ型動作層３に対して選択的にエッチング除去して、ソース電極４ａ，ドレイン電極４ｂを形成する。このとき、ウエットエッチングを用いてＷＳｉ層４をエッチングしているため、ホトレジスト６の開口部の幅よりもソース・ドレイン間隔の方が広くなっている。

【００６８】

続いて、該ホトレジスト６をマスクとして、ＥＢ（Electron beam ：電子ビーム）蒸着によりＴｉ／Ａｌ層（図示せず）を形成し、上記ホトレジスト６上のＴｉ／Ａｌ層をこのホトレジスト６とともにリフトオフすることにより、ゲート電極５を形成して、図８(c) に示すようなＭＥＳＦＥＴを得る。

【００６９】

本実施例５においては、ソース電極４ａ，ドレイン電極４ｂを形成するためのエッチングとして、上記実施例２において示した、クエン酸と、クエン酸アンモニウムと、過酸化水

素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いたウエットエッチングを行っている。このため、従来のＭＥＳＦＥＴの製造方法においては、ソース電極，ドレイン電極を形成するためのエッチングをフッ素系ガスを用いたＲＩＥにより行っていたため、エッチングにより露出したｎ型動作層にフッ素が付着，混入し、キャリア濃度が低下するという問題が発生していたが、本実施例５においては、ソース電極４ａ，ドレイン電極４ｂを形成する工程において、このようなフッ素の付着，混入を無くして所望のキャリア濃度のｎ型動作層３０を備えたＭＥＳＦＥＴを得ることができる。

【００７０】

また、本実施例５においては等方性のウエットエッチングによりソース電極４ａ，ドレイン電極４ｂを形成することにより、ホトレジスト６ａの開口部の幅よりも、ソース・ドレイン間隔の方が広くなるため、このホトレジスト６を用いて蒸着，及びリフトオフを組み合わせてゲート電極５を形成でき、従来のように、ゲート電極を形成するための第２のホトレジストを形成する工程を無くして、製造工程を簡易にすることができる。

【００７１】

さらに、従来のＭＥＳＦＥＴの製造方法においては、ソース電極，ドレイン電極を形成するためのレジストパターンと、ゲート電極を形成するためのレジストパターンとが異なるものであったため、ソース・ドレイン間隔を短縮するとゲート電極を形成するためのレジストパターンの位置合わせが困難となるため、ソース・ドレイン間隔を短縮することが困難であったが、本実施例５においては、ゲート電極５を形成するためのレジストパターンと、ソース電極４ａ，ドレイン電極４ｂを形成するためのレジストパターンとを、同じホトレジスト６のパターンとしているため、ソース・ドレイン間隔を短くした場合においても、ゲート電極５を位置精度よく形成できるため、ソース・ドレイン間隔を短縮することができ、ソース抵抗，ドレイン抵抗を低減でき、最大遮断周波数を向上させることができる。

【００７２】

このように本実施例５によれば、ＩｎＰ基板１上に、バッファ層２，ｎ型ＩｎＧａＡｓ動作層３０を結晶成長させ、ｎ型動作層３上に、ＷＳｉ層４をスパッタ法により形成し、パターニングしたホトレジスト６をマスクとして、ＷＳｉ層４を、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が２以上であるエッチング液を用いたウエットエッチングによりｎ型動作層３に対して選択的にエッチング除去して、ソース電極４ａ，ドレイン電極４ｂを形成し、さらに、該ホトレジスト６をマスクとして、蒸着及びリフトオフを行うことによりゲート電極５を形成するようにしたから、ソース電極４ａ，ドレイン電極４ｂを形成する工程において、フッ素の付着，混入を無くして、所望のキャリア濃度のｎ型ＩｎＧａＡｓ動作層を備えた高品質なＭＥＳＦＥＴを得ることができる効果がある。

【００７３】

なお、本実施例５においては、ｎ型動作層３０としてＳｉをドープしてなるＩｎＧａＡｓ層を用いた場合について説明したが、本発明は、ｎ型動作層としてＳｉをドープしてなるＩｎＡｌＡｓを用い、ソース電極，ドレイン電極を形成するためのエッチング液として、上記実施例１において示した、クエン酸と、クエン酸アンモニウムと、過酸化水素とを含む水溶液からなり、クエン酸アンモニウム／クエン酸のｍｏｌ比が１以上であるエッチング液を用いた場合においても適用できるものであり、このような場合においても上記実施例５と同様の効果を奏する。

【図面の簡単な説明】

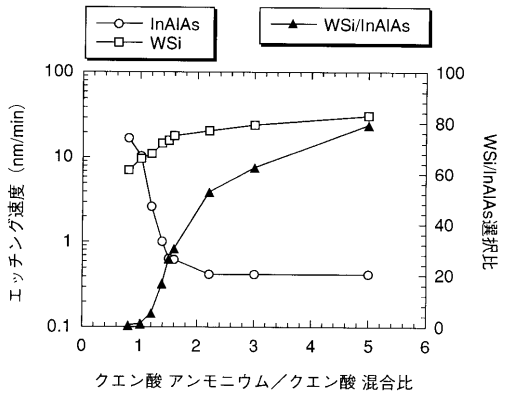
【図１】　この発明の実施例１によるエッチング液の、ＷＳｉとＩｎＡｌＡｓとに対するエッチング速度と、クエン酸アンモニウム／クエン酸混合比（ｍｏｌ比）との関係を示す図である。

【図２】　この発明の実施例１によるエッチング方法を示す断面工程図である。

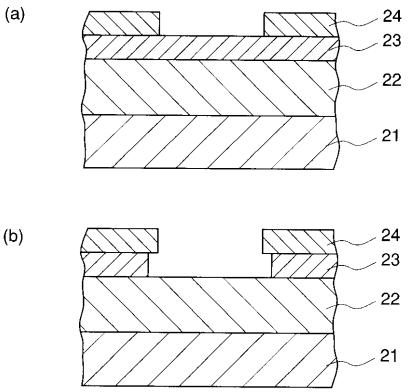
【図３】　この発明の実施例２によるエッチング液の、ＷＳｉとＩｎＧａＡｓとに対する

エッチング速度と、クエン酸アンモニウム／クエン酸混合比（ｍｏｌ比）との関係を示す図である。
【図４】　この発明の実施例２によるエッチング方法を示す断面工程図である。
【図５】　この発明の実施例３によるエッチング方法を示す断面工程図である。
【図６】　この発明の実施例４によるＴ型ゲート電極を備えたＨＥＭＴの構造を示す断面図である。
【図７】　この発明の実施例４によるＴ型ゲート電極を備えたＨＥＭＴの製造方法を示す断面工程図である。
【図８】　この発明の実施例５によるＭＥＳＦＥＴの製造方法を示す断面工程図である。
【図９】　従来のＭＥＳＦＥＴの製造方法を示す断面工程図である。
【図１０】　従来のＨＥＭＴの製造方法を示す断面工程図である。
【符号の説明】
１，１１　半絶縁性ＩｎＰ基板、２，１２　アンドープＩｎＡｌＡｓバッファ層、３　ｎ型動作層、１６，２３　ＷＳｉ層、４ａ，１６ａ　ソース電極、４ｂ，１６ｂ　ドレイン電極、５　ゲート電極、６　ホトレジスト、６ａ　第１のホトレジスト、６ｂ　第２のレジスト、１３　アンドープＩｎＧａＡｓ動作層、１４　電子供給層、１４ａ　Ｓｉプレーナドープ層、１４ｂ　アンドープＩｎＡｌＡｓ層、１５　ｎ型ＩｎＧａＡｓキャップ層、１５ａ　ゲートリセス、１７　ＥＢレジスト、１８　ホトレジスト、１９　Ｔ型ゲート電極、２１　ＩｎＰ基板、２２　ＩｎＡｌＡｓ層、２４　ホトレジスト、２５　ＩｎＧａＡｓ層、３０　ｎ型動作層。

【図１】

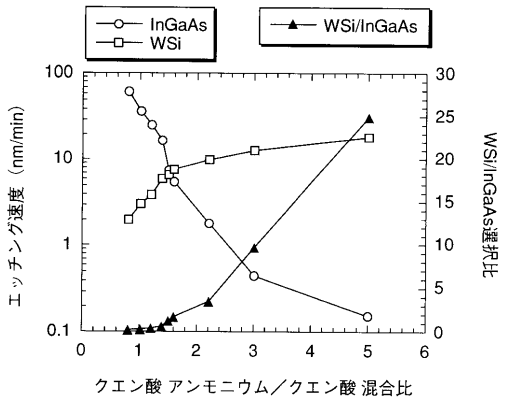


【図２】

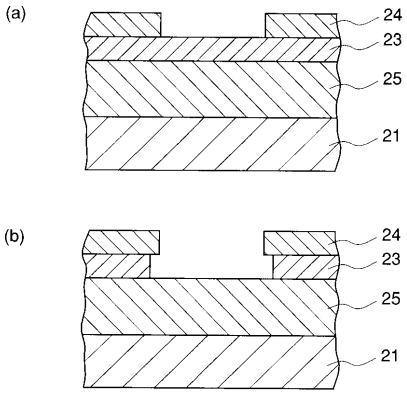


21：InP基板
22：InAlAs層
23：WSi層
24：ホトレジスト

【図３】

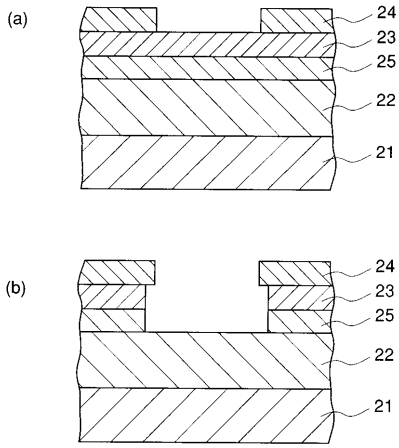


【図４】

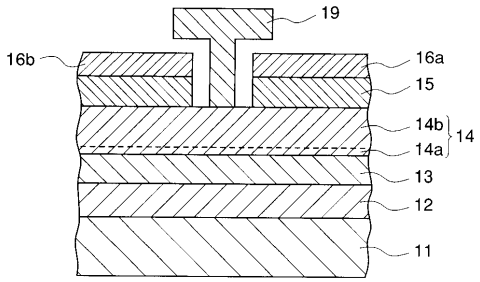


25：InGaAs層

【図５】

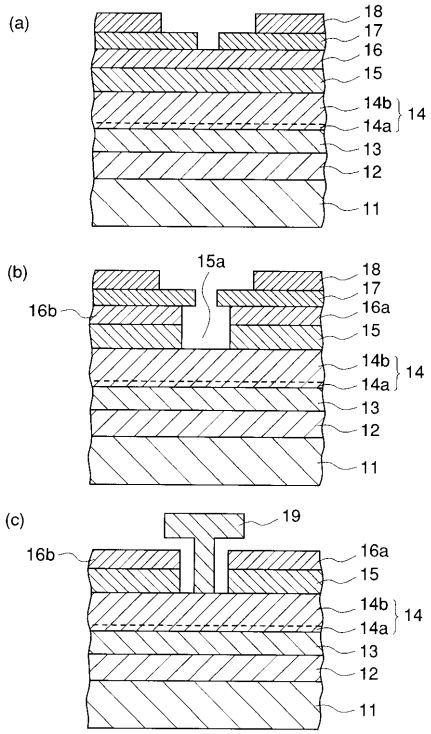


【図６】



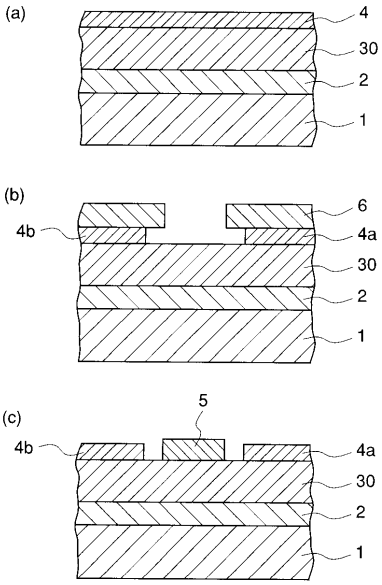
11：半絶縁性InP基板
12：アンドープInAlAsバッファ層
13：アンドープInGaAs動作層
14：電子供給層
14a：Siプレーナドープ層
14b：アンドープInAlAs層
15：n型InGaAsキャップ層
16a：ソース電極
16b：ドレイン電極
19：T型ゲート電極

【図７】



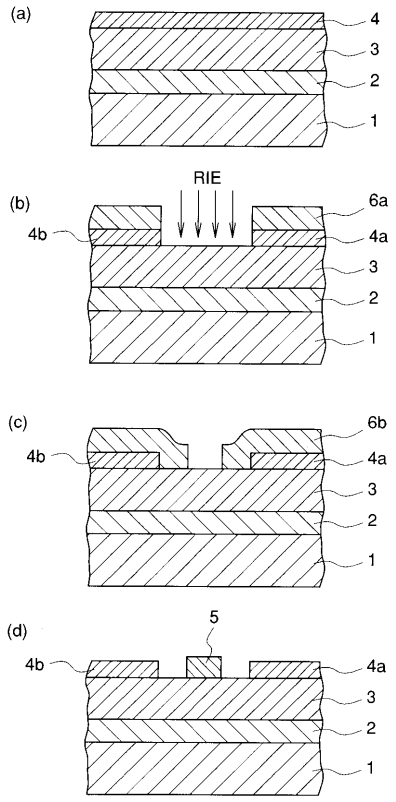
15a：ゲートリセス
16：WSi層
17：EBレジスト
18：ホトレジスト

【図８】

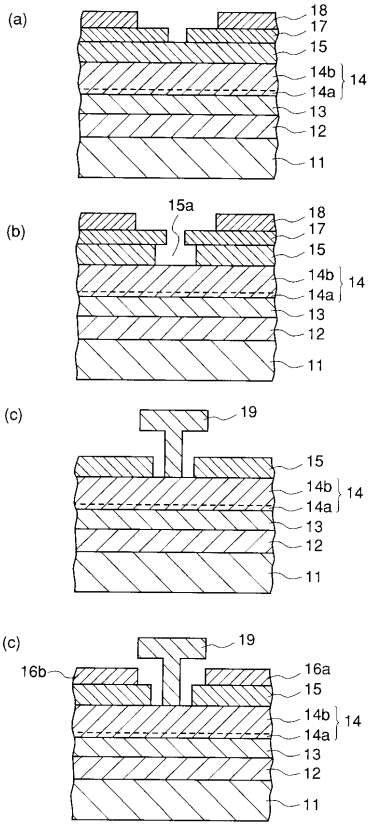


1：半絶縁性InP基板
2：アンドープInAlAsバッファ層
4：WSi層
4a：ソース電極
4b：ドレイン電極
5：ゲート電極
6：ホトレジスト
30：n型動作層

【図９】



【図１０】



フロントページの続き

(51)Int.Cl.[7] FI
H01L 21/338 H01L 29/80 F
H01L 29/812

(58)調査した分野(Int.Cl.[7], DB名)
H01L 21/308
H01L 21/335
H01L 29/80
C23F 1/00
C23F 1/30
C30B 29/10
C30B 29/40
H01L 21/338
H01L 29/812