

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 5 月 31 日 (2007.5.31)

【公開番号】特開 2006-24601 (P2006-24601A)

【公開日】平成 18 年 1 月 26 日 (2006.1.26)

【年通号数】公開・登録公報 2006-004

【出願番号】特願 2004-198932 (P2004-198932)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 29/866 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 K

H 0 1 L 27/06 3 1 1 B

H 0 1 L 29/90 D

H 0 1 L 27/04 H

【手続補正書】

【提出日】平成 19 年 4 月 9 日 (2007.4.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

P 型半導体基板と、

前記半導体基板上に形成された N 型の高濃度ソース・ドレイン領域と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第 1 の多結晶シリコンからなるゲート電極と

前記半導体基板上に形成された第 2 の多結晶シリコンからなる P N 接合ダイオードと、

前記ゲート電極及び前記 P N 接合ダイオードの上に形成された中間絶縁膜と、

前記ゲート電極と前記 P N 接合ダイオードの N 型領域とを接続する第 1 の金属電極配線と、

前記 P N 接合ダイオードの P 型領域と前記半導体基板に設けられた高濃度の P 型領域とを接続する第 2 の金属電極配線と、

前記金属配線上に形成する窒化膜からなる保護膜とを有する事を特徴とする デプレッション型 M O S トランジスタ。

【請求項 2】

P 型半導体基板と、

前記半導体基板上に形成された N 型の高濃度ソース・ドレイン領域と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第 1 の多結晶シリコンからなるゲート電極と

前記半導体基板上に形成された第 2 の多結晶シリコンからなる、2 つの P 型領域の間に N 型領域が挟まれた双方向ダイオードと、

前記ゲート電極及び前記双方向ダイオードの上に形成された中間絶縁膜と、

前記ゲート電極と前記双方向ダイオードの一方の P 型領域とを接続する第 1 の金属電極

配線と、

前記双方向ダイオードの他方の P 型領域と前記半導体基板に設けられた高濃度の P 型領域とを接続する第 2 の金属電極配線と、

前記金属配線上に形成する窒化膜からなる保護膜とを有する事を特徴とするデプレッション型 MOS トランジスタ。

【請求項 3】

P 型半導体基板と、

前記半導体基板上に形成された N 型の高濃度ソース・ドレイン領域と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第 1 の多結晶シリコンからなるゲート電極と

前記半導体基板上に形成された第 2 の多結晶シリコンからなる、2 つの N 型領域の間に P 型領域が挟まれた双方向ダイオードと、

前記ゲート電極及び前記双方向ダイオードの上に形成された中間絶縁膜と、

前記ゲート電極と前記双方向ダイオードの一方の N 型領域とを接続する第 1 の金属電極配線と、

前記双方向ダイオードの他方の N 型領域と前記半導体基板に設けられた高濃度の P 型領域とを接続する第 2 の金属電極配線と、

前記金属配線上に形成する窒化膜からなる保護膜とを有する事を特徴とするデプレッション型 MOS トランジスタ。

【請求項 4】

P 型半導体基板と、

前記半導体基板上に形成された N 型の高濃度ソース・ドレイン領域と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第 1 の多結晶シリコンからなるゲート電極と

前記半導体基板上に形成された第 2 の多結晶シリコンからなる、3 つ以上の奇数の P 型領域とそのおのこの P 型領域の間に挟まれた偶数の N 型領域からなる双方向ダイオードと、

前記ゲート電極及び前記双方向ダイオードの上に形成された中間絶縁膜と、

前記ゲート電極と前記双方向ダイオードの一方の P 型領域とを接続する第 1 の金属電極配線と、

前記双方向ダイオードの他方の P 型領域と前記半導体基板に設けられた高濃度の P 型領域とを接続する第 2 の金属電極配線と、

前記金属配線上に形成する窒化膜からなる保護膜とを有する事を特徴とするデプレッション型 MOS トランジスタ。

【請求項 5】

P 型半導体基板と、

前記半導体基板上に形成された N 型の高濃度ソース・ドレイン領域と、

前記半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第 1 の多結晶シリコンからなるゲート電極と

前記半導体基板上に形成された第 2 の多結晶シリコンからなる、3 つ以上の奇数の N 型領域とそのおのこの N 型領域の間に挟まれた偶数の P 型領域からなる双方向ダイオードと、

前記ゲート電極及び前記双方向ダイオードの上に形成された中間絶縁膜と、

前記ゲート電極と前記双方向ダイオードの一方の N 型領域とを接続する第 1 の金属電極配線と、

前記双方向ダイオードの他方の N 型領域と前記半導体基板に設けられた高濃度の P 型領域とを接続する第 2 の金属電極配線と、

前記金属配線上に形成する窒化膜からなる保護膜とを有する事を特徴とするデプレッション MOS トランジスタ。

【請求項 6】

P 型半導体基板と、
前記半導体基板上に形成された N 型の高濃度ソース・ドレイン領域と、
前記半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された第 1 の多結晶シリコンからなるゲート電極と
前記半導体基板上に形成された第 2 の多結晶シリコンからなる P N 接合ダイオードと、
前記ゲート電極及び前記 P N 接合ダイオードの上に形成された中間絶縁膜と、
前記ゲート電極と前記 P N 接合ダイオードの P 型領域とを接続する第 1 の金属電極配線
と、
前記 P N 接合ダイオードの N 型領域と前記半導体基板に設けられた高濃度の N 型領域と
を接続する第 2 の金属電極配線と、
前記金属配線上に形成する窒化膜からなる保護膜とを有する事を特徴とするデプレッション型 M O S トランジスタ。

【請求項 7】

前記窒化膜からなる保護膜が、前記第 2 の多結晶シリコン上のみ形成されていない事を特徴とする、請求項 1 から 6 記載の デプレッション型 M O S トランジスタ。

【手続補正 2】

【補正対象書類名】図面

【補正対象項目名】図 3

【補正方法】変更

【補正の内容】

【図 3】

