



(12) 发明专利

(10) 授权公告号 CN 102487021 B

(45) 授权公告日 2015. 10. 07

(21) 申请号 201110046083. 4

(22) 申请日 2011. 02. 25

(30) 优先权数据

12/959709 2010. 12. 03 US

(73) 专利权人 新科金朋有限公司

地址 新加坡新加坡市

专利权人 星科金朋(上海)有限公司

(72) 发明人 R. D. 潘德塞

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 李娜 王洪斌

(51) Int. Cl.

H01L 21/50(2006. 01)

H01L 21/60(2006. 01)

H01L 23/00(2006. 01)

H01L 23/498(2006. 01)

H01L 23/488(2006. 01)

(56) 对比文件

US 2010/0127370 A1, 2010. 05. 27, 说明书第 2-16、61-71 段以及附图 1-2、11-12.

JP 特开 2010-141055 A, 2010. 06. 24, 说明书第 15-42 段以及附图 1-4.

JP 特开 2009-231657 A, 2009. 10. 08, 全文.

审查员 苍凯

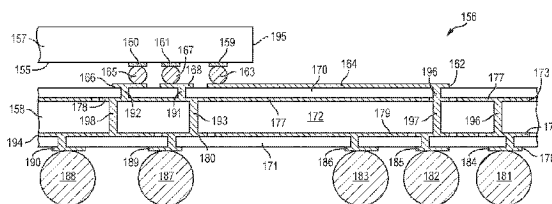
权利要求书2页 说明书24页 附图31页

(54) 发明名称

形成用于倒装半导体管芯的焊盘布局的半导体器件和方法

(57) 摘要

本发明涉及形成用于倒装半导体管芯的焊盘布局的半导体器件和方法。一种半导体器件具有带有管芯焊盘布局的半导体管芯。管芯焊盘布局中的信号焊盘主要位于半导体管芯周边附近,并且功率焊盘和接地焊盘主要位于自信号焊盘的内侧。信号焊盘被布置成大体上平行于半导体管芯边缘的周边行或周边阵列。在信号焊盘、功率焊盘和接地焊盘上形成凸块。凸块可以具有可熔部分和非可熔部分。在基底上形成具有互连点的导电迹线。凸块比互连点宽。所述凸块被结合到互连点,使得凸块覆盖互连点的顶面和侧面。在半导体管芯与基底之间的凸块周围沉积密封剂。



1. 一种制造半导体器件的方法,包括:

提供半导体管芯,该半导体管芯包括管芯焊盘布局,该管芯焊盘布局包括以至多两个周边行位于该半导体管芯的周边区域中的信号焊盘、主要位于该半导体管芯的自该信号焊盘的内侧区域中的功率焊盘和接地焊盘以及没有信号焊盘、功率焊盘和接地焊盘的中心区域;

在该半导体管芯的该信号焊盘、功率焊盘和接地焊盘之上形成多个凸块;

提供基底;

形成多个导电迹线,其包括设置在该基底之上的互连点,该半导体管芯的该信号焊盘、功率焊盘和接地焊盘之上的该凸块比该导电迹线的该互连点宽;

在基底上相邻互连点之间形成不可润湿掩蔽贴片;

利用该半导体管芯的该信号焊盘、功率焊盘和接地焊盘之上的该凸块将半导体管芯安装到该基底上,该半导体管芯的信号焊盘、功率焊盘和接地焊盘上的该凸块被结合到该基底之上的该互连点,使得凸块覆盖该互连点的顶面和侧面;以及

在该半导体管芯与基底之间的凸块周围沉积密封剂。

2. 权利要求 1 的方法,其中,该凸块包括可熔部分和不可熔部分。

3. 权利要求 1 的方法,还包括将信号焊盘布置成与半导体管芯边缘平行的周边阵列。

4. 权利要求 1 的方法,还包括以交错布置或正交布置将信号焊盘布置成相邻行。

5. 根据权利要求 1 的方法,其中,少于 10% 的功率焊盘和接地焊盘位于周边区域内且少于 10% 的信号焊盘位于内侧区域内。

6. 一种制造半导体器件的方法,包括:

提供包括凸块的半导体管芯;

提供基底;

形成多个导电迹线,该导电迹线包括位于其上并且设置在基底之上的互连点,该互连点以如下布局布置,包括主要位于基底的周边区域中的信号点以及主要位于基底的自信号点的内侧区域中的功率点和接地点;

在基底上相邻互连点之间形成不可润湿掩蔽贴片;

利用比该互连点宽的该凸块将该半导体管芯结合到互连点;以及

在半导体管芯与基底之间沉积密封剂。

7. 权利要求 6 的方法,还包括在半导体管芯之上形成互连结构,该互连结构包括可熔部分和不可熔部分。

8. 权利要求 6 的方法,其中,少于 10% 的功率点和接地点位于该周边区域内。

9. 权利要求 6 的方法,其中,少于 10% 的信号点位于该内侧区域内。

10. 权利要求 6 的方法,还包括将信号点布置成与基底边缘平行的周边行或周边阵列。

11. 一种半导体器件,包括:

半导体管芯,该半导体管芯包括管芯焊盘布局,其包括主要位于半导体管芯的周边区域中的信号焊盘以及主要位于半导体管芯的自信号焊盘的内侧区域中的功率焊盘和接地焊盘;

基底;

多个导电迹线,该导电迹线包括在该基底之上形成的互连点;

在基底上相邻互连点之间形成的不可润湿掩蔽贴片；
包括比互连点的宽度大的宽度的多个互连被结合到互连点和该半导体管芯；以及
沉积在该半导体管芯与基底之间的密封剂。

12. 权利要求 11 的半导体器件, 其中该互连包括可熔部分和不可熔部分。

13. 权利要求 11 的半导体器件, 其中, 少于 10% 的功率焊盘和接地焊盘位于该周边区域内。

14. 权利要求 11 的半导体器件, 其中, 少于 10% 的信号焊盘位于该内侧区域内。

15. 权利要求 11 的半导体器件, 其中信号焊盘以交错布置或正交布置而布置成相邻行。

形成用于倒装半导体管芯的焊盘布局的半导体器件和方法

[0001] 国内优先权要求

[0002] 本申请是 2009 年 4 月 29 日提交的美国申请 No. 12/432, 137 的部分继续申请, 并根据美国法典第 35 条 120 款要求前述申请的优先权。

技术领域

[0003] 本发明涉及半导体器件, 并且更特别地涉及形成用于倒装 (flipchip) 半导体管芯的焊盘布局的半导体器件和方法。

背景技术

[0004] 在现代电子产品中常常发现半导体器件。半导体器件在电气组件的数目和密度方面不同。分立半导体器件通常包含一种类型的电气组件, 例如发光二极管 (LED)、小信号晶体管、电阻器、电容器、电感器和功率金属氧化物半导体场效应晶体管 (MOSFET)。集成半导体器件通常包括几百个至几百万个电气组件。集成半导体器件的示例包括微控制器、微处理器、电荷耦合器件 (CCD)、太阳电池和数字微镜器件 (DMD)。

[0005] 半导体器件执行大范围的功能, 诸如信号处理、高速计算、传送和接收电磁信号、控制电子器件、将日光变换成电和产生用于电视显示的可视投影。半导体器件被用于娱乐、通信、功率转换、网络、计算机和消费者产品领域。半导体器件还被用于军事应用、航空、汽车、工业控制器和办公室设备。

[0006] 半导体器件利用半导体材料的电气性质。半导体材料的原子结构允许通过施加电场或基电流或通过掺杂的过程来操纵其导电性。掺杂向半导体材料中引入杂质以操纵并控制半导体器件的导电性。

[0007] 半导体器件包含有源和无源电气结构。包括双极和场效应晶体管的有源结构控制电流的流动。通过改变掺杂的水平和电场或基电流的施加, 晶体管促进或限制电流的流动。包括电阻器、电容器和电感器的无源结构产生执行多种电功能所需的电压与电流之间的关系。无源和有源结构被电连接以形成电路, 该电路使得半导体器件能够执行高速计算及其它有用功能。

[0008] 通常使用每个包括可能几百个步骤的两个复杂的制造过程、即前端制造和后端制造来制造半导体器件。前端制造包括在半导体晶片的表面上形成多个管芯。每个管芯通常是相同的并包含通过将有源和无源组件电连接而形成的电路。后端制造包括从成品晶片单颗化单独的管芯并将该管芯封装以提供结构支撑和环境隔离。

[0009] 半导体制造的一个目的是生产较小的半导体器件。较小的器件通常消耗较少的功率, 具有较高的性能, 并且能够更高效地生产。另外, 较小的半导体器件具有较小的覆盖区, 这对于较小的最终产品是期望的。可以通过前端过程的改进来实现更小的管芯尺寸, 导致管芯具有更小、更高密度的有源和无源组件。后端过程可以通过电互连和封装材料的改进来产生具有更小覆盖区的半导体器件封装。

[0010] 在倒装式封装中, 半导体管芯通常被安装到封装基底, 管芯的有源侧与基底相对。

以凸块的方式来实现半导体管芯中的电路与基底中的电路的互连,所述凸块被附着于管芯上的互连焊盘阵列,并被结合到基底上的互连焊盘的相应互补阵列。

[0011] 用于信号、功率和接地功能的半导体管芯上的焊盘按照惯例遍布于阵列分布,并且基底上的相应焊盘被连接到适当的电路至外部二级互连。二级互连具有比倒装互连更大的节距,并且因此基底上的布线按照惯例呈扇形展开。在封装基底内的多个金属层上形成半导体管芯上的焊盘与封装的外部管脚之间的扇形展开布线。

[0012] 多个层基底是昂贵的,并且在常规倒装结构中,基底通常单独地占了一大半的封装成本。多层基底的高成本已经是限制主流产品中的倒装技术发展的因素。在常规倒装构造中,逸出布线图案通常引入附加的电寄生,因为布线包括信号传输路径中的配线层之间的短行程的非屏蔽配线和过孔(via)。电寄生能够显著地限制封装性能。

[0013] 在常规倒装封装中,如在图 1 中的 10 处大体上在平面图中所示,半导体管芯 13 上的共同称为信号焊盘的输入/输出焊盘被布置成基本上覆盖管芯的有源表面 12 的面积阵列。分别针对半导体管芯 13 的信号、功率和接地功能的信号焊盘 18 和 19、功率焊盘 14 和接地焊盘 16 遍布于阵列内的多个行和列。特别地,某些信号焊盘 18 被布置在阵列的周边上,而其它信号焊盘 19 没有。通常,进行某些设计努力以布置焊盘,使得各种信号焊盘被功率焊盘和/或接地焊盘围绕或至少邻近于功率焊盘和/或接地焊盘。

[0014] 许多常规倒装封装是使用陶瓷基底制造的。可以相对经济地用许多层来制造陶瓷基底,并且可以容易地在陶瓷层中制造盲孔。在为了与常规陶瓷基底一起使用而制造的常规芯片中,焊盘节距通常在 150 微米(μm)至 250 μm 范围内,并且 225 μm 的栅距是许多芯片的典型。

[0015] 在被图案化的多个金属层中实现基底中的扇形展开布线、亦即将基底上的相应焊盘与封装的外部端子相连的基底上的配线,以提供信号配线及功率和接地配线。在图 2 中的 20 处大体上以平面图示出与管芯焊盘布局 10 相对应的基底焊盘的布置。信号焊盘 28 和 29、功率焊盘 24 和接地焊盘 26 被布置成基底表面 22 上的互补阵列,使得其能够接纳并分别被结合到被附着于管芯上的相应焊盘的信号、功率和接地凸块。在常规布置中,与信号布线相关联的某些焊盘 28 位于阵列的周边处,而其它焊盘 29 不是。用于阵列周边上的信号焊盘的逸出布线可以直接在管芯边缘 23 下面穿过作为基底的最高金属层中的迹线 30。不在阵列周边处的基底上的焊盘被经由短迹线和过孔连接到基底中的更深金属层。信号焊盘 29 经由短迹线(信号支柱或凸出部分(jog))32 通过信号过孔 34 连接到下面的多个金属层之一中的信号迹线。同样地,功率焊盘 24 经由短迹线(功率支柱或凸出部分)36 通过功率过孔 38 连接到下面的金属层中的功率迹线,并且接地焊盘 26 经由短迹线(接地支柱或凸出部分)40 通过接地过孔 42 连接到下面的金属层中的功率迹线。

[0016] 在具有约 1000 个外部端子的典型常规封装中,在基底中存在至少 2 或 3 层信号配线和至少 4 或 5 层功率和接地配线,这产生总量约 6 或 8 个或更多层。通常,信号配线层的数目的增加由于需要保持封装中的传输线电气环境而要求伴随的功率和接地层的增加,这进一步增加总层计数。对附加层的需要还导致更长的信号路径和许多层间过孔,增加不期望的电寄生并性能劣化。

发明内容

[0017] 需要一种管芯焊盘布局以容纳对于倒装半导体管芯所需要的信号焊盘以及功率焊盘和接地焊盘,同时增加布线密度并使互连层的必需数目最小化。因此,在一个实施例中,本发明是一种制造半导体器件的方法,包括步骤:提供半导体管芯,该半导体管芯具有信号焊盘主要位于半导体管芯的周边区域中且功率焊盘和接地焊盘主要位于半导体管芯的自信号焊盘的内侧区域中的管芯焊盘布局;在信号焊盘、功率焊盘和接地焊盘上形成多个凸块;提供基底;以及在该基底上形成具有互连点的多个导电迹线。凸块比互连点宽。所述方法还包括步骤:将凸块结合到互连点,使得凸块覆盖互连点的顶面和侧面、以及在半导体管芯与基底之间的凸块周围沉积密封剂。

[0018] 在另一实施例中,本发明是一种制造半导体器件的方法,包括步骤:提供半导体管芯、提供基底、在基底上形成具有以信号点位于基底周边附近且功率点和接地点位于自信号点的内侧的布局布置的互连点的多个导电迹线、以及在半导体管芯与基底之间形成互连结构,使得互连结构覆盖互连点的顶面和侧面。

[0019] 在另一实施例中,本发明是制造半导体器件的方法,包括步骤:提供半导体管芯、提供基底、在基底上形成具有以信号点主要位于基底的周边区域中且功率点和接地点主要位于基底的自信号焊盘的内侧区域中的布局布置的互连点的多个导电迹线、将半导体管芯结合到互连点、以及在半导体管芯与基底之间沉积密封剂。

[0020] 在另一实施例中,本发明是一种包括半导体管芯的半导体器件,所述半导体管芯具有信号焊盘主要位于半导体管芯的周边区域中且功率焊盘和接地焊盘主要位于半导体管芯的自信号焊盘的内侧区域中的管芯焊盘布局。在基底上形成具有互连点的多个导电迹线。将半导体管芯结合到互连点。在半导体管芯与基底之间沉积密封剂。

附图说明

[0021] 图 1 在平面图中举例说明用于倒装封装的管芯上的常规焊盘布局;

[0022] 图 2 在平面图中举例说明倒装基底上的焊盘和布线的布置;

[0023] 图 3 举例说明具有安装到其表面的不同类型的封装的 PCB;

[0024] 图 4a—4c 举例说明被安装到 PCB 的半导体封装的更多细节;

[0025] 图 5 举例说明用于倒装封装的管芯上的焊盘布局;

[0026] 图 6 举例说明倒装基底上的焊盘和布线的布置;

[0027] 图 7 举例说明具有管芯焊盘布局和基底焊盘布置的安装在基底上的倒装的一部分;

[0028] 图 8a—8b 举例说明用于倒装封装的管芯上的第一焊盘布局;

[0029] 图 9a ~ 9b 举例说明用于倒装封装的管芯上的第二焊盘布局;

[0030] 图 10a ~ 10b 举例说明用于倒装封装的管芯上的第三焊盘布局;

[0031] 图 11a ~ 11b 举例说明用于倒装封装的管芯上的第四焊盘布局;

[0032] 图 12a ~ 12h 举例说明在半导体管芯上形成以便结合到基底上的导电迹线的各种互连结构;

[0033] 图 13a ~ 13g 举例说明被结合到导电迹线的半导体管芯和互连结构;

[0034] 图 14a ~ 14d 举例说明具有被结合到导电迹线的楔形互连结构的半导体管芯;

[0035] 图 15a ~ 15d 举例说明被结合到导电迹线的半导体管芯和互连结构的另一实施

例；

[0036] 图 16a ~ 16c 举例说明被结合到导电迹线的台阶式凸块和支柱凸块互连结构；

[0037] 图 17a ~ 17b 举例说明具有导电过孔的导电迹线；

[0038] 图 18a ~ 18c 举例说明半导体管芯与基底之间的模底部填充；

[0039] 图 19 举例说明半导体管芯与基底之间的另一模底部填充；

[0040] 图 20 举例说明模底部填充之后的半导体管芯和基底；

[0041] 图 21a ~ 21g 举例说明具有开放焊料套准(registration)的导电迹线的各种布置；

[0042] 图 22a ~ 22b 举例说明与导电迹线之间的贴片的开放焊料套准；以及

[0043] 图 23 举例说明具有掩蔽层屏障(dam)以在模底部填充期间限制密封剂的 POP。

具体实施方式

[0044] 在以下说明中参考附图在一个或多个实施例中描述本发明，在附图中相同的附图标记表示相同或类似的元件。虽然依照用于实现本发明的目的的最佳方式描述了本发明，但本领域的技术人员应认识到意图在与覆盖可以被包括在由所附权利要求和由以下公开和附图支持的其等价物限定的本发明的精神和范围内的替换、修改和等价物。

[0045] 通常使用两个复杂的制造过程：前端制造和后端制造来制造半导体器件。前端制造包括在半导体晶片的表面上形成多个管芯。晶片上的每个管芯包含有源和无源电气组件，其被电连接而形成功能电路。诸如晶体管和二极管的有源电气组件具有控制电流流动的能力。诸如电容器、电感器、电阻器和变压器的无源电气组件产生执行电路功能所需的电压与电流之间的关系。

[0046] 通过包括掺杂、沉积、光刻、蚀刻和平面化的一系列过程步骤在半导体晶片的表面上形成无源和有源组件。掺杂通过诸如离子注入或热扩散的技术向半导体材料中引入杂质。掺杂过程修改有源器件中的半导体材料的导电性，将半导体材料变换成绝缘体、导体，或响应于电场或基电流来动态地改变半导体材料导电性。晶体管包含根据需要来改变所布置的掺杂的类型和程度的区域以使晶体管能够在施加电场或基电流时促进或限制电流的流动。

[0047] 有源和无源组件由具有不同电气性质的材料层形成。可以通过部分地由正在沉积的材料类型确定的多种沉积技术来形成该层。例如，薄膜沉积可以包括化学汽相沉积(CVD)、物理汽相沉积(PVD)、电解镀覆和化学镀覆过程。每个层通常被图案化以形成有源组件、无源组件或组件之间的电连接的一部分。

[0048] 可以使用光刻法对层进行图案化，光刻法包括例如光致抗蚀剂的感光材料在要图案化的层上的沉积。使用光将图案从光掩膜转印到光致抗蚀剂。使用溶剂来去除经历光的光致抗蚀剂图案的一部分，使要图案化的底层的一部分暴露。去除其余的光致抗蚀剂，留下被图案化的层。可替换地，通过将材料直接沉积到由使用诸如化学或电解镀覆的技术的前述沉积/蚀刻过程形成的区域或空隙中来对某些类型的材料进行图案化。

[0049] 在现有图案上沉积材料薄膜能够将底层图案放大并产生非均匀平面。要求均匀平面以产生更小且更密集地封装的有源和无源组件。可以使用平面化来从晶片的表面去除材料并产生均匀平面。平面化包括用抛光垫对晶片的表面进行抛光。可以在抛光期间向晶片

的表面添加研磨材料和腐蚀性化学制品。化学制品的研磨和腐蚀动作的组合机械动作去除了任何不规则外貌(topography),产生均匀平面。

[0050] 后端制造指的是将成品晶片切割或单颗化成单独管芯并随后将管芯封装以进行结构支撑和环境隔离。为了单颗化管芯,沿着称为锯道(saw streets)或划线的晶片的非功能区域刻划并折断晶片。使用激光切割工具或锯条来单颗化晶片。在单颗化之后,将单独管芯安装到封装基底,该封装基底包括用于与其它系统组件互连的引脚或接触焊盘。然后将半导体管芯上形成的接触焊盘连接到封装内的接触焊盘。可以用焊料凸块、支柱凸块、导电膏、或引线结合来实现电连接。在封装上沉积密封剂或其它成型材料以提供物理支撑和电隔离。然后将成品封装插入电气系统中并使得半导体器件的功能可用于其它系统组件。

[0051] 图 3 举例说明具有芯片载体基底的电子器件 50 或具有安装在其表面上的多个半导体封装的印刷电路板(PCB) 52。根据应用,电子器件 50 具有一种类型的半导体封装,或多种类型的半导体封装。出于举例说明的目的,在图 3 中示出不同类型的半导体封装。

[0052] 电子器件 50 可以是使用半导体封装来执行一个或多个电功能的独立系统。可替换地,电子器件 50 可以是较大系统的子组件。例如,电子器件 50 可以是蜂窝式电话、个人数字助理(PDA)、数字视频照相机(DVC)或其它电子通信设备的一部分。可替换地,电子器件 50 可以是图形卡、网络接口卡或可以被插入计算机中的其它信号处理卡。半导体封装可以包括微处理器、存储器、专用集成电路(ASIC)、逻辑电路、模拟电路、RF 电路、分立器件、或其它半导体管芯或电气组件。小型化和重量减小对于这些产品被市场接受而言是不可避免的。必须减小半导体器件之间的距离以实现较高的密度。

[0053] 在图 3 中,PCB 52 提供用于安装在 PCB 上的半导体封装的电互连和支撑结构的一般基底。使用蒸发、电解镀覆、化学镀覆、丝网印刷或其它适当的金属沉积过程在 PCB 52 的表面上或层内形成导电信号迹线 54。信号迹线 54 提供半导体封装、安装组件与其它外部系统组件中的每一个之间的电通信。迹线 54 还向每个半导体封装提供功率和接地连接。

[0054] 在某些实施例中,半导体器件具有两个封装级。一级封装是用于将半导体管芯机械地和电气地附着于中间载体的技术。二级封装包括将中间载体机械地和电气地附着于 PCB。在其它实施例中,半导体器件可以仅具有一级封装,其中管芯被机械地和电气地直接安装到 PCB。

[0055] 出于举例说明的目的,在 PCB 52 上示出了多种类型的一级封装,包括引线结合封装 56 和倒装 58。另外,示出了安装在 PCB 52 上的多种类型的二级封装,包括球栅阵列(BGA) 60、凸块芯片载体(BCC) 62、双列直插式封装(DIP) 64、基板格栅阵列(LGA) 66、多芯片模块(MCM)68、四方扁平无引线封装(QFN)70 和四方扁平封装 72。根据系统要求,可以将配置有一级和二级封装样式的任何组合的半导体封装的任何组合以及其它电子组件连接到 PCB 52。在某些实施例中,电子器件 50 包括单个附着半导体封装,而其它实施例要求多个互连封装。通过在单个基底上将一个或多个半导体封装组合,制造商可以将预制组件结合到电子器件和系统中。由于半导体封装包括精密功能,所以可以使用更廉价的组件和流水线制造过程来制造电子器件。结果得到的器件很少会出现故障,并且制造起来价格比较低廉,为消费者产生较低的成本。

[0056] 图 4a ~ 4c 示出了示例性半导体封装。图 4a 举例说明安装在 PCB 52 上的 DIP 64 的其它细节。半导体管芯 74 包括有源区,该有源区包含被实现为有源器件、无源器件、

导电层、和电介质层的模拟或数字电路,其在管芯内形成并根据管芯的电气设计被电互连。例如,电路可以包括在半导体管芯 74 的有源区内形成的一个或多个晶体管、二极管、电感器、电容器、电阻器及其它电路元件。接触焊盘 76 是一层或多层导电材料,诸如铝(Al)、铜(Cu)、锡(Sn)、镍(Ni)、金(Au)或银(Ag),并被电连接到在半导体管芯 74 内形成的电路元件。在 DIP 64 的组装期间,使用金硅共熔层或诸如热环氧物或环氧树脂的粘合材料将半导体管芯 74 安装到中间载体 78。封装主体包括诸如聚合物或陶瓷的绝缘封装材料。导体引线 80 和结合引线 82 提供半导体管芯 74 与 PCB 52 之间的电互连。通过防止水分和颗粒进入封装并污染管芯 74 或结合引线 82 来在封装上沉积密封剂 84 以进行环境保护。

[0057] 图 4b 举例说明安装在 PCB 52 上的 BCC 62 的其它细节。使用底部填充或环氧树脂粘合材料 92 来将半导体管芯 88 安装在载体 90 上。结合引线 94 提供接触焊盘 96 与 98 之间的一级封装互连。在半导体管芯 88 和结合引线 94 上沉积成型化合物或密封剂 100 以便为器件提供物理支撑和电绝缘。使用诸如电解镀覆或化学镀覆的适当金属沉积过程来在 PCB 52 的表面上形成接触焊盘 102 以防止氧化。接触焊盘 102 被电连接到 PCB 52 中的一个或多个导电信号迹线 54。在 BCC 62 的接触焊盘 98 与 PCB 52 的接触焊盘 102 之间形成凸块 104。

[0058] 在图 4c 中,用倒装样式的一级封装将半导体管芯 58 安装为面向下朝向中间载体 106。半导体管芯 58 的有源区 108 包含被实现为根据管芯的电气设计形成的有源器件、无源器件、导电层和电介质层的模拟或数字电路。例如,该电路可以在有源区 108 内包括一个或多个晶体管、二极管、电感器、电容器、电阻器及其它电路元件。半导体管芯 58 通过凸块 110 被电气地和机械地连接到载体 106。

[0059] BGA 60 使用凸块 112 以 BGA 样式的二级封装被电气地和机械地连接到 PCB 52。半导体管芯 58 通过凸块 110、信号线 114 和凸块 112 被电连接到 PCB 52 中的导电信号迹线 54。在半导体管芯 58 和载体 106 上沉积成型化合物或密封剂 116 以便为器件提供物理支撑和电隔离。倒装半导体器件提供从半导体管芯 58 上的有源器件到 PCB 52 上的导电轨迹的短导电路径以便减小信号传播距离,降低电容,并改善总电路性能。在另一实施例中,可以在没有中间载体 106 的情况下使用倒装样式的一级封装将半导体管芯 58 机械地和电气地直接连接到 PCB 52。

[0060] 在倒装互连焊盘布局中,所有或基本上所有信号焊盘位于半导体管芯的边缘部分和相应的封装基底中。管芯信号焊盘被布置在半导体管芯周边附近的管芯表面上,并且管芯功率和接地焊盘被布置在自信号焊盘的内侧的管芯表面上。以与管芯焊盘布局互补的方式来布置相应封装基底上的信号焊盘。从远离管芯覆盖区的管芯边缘下面的信号焊盘为信号线布线,并且将功率和接地线布线到管芯覆盖区下面的过孔。

[0061] 焊盘布局在芯片边缘处提供高信号迹线逸出布线密度。封装基底具有较少金属层,使得可以以明显更低的成本实现使用焊盘布局构造的封装。由于存在较少的金属层,并且由于减少了过孔的数目或从信号传输路径完全去除,所以减少了电寄生且封装能够具有改善的性能。

[0062] 用于倒装互连的管芯焊盘布局可以具有主要位于半导体管芯周边附近的信号焊盘和主要位于自信号焊盘的内侧的接地和功率焊盘。可以将信号焊盘布置成大体上与管芯边缘平行的行。可替换地,将信号焊盘布置成与管芯边缘平行的两行或更多行阵列。在某

些实施例中,使相邻行中的焊盘交错。将上面设置有信号焊盘的行或阵列的半导体管芯的区域称为管芯的周边区域。

[0063] 在其它实施例中,将接地和功率焊盘布置成半导体管芯中心附近的矩形阵列。可替换地,半导体管芯的中心区域不具有焊盘。还可以将功率和接地焊盘布置成与信号焊盘附近的管芯边缘平行的行,或与信号焊盘附近的管芯边缘平行的两行或更多行阵列。将上面设置有功率和接地焊盘的行或阵列的半导体管芯区域称为管芯的内侧区域。

[0064] 图 5 示出管芯焊盘布局 120 的实施例。信号焊盘 122 以与管芯边缘 126 平行的行布置在半导体管芯周边附近的管芯表面 124 上。信号焊盘 122 具有比图 1 的常规混合焊盘阵列中的焊盘更精细的节距。功率焊盘 128 和接地焊盘 130 在管芯表面 124 的内侧区域上被布置成阵列。管芯表面 124 的中心区域 132 没有任何焊盘,包括功率焊盘 128 和接地焊盘 130。

[0065] 在图 6 中的 134 处大体上在平面图中示出对应于图 5 的管芯焊盘布局 120 的基底焊盘布置。信号焊盘 136、功率焊盘 138 和接地焊盘 140 被布置成基底表面 142 上的互补阵列,使得其能够接纳并分别被结合到被附着于半导体管芯上的相应焊盘的信号、功率和接地凸块。在此布置中,与信号布线相关联的所有焊盘 136 位于阵列周边处,并且用于阵列周边上的信号焊盘的逸出布线可以直接在管芯边缘 144 下面穿过作为基底的最高金属层中的迹线 146。不在阵列周边处的基底上的信号焊盘 136 和功率焊盘 138 经由短迹线和过孔连接到基底中的更深金属层。功率焊盘 138 经由短迹线(功率支柱或凸出部分)148 通过功率过孔 150 连接到下面的金属层中的功率迹线,并且接地焊盘 140 经由短迹线(接地支柱或凸出部分) 152 通过接地过孔 154 连接到下面的金属层中的功率迹线。

[0066] 在图 5 和 6 中,从信号线焊盘 136 开始为所有信号线布线,从管芯覆盖区离开,并且将所有功率和接地线布线到管芯覆盖区下面的过孔中。因此,在信号路径中不要求支柱或过孔,并且避免了信号传输中的寄生。可以将信号迹线布线为如用于迹线形成的可用技术所允许的那样靠近在一起,虽然如果使其过于密集,在相邻线中可能发生信号干扰。可以使信号焊盘 136 如用于迹线形成和凸块结合的可用技术所允许的那样靠近在一起。

[0067] 图 7 示出具有安装在基底 158 的表面的管芯附着区上的半导体管芯 157 的倒装封装 156 的一部分。在半导体管芯 157 的有源侧 155 上或中形成管芯焊盘,包括信号焊盘 159、功率焊盘 160 和接地焊盘 161。导电球或凸块被附着于管芯焊盘,并且可以通过将球或凸块结合到基底的上金属层 162 中的相应图案化迹线上的互连点来实现到基底 158 的倒装互连。信号凸块 163 被附着到信号焊盘 159 并结合到信号迹线 164 上的互连点。功率凸块 165 被附着到功率焊盘 160 并结合到功率迹线 166 上的互连点,并且接地凸块 167 被附着于接地焊盘 161 并结合到接地迹线 168 上的互连点。

[0068] 基底 158 可以是组合式基底,具有一个或或多个较薄的交替电介质和金属层,其被固定于称为芯的较厚的中间双层基底的上和下表面中的每一个上。组合式基底 158 在顶部上通常具有与在底部上相同数目的单金属层。因此,1-2-1 组合式基底具有一个较薄的单金属层,其与电介质层一起被固定于芯的顶部和底部中的每一个,总共形成四个金属层。2-2-2 组合式基底具有两个较薄的单金属层,其与电介质层一起被固定于芯的顶部和底部中的每一个,总共形成六个金属层。3-2-3 组合式基底具有三个较薄的单金属层基底,其与电介质层一起被固定于芯的顶部和底部中的每一个,总共形成八个金属层。每个附加组的

组合式层显著地提高组合式基底的成本,并且因此期望要求较少层的电路布局。

[0069] 组合过程可能使得需要通过旋涂工艺在芯的表面上或先前建立的组合层的表面上的层中施加电介质材料,然后对电介质的表面进行金属化并用掩膜和蚀刻工艺对金属化进行图案化。

[0070] 基底 158 包括在电介质的顶面和底面上具有图案化金属层(即两个金属层基底)的印刷电路板作为芯。印刷电路板中的电介质的厚度通常约为 $500\mu\text{m}$ 。实际上,芯上的金属层中的特征节距具有在约 $100\mu\text{m}$ 范围内的下限,并且过孔捕获焊盘直径具有在约 $300\mu\text{m}$ 范围内的下限。相反,较薄单组合层中的电介质的厚度通常约为 $50\mu\text{m}$ 。组合层上的金属层通常比较厚芯上的那些更薄。组合层中的金属层中的特征节距具有在约 $50\mu\text{m}$ 范围内的下限,并且过孔捕获焊盘直径具有在约 $120\mu\text{m}$ 范围内的下限。

[0071] 图 7 的实施例中的基底 158 是组合 1-2-1 式的四金属层基底。也就是说,基底 158 包括在中间较厚的两个金属层基底 172 上形成的上和下薄单金属层基底 170 和 171。两个金属层基底 172 具有图案化的上和下金属层 173 和 174。单金属层基底 170 和 171 具有图案化金属层 162 和 176。每个图案化金属层 162、173、174 和 176 具有用于信号、功率和接地电路的迹线。例如,金属层 173 包括专用于接地电路的迹线 177 和专用于功率电路的迹线 178,并且金属层 174 包括功率迹线 179 和接地迹线 180。

[0072] 下金属层 176 被图案化以在诸如器件母板的印刷电路板上的安装时提供用于封装的二级焊料凸块互连的结合点。特别地,接地凸块 181、信号凸块 182 和功率凸块 183 被附着于布置在封装基底 158 的下侧边缘上的接地凸块点 184、信号凸块点 185 和功率凸块点 186。芯接地凸块 187 和芯功率凸块 188 被附着于布置在封装基底 158 下侧的管芯下面的芯接地凸块点 189 和芯功率凸块点 190。

[0073] 上接地迹线 168 和功率迹线 166 包括用于接地和功率凸块 167、165 的倒装附着的点,并通过管芯覆盖区下面的过孔 191 和 192 被连接到金属层 173 中的迹线 177 和 178。迹线 177 和 178 通过过孔 198 和 193 连接到金属层 174 中的迹线 180 和 194。迹线 180 和 194 又通过过孔连接到二级互连点 189 和 190 (芯接地和芯功率)及 184 和 186 (接地和功率)。

[0074] 管芯信号焊盘 159 被布置在半导体管芯的周边附近,并且在远离管芯覆盖区的管芯边缘 195 下面布线基底 158 上的相应信号迹线 164。信号迹线 164 被直接布线到通常覆盖二级信号凸块点 185 的基底 158 的区域,使得能够主要经由过孔 196 和 197 来缩短并实现上金属层 162 中的信号迹线到凸块点 185 的连接,在下金属层 173、174 和 176 内具有最少的信号电路。二级信号凸块和向下行进的过孔可以位于接地和功率凸块和过孔之间和附近。

[0075] 通常,封装基底中的接地线优选地与信号线分离相当于至少与作为相邻信号线之间的距离的相同量级的距离,使得由信号产生的场线转到地而不与其它信号相干扰。优选地,因此,第二金属层 173 主要充当接地平面,并且上金属层中的电介质的厚度约等于或小于上层上的相邻信号线之间的最小间距。因此,用于封装 156 的大部分扇形展开接地电路在第二金属层 173 中形成,其仅仅通过薄上层电介质与上金属层 162 分离。上和下单金属层基底中的电介质的厚度可以约为 $50\mu\text{m}$,并且因此在相邻信号线之间的标称距离约为 $50\mu\text{m}$ 或更大的情况下,获得地和信号线的期望间距而为信号提供稳定的微带控制阻抗传输线。

[0076] 如下文所讨论的,存在其中少数所选信号焊盘位于管芯的内侧区域中的接地和功率焊盘之间、亦即在管芯的芯电路区域内的情况。在设计需要的情况下或在管芯电路使得更优选的情况下,位于半导体管芯的芯电路区域内的接地或功率焊盘之间的信号焊盘可以在管芯的芯电路区域的覆盖区内的基底上具有相应的焊盘,并且可以直接在过孔中向下通过基底芯布线更多至底层。

[0077] 可以采用其它组合式基底,虽然如上所述,成本随着附加层的添加而提高,并且具有较少层的基底可能是有利的。在使用 2-2-2 基底的情况下,可以正如上文针对 1-2-1 基底所述的对顶部和底部组合层进行图案化。可以将中间基底上的金属层主要用于功率布线,并且可以将中间基底之上和之下的组合层上的金属层主要用作接地平面。在组合基底中采用更大数目的层的情况下,可以将基底层上的布局布置为使得在切合实际的限度内,信号过孔被接地和功率过孔围绕,以减少由于电寄生而引起的信号的劣化。

[0078] 在没有组合层的情况下,可以使用四层组合式 0-4-0 层压基底,在芯基底的粗设计规则内提供特征节距和过孔捕获焊盘设计适配。避免组合的需要能够提供层压制备中的显著的成本降低。

[0079] 可以实现其它管芯焊盘布局,其中管芯信号焊盘被布置在管芯周边附近且管芯功率和接地焊盘被布置在自信号焊盘的内侧。在其它布局布置中,以与管芯焊盘布局互补的方式来布置信号焊盘,或者其中从远离管芯覆盖区的管芯边缘下面的信号焊盘布线信号线并将功率和接地线布线到管芯覆盖区下面的过孔。图 8a—8b、9a—9b、10a—10b 和 11a—11b 示出了具有相应基底的焊盘布局的四个说明性示例。

[0080] 在图 8a 的管芯焊盘布局 200 中,信号焊盘 202 被以平行于管芯边缘 206 的两个交错行的阵列布置在半导体管芯周边附近的管芯表面 204 上。示出了信号焊盘 202,其具有与诸如图 5 中的单行实施例中的焊盘大约相同的节距,结果,在半导体管芯的周边上能够容纳数目大得多的信号焊盘。可替换地,可以在两行中容纳与在单行实施例中相同数目的焊盘并进行交错,使得焊盘节距和焊盘直径及相应的互连凸块或球可以更大,降低制造成本。类似于图 5,功率焊盘 208 和接地焊盘 210 被布置成在管芯表面的内侧区域上具有无焊盘的中心区域的阵列。应注意的是与图中所示的相比,在典型的管芯中可以存在更多的管芯焊盘,某些管芯具有几百个焊盘。例如,半导体管芯可以具有总共 500 个焊盘,包括 150 个功率和接地焊盘及 350 个信号焊盘。

[0081] 在图 8b 中的 212 处大体上在平面图中示出与图 8a 的管芯焊盘布局 200 相对应的基底焊盘的布置。信号焊盘 214、功率焊盘 216 和接地焊盘 218 在基底表面 220 上被布置成与图 8a 的管芯焊盘布局互补的阵列,使得其能够接纳并分别被结合到被附着于半导体管芯 204 上的相应焊盘的信号、功率和接地凸块。在此布置中,与信号布线相关联的所有焊盘 214 被以两个交错行的阵列布置在阵列周边处,并且用于阵列周边上的信号焊盘的逸出布线可以直接在管芯边缘 222 下面穿过作为基底的最高金属层中的迹线 224。虽然信号焊盘 214 具有与图 6 中的焊盘大约相同的节距,但信号迹线 224 具有大约为信号迹线 146 的一半的节距。也就是说,对于给定焊盘节距而言,可以将逸出密度加倍。不在阵列周边处的基底 220 上的信号焊盘 214 和功率焊盘 216 经由短迹线和过孔连接到基底中的更深金属层。在图 8b 中,功率焊盘 216 经由功率支柱或凸出部分 226 通过功率过孔 228 连接到下面的金属层中的功率迹线。接地焊盘 218 经由接地支柱或凸出部分 230 通过接地过孔 232 连接到下

面金属层中的功率迹线。

[0082] 图 9a 示出了管芯焊盘布局 234, 其中信号焊盘 236 以平行于管芯边缘 240 的行布置在管芯周边附近的管芯表面 238 上。示出了具有与图 5 中的焊盘大约相等的节距的信号焊盘 236。功率焊盘 242 和接地焊盘 244 还被布置成行, 平行于管芯边缘 240 并在信号焊盘 236 的行的内侧。在行中, 功率焊盘 242 与接地焊盘 244 交替。可以通过使内侧行中的焊盘与外侧行中的信号焊盘交错来更紧密地形成所有焊盘。

[0083] 通常, 在一个或多个边缘附近, 沿着管芯周边来配置管芯的有源层中的输入 / 输出电路。将所有焊盘限制成半导体管芯周边附近的行从而形成焊盘环, 其允许通过减少管芯上布线的量来降低管芯成本, 并且在构造管芯时可以采用芯片设计工具。

[0084] 在图 9b 中的 250 处大体上在平面图中示出与图 9a 的管芯焊盘布局 234 相对应的基底焊盘的布置。信号焊盘 252、功率焊盘 254 和接地焊盘 256 在基底表面 258 上被布置成与图 9a 的管芯焊盘布局 234 互补的阵列, 使得其能够接纳并分别被结合到被附着于半导体管芯 238 上的相应焊盘的信号、功率和接地凸块。在此布置中, 与信号布线相关联的所有焊盘 252 在阵列周边处被布置成行, 并且用于阵列周边上的信号焊盘的逸出布线可以直接在管芯边缘 260 下面穿过作为基底的最高金属层中的迹线 262。在阵列周边附近的信号焊盘内侧的基底 258 上的接地焊盘 256 和功率焊盘 254 经由短接线和过孔连接到基底中的更深的金属层。在图 9b 中, 功率焊盘 254 经由功率支柱或凸出部分 264 通过功率过孔 266 连接到下面的金属层中的功率迹线。接地焊盘 256 经由接地支柱或凸出部分 268 通过接地过孔 269 连接到下面金属层中的功率迹线。

[0085] 在图 9a 和 9b 中, 可以将少量接地焊盘和 / 或少量功率焊盘设置在更靠近管芯边缘的外侧行中。在基底中, 可以以相应的方式来布置接地焊盘和 / 或功率焊盘。配置具有的接地和功率焊盘可以是外侧行中的接地和功率焊盘的多达 10%、更一般地小于约 5%、更一般地为 0% 或小于约 2%, 但是将功率或接地焊盘设置在外侧行中导致信号焊盘逸出密度的降低。可以通过使焊盘周边中的功率或接地焊盘的数目最小化来使信号焊盘逸出密度最大化。在某些实施例中, 在外侧行中不存在功率焊盘或接地焊盘。同样地, 可以在管芯周边内侧的功率和接地焊盘之间设置少量信号焊盘, 并且在基底中, 可以以相应的方式来布置信号焊盘。然而, 此类布置可能要求采用下基底层, 使得需要使用过孔并增加信号路径长度。

[0086] 如上所述, 使信号焊盘逸出密度最大化, 其中, 外侧行中的接地和 / 或功率焊盘的数目被最小化, 并且因此, 逸出密度可以处于最大值, 其中, 在外侧行中不存在接地焊盘或功率焊盘。然而, 服务于射频 (RF) 信号的信号焊盘可以在一侧具有邻近的接地焊盘, 或者, 可以由信号焊盘和接地焊盘在两侧夹着该信号焊盘以进行信号的电磁屏蔽。可以协调信号焊盘逸出密度达到有限的程度, 并且在管芯周边附近的信号焊盘的两侧或三侧上布置功率和 / 或接地焊盘能够提供有用的折衷。

[0087] 在图 10a 的管芯焊盘布局 270 中, 信号焊盘 271 以平行于管芯边缘 273 的行布置在管芯周边附近的管芯表面 272 上。示出了具有与图 5 中的焊盘大约相等的节距的信号焊盘 271。功率焊盘 274 和接地焊盘 275 被布置成行, 平行于管芯边缘 273 并在信号焊盘 271 的行的内侧。功率焊盘 274 和接地焊盘 275 数目已经减少。也就是说, 存在约为如图 9a 所示的一半的功率和接地焊盘。在行中, 功率焊盘 274 与接地焊盘 275 交替。可以通过使内侧行中的焊盘与外侧行中的信号焊盘交错来更紧密地形成所有焊盘。

[0088] 减少功率和接地焊盘数目允许有在半导体管芯阴影下具有多得多的接地过孔和功率过孔的布局,如图 10b 所示,大体上在 276 处以平面图示出了与图 10a 的管芯焊盘布局 270 相对应的基底焊盘布置。信号焊盘 278、功率焊盘 279 和接地焊盘 280 在基底表面 281 上被布置成与图 10a 的管芯焊盘布局互补的阵列,使得其能够接纳并分别被结合到被附着于半导体管芯 272 上的相应焊盘的信号、功率和接地凸块。在此布置中,与信号布线相关联的所有焊盘 278 在阵列周边处被布置成行,并且用于阵列周边上的信号焊盘的逸出布线可以直接在管芯边缘 282 下面穿过作为基底 281 的最高金属层中的迹线 283。在阵列周边附近的信号焊盘内侧的基底 281 上的接地焊盘 280 和功率焊盘 279 经由短接线和过孔连接到基底中的更深的金属层。功率焊盘 279 经由功率支柱或凸出部分 284 通过功率过孔 285 连接到下面的金属层中的功率迹线。接地焊盘 280 经由接地支柱或凸出部分 286 通过接地过孔 287 连接到下面金属层中的功率迹线。

[0089] 通常使接地和功率过孔的直径约为线间距的 2 至 3 倍。对于更大的功率和接地过孔尺寸而言,交替的支柱可以具有不同的长度,使得功率和接地过孔被布置成交错阵列,如图 10b 所示。对于约 $100\mu\text{m}$ 的信号线逸出节距而言,接地过孔和功率过孔之间的有效过孔节距可以约为 $220\mu\text{m}$,并且过孔直径可以大到约 $250\mu\text{m}$ 。具有较大过孔的基底可能不那么昂贵,并且此类配置能够提供成品封装的成本的显著降低。

[0090] 在图 11a 的管芯焊盘布局 288 中,信号焊盘 289 被以平行于管芯边缘 291 的两个行的大体正交阵列布置在半导体管芯周边附近的管芯表面 290 上。示出了每行中的信号焊盘 289,其具有大约与图 8a 的外侧行中的焊盘相同的节距,并且内侧和外侧行的间隔略远于如图 5 中的单行中的相邻焊盘的间隔。也就是说,如在图 8a 的交错周边阵列中一样,在图 11a 的正交周边阵列中存在相同数目的信号焊盘 289。在图 11a 中,正交周边信号节距阵列比图 8a 的交错周边信号节距阵列占据略大的面积;然而,正交阵列中的最邻近焊盘之间的节距小于交错阵列中的最邻近焊盘之间的节距,使得互连几何结构、即焊盘节距和焊盘直径及相应的互连凸块和球可以更大,降低制造成本。类似于图 5 和 8a,功率焊盘 292 和接地焊盘 293 被布置成在管芯表面的内侧区域上具有无焊盘的中心区域的阵列。

[0091] 在图 11b 中大体上在 294 处以平面图示出与管芯焊盘布局 288 相对应的基底焊盘的布置。信号焊盘 295、功率焊盘 296 和接地焊盘 297 在基底表面 298 上被布置成与图 11a 的管芯焊盘布局 288 互补的阵列,使得其能够接纳并分别被结合到被附着于半导体管芯 290 上的相应焊盘的信号、功率和接地凸块。在此布置中,与信号布线相关联的所有焊盘 295 被以两个行的正交阵列布置在阵列周边处,并且用于阵列周边上的信号焊盘的逸出布线可以直接在管芯边缘 300 下面穿过作为基底的最高金属层中的迹线 302。不在阵列周边处的基底 298 上的信号焊盘 295 和功率焊盘 296 经由短迹线和过孔连接到基底中的更深金属层。功率焊盘 296 经由功率支柱或凸出部分 304 通过功率过孔 306 连接到下面的金属层中的功率迹线。接地焊盘 297 经由接地支柱或凸出部分 310 通过接地过孔 312 连接到下面金属层中的功率迹线。

[0092] 从信号线焊盘开始布线图 8b、9b、10b 和 11b 的实施例中的信号线,从管芯覆盖区离开,并且将所有功率和接地线布线到管芯覆盖区下面的过孔中。可以在基底上的单个上金属层中布线所有信号迹线。因此,在信号路径中不要求支柱或过孔,并且避免了信号传输中的寄生。可以使信号迹线形成为如用于迹线形成可用技术所允许的那样靠近在一起。可

以使信号焊盘形成为如用于迹线形成和凸块结合的可用技术所允许的那样靠近在一起。

[0093] 前述示例举例说明其中没有接地或功率互连位于距离基底上的管芯覆盖区和管芯周边最近的信号互连之间的实施例。没有信号互连位于充分地管芯和管芯覆盖区中间周围的芯矩阵内的功率和接地互连之间。在某些情况下,一个或几个信号互连可以位于芯阵列内,通常邻近于接地互连,并且因此将基底中的一个或几个信号布线到管芯覆盖区下面的过孔,与基底中的下金属层相连或从管芯边缘下面外侧的管芯覆盖区的充分内部开始在基底的上金属层中布线此类信号线。在某些情况下,信号互连之中的一个或几个功率互连、或者更通常为更加在外围的一个或几个接地互连可以位于管芯周边附近,并因此在基底上的管芯覆盖区的周边附近。某些电路设计将时钟信号互连设置为更靠近接地互连。

[0094] 所有或基本上所有管芯信号焊盘在管芯周边附近被布置成行或阵列。所有或基本上所有管芯功率和接地焊盘位于基本上所有管芯信号焊盘内侧。特别地,将周边附近的信号焊盘与芯中的接地和功率焊盘分离的优点可能随着未分离焊盘的数目或比例的增加而显著劣化。不在周边行或周边阵列中的信号焊盘的比例通常小于所有信号焊盘的约 10%,更一般地小于所有信号焊盘的约 5%,并且更一般地为 0% 或在所有信号焊盘的 0% 至约 2% 范围内。不在信号焊盘的周边行或周边阵列内侧的接地或功率焊盘的比例通常小于所有功率和接地焊盘的约 10%,更一般地小于所有功率和接地焊盘的约 5%,并且更一般地为 0% 或在所有信号焊盘的 0% 至约 2% 范围内。

[0095] 信号焊盘被沿着管芯的整个周边、亦即沿着矩形管芯的全部四个边缘布置成行或阵列。在某些实施例中,信号焊盘被沿着比全部的管芯边缘少的边缘布置,并且特别地在其中信号焊盘被沿着四个管芯边缘中的任何两个或更多个布置成周边行或周边阵列的实施例中,能够实现该优点。

[0096] 可以使用具有很少层的基底来进行倒装封装,并且可以根据功能有效地分配各种层上的电路,降低基底成本以及改善性能。

[0097] 图 12—17 描述了具有可以与管芯焊盘布局相组合地使用的各种互连结构的其它实施例,包括信号焊盘、功率焊盘和接地焊盘,如图 5—11 所述。更具体而言,半导体管芯接触焊盘和相应的互连导电迹线可以对应于管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。图 12a 示出具有底部基底材料 322 的半导体晶片 320,底部基底材料 320 诸如硅、锗、砷化镓、磷化铟、或碳化硅,用于结构支撑。在如上所述被锯道 326 分离的晶片 320 上形成多个半导体管芯或组件 324。

[0098] 图 12b 示出半导体晶片 320 的一部分的横截面图。每个半导体管芯 324 具有背面 328 和有源表面 330,有源表面 330 包含被实现为有源器件、无源器件、导电层和电介质层的模拟或数字电路,其在管芯内形成并被根据管芯的电气设计和功能电互连。例如,该电路可以包括在有源表面 330 内形成的一个或多个晶体管、二极管及其它电路元件以实现模拟电路或数字电路,诸如数字信号处理器(DSP)、ASIC、存储器或其它信号处理电路。半导体管芯 324 还可以包含集成无源器件(IPD),诸如电感器、电容器和电阻器,以进行 RF 信号处理。在一个实施例中,半导体管芯 324 是倒装式半导体管芯。

[0099] 使用 PVD、CVD、电解镀覆、化学镀覆工艺或其它适当的金属沉积工艺在有源表面 330 上形成导电层 332。导电层 332 可以是一层或多层 Al、Cu、Sn、Ni、Au、Ag 或其它适当的导电材料。导电层 332 充当被电连接到有源表面 330 上的电路的接触焊盘或凸块焊盘。

[0100] 图 12c 示出具有在接触焊盘 332 上形成的互连结构的半导体晶片 320 的一部分。使用蒸发、电解镀覆、化学镀覆、球滴或丝网印刷工艺在接触焊盘 332 上沉积导电凸块材料 334。凸块材料 334 可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料及其组合，具有可选助焊剂溶液。例如，凸块材料 334 可以是共熔 Sn/Pb、高铅焊料或无铅焊料。凸块材料 334 通常是具有柔顺性的，并且在等效于约 200 克的垂直载荷的力下经历大于约 25 μm 的塑性变形。使用适当的附着或结合工艺将凸块材料 334 结合到接触焊盘 332。例如，可以将凸块材料 334 压缩结合到接触焊盘 332。如图 12d 所示，还可以通过将材料加热至其熔点之上以形成球状球或凸块 336 来对凸块材料 334 进行回流。在某些应用中，第二次对凸块 336 进行回流以改善到接触焊盘 332 的电连接。凸块 336 表示可以在接触焊盘 332 上形成的一种类型的互连结构。互连结构还可以使用支柱凸块、微型凸块或其它电互连。

[0101] 图 12e 示出在接触焊盘 332 上形成作为包括不可熔或不可拆卸部分 340 和可熔或可拆卸部分 342 的复合凸块 338 的互连结构的另一实施例。相对于回流条件，针对凸块 338 来限定可熔或可拆卸和不可熔或不可拆卸属性。不可熔部分 340 可以是 Au、Cu、Ni、高铅焊料或铅锡合金。可熔部分 342 可以是 Sn、无铅合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag- 镉 (In) 合金、共熔焊料、具有 Ag、Cu 或 Pb 的锡合金或其它相对低温熔化焊料。在一个实施例中，给定 100 μm 的宽度或直径的接触焊盘 332，不可熔部分 340 在高度上约 45 μm 且可熔部分 342 在高度上约 35 μm 。

[0102] 图 12f 示出了作为导电柱 346 上的凸块 344 的接触焊盘 332 上形成的互连结构的另一示例。凸块 344 是可熔或可拆卸的且导电柱 346 是不可熔或不可拆卸的。相对于回流条件来定义可熔或可拆卸及不可熔或不可拆卸属性。凸块 344 可以是 Sn、无铅合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-In 合金、共熔焊料、具有 Ag、Cu 或 Pb 的锡合金或其它相对低温熔化焊料。导电柱 346 可以是 Au、Cu、Ni、高铅焊料或铅锡合金。在一个实施例中，导电柱 346 是 Cu 柱且凸块 344 是焊料盖。给定 100 μm 的宽度或直径的接触焊盘 332，导电柱 346 在高度上约 45 μm 且凸块 344 在高度上约 35 μm 。

[0103] 图 12g 示出了作为具有凸起物 (asperities) 350 的凸块材料 348 的在接触焊盘 332 上形成的互连结构的另一实施例。凸块材料 348 是软的且在回流条件下是可变形的，具有低屈服强度和高断裂伸长率，与凸块材料 334 类似。凸起物 350 形成有镀覆的表面面层 (finish)，并且在图中出于举例说明的目的被放大地示出。凸起物 350 的尺度通常约为 1 — 25 μm 量级。该凸起物还可以在凸块 336、复合凸块 338 和凸块 344 上形成。

[0104] 在图 12h 中，使用锯条或激光切割工具 352 通过锯道 326 将半导体晶片 320 单颗化成单独的半导体管芯 324。

[0105] 图 13a 示出具有导电迹线 356 的基底或 PCB 354。基底 354 可以是单面 FR5 层压件或双面 BT 树脂层压件。半导体管芯 324 被定位为使得凸块材料 334 与导电迹线 356 上的互连点对准，参见图 21a — 21g。可替换地，可以使凸块材料 334 与在基底 354 上形成的导电焊盘或其它互连点对准。凸块材料 334 比导电迹线 356 宽。在一个实施例中，对于 150 μm 的凸块节距而言，凸块材料 334 具有小于 100 μm 的宽度且导电迹线或焊盘 356 具有 35 μm 的宽度。接触焊盘 332 和导电迹线 356 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0106] 向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 334 压紧到导电迹线

356 上。可以在提高温度的情况下施加力 F 。由于凸块材料 334 的柔顺性,凸块材料在导电迹线 356 的顶面和侧面周围变形或压出,称为引线上凸块(BOL)。特别地,压力的施加促使凸块材料 334 在等效于约 200 克的垂直载荷的力 F 下经历大于约 $25\mu\text{m}$ 的塑性变形并覆盖导电迹线的顶面和侧面,如图 13b 所示。还可以通过使凸块材料与导电迹线进行物理接触并随后在回流温度下对凸块材料进行回流来以冶金方式将凸块材料 334 连接到导电迹线 356。

[0107] 通过使得导电迹线 356 比凸块材料 334 窄,可以缩小导电迹线节距以增加布线密度和 I/O 计数。较窄的导电迹线 356 减小使导电迹线周围的凸块材料 334 变形所需的力 F 。例如,必需的力 F 可以是针对比凸块材料宽的导电迹线或焊盘使凸块材料变形所需的力的 30 — 50%。较低的压缩力 F 对细节距互连和小管芯以指定公差保持共面性并实现均匀的 z 方向变形和高可靠性互连联合有用。另外,使导电迹线 356 周围的凸块材料 334 变形机械地将凸块锁定到迹线以防止回流期间的管芯移位或管芯浮置。

[0108] 图 13c 示出在半导体管芯 324 的接触焊盘 332 上形成的凸块 336。半导体管芯 324 被定位为使得凸块 336 与导电迹线 356 上的互连点对准。可替换地,凸块 336 可以与在基底 354 上形成的导电焊盘或其它互连点对准。凸块 336 比导电迹线 356 宽。接触焊盘 332 和导电迹线 356 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0109] 向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块 336 压紧到导电迹线 356 上。可以在提高温度的情况下施加力 F 。由于凸块 336 的柔顺性,凸块在导电迹线 356 的顶面和侧面周围变形或压出。特别地,压力的施加促使凸块材料 336 经历塑性变形并覆盖导电迹线 356 的顶面和侧面。还可以通过在回流温度下使凸块与导电迹线进行物理接触来以冶金方式将凸块 336 连接到导电迹线 356。

[0110] 通过使得导电迹线 356 比凸块 336 窄,可以缩小导电迹线节距以增加布线密度和 I/O 数目。较窄的导电迹线 356 减小使导电迹线周围的凸块 336 变形所需的力 F 。例如,必需的力 F 可以是针对比凸块宽的导电迹线或焊盘使凸块变形所需的力的 30 — 50%。较低的压缩力 F 对细节距互连和小管芯而将共面性保持在指定公差内并实现均匀的 z 方向变形和高可靠性互连联合有用。另外,使导电迹线 356 周围的凸块 336 变形机械地将凸块锁定到迹线以防止回流期间的管芯移位或管芯浮置。

[0111] 图 13d 示出在半导体管芯 324 的接触焊盘 332 上形成的复合凸块 338。半导体管芯 324 被定位为使得复合凸块 338 与导电迹线 356 上的互连点对准。可替换地,复合凸块 338 可以与在基底 354 上形成的导电焊盘或其它互连点对准。复合凸块 338 比导电迹线 356 宽。接触焊盘 332 和导电迹线 356 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0112] 向半导体管芯 324 的背面 328 施加压力或力 F 以将可熔部分 342 压紧到导电迹线 356 上。可以在提高温度的情况下施加力 F 。由于可熔部分 342 的柔顺性,可熔部分在导电迹线 356 的顶面和侧面周围变形或压出。特别地,压力的施加促使可熔部分 342 经历塑性变形并覆盖导电迹线 356 的顶面和侧面。还可以通过在回流温度下使可熔部分 342 与导电迹线进行物理接触来以冶金方式将复合凸块 338 连接到导电迹线 356。不可熔部分 340 在施加压力或温度期间不熔化或变形,并且保持其高度和形状作为半导体管芯 324 与基底 354 之间的垂直基准距。半导体管芯 324 与基底 354 之间的附加位移提供配合表面之间的

较大共面性公差。

[0113] 在回流过程期间,半导体管芯 324 上的大量(例如几千个)复合凸块 338 被附着于基底 354 的导电迹线 356 上的互连点。某些凸块 338 可能未能适当地连接到导电迹线 356,特别是如果管芯 324 发生翘曲。回想复合凸块 338 可以比导电迹线 356 宽。在施加适当力的情况下,可熔部分 342 在导电迹线 356 的顶面和侧面周围变形或压出并将复合凸块 338 机械地锁定到导电迹线。通过可熔部分 342 比导电迹线 356 更软且更具有柔顺性的性质并因此在导电迹线的顶面之上和侧面周围变形以有更大的接触表面面积来形成机械互锁。复合凸块 338 与导电迹线 356 之间的机械互锁在回流期间将凸块保持到导电迹线,即凸块和导电迹线不失去接触。因此,配合到导电迹线 356 的复合凸块 338 减少凸块互连故障。

[0114] 图 13e 示出在半导体管芯 324 的接触焊盘 332 上形成的导电柱 346 和凸块 344。半导体管芯 324 被定位为使得凸块 344 与导电迹线 356 上的互连点对准。可替换地,可以使凸块 344 与在基底 354 上形成的导电焊盘或其它互连点对准。凸块 344 比导电迹线 356 宽。接触焊盘 332 和导电迹线 356 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0115] 向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块 344 压紧到导电迹线 356 上。可以在提高温度的情况下施加力 F。由于凸块 344 的柔顺性,凸块在导电迹线 356 的顶面和侧面周围变形或压出。特别地,压力的施加促使凸块 344 经历塑性变形并覆盖导电迹线 356 的顶面和侧面。还可以通过在回流温度下使凸块与导电迹线进行物理接触来以冶金方式将导电柱 346 和凸块 344 连接到导电迹线 356。导电柱 346 在施加压力或温度期间不熔化或变形,并且保持其高度和形状作为半导体管芯 324 与基底 354 之间的垂直基准距。半导体管芯 324 与基底 354 之间的附加位移提供配合表面之间的较大共面性公差。较宽的凸块 344 和较窄的导电迹线 356 具有上文针对凸块材料 334 和凸块 336 所述的类似低必需压缩力和机械锁定特征和优点。

[0116] 图 13f 示出了具有在半导体管芯 324 的接触焊盘 332 上形成的凸起物 350 的凸块材料 348。半导体管芯 324 被定位为使得凸块材料 348 与导电迹线 356 上的互连点对准。可替换地,可以使凸块材料 348 与在基底 354 上形成的导电焊盘或其它互连点对准。凸块材料 348 比导电迹线 356 宽。向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 348 压紧到导电迹线 356 上。可以在提高温度的情况下施加力 F。由于凸块材料 348 的柔顺性,凸块在导电迹线 356 的顶面和侧面周围变形或压出。特别地,压力的施加促使凸块材料 348 经历塑性变形并覆盖导电迹线 356 的顶面和侧面。另外,凸起物 350 被以冶金方式连接到导电迹线 356。凸起物 350 的尺寸被确定为约为 1 — 25 μ m 量级。

[0117] 图 13g 示出具有带有成角度或倾斜边的梯形导电迹线 360 的基底或 PCB 358。凸块材料 361 在半导体管芯 324 的接触焊盘 332 上形成。半导体管芯 324 被定位为使得凸块材料 361 与导电迹线 360 上的互连点对准。可替换地,可以使凸块材料 361 与在基底 358 上形成的导电焊盘或其它互连点对准。凸块材料 361 比导电迹线 360 宽。接触焊盘 332 和导电迹线 360 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0118] 向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 361 压紧到导电迹线 360 上。可以在提高温度的情况下施加力 F。由于凸块材料 361 的柔顺性,凸块材料在导电迹线 360 的顶面和侧面周围变形或压出。特别地,压力的施加促使凸块材料 361 在力 F 下

经历塑性变形而覆盖导电迹线 360 的顶面和成角度的侧面。还可以通过使凸块材料与导电迹线进行物理接触并随后在回流温度下对凸块材料进行回流来以冶金方式将凸块材料 361 连接到导电迹线 360。

[0119] 图 14a—14d 示出半导体管芯 324 和具有不可熔或不可拆卸部分 364 和可熔或可拆卸部分 366 的细长复合凸块 362 的 BOL 实施例。不可熔部分 364 可以是 Au、Cu、Ni、高铅焊料或铅锡合金。可熔部分 366 可以是 Sn、无铅合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag- 铟 (In) 合金、共熔焊料、具有 Ag、Cu 或 Pb 的锡合金或其它相对低温熔化焊料。不可熔部分 364 构成比可熔部分 366 大的复合凸块 362 的更大部分。不可熔部分 364 被固定于半导体管芯 324 的接触焊盘 332。

[0120] 如图 14a 所示, 半导体管芯 324 被定位为使得复合凸块 362 与在基底 370 上形成的导电迹线 368 上的互连点对准。复合凸块 362 沿着导电迹线 368 逐渐缩减, 即复合凸块具有楔形形状, 沿着导电迹线 368 的长度较长且跨越导电迹线较窄。复合凸块 362 的锥形方位沿着导电迹线 368 的长度发生。图 14a 中的视图示出与导电迹线 368 共线的较短方位或缩窄的锥形。与图 14a 垂直的图 14b 中的视图示出楔形形状的复合凸块 362 的较长方位。复合凸块 362 的较短方位比导电迹线 368 宽。如图 14c 和 14d 所示, 可熔部分 366 在施加压力和 / 或具有热量的回流时在导电迹线 368 周围拆卸。不可熔部分 364 在回流期间不熔化或变形并保持其外形和形状。可以将不可熔部分 364 的尺寸确定为提供半导体管芯 324 与基底 370 之间的基准距距离。可以向基底 370 施加诸如 Cu OSP 的面层。接触焊盘 332 和导电迹线 368 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0121] 在回流过程期间, 半导体管芯 324 上的大量 (例如几千个) 复合凸块 362 被附着于基底 370 的导电迹线 368 上的互连点。某些凸块 362 可能未能适当地连接到导电迹线 368, 特别是如果半导体管芯 324 发生翘曲。回想复合凸块 362 可以比导电迹线 368 宽。在施加适当力的情况下, 可熔部分 366 在导电迹线 368 的顶面和侧面周围变形或压出并将复合凸块 362 机械地锁定到导电迹线。通过可熔部分 366 比导电迹线 368 更软且更具有柔顺性的性质并因此在导电迹线的顶面和侧面周围变形以有更大的接触面积来形成机械互锁。复合凸块 362 的楔形形状增加凸块与导电迹线之间的接触面积, 例如沿着图 14b 和 14d 的较长方位, 而不牺牲沿着图 14a 和 14c 的较短方位的节距。复合凸块 362 与导电迹线 368 之间的机械互锁在回流期间将凸块保持到导电迹线, 即凸块和导电迹线之间不失去接触。因此, 配合到导电迹线 368 的复合凸块 362 减少凸块互连故障。

[0122] 类似于图 12c, 图 15a—15d 示出在凸块材料 374 形成于接触焊盘 332 上的情况下的半导体管芯 324 的 BOL 实施例。在图 15a 中, 凸块材料 374 通常是具有柔顺性的, 并且在等效于约 200 克的垂直载荷的力下经历大于约 25 μm 的塑性变形。凸块材料 374 比基底 378 上的导电迹线 376 宽。在导电迹线 376 上形成具有约 1—25 μm 量级的高度的多个凸起物 380。

[0123] 半导体管芯 324 被定位为使得凸块材料 374 与导电迹线 376 上的互连点对准。可替换地, 可以使凸块材料 374 与在基底 378 上形成的导电焊盘或其它互连点对准。如图 15b 所示, 向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 374 压紧到导电迹线 376 和凸起物 380 上。可以在提高温度的情况下施加力 F。由于凸块材料 374 的柔顺性, 凸块材料在凸起物 380 和导电迹线 376 的顶面和侧面周围变形或压出。特别地, 压力的施加促使凸

块材料 374 经历塑性变形并覆盖凸起物 380 和导电迹线 376 的顶面和侧面。凸块材料 374 的塑性流动在凸块材料与凸起物 380 和导电迹线 376 的顶面和侧面之间产生宏观机械互锁点。凸块材料 374 的塑性流动在凸起物 380 和导电迹线 376 的顶面和侧面周围发生,但是不过度地延伸到基底 378 上,这可能引起电短路及其它缺陷。凸块材料与凸起物 380 和导电迹线 376 的顶面和侧面之间的机械互锁提供与各表面之间的较大接触面积的稳健连接,而不显著地增加结合力。凸块材料与凸起物 380 和导电迹线 376 的顶面和侧面之间的机械互锁还减少诸如密封的后续制造过程期间的横向管芯移位。接触焊盘 332 和导电迹线 376 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0124] 图 15c 示出凸块材料 374 比导电迹线 376 窄的情况下的另一 BOL 实施例。向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 374 压紧到导电迹线 376 和凸起物 380 上。可以在提高温度的情况下施加力 F。由于凸块材料 374 的柔顺性,凸块材料在凸起物 380 和导电迹线 376 的顶面之上变形或压出。特别地,压力的施加促使凸块材料 374 经历塑性变形并覆盖凸起物 380 和导电迹线 376 的顶面。凸块材料 374 的塑性流动在凸块材料与凸起物 380 和导电迹线 376 的顶面之间产生宏观机械互锁点。凸块材料与凸起物 380 和导电迹线 376 的顶面之间的机械互锁提供与各表面之间的较大接触面积的稳健连接,而不显著地增加结合力。凸块材料与凸起物 380 和导电迹线 376 的顶面之间的机械互锁还减少诸如密封的后续制造过程期间的横向管芯移位。

[0125] 图 15d 示出在凸块材料 374 形成于导电迹线 376 的边缘上的情况下的另一 BOL 实施例,即,凸块材料的一部分在导电迹线上且凸块材料的另一部分不在导电迹线上。向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 374 压紧到导电迹线 376 和凸起物 380 上。可以在提高温度的情况下施加力 F。由于凸块材料 374 的柔顺性性质,凸块材料在凸起物 380 和导电迹线 376 的顶面和侧面上变形或压出。特别地,压力的施加促使凸块材料 374 经历塑性变形并覆盖凸起物 380 和导电迹线 376 的顶面和侧面。凸块材料 374 的塑性流动在凸块材料与凸起物 380 和导电迹线 376 的顶面和侧面之间产生宏观机械互锁。凸块材料与凸起物 380 和导电迹线 376 的顶面和侧面之间的机械互锁提供与各表面之间的较大接触面积的稳健连接,而不显著地增加结合力。凸块材料与凸起物 380 和导电迹线 376 的顶面和侧面之间的机械互锁还减少诸如密封的后续制造过程期间的横向管芯移位。

[0126] 类似于图 12c,图 16a—16c 示出具有形成于接触焊盘 332 上的凸块材料 384 的半导体管芯 324 的 BOL 实施例。如图 16a 所示,尖端 386 从凸块材料 384 的主体伸出作为台阶式凸块,尖端 386 比凸块材料 384 的主体窄。半导体管芯 324 被定位为使得凸块材料 384 与基底 390 上的导电迹线 388 上的互连点对准。更具体而言,尖端 386 在导电迹线 388 上的互连点上位于中心。可替换地,可以使凸块材料 384 和尖端 386 与在基底 390 上形成的导电焊盘或其它互连点对准。凸块材料 384 比基底 390 上的导电迹线 388 宽。

[0127] 导电迹线 388 通常是柔顺性的,并且在等效于约 200 克的垂直载荷的力下经历大于约 25 μm 的塑性变形。向半导体管芯 324 的背面 328 施加压力或力 F 以将尖端 384 压紧到导电迹线 388 上。可以在提高温度的情况下施加力 F。由于导电迹线 388 的柔顺性性质,如图 16b 所示,导电迹线在尖端 386 周围变形。特别地,压力的施加促使导电迹线 388 经历塑性变形并覆盖尖端 386 的顶面和侧面。接触焊盘 332 和导电迹线 388 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0128] 图 16c 示出圆形凸块材料 394 在接触焊盘 332 上形成的另一 BOL 实施例。尖端 396 从凸块材料 394 的主体伸出而形成具有比凸块材料 394 的主体窄的尖端的支柱凸块。半导体管芯 324 被定位为使得凸块材料 394 与基底 400 上的导电迹线 398 上的互连点对准。更具体而言,尖端 396 在导电迹线 398 上的互连点上位于中心。可替换地,可以使凸块材料 394 和尖端 396 与在基底 400 上形成的导电焊盘或其它互连点对准。凸块材料 394 比基底 400 上的导电迹线 398 宽。

[0129] 导电迹线 398 通常是柔顺性的,并且在等效于约 200 克的垂直载荷的力下经历大于约 $25\mu\text{m}$ 的塑性变形。向半导体管芯 324 的背面 328 施加压力或力 F 以将尖端 396 压紧到导电迹线 398 上。可以在提高温度的情况下施加力 F 。由于导电迹线 398 的柔顺性性质,导电迹线在尖端 396 周围变形。特别地,压力的施加促使导电迹线 398 经历塑性变形并覆盖尖端 396 的顶面和侧面。接触焊盘 332 和导电迹线 398 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0130] 如图 16a—16c 所述,在图 13a—13g、14a—14d 和 15a—15d 中描述的导电迹线也可以是柔顺性材料。

[0131] 类似于图 12c,图 17a—17b 示出具有形成于接触焊盘 332 上的凸块材料 404 的半导体管芯 324 的 BOL 实施例。凸块材料 404 通常是柔顺性的,并且在等效于约 200 克的垂直载荷的力下经历大于约 $25\mu\text{m}$ 的塑性变形。凸块材料 404 比基底 408 上的导电迹线 406 宽。如图 17a 所示,通过导电迹线 406 形成具有开口 412 和导电侧壁 414 的导电过孔 410。接触焊盘 332 和导电迹线 406 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。

[0132] 半导体管芯 324 被定位为使得凸块材料 404 与导电迹线 406 上的互连点对准,参见图 21a—21g。可替换地,可以使凸块材料 404 与在基底 408 上形成的导电焊盘或其它互连点对准。向半导体管芯 324 的背面 328 施加压力或力 F 以将凸块材料 404 压紧到导电迹线 406 上并到达导电过孔 410 的开口 412 中。可以在提高温度的情况下施加力 F 。由于凸块材料 404 的柔顺性性质,如图 17b 所示,凸块材料在导电迹线 406 的顶面和侧面周围变形或压出并到达导电过孔 410 的开口 412 中。特别地,压力的施加促使凸块材料 404 经历塑性变形并覆盖导电迹线 406 的顶面和侧面并到达导电过孔 410 的开口 412 中。凸块材料 404 因此被电连接到导电迹线 406 和导电侧壁 414 以便通过基底 408 进行 z 方向垂直互连。凸块材料 404 的塑性流动产生凸块材料与导电迹线 406 的顶面和侧面及导电过孔 410 的开口 412 之间的机械互锁。凸块材料与导电迹线 406 的顶面和侧面及导电过孔 410 的开口 412 之间的机械互锁提供与各表面之间的较大接触面积的稳健连接,而不显著地增加结合力。凸块材料与导电迹线 406 的顶面和侧面及导电过孔 410 的开口 412 之间的机械互锁还减少诸如密封的后续制造过程期间的横向管芯移位。由于导电过孔 410 在具有凸块材料 404 的互连点内形成,所以总基底互连面积减小。

[0133] 在图 13a—13g、14a—14d、15a—15d、16a—16c 和 17a—17b 的 BOL 实施例中,通过使导电迹线比互连结构窄,可以减小导电迹线节距以增加布线密度和 I/O 计数。较窄的导电迹线减小使导电迹线周围的互连结构变形所需的力 F 。例如,必需的力 F 可以是针对比凸块宽的导电迹线或焊盘使凸块变形所需的力的 30—50%。较低的压缩力 F 对细节距互连和小管芯将共面性保持在指定公差内并实现均匀的 z 方向变形和高可靠性互连联合有用。

另外,使导电迹线周围的互连结构变形机械地将凸块锁定到迹线以防止回流期间的管芯移位或管芯浮置。

[0134] 图 18a—18c 示出在半导体管芯与基底之间的凸块周围沉积密封剂的模底部填充(MUF)过程。图 18a 示出使用来自图 13b 的凸块材料 334 安装到基底 354 并被放置在模套模具(chase mold)420 的上模支撑体 416 和下模支撑体 418 之间。可以将来自图 13a—13g、14a—14d、15a—15d、16a—16c 和 17a—17b 的其它半导体管芯和基底组合放置在模套模具 420 的上模支撑体 416 和下模支撑体 418 之间。上模支撑体 416 包括可压缩释放膜 422。

[0135] 在图 18b 中,上模支撑体 416 和下模支撑体 418 被放在一起以使用在基底之上和半导体管芯与基底之间的开放空间来封闭半导体管芯 324 和基底 354。可压缩释放膜 422 与半导体管芯 324 的背面 328 和侧面一致以阻止密封剂在这些表面上的形成。用喷嘴 426 将处于液体状态的密封剂 424 注入到模套模具 420 的一侧中,同时可选真空帮助 428 从相对侧吸取压力以用密封剂均匀地填充基底 354 之上的开放空间和半导体管芯 324 与基底 354 之间的开放空间。密封剂 424 可以是聚合物复合材料,诸如具有填料的环氧树脂、具有填料的环氧丙烯酸酯或具有适当填料的聚合物。密封剂 424 是不导电的且在环境上保护半导体器件免受外部元件和污染物的影响。可压缩材料 422 防止密封剂 424 在背面 328 上和半导体管芯 324 的侧面周围流动。密封剂 424 被固化。半导体管芯 324 的背面 328 和侧面仍从密封剂 424 暴露。

[0136] 图 18c 示出 MUF 和模过量填充(MOF)、即没有可压缩材料 422 的实施例。半导体管芯 324 和基底 354 被放置在模套模具 420 的上模支撑体 416 与下模支撑体 418 之间。上模支撑体 416 和下模支撑体 418 被放在一起以使用在基底之上、半导体管芯周围和半导体管芯与基底之间的开放空间来封闭半导体管芯 324 和基底 354。用喷嘴 426 将处于液体状态的密封剂 424 注入到模套模具 420 的一侧中,同时可选真空帮助 428 从相对侧吸取压力以用密封剂均匀地填充半导体管芯 324 周围和基底 354 之上的开放空间和半导体管芯 324 与基底 354 之间的开放空间。密封剂 424 被固化。

[0137] 图 19 示出在半导体管芯 324 周围和半导体管芯 324 与基底 354 之间的间隙中沉积密封剂的另一实施例。半导体管芯 324 和基底 354 被屏障 430 封闭。密封剂 432 在液态下被从喷嘴 434 分配到屏障 430 中以填充基底 354 之上的开放空间和半导体管芯 324 与基底 354 之间的开放空间。控制从喷嘴 434 分配的密封剂 432 的体积以在不覆盖半导体管芯 324 的背面 328 或侧面的情况下填充屏障 430。密封剂 432 被固化。

[0138] 图 20 示出来自图 18a、18c 和 19 的 MUF 过程之后的半导体管芯 324 和基底 354。密封剂 424 被均匀地分布在基底 354 上和半导体管芯 324 与基底 354 之间的凸块材料 334 周围。

[0139] 图 21a—21g 示出基底或 PCB 440 上的各种导电迹线布局的顶视图。在图 21a 中,导电迹线 442 是具有在基底 440 上形成的集成凸块焊盘或互连点 444 的直导体。基底凸块焊盘 444 的侧边与导电迹线 442 共线。在现有技术中,通常在互连点上形成焊料套准开口(SRO)以在回流期间包含凸块材料。SRO 增加互连节距并减少 I/O 计数。相反,可以在基底 440 的一部分上形成掩蔽层 446;然而,不在导电迹线 442 的基底凸块焊盘 444 周围形成掩蔽层。也就是说,被设计为与凸块材料配合的导电迹线 442 的一部分缺少将被用于回流期间的凸块包含的掩蔽层 446 的任何 SRO。

[0140] 半导体管芯 324 被放置在基底 440 上且凸块材料与基底凸块焊盘 444 对准。通过使凸块材料与凸块焊盘进行物理接触并随后在回流温度下对凸块材料进行回流来将凸块材料以电气方式和冶金方式连接到基底凸块焊盘 444。

[0141] 在另一实施例中,使用蒸发、电解镀覆、化学镀覆、球滴或丝网印刷工艺在基底凸块焊盘 444 上沉积导电凸块材料。凸块材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料及其组合,具有可选助焊剂溶液。例如,凸块材料可以是共熔 Sn/Pb、高铅焊料或无铅焊料。使用适当的附着或结合工艺将凸块材料结合到基底凸块焊盘 444。在一个实施例中,如图 21b 所示,通过将材料加热至其熔点以上对凸块材料进行回流以形成凸块或互连 448。在某些应用中,第二次对凸块 448 进行回流以改善与基底凸块焊盘 444 的电接触。窄基底凸块焊盘 444 周围的凸块材料保持回流期间的管芯放置。

[0142] 在高布线密度应用中,期望的是使导电迹线 442 的逸出节距最小化。通过出于回流包含的目的去除掩蔽层、即通过在没有掩蔽层的情况下对凸块材料进行回流来减小导电迹线 442 之间的逸出节距。由于未在管芯凸块焊盘 332 或基底凸块焊盘 444 周围形成 SRO,所以可以以更精细的节距形成导电迹线 442,即将导电迹线 442 更近地设置在一起或接近于附近结构。在基底凸块焊盘 444 周围没有 SRO 的情况下,导电迹线 442 之间的节距被给定为 $P = D + PLT + W/2$,其中, D 是凸块 448 的底部直径, PLT 是管芯放置公差,并且 W 是导电迹线 442 的宽度。在一个实施例中,给定 100 μm 的凸块底部直径、10 μm 的 PLT 和 30 μm 的迹线线宽,导电迹线 442 的最小逸出节距是 125 μm 。如在现有技术中发现的,无掩膜凸块形成消除了考虑相邻开口之间的掩蔽材料的带状间隔 (ligament spacing)、焊料掩膜套准公差 (SRT) 和最小可分辨 SRO 的需要。

[0143] 当在没有掩蔽层的情况下对凸块材料进行回流以便以冶金和电气方式将管芯凸块焊盘 332 连接到基底凸块焊盘 444 时,润湿和表面张力促使凸块材料保持自限制,并被保持在管芯凸块焊盘 332 和基底凸块焊盘 444 与直接邻近于基本上在凸块焊盘覆盖区内的导电迹线 442 的那部分基底 440 之间的空间内。

[0144] 为了实现期望的自限制性质,可以在放置到管芯凸块焊盘 332 或基底凸块焊盘 444 上之前将凸块材料浸入助焊剂溶液中以选择性地使得被凸块材料接触的区域比导电迹线 442 的周围区域更加可润湿。熔融凸块材料由于助焊剂溶液的可润湿性质而仍基本上被限制在由凸块焊盘限定的区域内。凸块材料未流出到可润湿性较低的区域。可以在凸块材料并不意图使该区域具有较低可润湿性的区域上形成薄氧化层或其它绝缘层。因此,在管芯凸块焊盘 332 或基底凸块焊盘 444 周围不需要掩蔽层 440。

[0145] 图 21c 示出作为直导体的平行导电迹线 452 的另一实施例,其具有在基底 450 上形成的集成矩形凸块焊盘或互连点 454。在这种情况下,基底凸块焊盘 454 比导电迹线 452 宽,但是小于配合凸块的宽度。基底凸块焊盘 454 的侧边可以平行于导电迹线 452。可以在基底 450 的一部分上形成掩蔽层 456;然而,未在导电迹线 452 的基底凸块焊盘 454 周围形成掩蔽层。也就是说,被设计为与凸块材料配合的导电迹线 452 的一部分缺少将被用于回流期间的凸块包含 (containment) 的掩蔽层 456 的任何 SRO。

[0146] 图 21d 示出具有被布置成多排阵列的导电迹线 460 和 462 的另一实施例,其具有在基底 466 上形成以用于最大互连逸出布线密度和容量的偏移集成凸块焊盘或互连点 464。交替的导电迹线 460 和 462 包括用于布线至凸块焊盘 464 的转弯处。每个基底凸块

焊盘 464 的侧边与导电迹线 460 和 462 共线。可以在基底 466 的一部分上形成掩蔽层 468；然而，未在导电迹线 460 和 462 的基底凸块焊盘 464 周围形成掩蔽层 468。也就是说，被设计为与凸块材料配合的导电迹线 460 和 462 的一部分缺少将被用于回流期间的凸块包含的掩蔽层 468 的任何 SRO。

[0147] 图 21e 示出具有被布置成多排阵列的导电迹线 470 和 472 的另一实施例，其具有在基底 476 上形成以用于最大互连密度和容量的偏移集成凸块焊盘或互连点 474。交替的导电迹线 470 和 472 包括用于布线至凸块焊盘 474 的转弯处。在这种情况下，基底凸块焊盘 474 是圆形的，并且比导电迹线 470 和 472 宽，但是小于配合互连凸块材料的宽度。可以在基底 476 的一部分上形成掩蔽层 478；然而，未在导电迹线 470 和 472 的基底凸块焊盘 474 周围形成掩蔽层 478。也就是说，被设计为与凸块材料配合的导电迹线 470 和 472 的一部分缺少将被用于回流期间的凸块包含的掩蔽层 478 的任何 SRO。

[0148] 图 21f 示出具有被布置成多排阵列的导电迹线 480 和 482 的另一实施例，其具有在基底 486 上形成以用于最大互连密度和容量的偏移集成凸块焊盘或互连点 484。交替的导电迹线 480 和 482 包括用于布线至凸块焊盘 484 的转弯处。在这种情况下，基底凸块焊盘 484 是矩形的，并且比导电迹线 480 和 482 宽，但是小于配合互连凸块材料的宽度。可以在基底 486 的一部分上形成掩蔽层 488；然而，未在导电迹线 480 和 482 的基底凸块焊盘 484 周围形成掩蔽层 488。也就是说，被设计为与凸块材料配合的导电迹线 480 和 482 的一部分缺少将被用于回流期间的凸块包含的掩蔽层 488 的任何 SRO。

[0149] 作为互连过程的一个示例，半导体管芯 324 被放置在基底 466 上且凸块材料 334 与来自图 21d 的基底凸块焊盘 464 对准。如针对图 13a—13g、14a—14d、15a—15d、16a—16c 和 17a—17b 所述，通过压紧凸块材料或通过使凸块材料与凸块焊盘进行物理接触并随后在回流温度下对凸块材料进行回流以电气和冶金方式将凸块材料 334 连接到基底凸块焊盘 464。

[0150] 在另一实施例中，使用蒸发、电解镀覆、化学镀覆、球滴或丝网印刷工艺在基底凸块焊盘 464 上沉积导电凸块材料。凸块材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料及其组合，具有可选助焊剂溶液。例如，凸块材料可以是共熔 Sn/Pb、高铅焊料或无铅焊料。使用适当的附着或结合工艺将凸块材料结合到基底凸块焊盘 464。在一个实施例中，如图 21g 所示，通过将材料加热至其熔点以上对凸块材料进行回流以形成凸块或互连 490。在某些应用中，第二次对凸块 490 进行回流以改善与基底凸块焊盘 464 的电接触。窄基底凸块焊盘 464 周围的凸块材料保持回流期间的管芯放置。还可以在图 21a—21g 的基底凸块焊盘配置上形成凸块材料 334 或凸块 490。

[0151] 在高布线密度应用中，期望的是使图 21a—21g 的导电迹线 460 和 462 或其它导电迹线配置的逸出节距最小化。通过出于回流包含的目的去除掩蔽层、即通过在没有掩蔽层的情况下对凸块材料进行回流来减小导电迹线 460 和 462 之间的逸出节距。由于未在管芯凸块焊盘 332 或基底凸块焊盘 464 周围形成 SRO，所以可以更精细的节距形成导电迹线 460 和 462，即将导电迹线 460 和 462 更近地设置在一起或接近于附近结构。在基底凸块焊盘 464 周围没有 SRO 的情况下，导电迹线 460 和 462 之间的节距被给定为 $P = D/2 + PLT + W/2$ ，其中，D 是凸块 490 的底部直径，PLT 是管芯放置公差，并且 W 是导电迹线 460 和 462 的宽度。在一个实施例中，给定 100 μm 的凸块底部直径、10 μm 的 PLT 和 30 μm 的迹线线宽，导

电迹线 460 和 462 的最小逸出节距是 125 μ m。如在现有技术中发现的,无掩膜凸块形成消除了考虑相邻开口之间的掩蔽材料的带状间隔、SRT 和最小可分辨 SRO 的需要。

[0152] 当在没有掩蔽层的情况下对凸块材料进行回流以便以冶金和电气方式将管芯凸块焊盘 332 连接到基底凸块焊盘 464 时,润湿和表面张力促使凸块材料保持自限制,并被保持在管芯凸块焊盘 332 和基底凸块焊盘 464 与直接邻近于基本上在凸块焊盘覆盖区内的导电迹线 460 和 462 的那部分基底 466 之间的空间内。

[0153] 为了实现期望的自限制性质,可以在放置到管芯凸块焊盘 332 或基底凸块焊盘 464 上之前将凸块材料浸入助焊剂溶液中以选择性地使得被凸块材料接触的区域比导电迹线 460 和 462 的周围区域更加可润湿。熔融凸块材料由于助焊剂溶液的可润湿性性质而仍基本上被限制在由凸块焊盘限定的区域内。凸块材料未流出到可润湿性较低的区域。可以在凸块材料并不意图使该区域具有较低可润湿性的区域上形成薄氧化层或其它绝缘层。因此,在管芯凸块焊盘 332 或基底凸块焊盘 464 周围不需要掩蔽层 468。

[0154] 在图 22a 中,在导电迹线 494 和 496 的一部分上沉积掩蔽层 492。然而,未在集成凸块焊盘 498 上形成掩蔽层 492。因此,在基底 500 上不存在用于每个凸块焊盘 498 的 SRO。在以填隙方式在集成凸块焊盘 498 的阵列内的基底 500 上、即在相邻凸块焊盘之间形成不可润湿掩蔽贴片 502。还可以以填隙方式在管芯凸块焊盘 498 的阵列内的半导体管芯 324 上形成掩蔽贴片 502。更一般而言,以任何布置与集成凸块焊盘紧密接近地形成掩蔽贴片以防止流出至可润湿性较低的区域。

[0155] 半导体管芯 324 被放置在基底 500 上且凸块材料与基底凸块焊盘 498 对准。如针对图 13a—13g、14a—14d、15a—15d、16a—16c 和 17a—17b 所述,通过压紧凸块材料或通过使凸块材料与凸块焊盘进行物理接触并随后在回流温度下对凸块材料进行回流以电气和冶金方式将凸块材料连接到基底凸块焊盘 498。

[0156] 在另一实施例中,使用蒸发、电解镀覆、化学镀覆、球滴或丝网印刷工艺在管芯集成凸块焊盘 498 上沉积导电凸块材料。凸块材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料及其组合,具有可选助焊剂溶液。例如,凸块材料可以是共熔 Sn/Pb、高铅焊料或无铅焊料。使用适当的附着或结合工艺将凸块材料结合到集成凸块焊盘 498。在一个实施例中,通过将材料加热至其熔点以上形成球状球或凸块 504 来对凸块材料进行回流。在某些应用中,第二次对凸块 504 进行回流以改善与集成凸块焊盘 498 的电接触。还可以将凸块压缩结合到集成凸块焊盘 498。凸块 504 表示可以在集成凸块焊盘 498 上形成的一种互连结构。互连结构还可以使用支柱凸块、微型凸块或其它电互连。

[0157] 在高布线密度应用中,期望的是使逸出节距最小化。为了减小导电迹线 494 与 496 之间的节距,在集成凸块焊盘 498 周围没有掩蔽层的情况下对凸块材料进行回流。通过出于回流包含的目的去除掩蔽层和集成凸块焊盘周围的相关 SRO、即通过在没有掩蔽层的情况下对凸块材料进行回流来减小导电迹线 494 和 496 之间的逸出节距。可以远离集成凸块焊盘 498 在导电迹线 494 和 496 的一部分和基底 500 上形成掩蔽层 492;然而,不在集成凸块焊盘 498 周围形成掩蔽层 492。也就是说,被设计为与凸块材料配合的导电迹线 494 和 496 的一部分缺少将被用于回流期间的凸块包含的掩蔽层 492 的任何 SRO。

[0158] 另外,以填隙方式在集成凸块焊盘 498 的阵列内的基底 500 上形成掩蔽贴片 502。掩蔽贴片 502 是不可润湿材料。掩蔽贴片 502 可以是与掩蔽层 492 相同的材料,并且在同一

处理步骤期间施加,或者是在不同处理步骤期间的不同材料。可以在集成凸块焊盘 498 的阵列内通过迹线或焊盘的一部分的选择性氧化、镀覆或其它处理来形成掩蔽贴片 502。掩蔽贴片 502 限制到集成凸块焊盘 498 的凸块材料流动并防止导电凸块焊盘浸出到相邻结构。

[0159] 当用填隙方式设置在集成凸块焊盘 498 的阵列内的掩蔽贴片 502 对凸块材料进行回流时,润湿和表面张力促使凸块材料被限制并保持在管芯凸块焊盘 332 和集成凸块焊盘 498 与直接邻近于导电迹线 494 和 496 且基本上在集成凸块焊盘 498 的覆盖区内的那部分基底 500 之间的空间内。

[0160] 为了实现期望的限制性质,可以在放置到管芯凸块焊盘 332 或集成凸块焊盘 498 上之前将凸块材料浸入助焊剂溶液中以选择性地使得被凸块材料接触的区域比导电迹线 494 和 496 的周围区域更加可润湿。熔融凸块材料由于助焊剂溶液的可润湿性性质而仍基本上被限制在由凸块焊盘限定的区域内。凸块材料未流出到可润湿性较低的区域。可以在凸块材料并不意图使该区域具有较低可润湿性的区域上形成薄氧化层或其它绝缘层。因此,在管芯凸块焊盘 332 或集成凸块焊盘 498 周围不需要掩蔽层 492。

[0161] 由于未在管芯凸块焊盘 332 或集成凸块焊盘 498 周围形成 SRO,所以可以以更精细的节距形成导电迹线 494 和 496,即可以在不进行接触和形成电短路的情况下将导电迹线设置为更加接近于相邻结构。采取相同的焊料套准设计规则,将导电迹线 494 和 496 之间的节距给定为 $P = (1.1D + W)/2$,其中,D 是凸块 504 的底部直径且 W 是导电迹线 494 和 496 的宽度。在一个实施例中,给定 $100\mu\text{m}$ 的凸块直径和 $20\mu\text{m}$ 的迹线线宽,导电迹线 494 和 496 的最小逸出节距是 $65\mu\text{m}$ 。如在现有技术中发现的,凸块形成消除了考虑相邻开口之间的掩蔽材料的带状间隔和最小可分辨 SRO 的需要。

[0162] 图 23 示出使用管芯附着粘合剂 510 将半导体管芯 506 堆叠在半导体管芯 508 上的情况下的封装上封装(PoP)505。半导体管芯 506 和 508 每个具有有源表面,该有源表面包含被实现为有源器件、无源器件、导电层和电介质层的模拟或数字电路,其在管芯内形成并被根据管芯的电气设计和功能电互连。例如,该电路可以包括在有源表面内形成的一个或多个晶体管、二极管及其它电路元件以实现模拟电路或数字电路,诸如 DSP、ASIC、存储器或其它信号处理电路。半导体管芯 506 和 508 还可以包含 IPD,诸如电感器、电容器和电阻器,以进行 RF 信号处理。

[0163] 使用来自图 13a—13g、14a—14d、15a—15d、16a—16c 和 17a—17b 的任何实施例,使用在接触焊盘 518 上形成的凸块材料 516 将半导体管芯 506 安装到在基底 514 上形成的导电迹 512。接触焊盘 518 和导电迹线 512 可以对应于图 5—11 的管芯焊盘布局中的信号焊盘、功率焊盘或接地焊盘。使用结合引线 522 将半导体管芯 508 电连接到在基底 514 上形成的接触焊盘 520。结合引线 522 的相对末端被结合到半导体管芯 506 上的接触焊盘 524。

[0164] 掩蔽层 526 在基底 514 上形成并打开超过半导体管芯 506 的覆盖区。虽然掩蔽层 526 在回流期间不将凸块材料 516 限制于导电迹线 512,但开放式掩膜可以充当屏障以防止密封剂 528 在 MUF 期间迁移至接触焊盘 520 或结合引线 522。类似于图 18a—18c,在半导体管芯 508 与基底 514 之间沉积密封剂 528。掩蔽层 526 阻止 MUF 密封剂 528 到达接触焊盘 520 和结合引线 522,这可能引起缺陷。掩蔽层 526 允许将较大的半导体管芯放置在给定基底上,而没有密封剂 528 流到接触焊盘 520 上的风险。

[0165] 虽然已详细地举例说明了本发明的一个或多个实施例,但技术人员将认识到在不脱离以下权利要求所阐述的本发明的范围的情况下可以对那些实施例进行修改和改动。

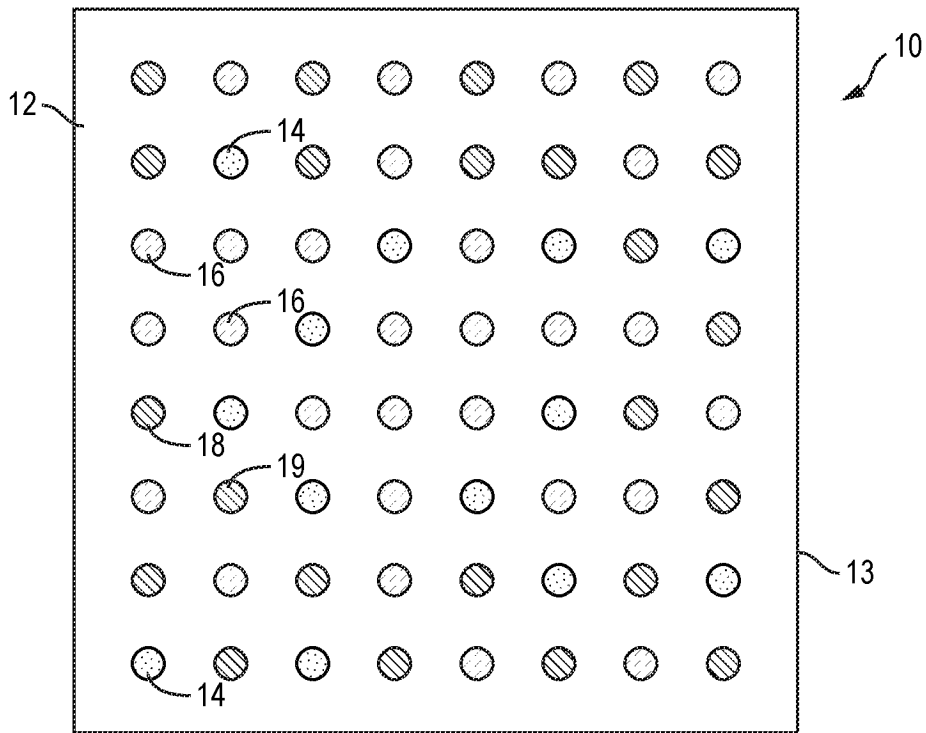


图 1 现有技术

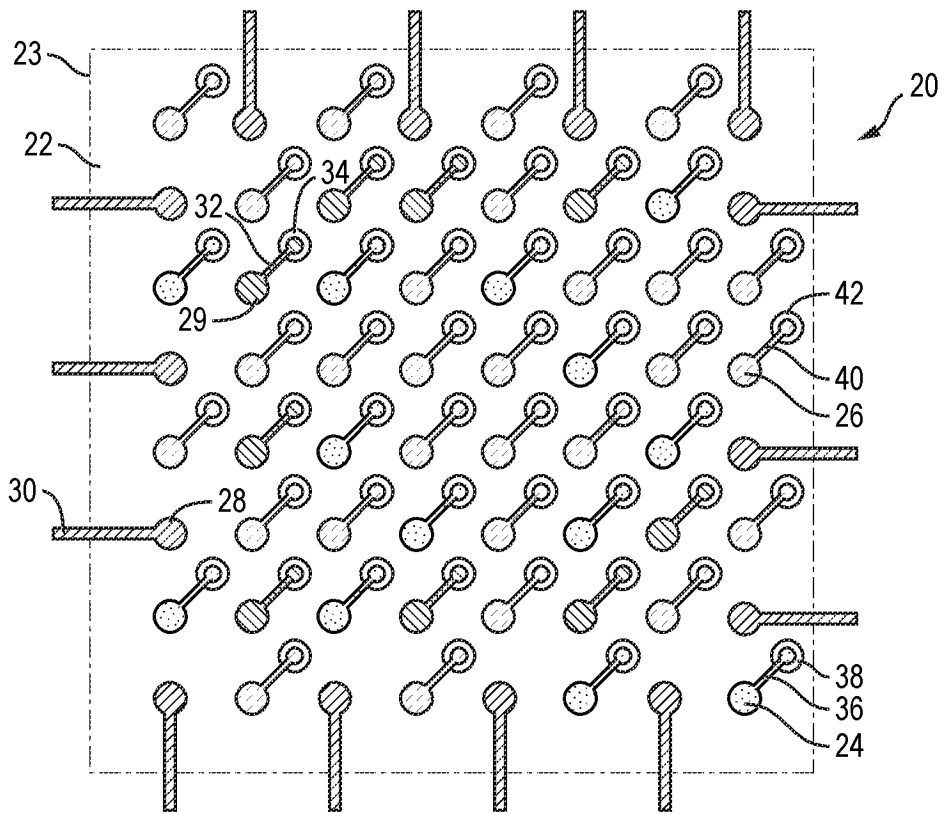


图 2 现有技术

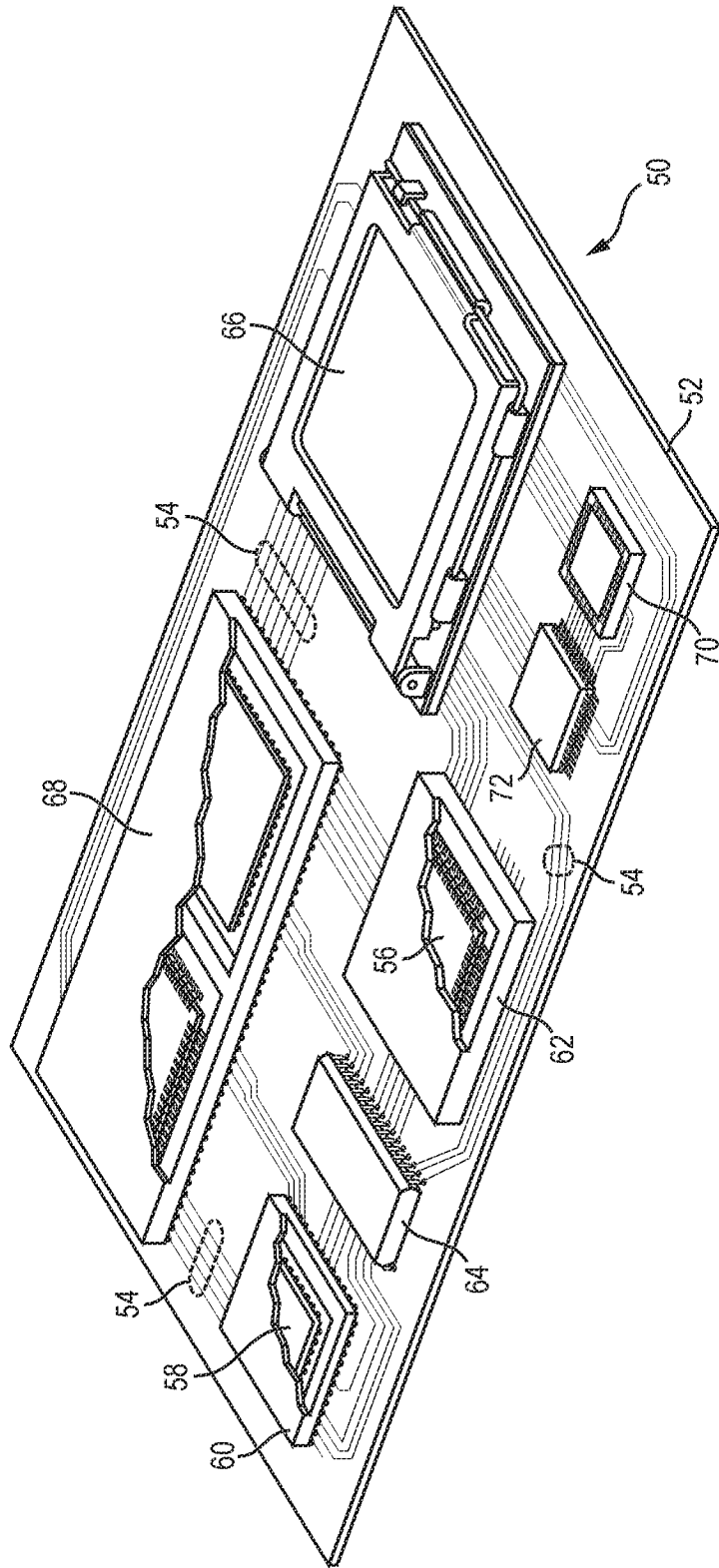


图 3

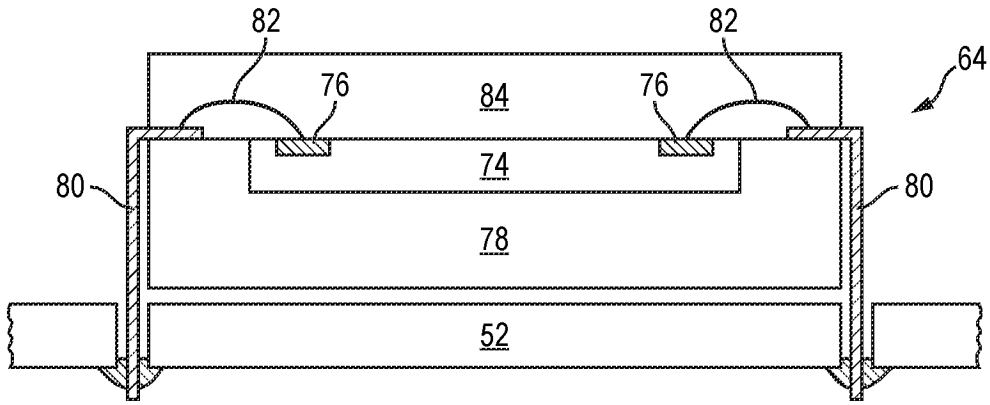


图 4a

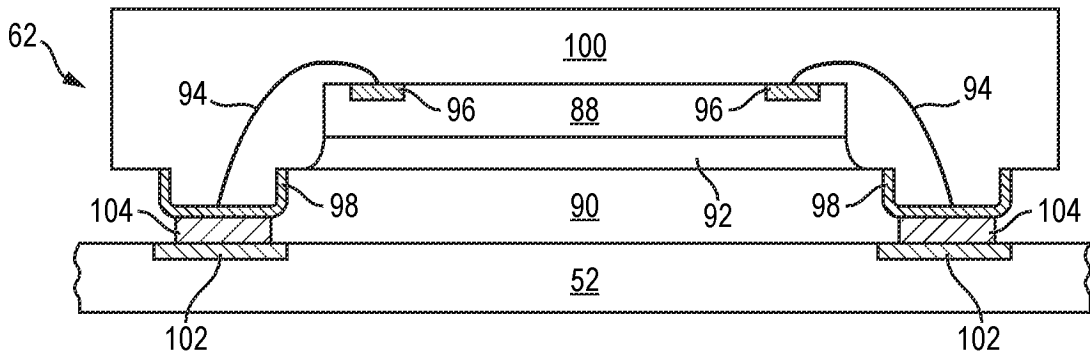


图 4b

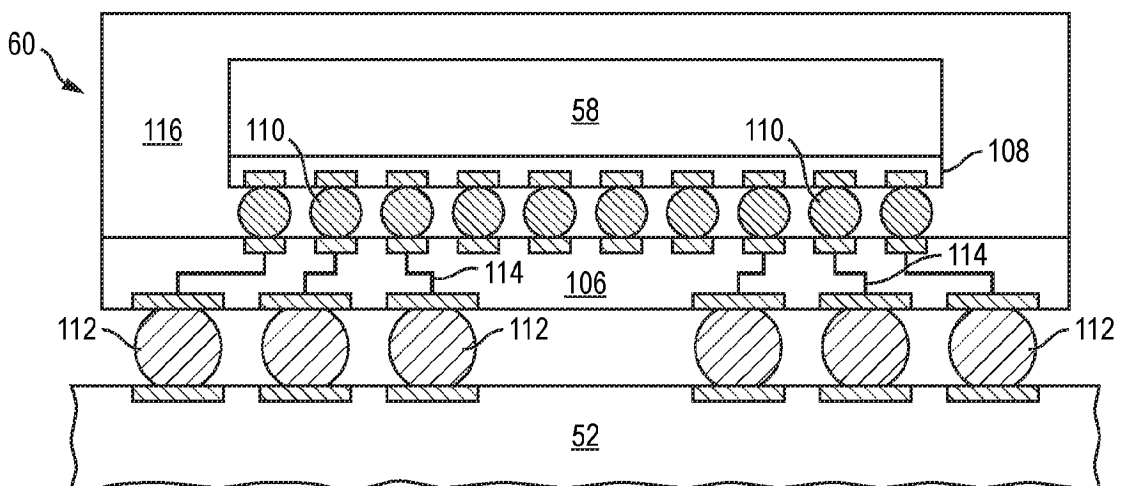


图 4c

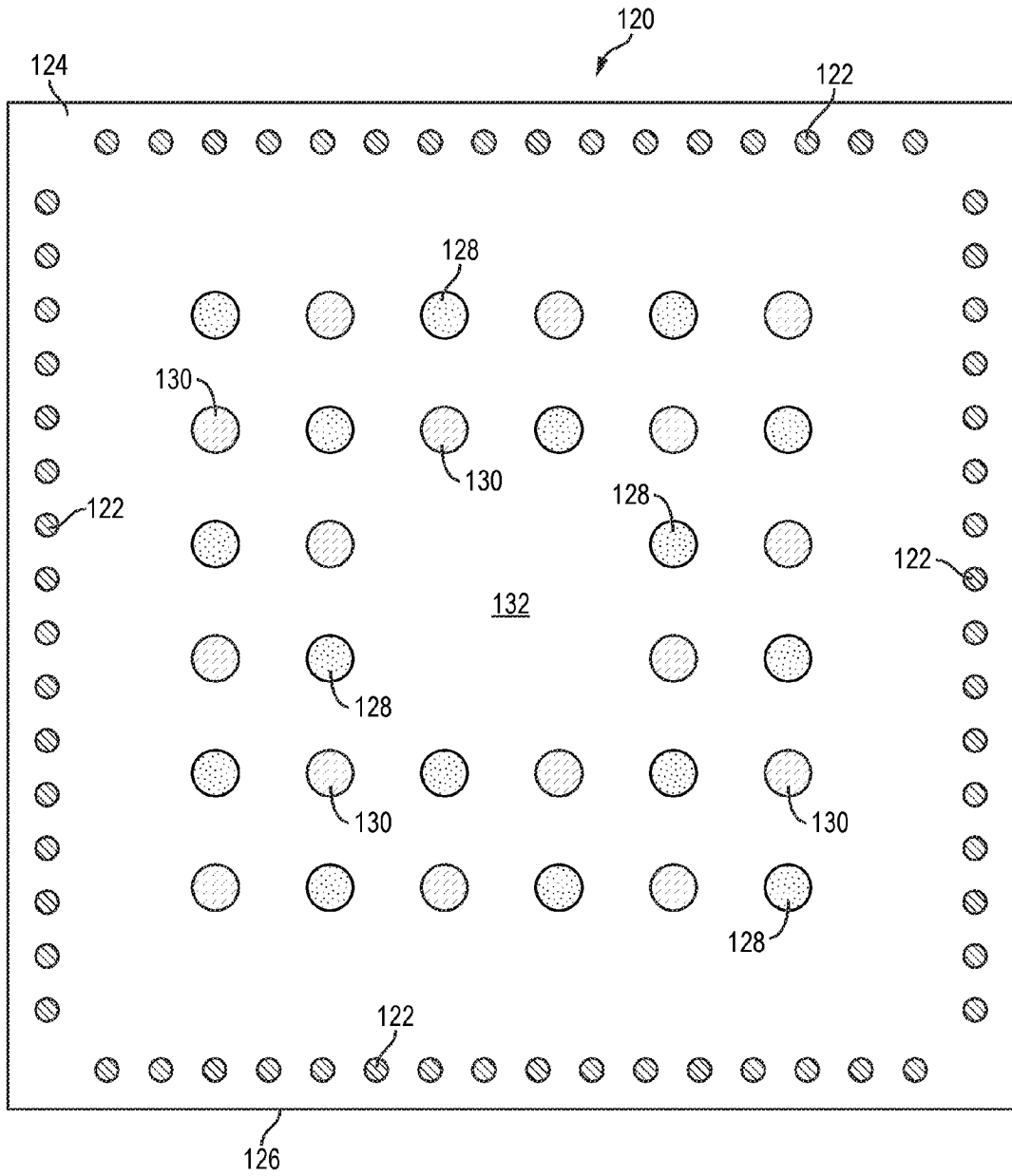


图 5

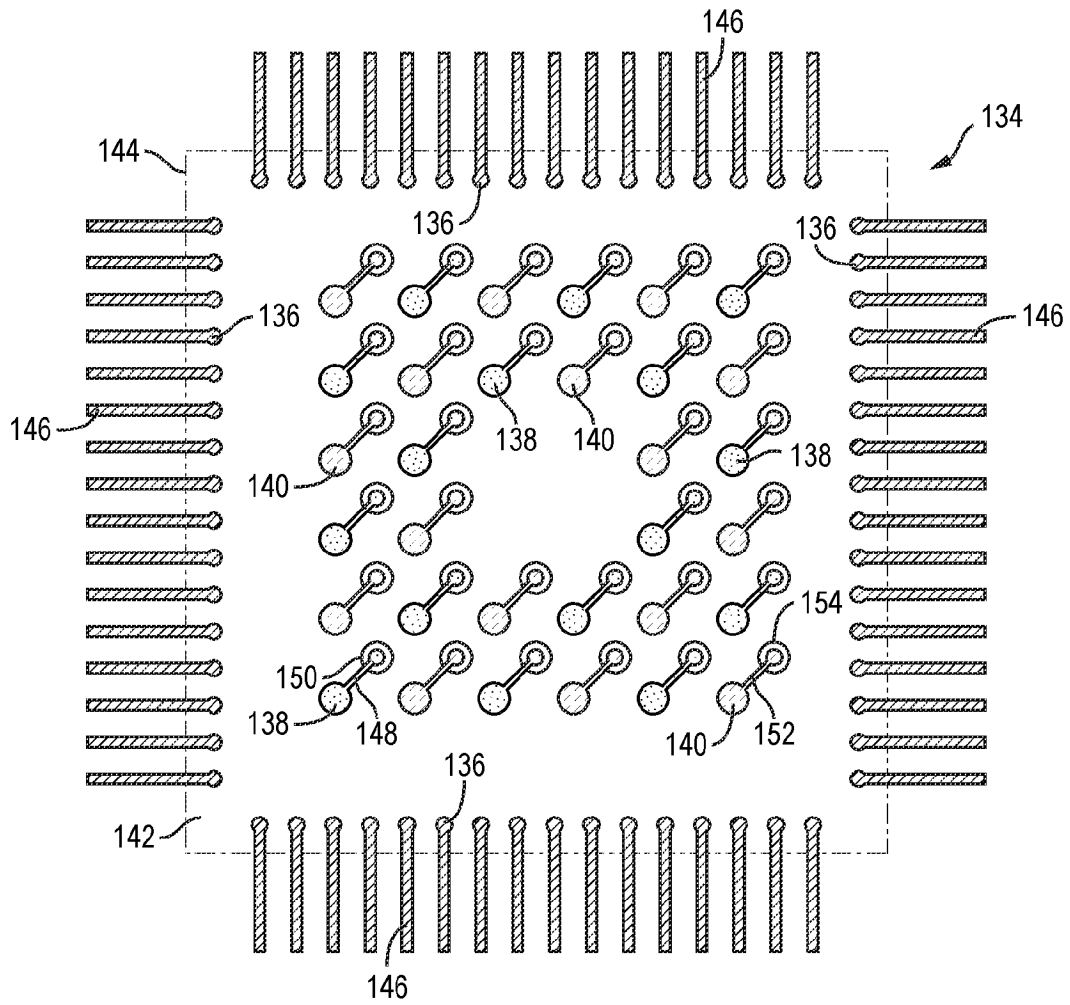


图 6

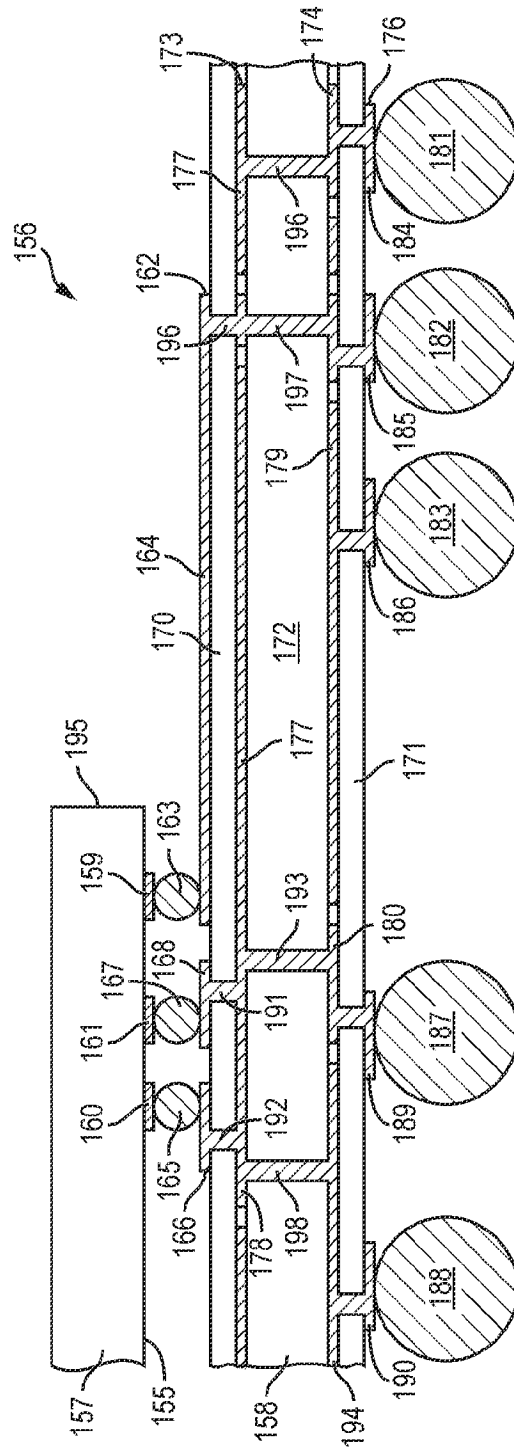


图 7

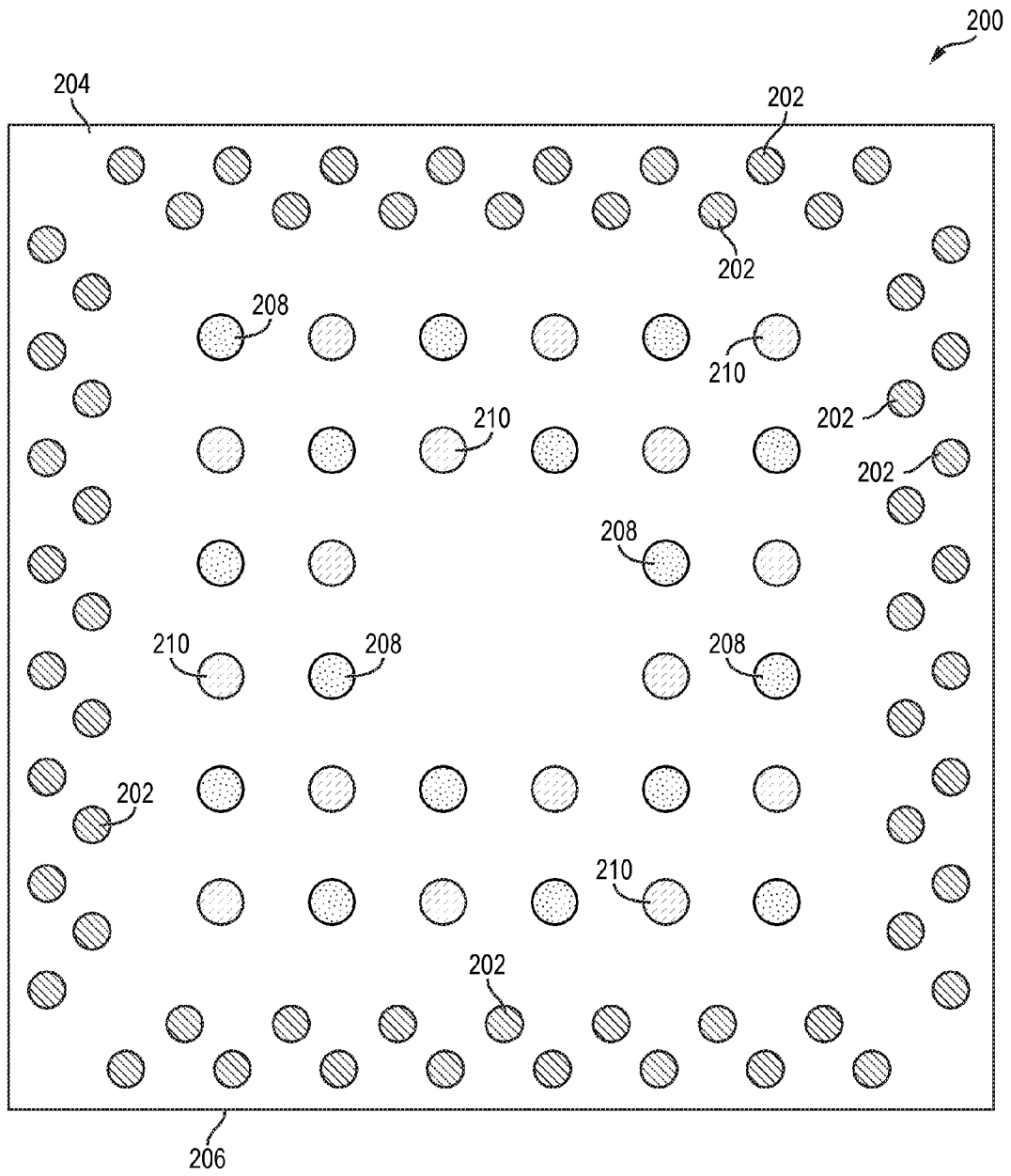


图 8a

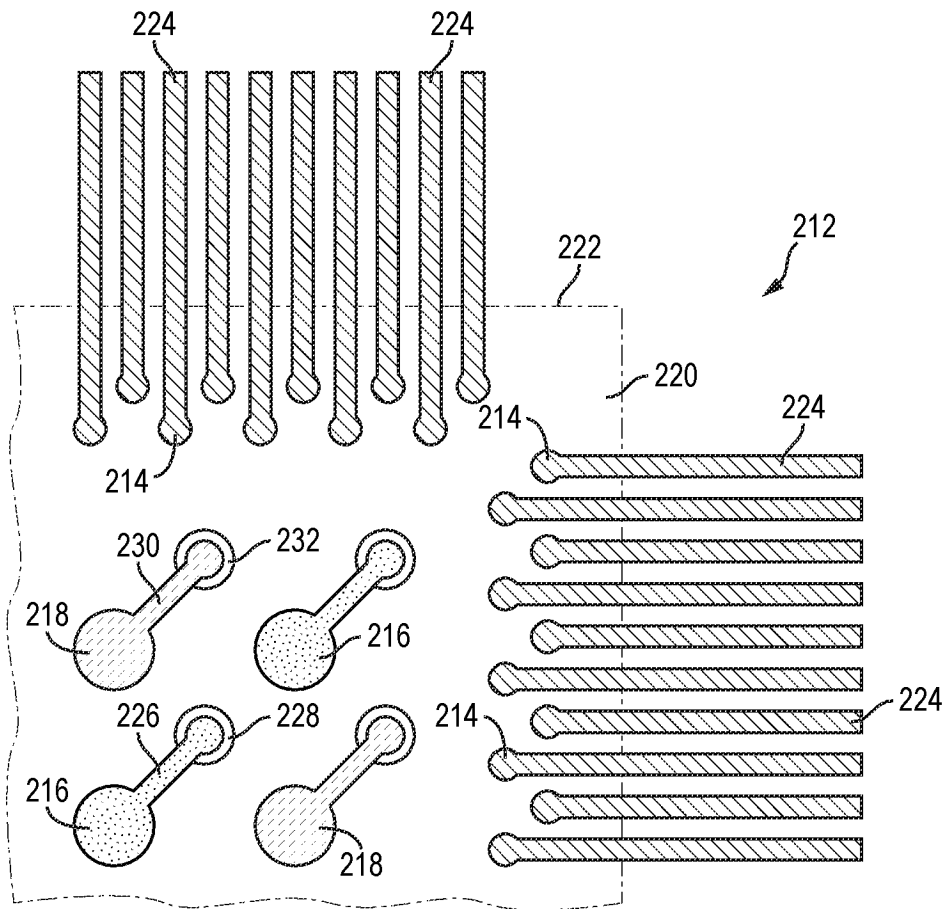


图 8b

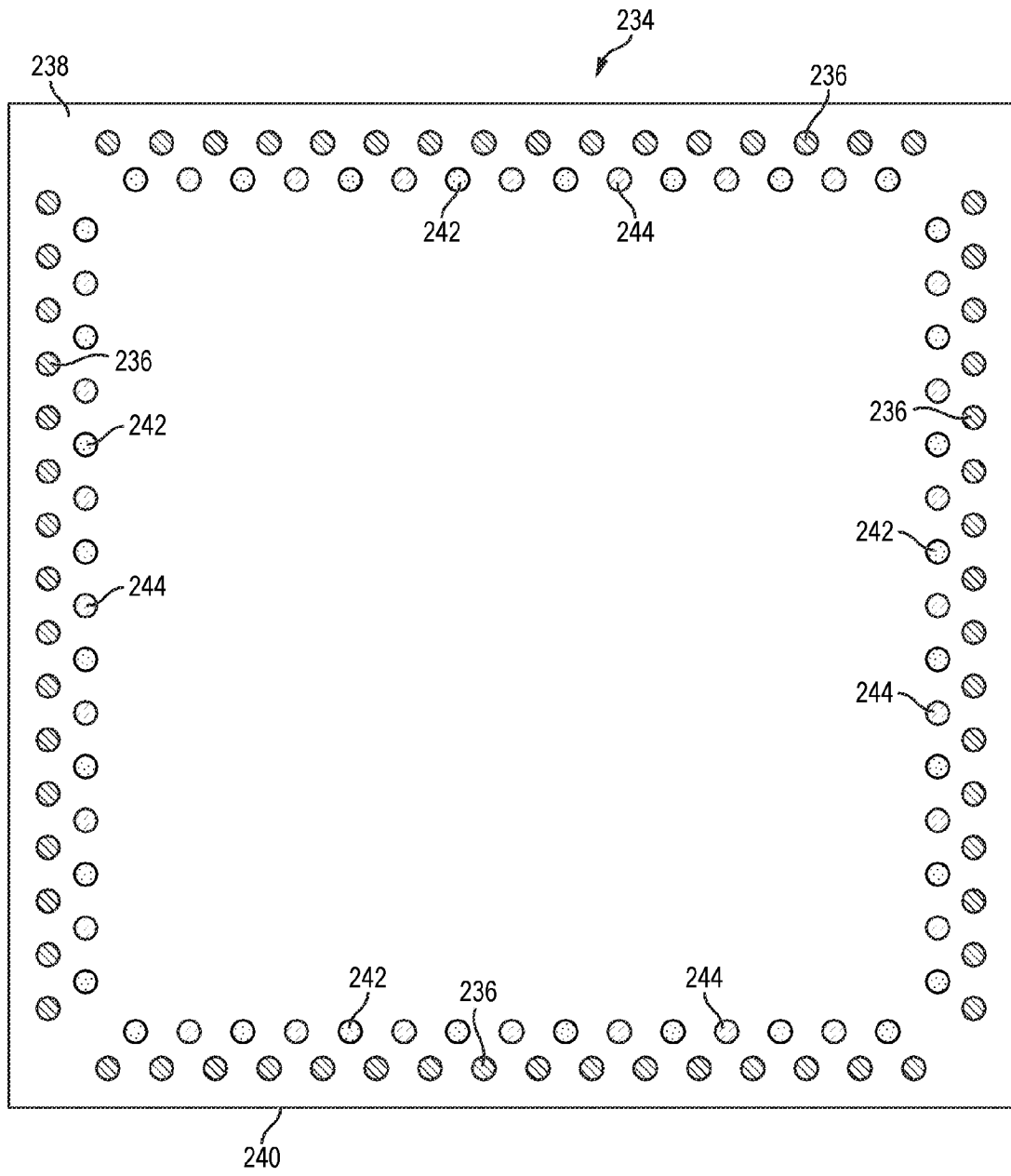


图 9a

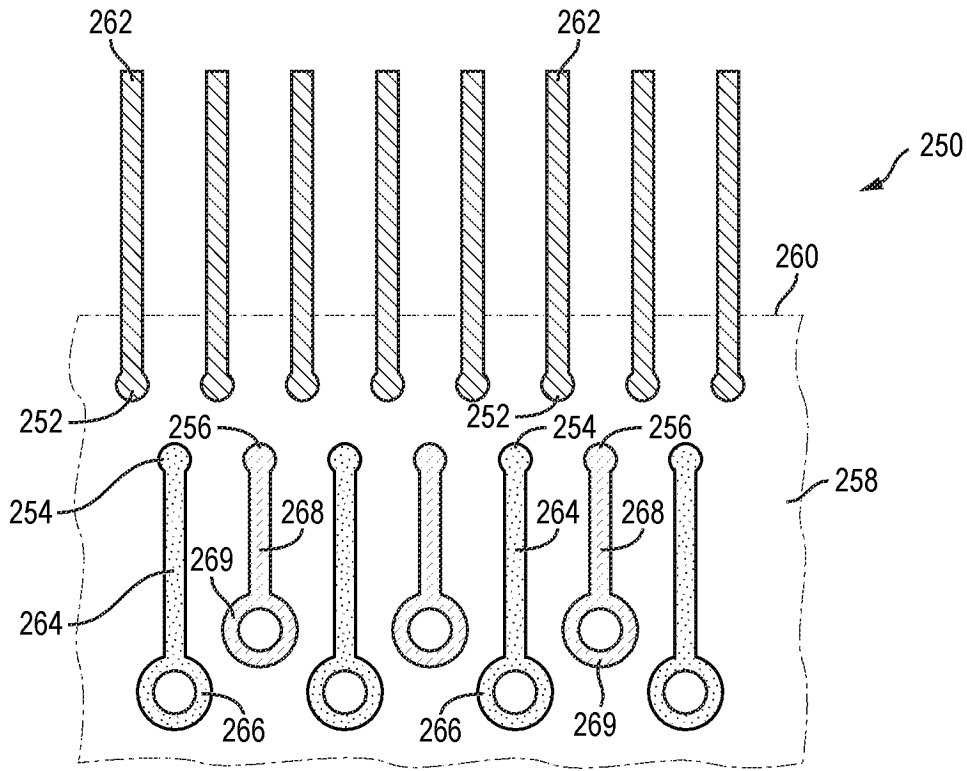


图 9b

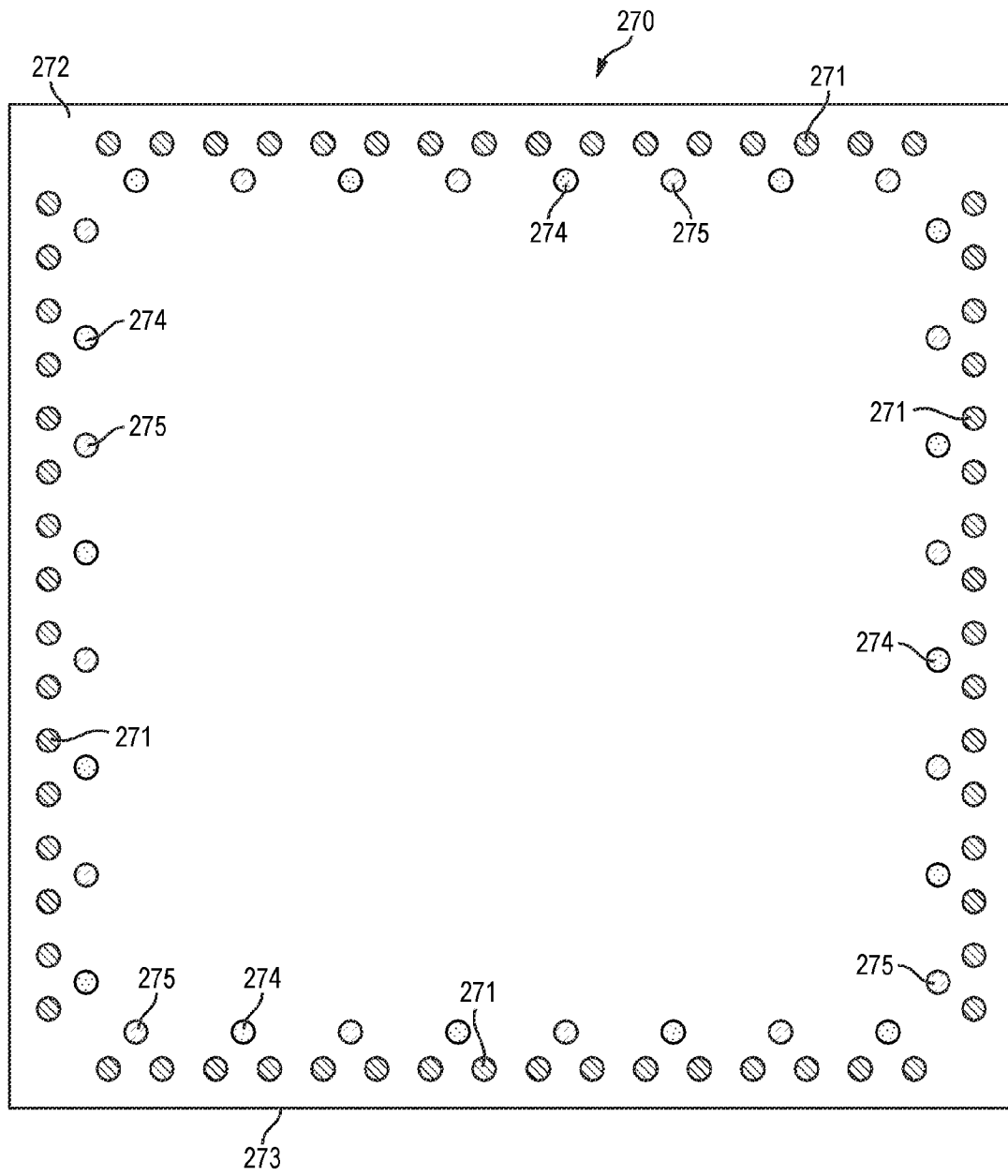


图 10a

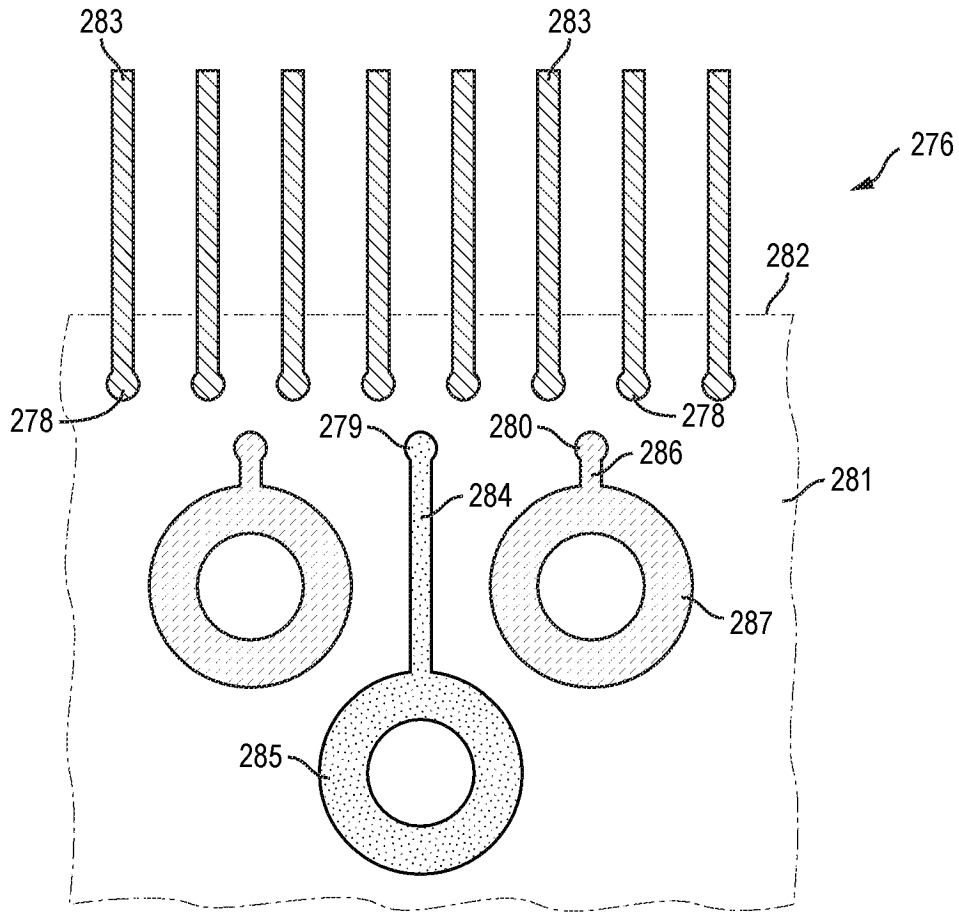


图 10b

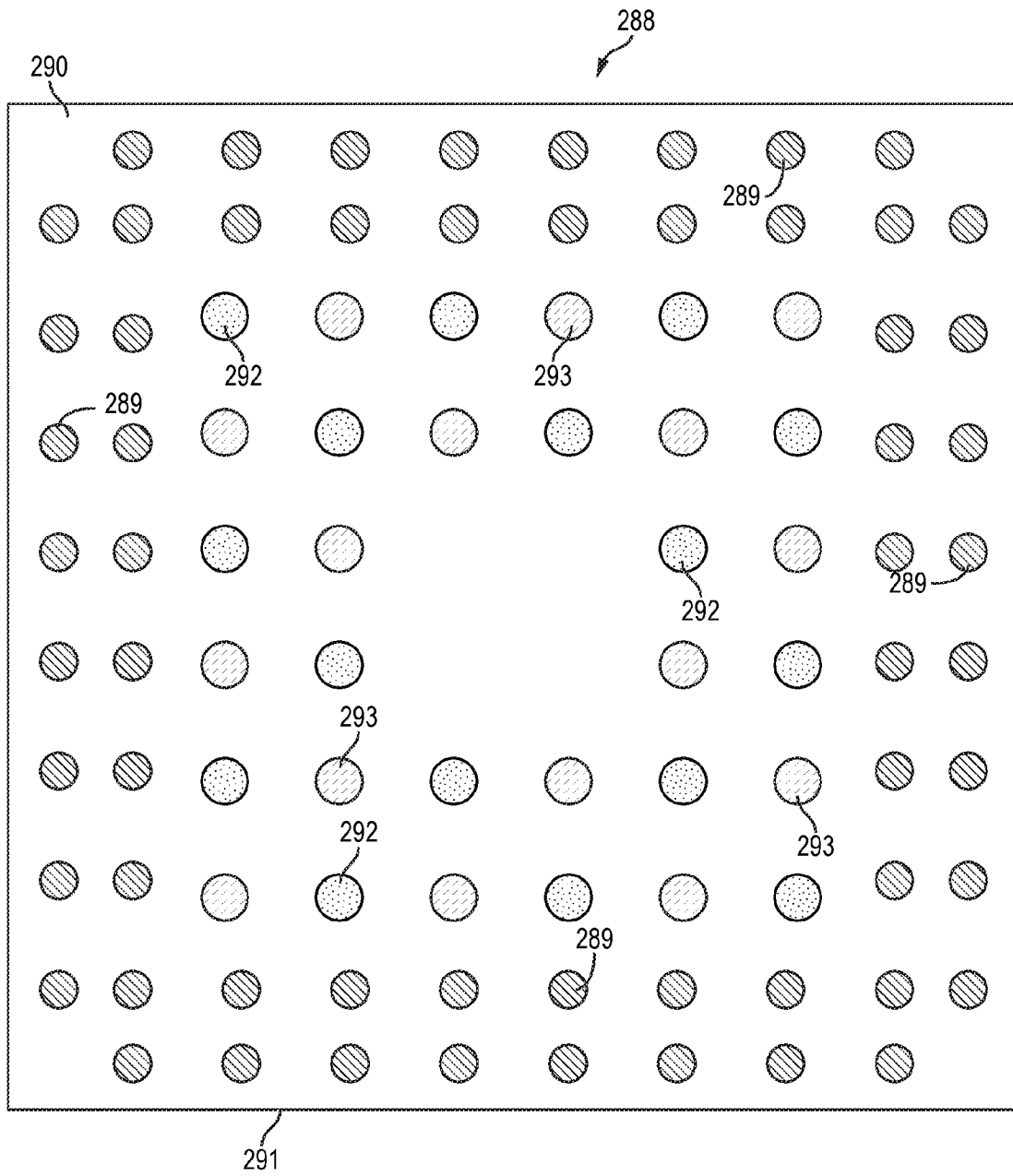


图 11a

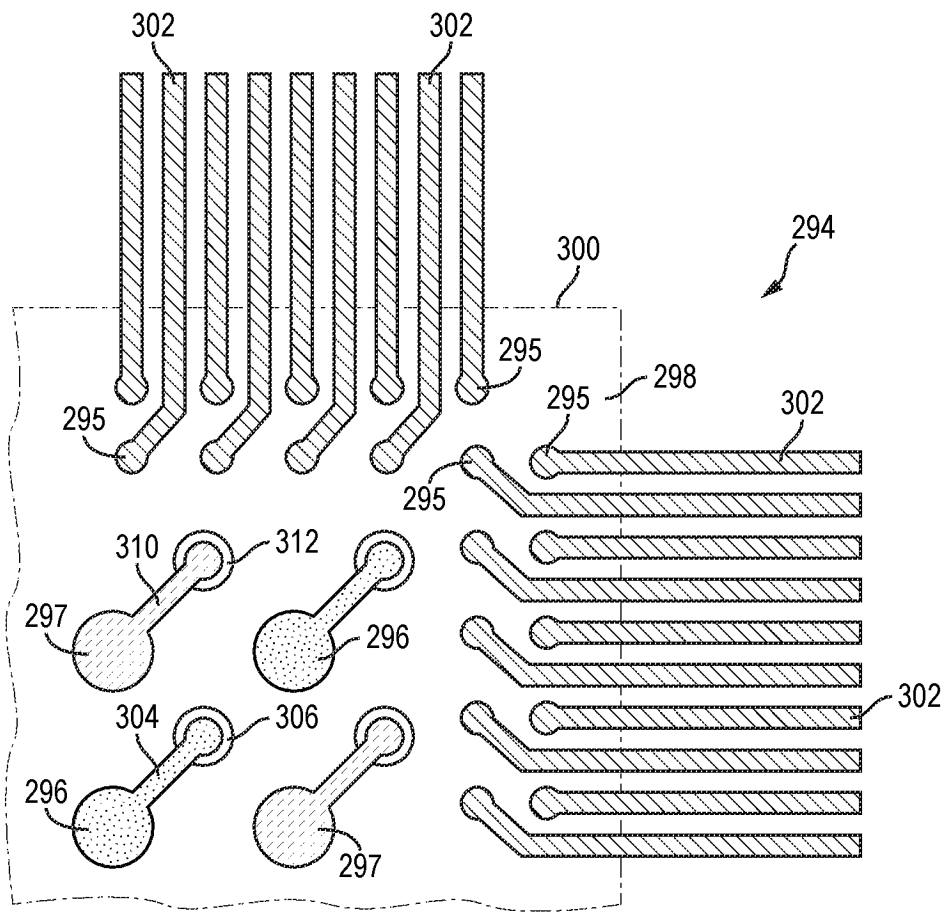


图 11b

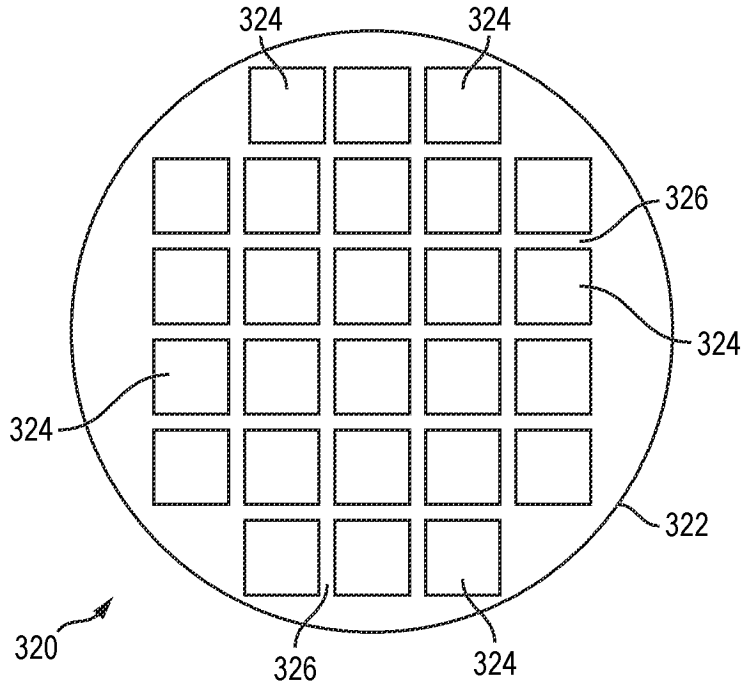


图 12a

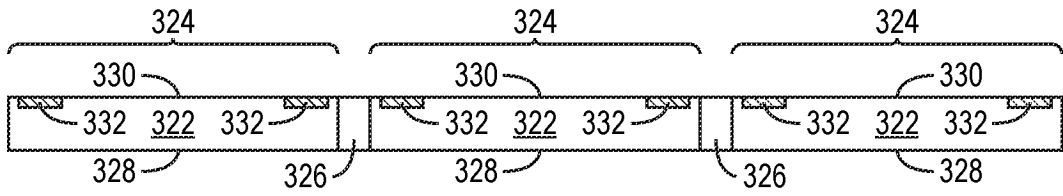


图 12b

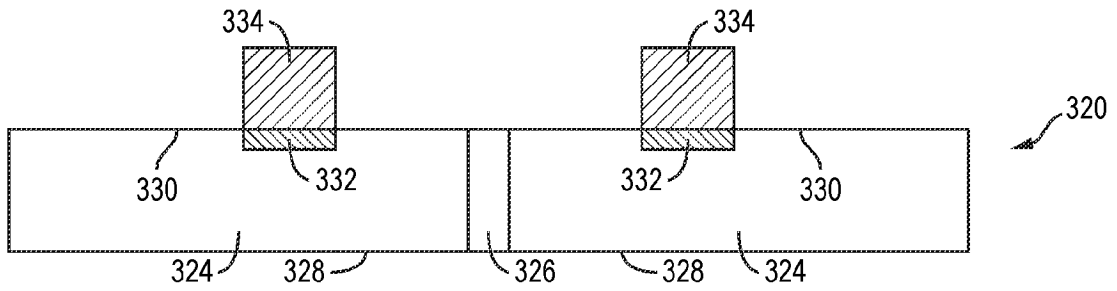


图 12c

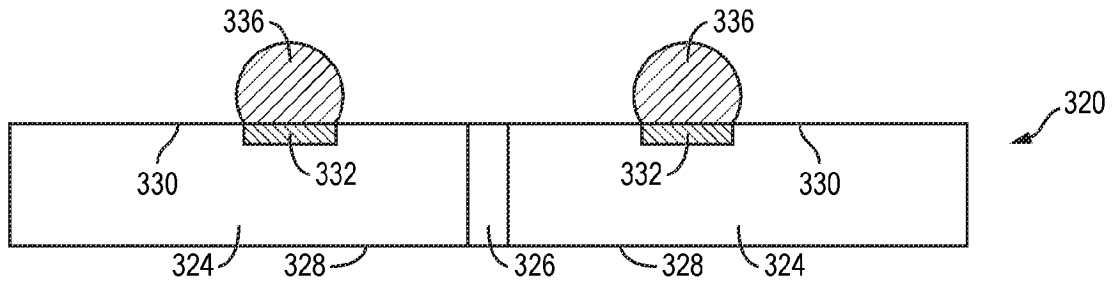


图 12d

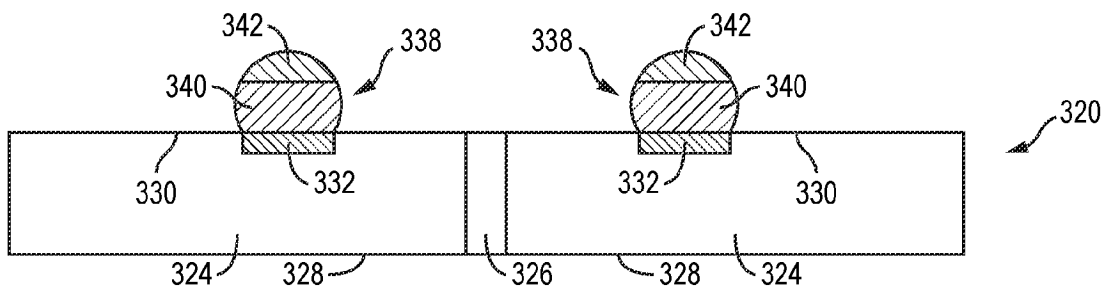


图 12e

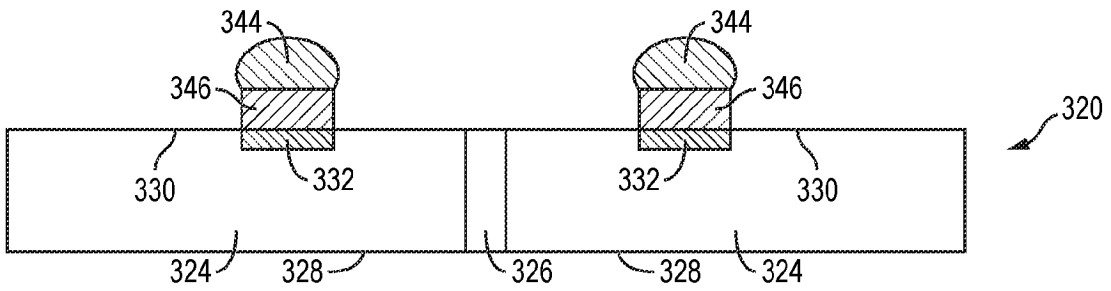


图 12f

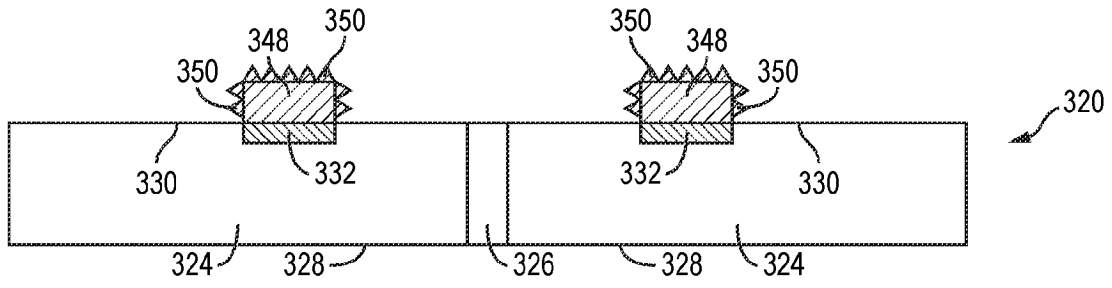


图 12g

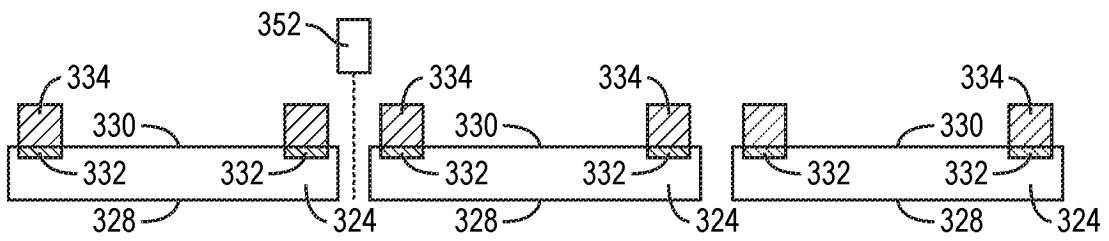


图 12h

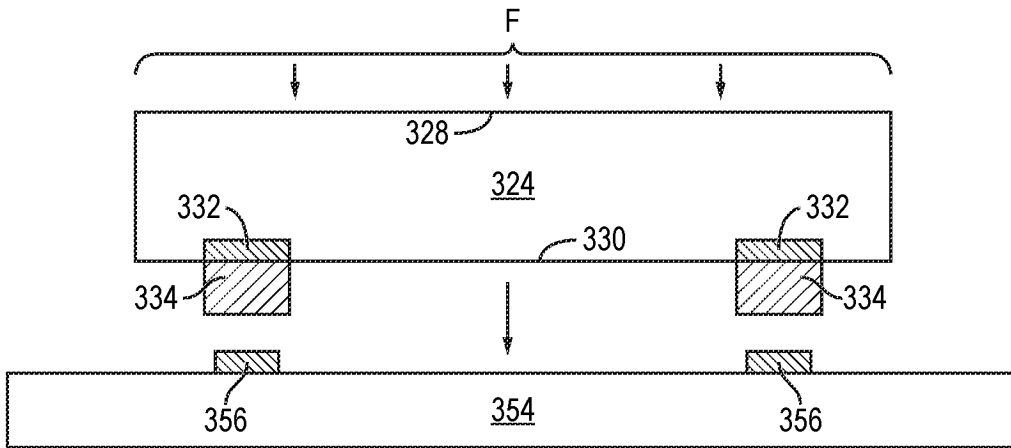


图 13a

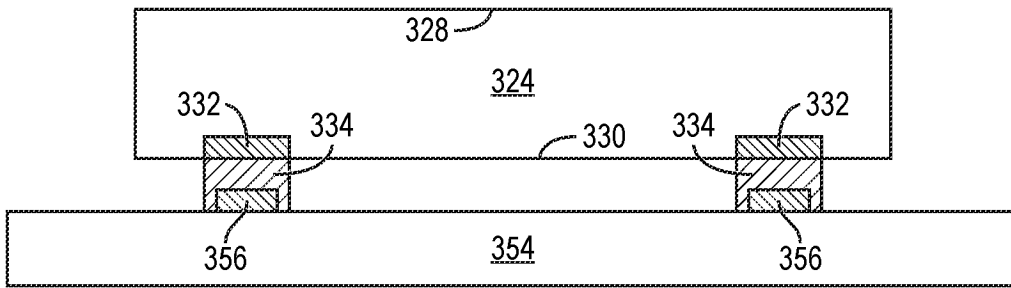


图 13b

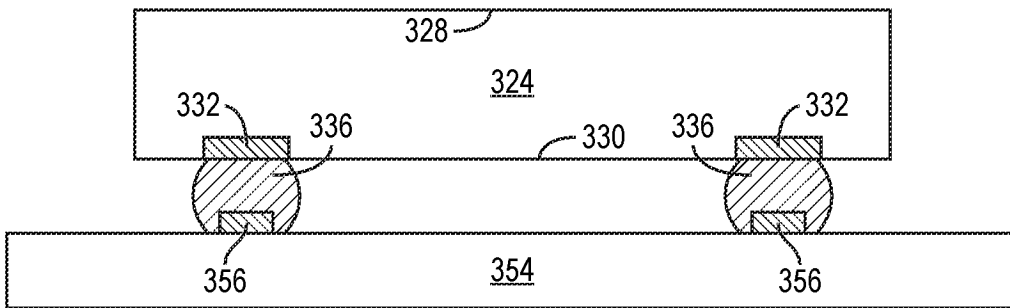


图 13c

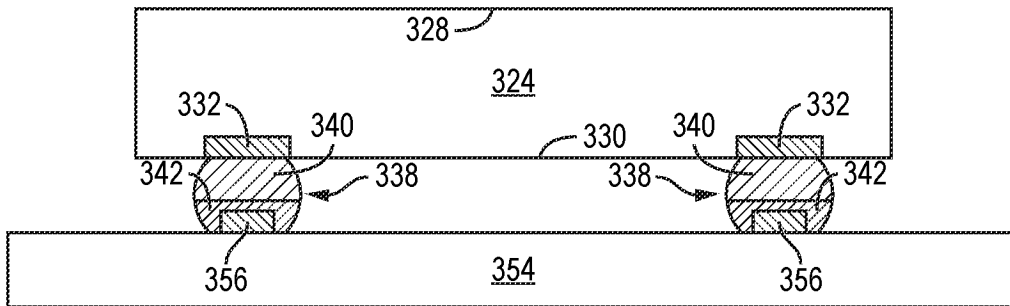


图 13d

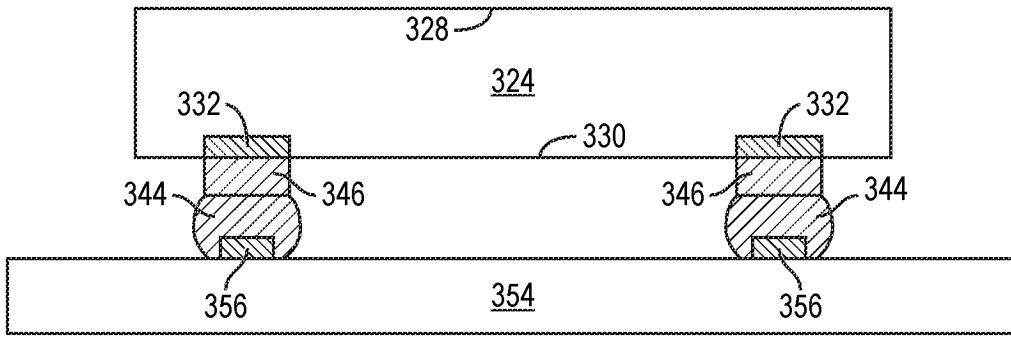


图 13e

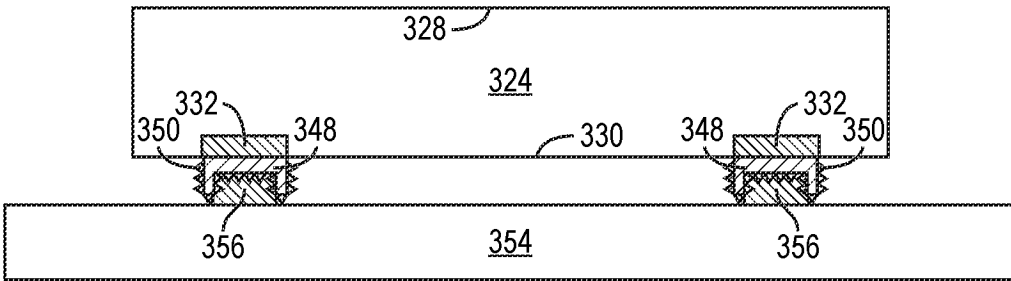


图 13f

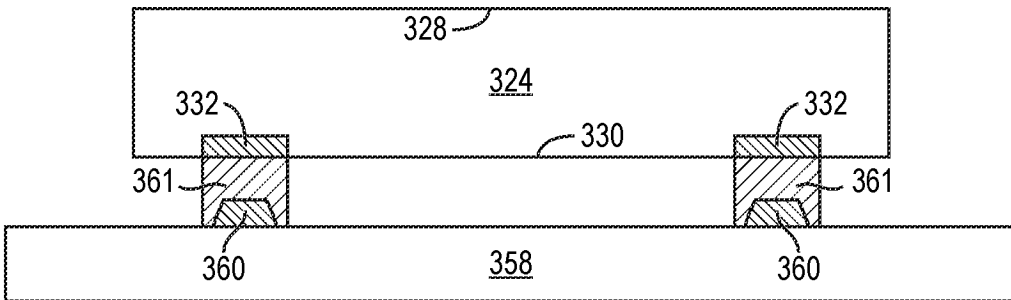


图 13g

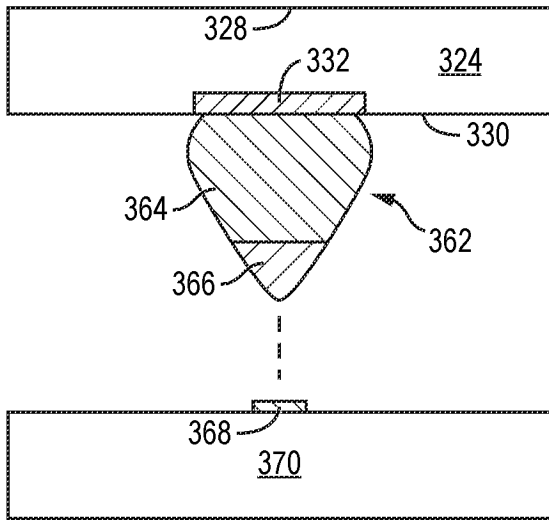


图 14a

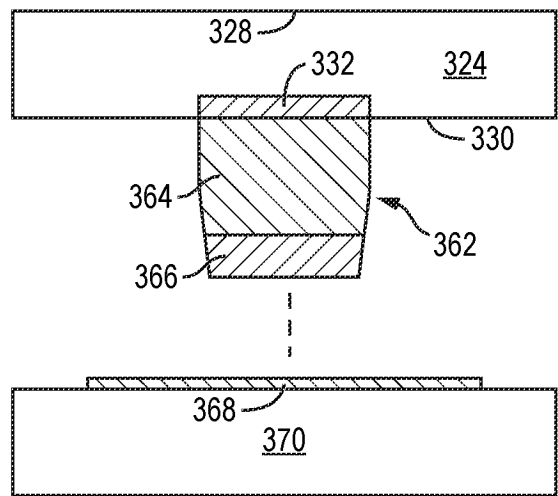


图 14b

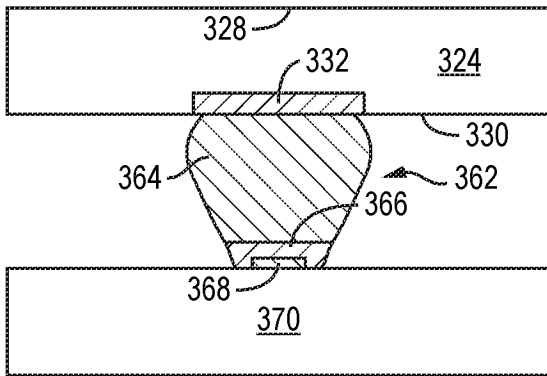


图 14c

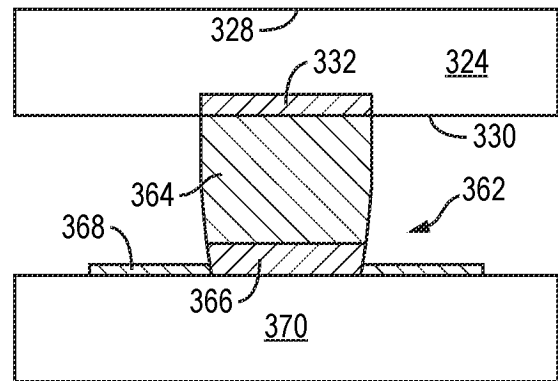


图 14d

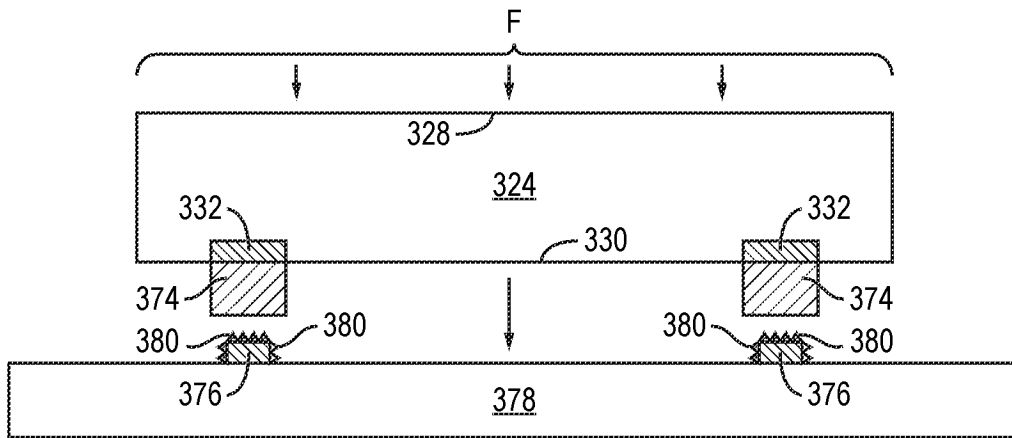


图 15a

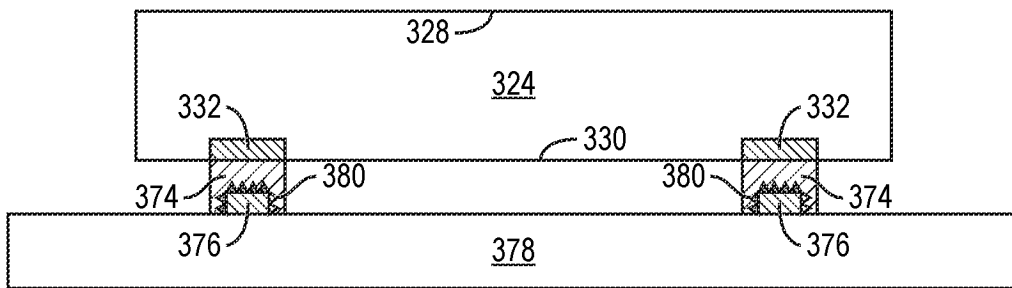


图 15b

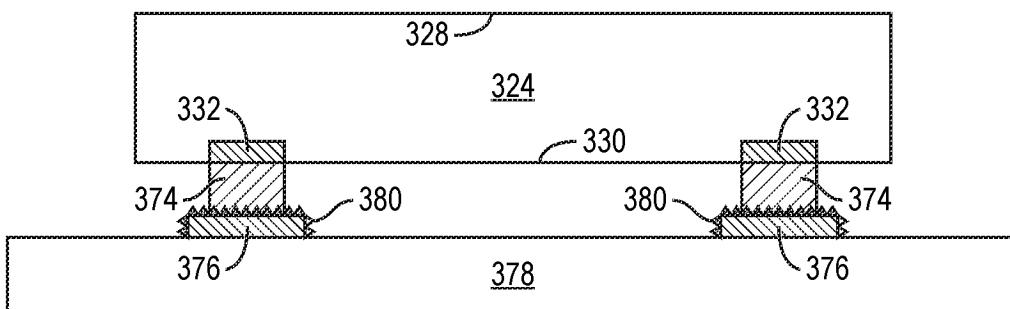


图 15c

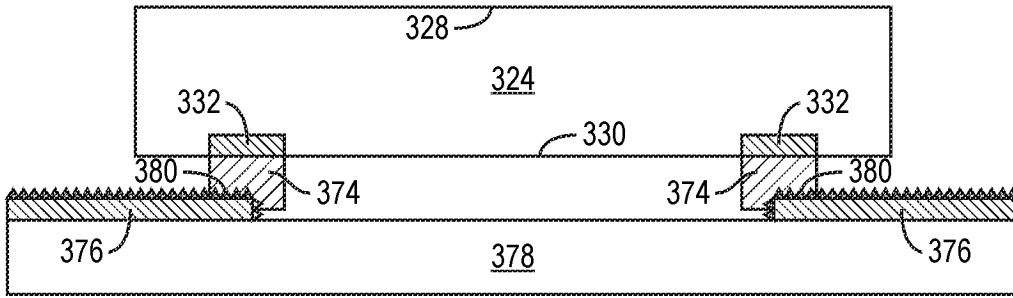


图 15d

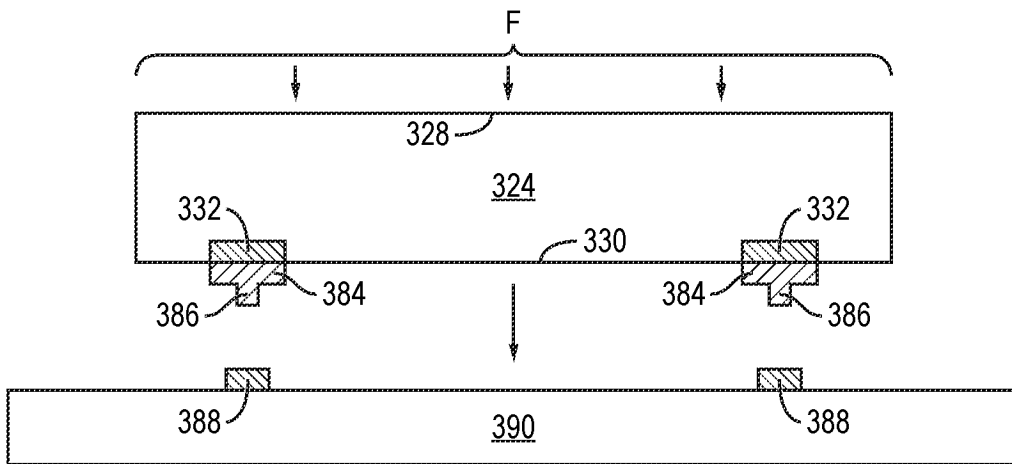


图 16a

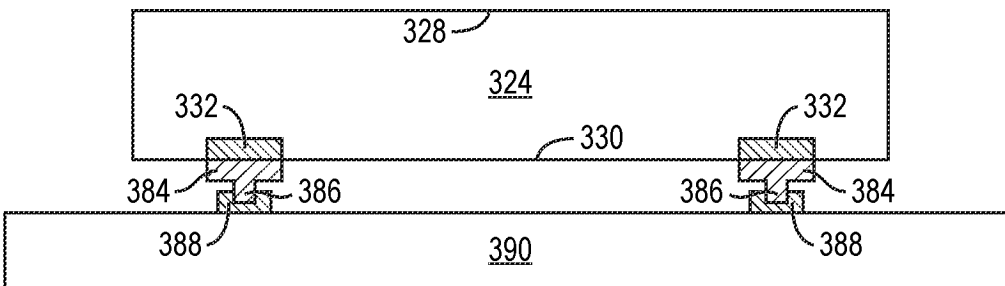


图 16b

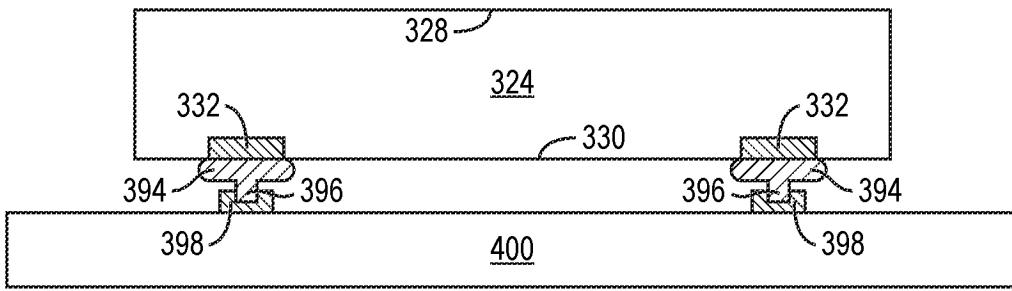


图 16c

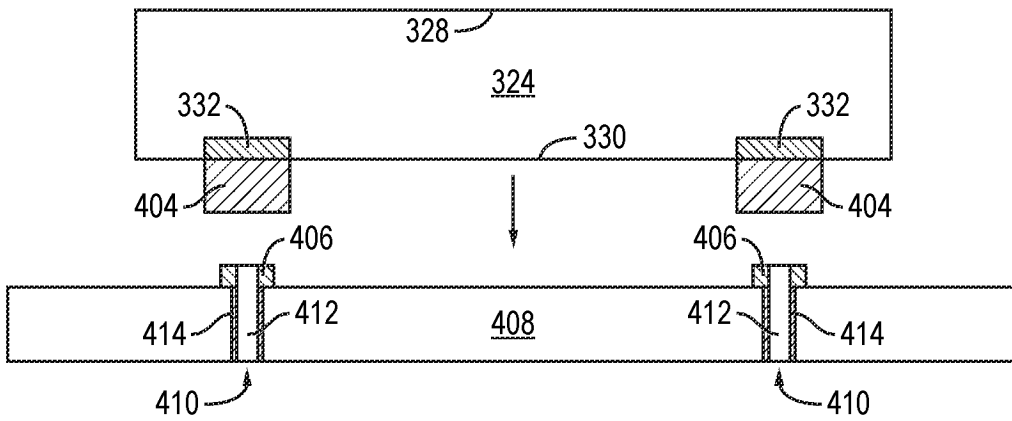


图 17a

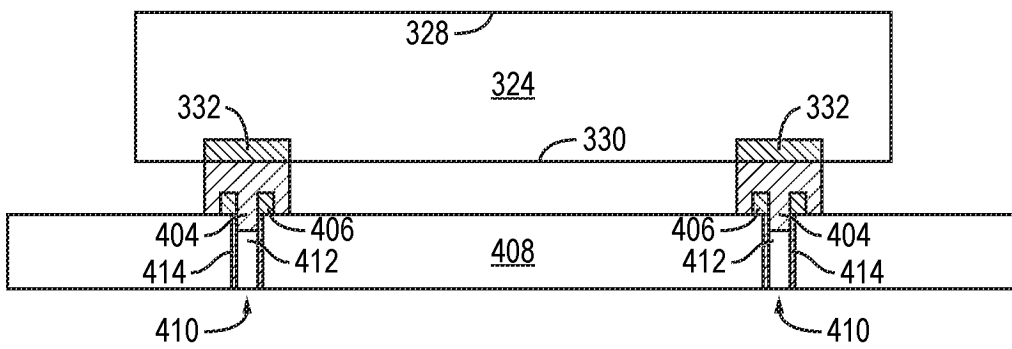


图 17b

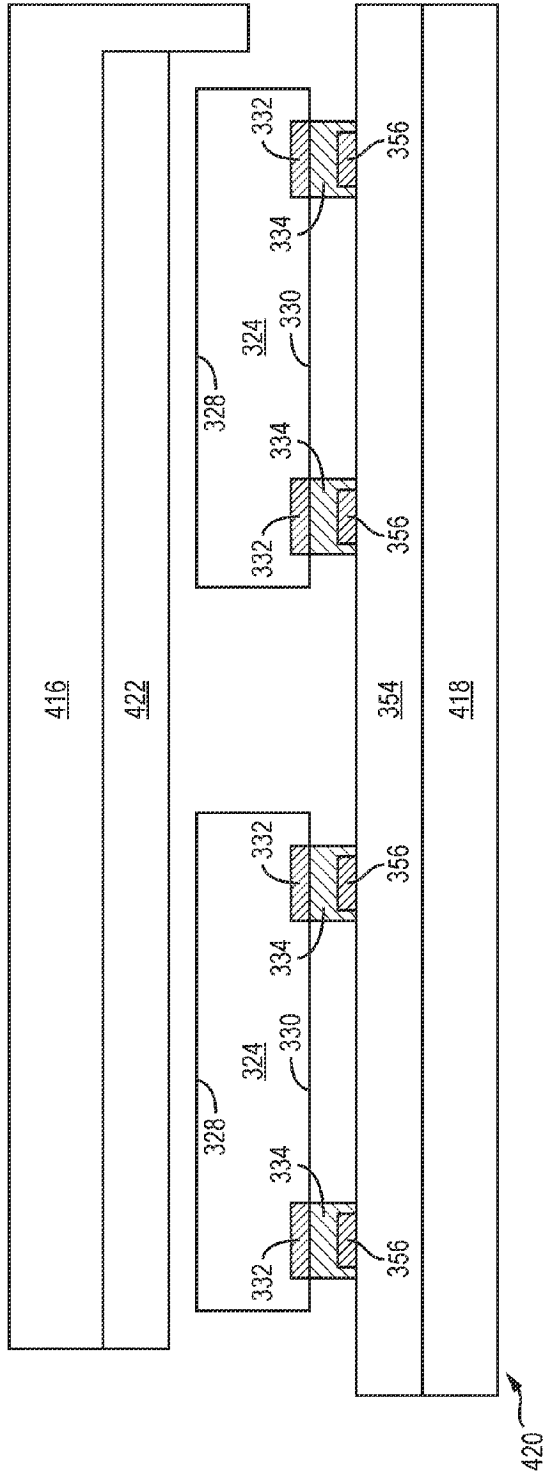


图 18a

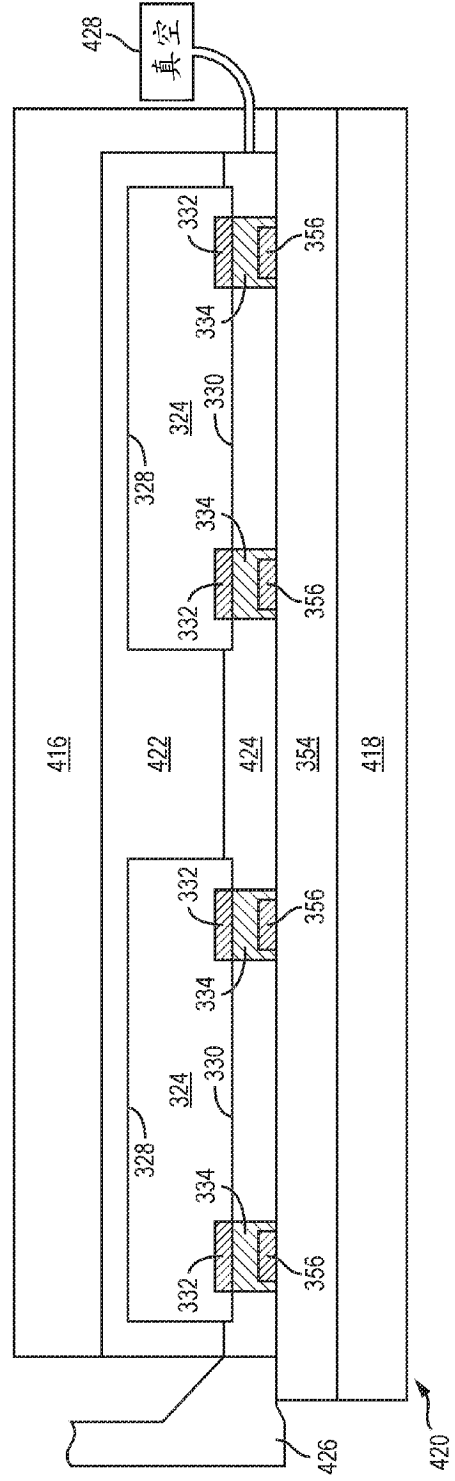


图 18b

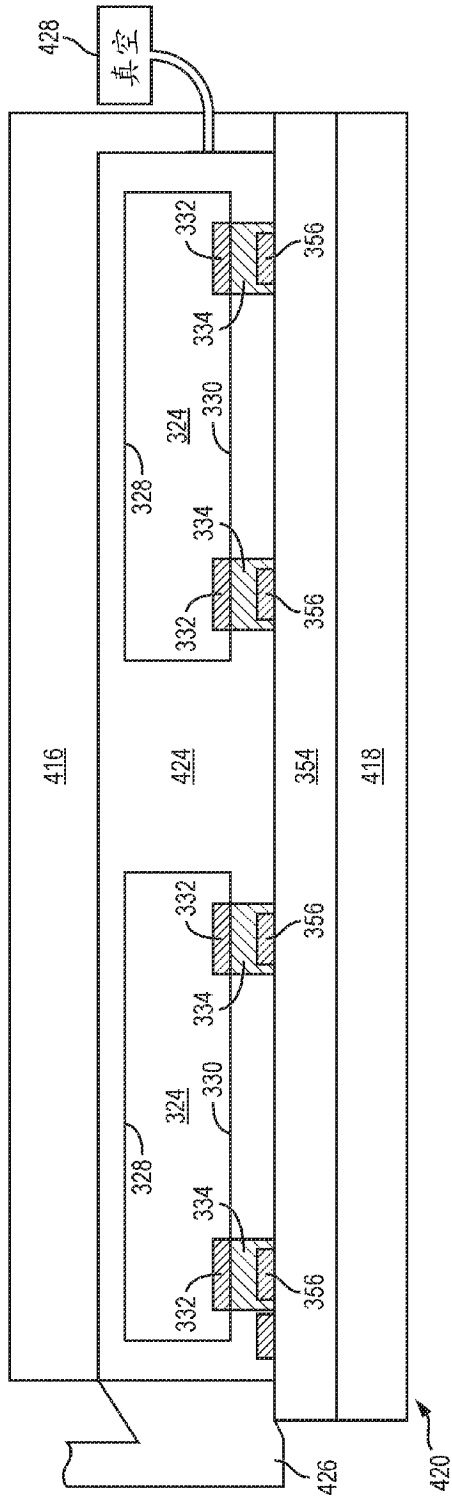


图 18c

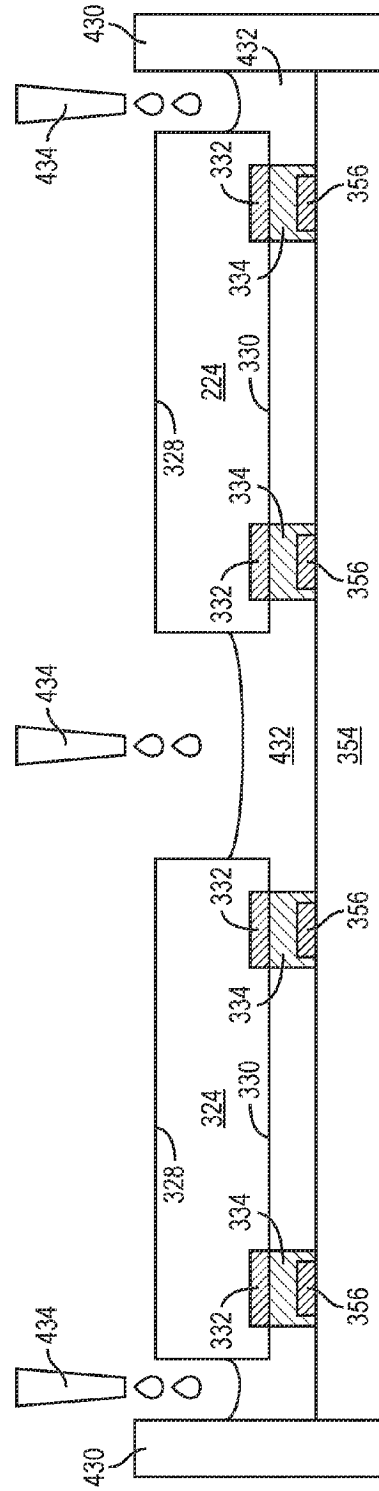


图 19

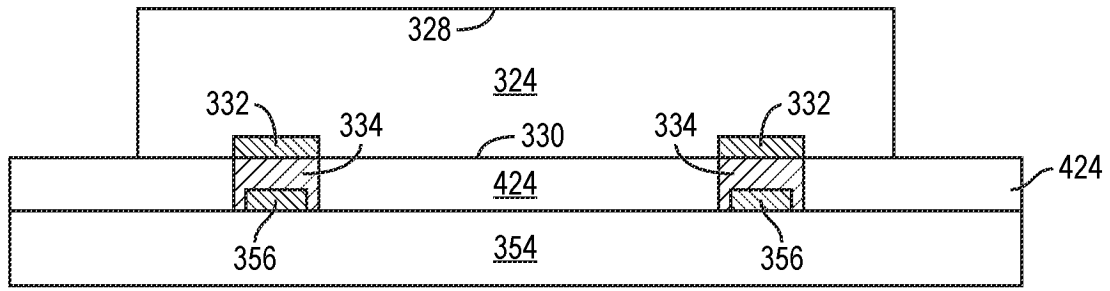


图 20

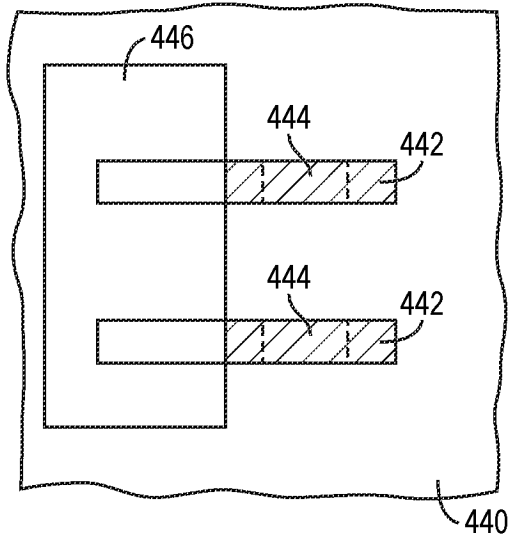


图 21a

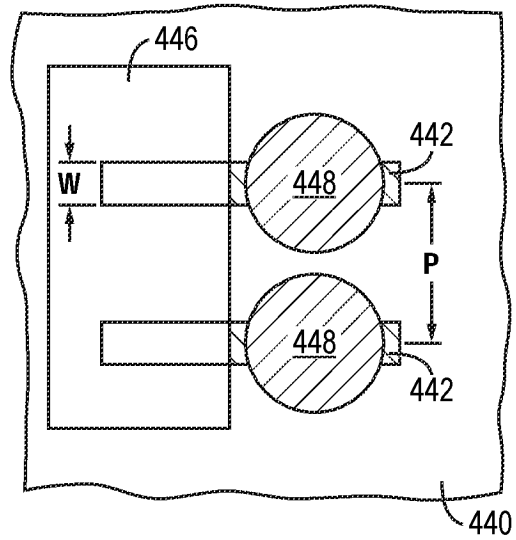


图 21b

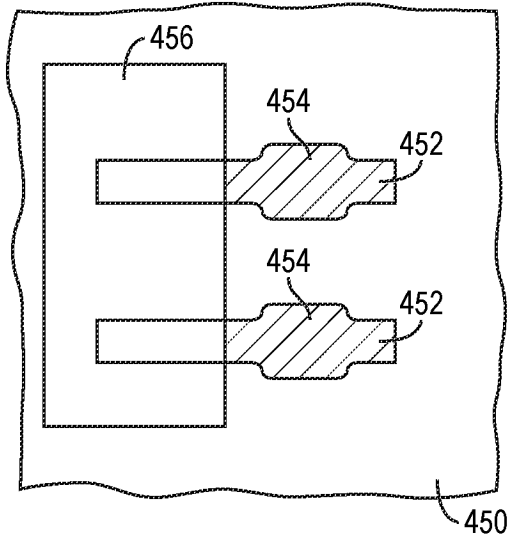


图 21c

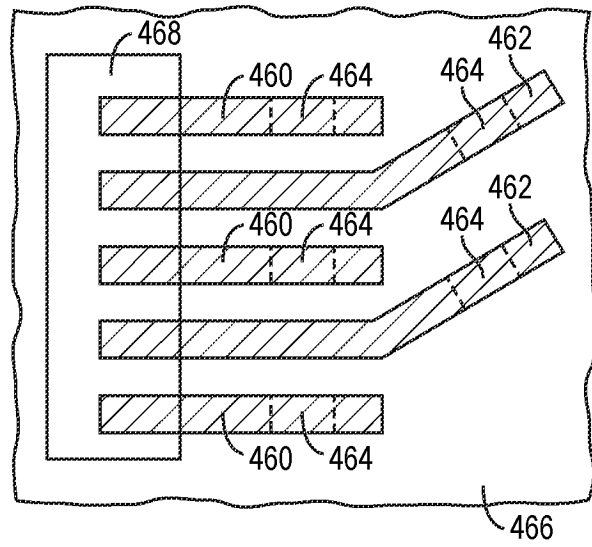


图 21d

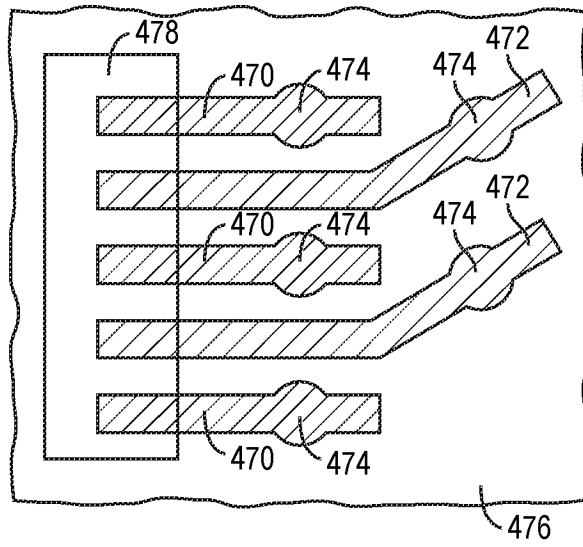


图 21e

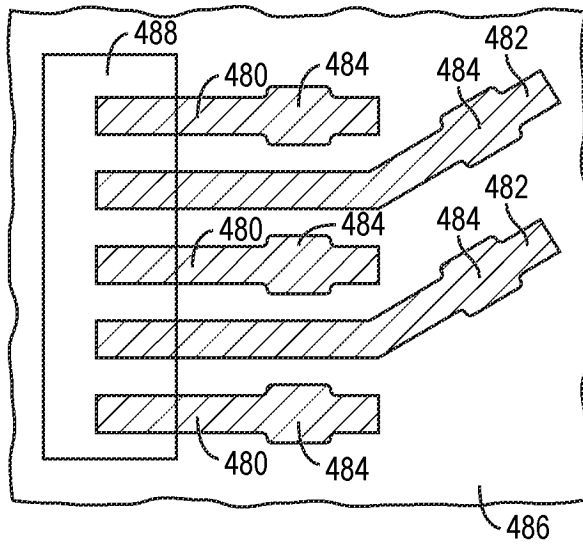


图 21f

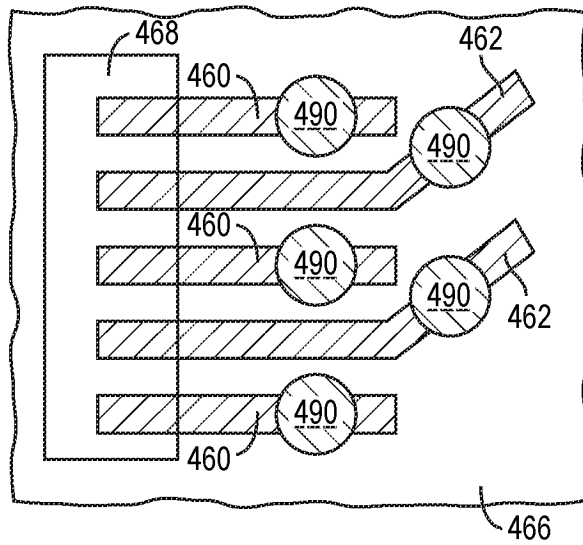


图 21g

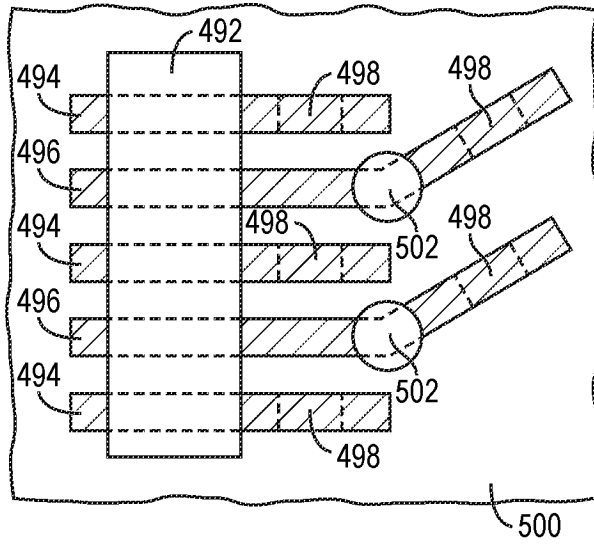


图 22a

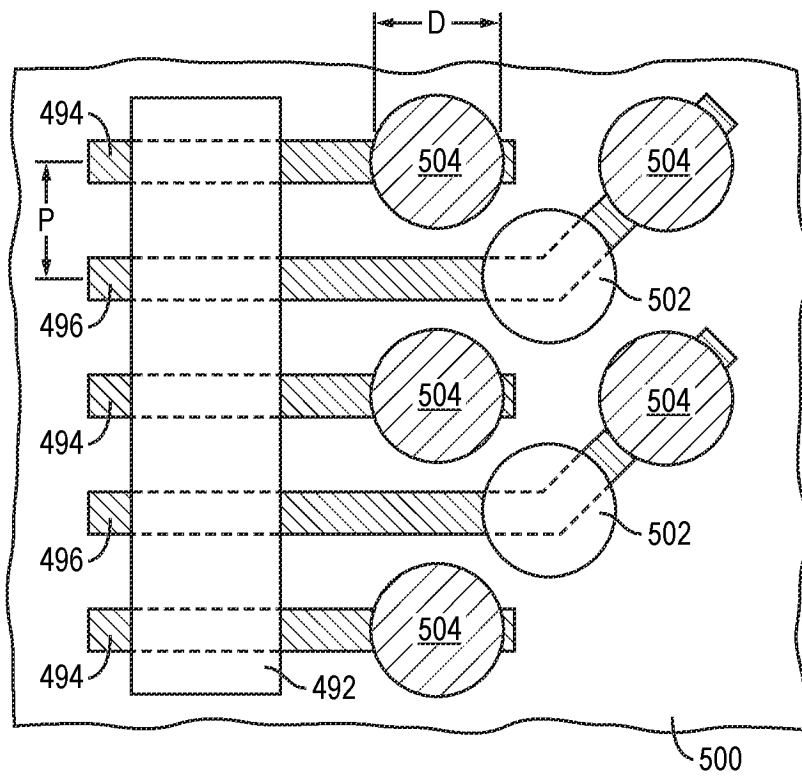


图 22b

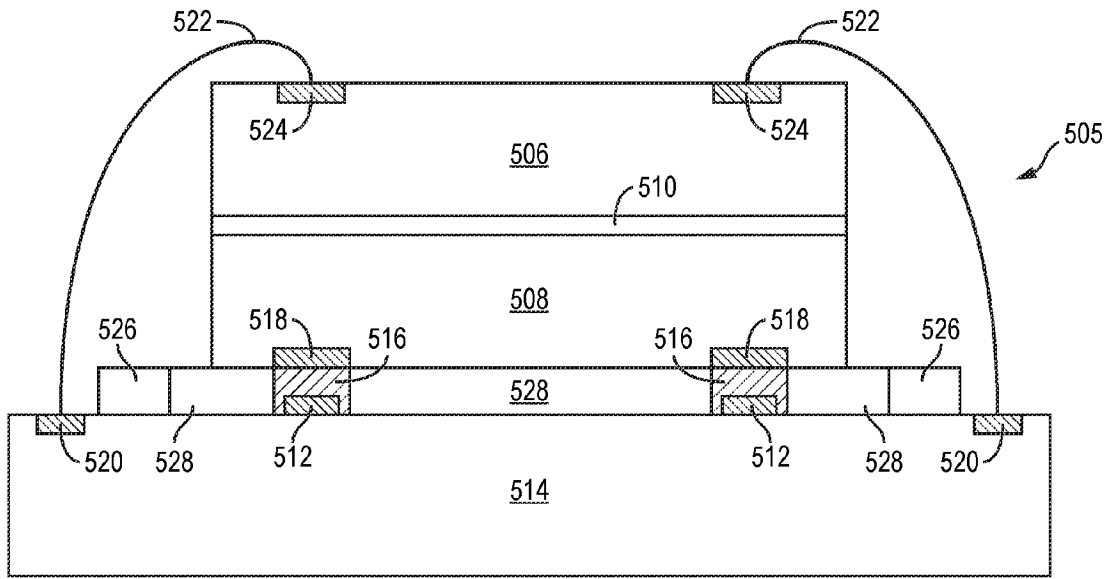


图 23