



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0008030

(43) 공개일자 2016년01월21일

(51) 국제특허분류(Int. Cl.)

C08L 81/02 (2006.01) C08J 3/00 (2006.01)

C08J 7/04 (2006.01) H01L 51/30 (2006.01)

(21) 출원번호 10-2014-0087486

(22) 출원일자 2014년07월11일

심사청구일자 2014년07월11일

(71) 출원인

인천대학교 산학협력단

인천광역시 연수구 아카데미로 119, 11호 12 (송도동)

(72) 발명자

김신애

인천광역시 남구 주안7동 1432-157

이화성

대전광역시 유성구 왕가봉로 2번길 87, 205호

(뒷면에 계속)

(74) 대리인

차준용

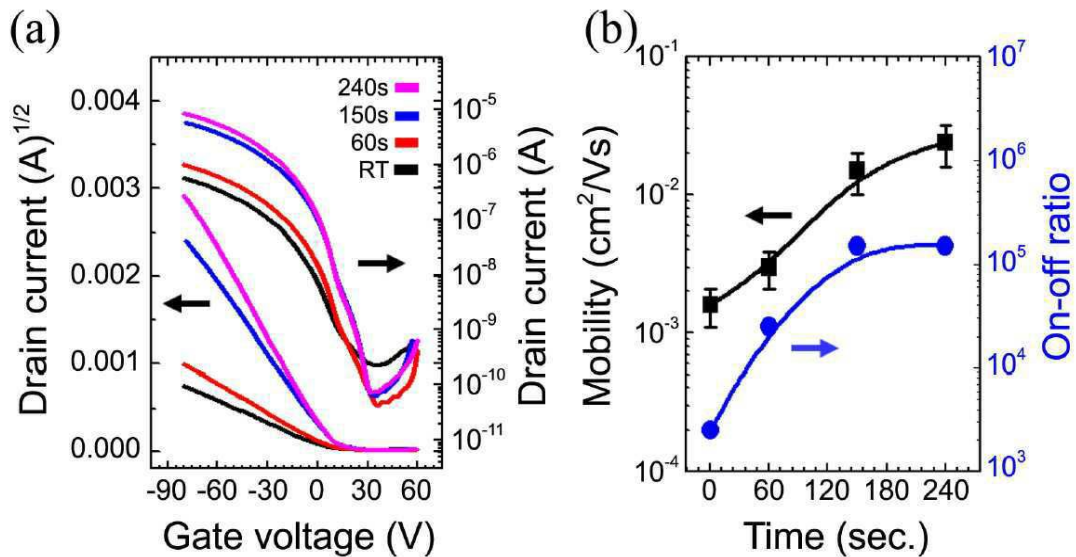
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 폴리사이오펜 박막의 분자결정성 향상 방법

(57) 요약

본 발명은 폴리사이오펜 박막의 분자결정성 향상 방법에 관한 것으로, 더욱 상세하게는 폴리사이오펜(P3HT)을 정 용매(클로로포름)에 용해시킨 전구체 용액을 저온(0 ~ -10℃)에서 소정 시간 동안 에이징하여 박막 형성 전 용액 내에서 분자정렬이 개선된 결정체를 형성한 다음 이를 단순히 스핀 코팅함으로써, 추가적인 후처리 공정 등 없이 간단하고 효율적으로 박막의 분자결정성 및 분자정렬성(Molecular ordering)을 현저히 향상시킬 수 있는 저온용액의 스핀 코팅을 이용한 폴리사이오펜 박막의 분자결정성 향상 방법, 이렇게 형성된 폴리사이오펜 박막, 및 이를 포함하는 전기적 특성이 우수한 전계효과 트랜지스터(Field-Effect Transistors; FETs)에 관한 것이다.

대표도 - 도3



(72) 발명자

이위형

서울특별시 성북구 종암로 24가길 53, 종암동 SK아파트 106동 2111호

박영돈

인천 연수구 아카데미로 119, 공과대학 8호관 570호 에너지화학공학과 (송도동, 인천대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호 2012R1A1A1004279

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 신진연구자 지원사업

연구과제명 π -전자분자의 자기조립을 이용한 고성능 유기전자소자의 개발

기 여 율 1/2

주관기관 인천대학교 산학협력단

연구기간 2012.05.01 ~ 2015.04.30이 발명을 지원한 국가연구개발사업

과제고유번호 2010-00525

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 국제화사업(해외우수연구기관 유치사업)

연구과제명 건국대학교-VTT 공동 연구를 통한 다층 유연 전자소자 인쇄기술 개발

기 여 율 1/2

주관기관 건국대학교 산학협력단

연구기간 2010.09.01 ~ 2016.08.31

명세서

청구범위

청구항 1

- a) 폴리사이오펜(Polythiophene)을 정용매(Good solvent)에 완전 용해시켜 전구체 용액을 제조하는 단계;
b) 상기 전구체 용액을 0 ~ -10℃로 냉각시키고 60 ~ 240초 동안 에이징(Aging)하는 단계; 및
c) 상기 에이징 된 전구체 용액을 기판 상에 코팅하는 단계;를 포함하는,
폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 2

제1항에 있어서,

상기 a) 단계의 폴리사이오펜은 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT)인 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 3

제1항에 있어서,

상기 a) 단계의 정용매는 클로로포름(CHCl_3)인 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 4

제1항에 있어서,

상기 a) 단계는 실온(Room temperature)에서 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 5

제1항에 있어서,

상기 b) 단계는 전구체 용액을 0℃로 냉각시키고 240초 동안 에이징하는 것임을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 6

제1항에 있어서,

상기 b) 단계는 전구체 용액을 0 ~ -10℃로 냉각시키고 120초 동안 에이징 하는 것임을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 7

제1항에 있어서,

상기 c) 단계의 코팅은 스핀 코팅(Spin-coating) 방법으로 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 8

제1항에 있어서,

상기 c) 단계의 코팅은 25 ~ 31nm 두께의 박막을 형성하도록 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법.

청구항 9

제1항 내지 제8항 중 어느 한 항의 방법에 따라 형성된 분자결정성이 향상된 폴리사이오펜 박막.

청구항 10

제9항에 따른 폴리사이오펜 박막을 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs).

청구항 11

제10항에 있어서,

상기 전계효과 트랜지스터의 평균 전계효과 이동도는 $1.6 \times 10^{-3} \sim 4.0 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 인 것을 특징으로 하는 전계효과 트랜지스터.

발명의 설명

기술 분야

[0001]

본 발명은 폴리사이오펜 박막의 분자결정성 향상 방법에 관한 것으로, 더욱 상세하게는 폴리사이오펜(P3HT)을 정용매(클로로포름)에 용해시킨 전구체 용액을 저온($0 \sim -10^\circ\text{C}$)에서 소정 시간 동안 에이징하여 박막 형성 전 용액 내에서 분자정렬이 개선된 결정체를 형성한 다음 이를 단순히 스핀 코팅함으로써, 추가적인 후처리 공정 등 없이 간단하고 효율적으로 박막의 분자결정성 및 분자정렬성(Molecular ordering)을 현저히 향상시킬 수 있는 저온용액의 스핀 코팅을 이용한 폴리사이오펜 박막의 분자결정성 향상 방법, 이렇게 형성된 폴리사이오펜 박막, 및 이를 포함하는 전기적 특성이 우수한 전계효과 트랜지스터(Field-Effect Transistors; FETs)에 관한 것이다.

배경 기술

[0002]

최근 부각되는 광전자(Optoelectronic) 관련 응용기술들은 저가로 용이하게 폴리사이오펜(Polythiophene) 박막을 생산할 수 있는 용액-기반 박막 형성 기술의 개발에 의존하고 있다.

[0003]

그러나, 폴리사이오펜 분자 간의 열악한 조직에 기인한 유기 전계효과 트랜지스터(Field-Effect Transistors; FETs) 반도체 층에서의 구조적 결함은 이러한 박막에 기초한 소자의 고성능을 구현하는데 큰 장애물이 되고 있다. 물질을 통한 전하 운반체 수송(charge carrier transport)은 분자간 전자 커플링(Intermolecular electronic coupling)이 약한 무질서한 영역에 존재하는 분자 사이의 호핑(Hopping) 필요성에 의해 제약을 받는다.

[0004]

이러한 문제점을 극복하기 위한 효율적, 합리적 접근법은 π - π 스택킹(Stacking) 평면들이 유전체 기판에 평행하게 지향되어 있는 정렬된 폴리사이오펜 집합체를 준비하는 것이다.

- [0005] 한편, 대규모의 균일한 박막을 제조하는데 사용되는 스핀 코팅(Spin-coating)과 같은 박막 제조 방법은 전형적으로 비정질과 유사한 막을 생산하게 되며, 이러한 막은 분자정렬이 제대로 되지 않은 구조를 지닌다. 박막 형성시 용매가 빠르게 증발하여 정렬된 구조가 성장하는 것을 방해하기 때문이다.
- [0006] 열적 또는 용매 어닐링(Annealing)과 같은 후처리(Post-treatment) 공정을 통해 이러한 문제를 해결하려는 시도가 있으나, 별도의 공정을 추가적으로 거쳐야 하는바 제조가 복잡해지고 비효율적인 문제가 있다.
- [0007] 이러한 후처리 공정의 사용과는 별도로, 고성능 전기 소자용 폴리사이오펜 박막의 분자배열(Molecular ordering)을 향상시키기 위한 종래의 주된 전략은 비등점이 높은 용매 내지 용해도가 열악한 부수적 용매를 사용하는 것이었다.
- [0008] 그러나, 휘발성의 정용매(Good solvent)에 있어 폴리사이오펜의 용해도를 조절하여 폴리사이오펜 분자들의 분자정렬성을 향상시키려는 연구는 상대적으로 거의 전무한 실정이다.
- [0009] 요컨대, 종래의 열적 또는 용매 어닐링과 같은 후처리 공정의 필요 없이, 폴리사이오펜에 대한 휘발성의 정용매를 사용하면서도 간단하고 효율적으로 폴리사이오펜 박막의 분자결정성 및 전기적 특성을 향상시킬 수 있어 전계효과 트랜지스터(Field-Effect Transistors; FETs) 등에 매우 적합하게 이용될 수 있는 새로운 처리 방법에 대한 기술의 개발이 요구되고 있다.

선행기술문헌

비특허문헌

- [0010] (비특허문헌 0001) Liu, J.; Sheina, E. E.; Kowalewski, T.; McCullough, R. D. Angew. Chem. Int. Eng. 2002, 41, 329.

발명의 내용

해결하려는 과제

- [0011] 상기와 같은 종래기술의 문제점을 해결하기 위해, 본 발명자들은 급속한 용매 증발 조건 하에서 스핀 코팅을 거쳐 제조된 박막의 분자결정성을 조절하기 위해 노력하였다. 구체적으로, 본 발명자들은 대표적 폴리사이오펜인 폴리(3-헥실사이오펜)(P3HT)의 온도-의존적 용해도에 대해 예의 연구를 거듭한 결과 본 발명에 이르렀으며, 클로로포름(CHCl_3)과 같은 정용매를 사용한 용액을 냉각 및 저온에서 에이징(Aging)함으로써 용액에서의 사슬 어셈블리가 다양한 정렬 수준으로 변환됨을 확인하였다.
- [0012] 아울러, P3HT를 함유하는 용액에서의 분자정렬성 및 전계효과 트랜지스터(FETs)의 전계효과 이동도(Field-effect mobility) 간의 상관관계를 규명할 수 있었다.
- [0013] 이를 통해, 용액에 있어 폴리머 분자 어셈블리를 최적화하여 우수한 성능의 전계효과 트랜지스터를 용이하게 제조할 수 있는 기술을 제공하고자 한다.

과제의 해결 수단

- [0014] 상기한 기술적 과제를 달성하고자, 본 발명은 a) 폴리사이오펜(Polythiophene)을 정용매(Good solvent)에 완전 용해시켜 전구체 용액을 제조하는 단계; b) 상기 전구체 용액을 0 ~ -10℃로 냉각시키고 60 ~ 240초 동안 에이징(Aging)하는 단계; 및 c) 상기 에이징 된 전구체 용액을 기판 상에 코팅하는 단계;를 포함하는, 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.

- [0015] 또한, 상기 a) 단계의 폴리사이오펜은 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT)인 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.
- [0016] 아울러, 상기 a) 단계의 정용매는 클로로포름(CHCl_3)인 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.
- [0017] 더불어, 상기 a) 단계는 실온(Room temperature)에서 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.
- [0018] 또한, 상기 b) 단계는 전구체 용액을 0°C 로 냉각시키고 240초 동안 에이징하는 것, 또는 전구체 용액을 $0 \sim -10^\circ\text{C}$ 로 냉각시키고 120초 동안 에이징 하는 것임을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.
- [0019] 아울러, 상기 c) 단계의 코팅은 스핀 코팅(Spin-coating) 방법으로 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.
- [0020] 더불어, 상기 c) 단계의 코팅은 $25 \sim 31\text{nm}$ 두께의 박막을 형성하도록 수행되는 것을 특징으로 하는 폴리사이오펜 박막의 분자결정성 향상 방법을 제공한다.
- [0021] 또한, 본 발명의 다른 측면으로, 상기와 같은 방법에 따라 형성된 분자결정성이 향상된 폴리사이오펜 박막, 및 이러한 폴리사이오펜 박막을 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs)를 제공한다.
- [0022] 아울러, 상기 전계효과 트랜지스터의 평균 전계효과 이동도는 $1.6 \times 10^{-3} \sim 4.0 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 인 것을 특징으로 하는 전계효과 트랜지스터를 제공한다.

발명의 효과

- [0023] 본 발명에 따른 폴리사이오펜 박막의 분자결정성 향상 방법은 폴리사이오펜(P3HT)이 정용매(클로로포름)에 용해된 전구체 용액을 저온 냉각 및 에이징함으로써, 박막 형성 전 용액 내에서 분자정렬성이 개선된 결정체를 형성할 수 있다.
- [0024] 특히, 본 발명은 상기와 같이 정렬된 전구체 용액을 단순히 스핀 코팅하는 것으로 박막 형성 공정을 완료하는바, 소자 제조 전 열적 또는 용매 어닐링과 같은 별도의 후처리 공정을 거칠 필요가 없다.
- [0025] 이처럼 분자결정성이 향상된 본 발명의 고결정화도(High-crystallinity) 폴리사이오펜 박막은 우수한 전기적 특성을 부여하는바, 전계효과 트랜지스터(FETs)에 특히 적합하게 적용될 수 있다.

도면의 간단한 설명

- [0026] 도 1은 각각 0초(실온), 60초(0°C), 150초(0°C) 및 240초(0°C) 동안 에이징 된 P3HT 용액의 성상을 나타낸 사진이다.
- 도 2는 다양한 에이징 시간[0초(실온), 60초(0°C), 150초(0°C) 및 240초(0°C)]을 거친 P3HT 용액으로부터 제조된 P3HT FETs(채널 길이: $100\mu\text{m}$, 채널 폭: $1000\mu\text{m}$)의 전류-전압 특성을 나타낸 그래프이다. (드레인 전압: $0\text{V} \sim -80\text{V}$, 고정된 게이트 전압: 0V , -20V , -40V , -60V 및 -80V)
- 도 3의 (a)는 -80V 로 고정된 드레인 전압에 대한 드레인 전류 vs. 게이트 전압을 도시한 그래프이다. (좌축: linear 스케일, 우축: log 스케일)
- 도 3의 (b)는 본 발명의 일 실시예에 따른 P3HT FETs로부터 얻어진 소자의 전기적 특성을 요약한 그래프이다. (전계효과 이동도 및 온/오프 비율)
- 도 4는 2.5 mg/mL 전구체 용액으로부터 제조된 SiO_2/Si 기판 상의 P3HT 박막에 대한 산란각 2θ 에 따른 평면의 (Out-of-plane) GIXRD 패턴을 나타낸 그래프이다.
- 도 5의 (a)는 -80V 로 고정된 드레인 전압에 대한 드레인 전류 vs. 게이트 전압을 도시한 그래프이다. (좌축: linear 스케일, 우축: log 스케일) (에이징 시간: 120초로 고정, 에이징 온도: 각각 0°C , -3°C , -5°C 및

-10℃)

도 5의 (b)는 본 발명의 다른 실시예에 따른 P3HT FETs로부터 얻어진 소자의 전기적 특성을 요약한 그래프이다. (전계효과 이동도 및 온/오프 비율)

발명을 실시하기 위한 구체적인 내용

이하, 본 발명에 대해 상세히 설명한다.

본 발명에 따른 폴리사이오펜 박막의 분자결정성 향상 방법은 a) 폴리사이오펜(Polythiophene)을 정용매(Good solvent)에 완전 용해시켜 전구체 용액을 제조하는 단계; b) 상기 전구체 용액을 0 ~ -10℃로 냉각시키고 60 ~ 240초 동안 에이징(Aging)하는 단계; 및 c) 상기 에이징 된 전구체 용액을 기판 상에 코팅하는 단계;를 포함하는 것이다.

즉, 본 발명은 전도성 고분자인 폴리사이오펜(예컨대, P3HT)을 휘발성 정용매(예컨대, 클로로포름)에 용해시켜 전구체 용액을 준비하되, 폴리사이오펜 용해도의 온도의존성을 고려하여 상기 전구체 용액을 기판에 코팅(예컨대, Spin-casting) 하기 전 0℃ 이하의 저온에서 소정 시간 에이징함으로써, 폴리사이오펜 분자들이 용액 내에서 잘 정렬된 결정체를 이루게 한 것이다. 그 결과, 박막 형성을 위한 급속 용매 증발 조건에서도 우수한 분자결정성, 분자배열(Molecular ordering) 및 고결정화도(High-crystallinity)를 구현할 수 있다. 아울러, 이러한 박막을 이용하여 제조된 전계효과 트랜지스터(Field-Effect Transistors; FETs)에 우수한 전기적 특성을 부여할 수 있다.

상기 a) 단계는 폴리(3-헥실사이오펜)(Poly(3-hexylthiophene); P3HT)과 같은 폴리사이오펜을 클로로포름(CHCl₃)과 같은 정용매에 완전 용해시켜 향후 기판 상에 코팅 및 전도성 고분자 박막을 형성할 전구체 용액을 준비하는 단계이다.

본 단계에서, 폴리사이오펜의 용해는 실온(Room temperature; RT)에서 수행될 수 있다. 실온에서 폴리사이오펜(P3HT) 분자들은 클로로포름에 완전 용매화되어 랜덤 코일(Random coil) 형태를 취한다.

상기 b) 단계는 준비된 전구체 용액을 박막으로 형성하기 전에, 0 ~ -10℃의 저온으로 냉각(Cooling) 및 60 ~ 240초 동안 에이징(Aging)하는 전처리 과정을 수행하여, 코팅 전 용액 내에서 보다 향상된 고분자 결정의 배열을 갖도록 하는 단계이다.

전술한 바와 같이, 실온에서 P3HT 분자들은 정용매인 클로로포름에 완전 용매화되어 랜덤 코일 형태를 취한다. 그러나 이러한 용액을 냉각하면 클로로포름은 P3HT 분자들의 용매화(Solvation)를 어렵게 하여 정렬된 P3HT 집합체를 형성하는데 유리하게 작용하게 되며, 그 결과 상기 용액으로부터 제조되는 P3HT 박막에 있어 더욱 높은 고결정화 분자배열을 생기게 한다. 즉, 용액의 냉각을 통해 P3HT 배열 구조 평형이 랜덤 코일에서 더욱 정렬된 집합체 쪽으로 전환되는데, 박막의 전기적 특성을 보다 향상시킬 수 있다. 또한 이러한 저온 상태는 난용성 P3HT 및 클로로포름 사이의 불리한 접촉을 최소화하고, 용액에서의 유리한 $\pi-\pi$ 스택킹(Stacking) 상호작용을 극대화시킨다.

본 단계에서, 상기 전구체 용액은 0 ~ -10℃의 온도 범위로 냉각되어 60 ~ 240초의 시간 동안 에이징 된다. 냉각 온도가 -10℃ 미만이거나 에이징 시간이 240초를 초과하면 용액의 용해도가 지나치게 감소하여 겔화(Gelation)가 발생하고 점도가 뜻하지 않게 높아져 스핀 코팅(Spin-coating) 등을 통해 균일한 박막을 제조하기 어려워지며, 냉각 온도가 0℃를 초과하거나 에이징 시간이 60초 미만이면 본 발명이 추구하는 저온 에이징을 통한 분자결정성 향상 효과가 미미해질 수 있다.

바람직한 일 구체예에서, 본 단계는 상기 전구체 용액을 0℃로 냉각시키고 240초 동안 에이징하는 것, 또는 전구체 용액을 0 ~ -10℃로 냉각시키고 120초 동안 에이징 하는 것일 수 있다.

상기 c) 단계는 상기 저온 에이징 된 전구체 용액을 기판(예컨대, 유전체 기판) 상에 스핀 코팅(Spin-coating)

등의 방법으로 단순 코팅하여, 폴리사이오펜 박막을 형성하는 단계이다.

[0037] 본 발명에서는, 상기한 b) 단계의 저온 에이징 처리를 통해 박막 형성 전 용액 상태에서 이미 분자 배열이 향상된 형태를 구현하게 된다. 구체적으로, 본 발명에 따르면 정용매에 용해된 폴리사이오펜 구조의 온도-의존성 자기조직화(Self-organization)가 최적화되어 낮은 결정화도의 폴리사이오펜 박막이 형성되는 것을 방지할 수 있으며, 그 결과 이후의 스핀 코팅 과정을 통해 고도로 결정화된 구조의 박막을 형성할 수 있다. 아울러, 본 발명의 방법은 열적 또는 용매 어닐링(Annealing)과 같은 종래의 후처리(Post-treatment) 공정을 따로 적용할 필요가 없어 매우 효율적이다.

[0038] 본 단계에서, 상기 코팅은 25 ~ 31nm 두께의 박막을 형성하도록 수행되는 것일 수 있으나, 박막의 두께는 그 사용되는 구체적 용도 및 필요에 따라 적절히 조절될 수 있는 것으로서, 반드시 이에 한정되는 것은 아니다.

[0039] 본 발명의 다른 측면에 따르면, 상기한 본 발명의 방법에 따라 형성된 분자결정성이 향상된 폴리사이오펜 박막, 및 이러한 폴리사이오펜 박막을 포함하는 전계효과 트랜지스터(Field-Effect Transistors; FETs)가 제공된다.

[0040] 본 발명에 따라 분자결정성이 향상된 폴리사이오펜 박막을 전계효과 트랜지스터의 재료로 적용하면 전계효과 이동도 등 소자의 전기적 특성을 크게 향상시킬 수 있다. 구체적으로, 본 발명에 따른 전계효과 트랜지스터의 평균 전계효과 이동도는 $1.6 \times 10^{-3} \sim 4.0 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 바람직하게는 $5.0 \times 10^{-3} \sim 4.0 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$, 더욱 바람직하게는 $1.0 \times 10^{-2} \sim 4.0 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 정도로 상당히 높은 값을 갖는다.

[0041] 이하, 실시예 및 실험예를 통해 본 발명을 보다 구체적으로 설명한다. 그러나 이들 예는 본 발명의 이해를 돕기 위한 것일 뿐 어떠한 의미로든 본 발명의 범위가 이들 예로 한정되는 것은 아니다.

[0042] 실시예: 고분자 박막 및 소자의 제조

[0043] Rieke Metals, Inc.로부터 입수한 P3HT(위치규칙성 ~90%, 분자량 $M_w = 20 \sim 30\text{kDa}$)를 추가적인 정제 없이 사용하였다.

[0044] 도핑된 *n*-type Si 웨이퍼를 게이트 전극으로, 300nm 두께의 열적으로 성장된 실리콘 다이옥사이드(SiO_2) 층을 게이트 유전체로 사용하여 상부 컨택 기하 구조(Top-contact geometry)를 갖는 전계효과 트랜지스터를 제조하였다. 또한 옥타데실트리클로로실란(Gelstat)을 활성 물질 및 유전체 층의 유기 중간 층으로 사용하고, 딥핑(Dipping) 방법을 통해 SiO_2 표면 상에 자기조립(Self-assembled)시켰다.

[0045] 전구체 용액 제조를 위해, 클로로포름을 용매로 한 P3HT(Rieke Metals Inc.) 용액(5.0 mg/mL)을 실온(RT)에서 밤새 교반하여 P3HT가 완전 용해되도록 하였다.

[0046] 온도-조절 배쓰를 0°C로 냉각하고 30분 동안 가만히 두어 열적 평형상태에 이르도록 하였다.

[0047] 이어서, 바이알에 담긴 상기 P3HT 용액을 상기 온도-조절 배쓰에 넣고, 에이징 공정을 진행하였다. 이때 P3HT 용액이 자기조립되도록 그대로 두고, 정해진 시간 간격에 따라 특성화하였다.

[0048] 이어서, 상기 에이징 된 전구체 용액을 단순한 스핀 캐스팅(Spin-casting) 방법으로 코팅하여 두께가 25 ~ 31nm 인 P3HT 박막을 제조하였다.

[0049] 전도성 고분자로서 폴리스티렌 설펜산으로 도핑된 폴리(3,4-에틸렌다이옥시사이오펜) (Bytron P)을 함유하는 수성 잉크를 상기 P3HT 박막 상에 잉크젯 프린팅하여 소스-드레인 전극(채널 길이 100 μm , 채널 폭 1000 μm)을 제조하였다.

[0050] 실험 조건: P3HT 박막 및 소자의 특성 평가

[0051] 박막의 특성을 알아보기 위하여, 스침각 X선 회절(Grazing incidence X-ray diffraction; GIXRD)을 수행하였다 (포항 가속기 연구소 내 3D 및 8D beamline (wavelength approx. 1.54Å)).

[0052] 실온 및 대기 조건 하에서 Keithley 4200 and 236 source/measure units를 사용하여 누적 모드(Accumulation mode)에서 FETs의 전기적 특성을 측정하였다.

[0053] **실험예 1: 에이징 시간에 따른 용액의 색상 변화**

[0054] 클로로포름을 용매로 한 P3HT 용액 5.0 mg/mL를 실온에서 밤새 교반하여 P3HT가 완전 용해되도록 하였다. (* 본 실험에서 사용한 P3HT는 실온에서 클로로포름에 30 mg/mL가 넘는 용해도를 갖는 것으로 확인되었다.)

[0055] 이어서, 상기 P3HT 용액을 0°C로 냉각시키고, 에이징 시간에 따라 상기 P3HT 용액이 나타내는 색상 변화를 조사하여 하기 도 1에 나타내었다.

[0056] 0°C에서 클로로포름은 P3HT에 대해 정용매의 거동을 나타내지 않았으나, 에이징 시간에 따라 P3HT 용액의 색상은 오렌지색에서 짙은 갈색으로 변화하였다. (도 1에서, 60초 및 150초 사이에 관찰된 색상 변화 참조)

[0057] 상기 결과로 보아, P3HT 분자들은 용액 내에서 결정체를 이루기 시작하여 정렬된 집합체를 형성한 것으로 여겨진다. 이러한 상태는 난용성 P3HT 및 클로로포름 사이의 불리한 접촉을 최소화하고, 용액에서의 유리한 $\pi-\pi$ 스택킹(Stacking) 상호작용을 극대화시킨다. 요컨대, 용액의 온도를 낮춤에 따라 P3HT에 대한 정용매인 클로로포름에서도, 정렬된 전구체를 함유하는 P3HT 용액이 제조될 수 있었다.

[0058] **실험예 2: 에이징 시간에 따른 전기적 특성 분석**

[0059] 상부 컨택(Top contacts)을 갖는 박막 트랜지스터를 제조 및 평가하여, 에이징 시간이 전기적 특성 및 전계효과 전하 운반체 수송 특성에 미치는 영향을 조사하였다.

[0060] 여기서, 박막은 0°C에서 서로 다른 시간 동안 에이징 된 P3HT 용액을 사용하여 단순한 스핀 코팅 방법으로 제조된 두께 25 ~ 31nm의 P3HT 박막을 사용하였다.

[0061] 5개의 서로 다른 게이트 전압에서의 전형적인 드레인 전류 vs. 드레인 전압을 에이징 시간에 따라 도시하여 하기 도 2에 나타내었다.

[0062] 박막 형성 전, 240초까지 에이징 된 전구체 용액에서 전류의 증가 경향이 명확히 관찰되었다.

[0063] 도 2에서 보듯이, 실온에서 보관된 용액으로부터 제조된 FETs의 포화 전류는 $V_G = -80V$ 에서 단지 $0.16\mu A$ 의 값을 나타낸 반면, 240초 동안 에이징 된 용액으로부터 제조된 소자의 포화 전류는 $V_G = -80V$ 에서 $4.7\mu A$ 의 값을 나타냈다.

[0064] **실험예 3: 에이징 시간에 따른 소자의 성능 평가**

[0065] 또한, 전달 및 수송 특성을 측정하여 본 발명에 따라 제조된 소자의 성능을 확인하였다(하기 도 3).

[0066] 드레인 전류의 평방근 vs. 게이트 전압을 도시하여, 소정의 시간 동안 에이징 된 용액들로부터 제조된 각 트랜지스터의 평균 전계효과 이동도(Average field-effect mobility)를 포화 영역($V_D = -80V$)에서 계산하였다.

[0067] 0°C에서 150초 동안 에이징 된 용액으로부터 제조된 P3HT FET의 평균 전계효과 이동도($1.5 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)는 실온에서 보관된 용액으로부터 제조된 P3HT FET의 평균 전계효과 이동도($1.6 \times 10^{-3} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)보다 약 10배 큰 값을 나타내었다. 또한 0°C에서 240초 동안 에이징 된 용액으로부터 제조된 P3HT FET가 최대 이동도($2.4 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)를 나타내었다.

[0068] 일반적으로, 스핀 코팅에 의해 형성된 P3HT 박막으로 제조된 FETs는 스핀 코팅 과정 중의 급속한 용매 증발에 따른 열악한 결정화도로 인해 낮은 전계효과 이동도를 나타내는데, 이는 P3HT 분자들이 정용매 내에서 랜덤 코일(Random coil) 형태를 취하기 때문인 것으로 여겨진다. 그러나, 본 발명에 따르면 용액 내에서 P3HT 사슬의 분자배열이 향상되는바 전계효과 이동도를 현저히 증가시킬 수 있다. 다만, 240초를 초과하여 지나치게 긴 시간 에이징하게 되면 용액의 겔화가 발생하여 그 점도가 급격히 증가하게 되는바, 스핀 코팅에 의한 균일한 박막의

형성이 어려워진다.

실험예 4: P3HT 층의 결정 구조 변화 확인

용액 에이징에 따른 P3HT 층의 결정 구조 변화를 조사하기 위해 싱크로트론(Synchrotron) GIXRD 측정을 수행하였다.

다양한 에이징 시간을 거쳐 형성된 P3HT 박막들의 평면외(Out-of-plane) X선 회절 패턴을 하기 도 4에 나타내었다.

준비된 박막에서 첫 번째 Bragg 피크(100)는 라멜라(Lamellar) 층 구조(16.0Å)에 상응하여 그 피크가 약하게 나타났다. 그러나 P3HT 용액의 에이징 시간이 증가함에 따라, (100) 반사는 점점 강하게 나타남을 확인할 수 있었다. 이러한 구조는 박막에 있어 P3HT 사슬간의 π - π 스택킹이 평행 방향을 따라 최대화되므로 측면의 전하 운반체 수송을 촉진하기에 유리하다. 또한 전구체 용액들로부터 제조된 박막들이 서로 동일한 두께(25 ~ 31nm, 타원 편광 반사법으로 측정)를 지님을 고려하면, 상기와 같이 향상된 피크 강도는 에이징 된 P3HT 용액에서의 정렬된 집합체 형성과 직접적으로 관련이 있음을 알 수 있다.

아울러, P3HT 용액의 에이징 시간이 증가함에 따라 P3HT 박막은 더욱 높은 평균 평방근 표면 거칠도(Root-mean-square surface roughness)를 나타냈는바, 이는 저온에서 에이징 된 용액으로부터 더욱 큰 정렬된 집합체가 형성되었기 때문이다.

실험예 5: 에이징 온도에 따른 전기적 특성 분석

서로 다른 온도(0, -3, -5 및 -10℃)에서 에이징 된 용액을 사용하여 제조된 P3HT 박막 FETs의 전기적 특성을 측정하였다(하기 도 5).

-10℃에서 120초 동안 에이징 된 용액으로부터 제조한 소자의 포화 전류는 $V_g = -80V$ 에서 $7\mu A$ 로서 더욱 높은 값을 나타내었다.

또한, -10℃에서 120초 동안 에이징 된 용액으로부터 제조한 P3HT FET의 평균 전계효과 이동도($4.0 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)는 0℃에서 에이징 된 용액을 사용한 경우($1.3 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$)보다 3배 이상 큰 값을 나타내었다.

다만, 전구체 용액을 -10℃ 미만의 너무 낮은 온도로 에이징하게 되면 용액의 겔화가 발생하여 그 점도가 급격히 증가하고, 스핀 코팅에 의한 균일한 박막의 형성이 어려워짐을 확인하였다.

P3HT는 실온에서 클로로포름에 매우 잘 용해되며, 이러한 용해도는 폴리사이오펜의 써모크로믹(Thermochromic) 특성에 기인하여 온도에 강하게 의존한다.

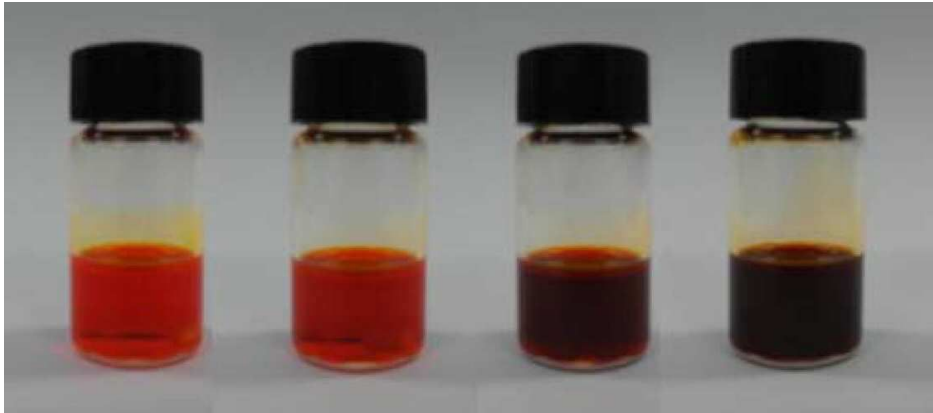
전술한 도 1의 색상 변화에서 보듯이, P3HT의 용해도는 0℃에서의 에이징 시간을 변화시키거나 용액의 온도를 낮춤으로써 조절될 수 있었다. P3HT 클로로포름 용액이 매우 낮은 온도로 냉각됨에 따라, P3HT가 랜덤 코일 형태에서 정렬된 집합체의 형태로 변화하는 것이다.

즉, 0℃ 이하의 온도에서 P3HT 용액의 에이징 시간이 증가하거나, P3HT 용액의 온도가 감소함에 따라 더욱 정렬된 구조의 박막이 형성되고, 이를 이용한 FETs의 전기적 특성 또한 크게 향상되었다.

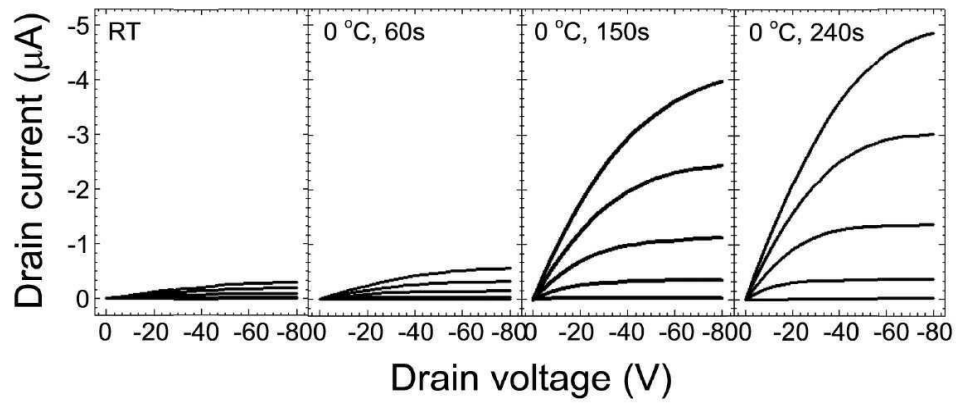
특히, 본 발명의 방법은 열적 또는 용매 어닐링(Annealing)과 같은 종래의 후처리(Post-treatment) 방법보다 훨씬 간단하게 폴리사이오펜 박막의 분자결정성을 향상시킬 수 있는 큰 장점이 있었다.

도면

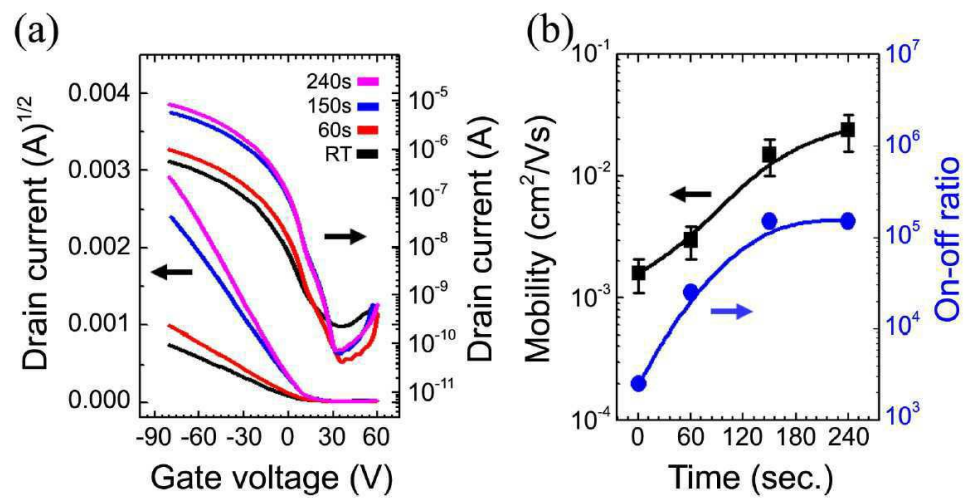
도면1



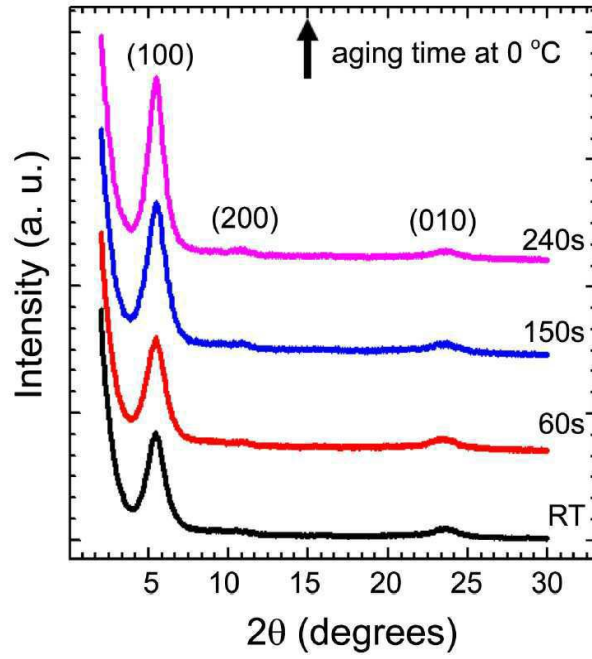
도면2



도면3



도면4



도면5

