

(12) 发明专利申请

(10) 申请公布号 CN 102655413 A

(43) 申请公布日 2012. 09. 05

(21) 申请号 201210043101. 8

(22) 申请日 2012. 02. 23

(30) 优先权数据

2011-043720 2011. 03. 01 JP

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 山岸弘幸

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 马景辉

(51) Int. Cl.

H03M 13/11 (2006. 01)

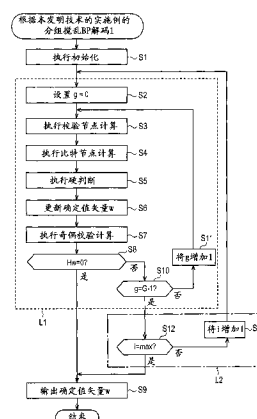
权利要求书 1 页 说明书 18 页 附图 10 页

(54) 发明名称

解码装置、解码方法和程序

(57) 摘要

一种解码装置,包括确定单元,以比重复解码中的一个解码处理的间隔短的间隔确定是否满足解码结束条件并且在满足解码结束条件的情况下在这个解码处理的中途结束处理。



1. 一种解码装置,包括:

确定单元,以比重复解码中的一次解码处理的间隔短的间隔确定是否满足解码结束条件并且在满足解码结束条件的情况下在这次解码处理的中途结束处理。

2. 根据权利要求 1 的解码装置,其中,解码结束条件是满足线性区块码的奇偶校验方程。

3. 根据权利要求 2 的解码装置,其中,线性区块码是 LDPC 码。

4. 根据权利要求 3 的解码装置,还包括:

比特节点计算单元,将比特节点计算分割成多个处理并且执行所述多个处理;以及

比特确定单元,每次当执行由比特节点计算单元分割的处理时,基于以分割方式执行的处理的结果获取部分比特确定值并且执行解码,

其中,确定单元基于由比特确定单元获取的比特确定值确定是否满足解码结束条件。

5. 根据权利要求 4 的解码装置,还包括:

校正子存储单元,存储当刚好之前由确定单元确定是否满足解码结束条件时获取的校正子;以及

确定值存储单元,存储由比特确定单元在上次解码处理时获取的比特确定值,

其中,确定单元基于由比特确定单元在这次的解码处理中获取的比特确定值与存储在比特确定值存储单元中的比特确定值之间的差更新存储在校正子存储单元中的校正子并且基于更新的校正子确定是否满足解码结束条件。

6. 根据权利要求 1 的解码装置,其中,确定单元在开始第一次解码处理之前确定是否满足解码结束条件并且在满足解码结束条件的情况下不执行重复解码。

7. 根据权利要求 3 的解码装置,还包括:

校验节点计算单元,将校验节点计算分割成多个处理并且执行所述多个处理,

其中,每当执行由校验节点计算单元分割的处理时,比特确定单元基于以分割方式执行的处理的结果获取比特确定值。

8. 一种解码方法,包括:

以比重复解码中的一次解码处理的间隔短的间隔确定是否满足解码结束条件;以及在满足解码结束条件的情况下在这次解码处理的中途结束处理。

9. 一种使得计算机执行如下操作的程序,

以比重复解码中的一次解码处理的间隔短的间隔确定是否满足解码结束条件;以及在满足解码结束条件的情况下在这次解码处理的中途结束处理。

解码装置、解码方法和程序

技术领域

[0001] 本发明涉及解码装置、解码方法和程序,更具体地讲,涉及能够降低重复解码的量的解码装置、解码方法和程序。

背景技术

[0002] [LDPC 码]

[0003] 最近,作为纠错码(ECC),LDPC(低密度奇偶校验)码已经得到关注(R. G. Gallager, " Low-density parity-check codes, " IRE Trans. Inform. Theory, vol. IT-8, pp. 21-28, Jan. 1962.)。LDPC 码的特征在于,定义该码的奇偶校验矩阵被稀疏布置。稀疏布置的矩阵表示元素“1”的数目被构造为较小的矩阵。

[0004] 图 1 示出了 (12,6) LDPC 码的奇偶校验矩阵的例子。

[0005] 图 1 中所示的奇偶校验矩阵 H 是每列的权重(“1”的数目)为“3”并且每行的权重为“6”的矩阵。通过基于奇偶校验矩阵 H 产生生成矩阵 G 实现根据 LDPC 码的编码,并且该根据 LDPC 码的编码通过将生成矩阵 G 与二进制信息相乘产生码字。

[0006] 更具体地讲,执行根据 LDPC 的编码的编码装置计算与奇偶校验矩阵 H 的转置矩阵 H^T 满足 $GH^T = 0$ 的生成矩阵 G。这里,在生成矩阵 G 是 $k \times n$ 矩阵的情况下,编码装置将生成矩阵 G 与由 k 比特构造的信息相乘以产生由 n 比特构造的码字。在由该编码装置产生的码字中,值为“0”的码比特被映射成“+1”,值为“1”的码比特被映射成“-1”,并且由接收侧经由预定的通信线路发送和接收该码字。

[0007] 另一方面,作为 LDPC 码的解码方法,已知一种方法,其中,奇偶校验矩阵被表示为偶图,并且在校验节点与比特节点之间交换似然信息的同时重复执行该处理。

[0008] 图 2 示出了图 1 所示的奇偶校验矩阵 H 的偶图。

[0009] 图 2 的上侧上所示的白色矩形表示校验节点,在下侧上所示的白色圆圈表示比特节点。校验节点对应于奇偶校验矩阵的行,比特节点对应于奇偶校验矩阵的列。在奇偶校验矩阵 H 的非“0”的元素与节点之间的连接相关联的情况下,如图 2 所示,校验节点与比特节点在这些边上彼此连接。

[0010] [现有技术中的 BP 解码]

[0011] 这里,将描述置信传播(Belief Propagation, BP) 解码作为对 LDPC 码进行解码的方法之一。

[0012] 这里,码比特长度由 N 表示,并且奇偶校验行的数目为 M 的奇偶校验矩阵由 $H = [H_{mn}]$ 进行表示。此外, m 表示行号(校验节点号)并且值在 $0 \leq m < M$ 的范围内。另外, n 表示列号(比特节点号)并且值在 $0 \leq n < N$ 的范围内。此外,用于第 m 个奇偶校验计算的位号的集合由 $N(m) = \{n | H_{mn} = 1\}$ 进行表示,并且针对其通过使用第 n 个比特执行奇偶校验操作的奇偶校验号的集合由 $M(n) = \{m | H_{mn} = 1\}$ 进行表示。 $N(m) = \{n | H_{mn} = 1\}$ 表示连接到第 m 校验节点(校验节点 m)的比特节点的集合, $M(n) = \{m | H_{mn} = 1\}$ 表示连接到第 n 比特节点(比特节点 n)的校验节点的集合。

[0013] 从第 n 比特的接收值获取的初始似然由 F_n 进行表示,第 i 解码处理中从校验节点 m 到比特节点 n 的似然由 $\varepsilon_{mn}^{(i)}$ 进行表示,并且第 i 解码处理中从比特节点 n 到校验节点 m 的似然由 $z_{mn}^{(i)}$ 进行表示。此外,由第 i 解码处理获取的比特 n 的后似然由 $z_n^{(i)}$ 进行表示,通过对解码处理重复执行预先设置的最大次数来实现重复的解码。在这种情况下,BP 解码被表示如下。

[0014] 初始化:

[0015] LDPC 解码电路将 i 设置为 1。

[0016] LDPC 解码电路将各 $z_{mn}^{(0)}$ 设置为 F_n 。

[0017] 步骤 1:

[0018] (i) 校验节点计算

[0019] LDPC 解码电路通过使用下面的方程 (1) 和 (2) 针对满足“ $m \in M(n)$ ”的所有 n 值和所有 m 值获取 $\varepsilon_{mn}^{(i)}$ 。在方程 (1) 中, n' 表示通过从包括在 $N(m)$ 中的比特节点中排除 n 获取的比特节点。

$$[0020] \quad \tau_{mn}^{(i)} = \prod_{n' \in N(m) \setminus n} \tanh(z_{mn'}^{(i-1)}/2) \quad \dots (1)$$

$$[0021] \quad \varepsilon_{mn}^{(i)} = \log \frac{1 + \tau_{mn}^{(i)}}{1 - \tau_{mn}^{(i)}} \quad \dots (2)$$

[0022] (ii) 比特节点计算

[0023] 针对满足“ $n \in N(m)$ ”的所有 m 值和所有 n 值,LDPC 解码电路通过使用下面方程 (3) 获取 $z_{mn}^{(i)}$ 并且通过使用下面方程 (4) 获取 $z_n^{(i)}$ 。在方程 (3) 中, m' 表示通过从包括在 $M(n)$ 中的校验节点中排除 m 获取的校验节点。

$$[0024] \quad z_{mn}^{(i)} = F_n + \sum_{m' \in M(n) \setminus m} \varepsilon_{m'n}^{(i)} \quad \dots (3)$$

$$[0025] \quad z_n^{(i)} = F_n + \sum_{m \in M(n)} \varepsilon_{mn}^{(i)} \quad \dots (4)$$

[0026] 步骤 2:

[0027] (i) 硬判断

[0028] LDPC 解码电路执行硬判断,其中,在 $z_n^{(i)} > 0$ 的情况下 $w_n^{(i)} = 1$,在 $z_n^{(i)} < 0$ 的情况下 $w_n^{(i)} = 0$ 。此外,LDPC 解码电路基于硬判断的结果获取确定值矢量 $w^{(i)} = [w_n^{(i)}]$,该确定值矢量 $w^{(i)} = [w_n^{(i)}]$ 具有硬判断值(比特确定值)作为它的元素。

[0029] (ii) 解码结束条件确定

[0030] LDPC 解码电路执行奇偶校验计算即奇偶校验方程 $Hw^{(i)}$ 的计算。在奇偶校验方程 $Hw^{(i)} = 0$ 被满足的情况下,换言之,在针对 $0 \leq m < M$ 下面方程 (5) 得到满足的情况下,或者在解码处理的重复的次数 i 到达预先设置的最大次数的情况下,LDPC 解码电路执行步骤 3 的处理。另一方面,在其它情况下,LDPC 解码电路将 i 增加 1 并且执行步骤 1 的处理。

$$[0031] \quad \sum_{n \in N(m)} H_{mn} w_n^{(i)} = 0 \quad \dots (5)$$

[0032] 步骤 3:

[0033] LDPC 解码电路输出确定值矢量 $w^{(i)}$ 作为解码处理的结果。

[0034] 在 BP 解码中,在如上所述在第一次解码处理中完成所有的校验节点计算以后,执行所有的比特节点计算。换言之,获取步骤 1(i) 的校验节点计算中的 $\varepsilon_{mn}^{(i)}$,并且通过使用其结果在步骤 1(ii) 的比特节点计算中获取 $z_{mn}^{(i)}$ 和 $z_n^{(i)}$ 。

[0035] [现有技术中的分组搅乱 (Group Shuffled)BP 解码]

[0036] 然而,在 LDPC 码的重复解码中,提议了一种减小次数直到解码收敛为止的方法 (J. Zhang and M. Fossorier, “Shuffled belief propagation decoding” Proc. 36th Annu. Asilomar Conf. Signals, Syst., Computers, pp. 8-15, Nov. 2002 and M. M. Mansour and N. R. Shanbhag, “Turbo decoder architecture for low-density parity-check codes” Proc. Global Telecommun. Conf., pp. 1383-1388, Nov. 2002)。

[0037] 在 J. Zhang and M. Fossorier, “Shuffled belief propagation decoding” Proc. 36th Annu. Asilomar Conf. Signals, Syst., Computers, pp. 8-15, Nov. 2002 中,描述了以分割方式执行比特节点计算的分组搅乱 BP 解码。此外,在 JP-T-2008-527760 中,公开了通过使用多个分组搅乱 BP 解码电路形成复制耦合的解码电路。此外,在 JP-A-2008-16959 中,公开了能够通过改变搅乱 BP 解码电路中的似然的更新计划来有效执行解码的解码装置和解码方法。

[0038] 接下来,将描述分组搅乱 BP 解码。如下表示分组搅乱 BP 解码。分割比特节点的组数的数目由 G 进行表示,并且假设在每个分组中处理的比特节点的数目是 $N_g = N/G$ 。

[0039] 初始化:

[0040] LDPC 解码电路将 i 设置为 1。

[0041] LDPC 解码电路将各 $z_{mn}^{(0)}$ 设置为 F_n 。

[0042] 步骤 1:

[0043] 在将作为处理目标的、表示比特节点的组数的变量 g 从 0 改变到 $G-1$ 的同时,LDPC 解码电路重复 (i) 校验节点计算和 (ii) 比特节点计算。换言之,LDPC 解码电路为作为目标的 G 个校验节点分组中的第一分组执行校验节点计算和比特节点计算。接下来,LDPC 解码电路为作为目标的第二分组执行校验节点计算和比特节点计算,然后通过顺序设置第三分组和它之后的分组作为目标执行校验节点计算和比特节点计算。

[0044] (i) 校验节点计算

[0045] LDPC 解码电路通过使用下面方程 (6) 和 (7) 针对满足 “ $gN_g \leq n < (g+1)N_g$ ” 的 n 和满足 “ $m \in M(n)$ ” 的 m 获取 $\varepsilon_{mn}^{(i)}$ 。

[0046]

$$\tau_{mn}^{(i)} = \left(\prod_{\substack{n' \in N(m) \setminus n \\ n' < gN_g}} \tanh(z_{mn'}^{(i)} / 2) \right) \left(\prod_{\substack{n' \in N(m) \setminus n \\ n' \geq gN_g}} \tanh(z_{mn'}^{(i-1)} / 2) \right) \dots (6)$$

$$[0047] \quad \varepsilon_{mn}^{(i)} = \log \frac{1 + \tau_{mn}^{(i)}}{1 - \tau_{mn}^{(i)}} \dots (7)$$

[0048] (ii) 比特节点计算

[0049] 针对满足“ $gN_g \leq n < (g+1)N_g$ ”的 n 和满足“ $m \in M(n)$ ”的 m , LDPC 解码电路通过使用下面方程 (8) 获取 $z_{mn}^{(i)}$ 并且通过使用下面方程 (9) 获取 $z_n^{(i)}$ 。

$$[0050] \quad z_{mn}^{(i)} = F_n + \sum_{m' \in M(n) \setminus m} \varepsilon_{m'n}^{(i)} \quad \dots (8)$$

$$[0051] \quad z_n^{(i)} = F_n + \sum_{m \in M(n)} \varepsilon_{mn}^{(i)} \quad \dots (9)$$

[0052] 步骤 2 :

[0053] (i) 硬判断

[0054] LDPC 解码电路执行硬判断, 其中, 在 $z_n^{(i)} > 0$ 的情况下 $w_n^{(i)} = 1$, 在 $z_n^{(i)} < 0$ 的情况下 $w_n^{(i)} = 0$ 。此外, LDPC 解码电路基于硬判断的结果获取确定值矢量 $w^{(i)} = [w_n^{(i)}]$ 。

[0055] (ii) 解码结束条件确定

[0056] 在奇偶校验方程 $H_w^{(i)} = 0$ 得到满足的情况下, 换言之, 在针对 $0 \leq m < M$ 满足下面方程 (10) 的情况下, 或者在解码处理的重复的次数到达预先设置的最大次数的情况下, LDPC 解码电路执行步骤 3 的处理。另一方面, 在其它情况下, LDPC 解码电路将 i 增加 1 并且执行步骤 1 的处理。

$$[0057] \quad \sum_{n \in N(m)} H_{mn} w_n^{(i)} = 0 \quad \dots (10)$$

[0058] 步骤 3 :

[0059] LDPC 解码电路输出确定值矢量 $w^{(i)}$ 作为解码处理的结果。

[0060] 图 3 是示出执行上述的分组搅乱 BP 解码的 LDPC 解码电路的结构的框图。

[0061] 图 3 中所示的 LDPC 解码电路 1 由校验节点计算电路 11、比特节点计算电路 12、硬判断电路 13、奇偶校验电路 14 和输出电路 15 进行构造。向校验节点计算电路 11 和比特节点计算电路 12 输入从第 n 比特的接收值获取的初始似然 F_n 。

[0062] 如在步骤 1(i) 的处理中所述, 校验节点计算电路 11 通过对作为目标的比特节点的预定分组执行校验节点计算获取 $\varepsilon_{mn}^{(i)}$ 。校验节点计算电路 11 将 $\varepsilon_{mn}^{(i)}$ 输出到比特节点计算电路 12。

[0063] 如步骤 1(ii) 的处理所述, 比特节点计算电路 12 通过执行比特节点计算获取 $z_{mn}^{(i)}$ 和 $z_n^{(i)}$ 。比特节点计算电路 12 将 $z_n^{(i)}$ 输出到硬判断电路 13 并且将从先前 (第 $(i-1)$ 次) 重复的解码获取的 $z_{mn}^{(i)}$ 和 $z_{mn}^{(i-1)}$ 输出到校验节点计算电路 11。

[0064] 如步骤 2(i) 的处理所述, 硬判断电路 13 执行硬判断。硬判断电路 13 将确定值矢量 $w_n^{(i)}$ 输出到奇偶校验电路 14 和输出电路 15。

[0065] 如步骤 2(ii) 的处理所述, 奇偶校验电路 14 执行解码结束条件确定。每次当针对与码比特长度相同的 N 比特节点的比特节点计算完成时, 奇偶校验电路 14 执行一次解码结束条件确定。在奇偶校验方程 $Hw^{(i)} = 0$ 没有满足的情况下, 以及当解码处理的重复的次数没有到达预先设置的最大次数时, 解码结束条件被确定没有被满足。另一方面, 在奇偶校验方程 $Hw^{(i)} = 0$ 被满足或者解码处理的重复的次数已经到达预先设置的最大次数的情况下, 解码结束条件被确定为被满足。

[0066] 在解码结束条件被确定为没有被满足的情况下,奇偶校验电路 14 将控制信号输出到校验节点计算电路 11 和比特节点计算电路 12,该控制信号指令将变量 i 增加 1 并且重复解码处理。另一方面,在解码结束条件被确定为被满足的情况下,奇偶校验电路 14 将指示解码结束条件被满足的信号输出到输出电路 15。

[0067] 在从奇偶校验电路 14 提供指示解码结束条件被满足的信号的情况下,输出电路 15 输出确定值矢量 $w_n^{(i)}$ 作为解码的结果。

[0068] [现有技术中的分层 BP 解码]

[0069] 在 M. M. Mansour and N. R. Shanbhag, “Turbo decoder architecture for low-density parity-check codes” Proc. Global Telecommun. Conf., pp. 1383-1388, Nov. 2002 中,公开了已知为 Turbo 解码或分层 BP 解码的解码方法,其中,通过被分割成多个处理执行校验节点计算。接下来,将描述分层 BP 解码。分层 BP 解码被表示如下。

[0070] 初始化:

[0071] LDPC 解码电路将 i 设置为 1。

[0072] LDPC 解码电路将各个 $\varepsilon_{mn}^{(0)}$ 设置为 0。

[0073] 步骤 1:

[0074] 在将作为处理目标的、表示校验节点的变量 m 从 0 改变到 $M-1$ 的同时,LDPC 解码电路重复 (i) 校验节点计算和 (ii) 比特节点计算。

[0075] (i) 比特节点计算

[0076] 针对满足“ $n \in N(m)$ ”的 n , LDPC 解码电路通过使用下面方程 (11) 获取 $z_{mn}^{(i-1)}$ 。

[0077]

$$z_{mn}^{(i-1)} = F_n + \sum_{\substack{m' \in M(n) \\ m' < m}} \varepsilon_{m'n}^{(i)} + \sum_{\substack{m' \in M(n) \\ m' > m}} \varepsilon_{m'n}^{(i-1)} \quad \dots (11)$$

[0078] (ii) 校验节点计算

[0079] LDPC 解码电路通过使用下面方程 (12) 和 (13) 针对满足“ $n \in N(m)$ ”的 n 获取 $\varepsilon_{mn}^{(i)}$ 。

$$\tau_{mn}^{(i)} = \prod_{n' \in N(m) \setminus n} \tanh(z_{mn'}^{(i-1)} / 2) \quad \dots (12)$$

$$\varepsilon_{mn}^{(i)} = \log \frac{1 + \tau_{mn}^{(i)}}{1 - \tau_{mn}^{(i)}} \quad \dots (13)$$

[0082] 步骤 2:

[0083] (i) 硬判断

[0084] LDPC 解码电路针对所有 n 值通过使用下面方程 (14) 获取 $z_n^{(i)}$ 。

$$z_n^{(i)} = F_n + \sum_{m \in M(n)} \varepsilon_{mn}^{(i)} \quad \dots (14)$$

[0086] 此外,LDPC 解码电路执行硬判断,其中,在 $z_n^{(i)} > 0$ 的情况下 $w_n^{(i)} = 1$,在 $z_n^{(i)} < 0$ 的情况下 $w_n^{(i)} = 0$ 。另外,LDPC 解码电路基于硬判断的结果获取确定值矢量 $w^{(i)} = [w_n^{(i)}]$ 。

[0087] (ii) 解码结束条件确定

[0088] 在奇偶校验方程 $Hw^{(i)} = 0$ 被满足的情况下,换言之,在针对 $0 \leq m < M$ 满足下面

方程 (15) 的情况下, 或者在解码处理的重复的次数 i 达到预先设置的最大次数的情况下, LDPC 解码电路执行步骤 3 的处理。另一方面, 在其它情况下, LDPC 解码电路将 i 增加 1 并且执行步骤 1 的处理。

$$\sum_{n \in N(m)} H_{mn} w_n^{(i)} = 0 \quad \dots (15)$$

[0090] 步骤 3:

[0091] LDPC 解码电路输出确定值矢量 $w^{(i)}$ 作为解码处理的结果。

[0092] 在 Timo Lehnigk-Emden, Norbert When and Friedbert Berens (“Enhanced iteration control for ultra low power LDPC decoding” proceedings of ICT-MobileSummit 2008) 中, 公开了一种技术, 其中, 在解码处理的重复之前确定接收字的硬判断是否满足码字的条件, 并且在码字的条件被满足的情况下不重复解码处理。

发明内容

[0093] 通常, 期望低功耗的装置, 并且这类似地应用于内置 LDPC 解码功能的装置。由于 LDPC 解码是根据计算量消耗功率的解码方法, 所以为了实现低功耗, 需要实现计算量较小的解码方法。

[0094] 因此, 希望降低重复解码的计算量。

[0095] 本发明的一个实施例涉及一种解码装置, 包括: 确定单元, 以比重复解码中的一次解码处理的间隔短的间隔确定是否满足解码结束条件并且在满足解码结束条件的情况下在这次解码处理的中途结束处理。

[0096] 解码结束条件可以是满足线性区块码的奇偶校验方程。

[0097] 线性区块码可以是 LDPC 码。

[0098] 还可以包括: 比特节点计算单元, 将比特节点计算分割成多个处理并且执行所述多个处理; 以及比特确定单元, 每次当执行由比特节点计算单元分割的处理时, 基于以分割方式执行的处理的结果获取部分比特确定值并且执行解码。在这种情况下, 确定单元基于由比特确定单元获取的比特确定值确定是否满足解码结束条件。

[0099] 还可以包括: 校正子存储单元, 存储当刚好之前由确定单元确定是否满足解码结束条件时获取的校正子; 以及确定值存储单元, 存储由比特确定单元在上次解码处理时获取的比特确定值。在这种情况下, 确定单元可以基于由比特确定单元在这次的解码处理中获取的比特确定值与存储在比特确定值存储单元中的比特确定值之间的差更新存储在校正子存储单元中的校正子并且基于更新的校正子确定是否满足解码结束条件。

[0100] 确定单元可以在开始第一次解码处理之前确定是否满足解码结束条件并且在满足解码结束条件的情况下不执行重复解码。

[0101] 还可以包括校验节点计算单元, 将校验节点计算分割成多个处理并且执行所述多个处理。在这种情况下, 每当执行由校验节点计算单元分割的处理时, 比特确定单元基于以分割方式执行的处理的结果获取比特确定值。

[0102] 本发明的另一个实施例涉及一种解码方法和程序, 其中, 以比重复解码中的一次解码处理的间隔短的间隔确定是否满足解码结束条件; 以及在满足解码结束条件的情况下在这次解码处理的中途结束处理。

[0103] 根据本发明的实施例,能够降低重复解码中的计算量。

附图说明

[0104] 图 1 示出了奇偶校验矩阵的例子。

[0105] 图 2 示出了图 1 所示的奇偶校验矩阵的偶图。

[0106] 图 3 是示出 LDPC 解码电路的结构的框图。

[0107] 图 4 是示出根据本发明的一个实施例的分组搅乱 BP 解码处理的流程的流程图。

[0108] 图 5 是示出执行图 4 所示的处理的解码电路的结构例子的框图。

[0109] 图 6 示出了模拟结果。

[0110] 图 7 是示出根据本发明的一个实施例的另一个分组搅乱 BP 解码处理的流程的流程图。

[0111] 图 8 是示出奇偶校验电路的结构例子的框图。

[0112] 图 9 是示出根据本发明的一个实施例的分层 BP 解码处理的流程的流程图。

[0113] 图 10 是示出计算机的结构例子的框图。

具体实施方式

[0114] 将在下文中描述本发明的实施例。将按照下面的顺序呈现描述。

[0115] 1. 第一实施例(分组搅乱 BP 解码的变型)

[0116] 2. 第二实施例(分层 BP 解码的变型)

[0117] <1. 第一实施例>

[0118] [分组搅乱 BP 解码的变型]

[0119] 根据通用的分组搅乱 BP 解码处理,每次由校验节点计算处理和比特节点计算处理构造的步骤 1 的整个解码计算处理完成时,执行硬判断和解码结束条件判断。与此相比较,根据基于本发明的实施例的分组搅乱 BP 解码处理,一个解码计算处理被分割,并且在分割的解码计算处理之间执行硬判断和解码结束条件确定。

[0120] 在分割的解码计算处理中确定解码结束条件已经被满足的情况下,该处理在分割的处理的途中结束而没有结束整个解码计算处理,由此在保持相同解码能力的同时还能够降低计算量。

[0121] 根据本发明的实施例的分组搅乱 BP 解码处理被表示如下。

[0122] 这里,码比特长度由 N 表示,奇偶校验行的数目为 M 的奇偶校验矩阵由 $H = [H_{mn}]$ 进行表示。此外, m 表示行号(校验节点号)并且值在 $0 \leq m < M$ 的范围内。另外, n 表示列号(比特节点号)并且值在 $0 \leq n < N$ 的范围内。此外,用于第 m 奇偶校验计算处理的比特号的集合由 $N(m) = \{n | H_{mn} = 1\}$ 进行表示,针对其通过使用第 n 比特执行奇偶校验计算的奇偶校验号的集合由 $M(n) = \{m | H_{mn} = 1\}$ 进行表示。

[0123] 此外,从接收的第 n 比特的值获取的初始似然由 F_n 进行表示,第 i 解码处理中从校验节点 m 到比特节点 n 的似然是 $\epsilon_{mn}^{(i)}$,并且第 i 解码处理中的从比特节点 n 到校验节点 m 的似然由 $z_{mn}^{(i)}$ 进行表示。通过第 i 解码处理获取的比特 n 的后似然由 $z_n^{(i)}$ 进行表示。通过分割比特节点获取的分组的数目由 G 进行表示,针对每个分组进行处理的比特节点的数目由 $N_g = N/G$ 进行表示。

[0124] 初始化：

[0125] LDPC 解码电路将 i 设置为 1。

[0126] LDPC 解码电路将各个 $z_{mn}^{(0)}$ 设置为 F_n 。

[0127] LDPC 解码电路执行硬判断,从而使得,在 $F_n > 0$ 的情况下 $w_n^{(0)} = 1$,在 $F_n < 0$ 的情况下 $w_n^{(0)} = 0$ 。此外,LDPC 解码电路基于硬判断的结果获取确定值矢量 $w = [w_n^{(0)}]$ 。

[0128] 步骤 1：

[0129] 在将作为处理目标的、表示比特节点的分组变量 g 从 0 改变到 $G-1$ 的同时,LDPC 解码电路重复 (i) 校验节点计算、(ii) 比特节点计算、(iii) 硬判断和 (iv) 解码结束条件确定,。

[0130] 换言之,在对校验节点的 G 个分组中的第一分组执行校验节点计算和比特节点计算以后,LDPC 解码电路基于作为目标的第一分组的解调计算的结果执行硬判断和解码结束条件确定。在解码结束条件被确定为得到满足的情况下,LDPC 解码电路结束该处理。另一方面,在解码结束条件被确定为没有得到满足的情况下,LDPC 解码电路通过顺序设置第二分组等等作为目标顺序执行相同处理。

[0131] (i) 校验节点计算

[0132] LDPC 解码电路通过使用下面方程 (16) 和 (17) 针对满足“ $gN_g \leq n < (g+1)N_g$ ”的 n 和满足“ $m \in M(n)$ ”的 m 获取 $\varepsilon_{mn}^{(i)}$ 。

[0133]

$$\tau_{mn}^{(i)} = \left(\prod_{\substack{n' \in N(m) \setminus n \\ n' < gN_g}} \tanh(z_{mn'}^{(i)} / 2) \right) \left(\prod_{\substack{n' \in N(m) \setminus n \\ n' \geq gN_g}} \tanh(z_{mn'}^{(i-1)} / 2) \right) \quad \dots (16)$$

$$\varepsilon_{mn}^{(i)} = \log \frac{1 + \tau_{mn}^{(i)}}{1 - \tau_{mn}^{(i)}} \quad \dots (17)$$

[0135] (ii) 比特节点计算

[0136] 对于满足“ $gN_g \leq n < (g+1)N_g$ ”的 n 和满足“ $m \in M(n)$ ”的 m , LDPC 解码电路通过使用下面方程 (18) 获取 $z_{mn}^{(i)}$ 并且通过使用下面方程 (19) 获取 $z_n^{(i)}$ 。

$$z_{mn}^{(i)} = F_n + \sum_{m' \in M(n) \setminus m} \varepsilon_{m'n}^{(i)} \quad \dots (18)$$

$$z_n^{(i)} = F_n + \sum_{m \in M(n)} \varepsilon_{mn}^{(i)} \quad \dots (19)$$

[0139] (iii) 硬判断

[0140] 对于满足“ $gN_g \leq n < (g+1)N_g$ ”的 n , LDPC 解码电路执行硬判断,其中,在 $z_n^{(i)} > 0$ 的情况下 $w_n^{(i)} = 1$,在 $z_n^{(i)} < 0$ 的情况下 $w_n^{(i)} = 0$ 。通过执行硬判断,获取部分硬判断值。此外,LDPC 解码电路基于硬判断的结果更新从 $w_n^{(i-1)}$ 到 $w_n^{(i)}$ 的确定值矢量 w 的第 n 元素。

[0141] (iv) 解码结束条件确定

[0142] LDPC 解码电路执行奇偶校验计算即奇偶校验方程 Hw 的计算。在奇偶校验方程 Hw

= 0 被满足的情况下,换言之,在对于 $0 \leq m < M$ 满足下面方程 (20) 的情况下, LDPC 解码电路执行步骤 3 的处理。在方程 (20) 的计算中,使用第 (i-1) 解码处理的结果,这与方程 (10) 的计算不同。

$$\sum_{\substack{n \in N(m) \\ n < (g+1)N_g}} H_{mn} w_n^{(i)} + \sum_{\substack{n \in N(m) \\ n \geq (g+1)N_g}} H_{mn} w_n^{(i-1)} = 0 \quad \dots (20)$$

[0144] 在针对 $0 \leq m < M$ 方程 (20) 没有被满足并且当前变量 g 不是 $G-1$ 的情况下, LDPC 解码电路将变量 g 增加 1 并且继续步骤 1 的处理。另一方面,在针对 $0 \leq m < M$ 方程 (20) 没有被满足并且当前变量 g 是 $G-1$ 的情况下, LDPC 解码电路执行步骤 2 的处理。

[0145] 步骤 2 :

[0146] 在解码处理的重复的次数达到预先设置的最大次数的情况下, LDPC 解码电路执行步骤 3 的处理。另一方面,在解码处理的重复的次数没有达到预先设置的最大次数的情况下, LDPC 解码电路将 i 增加 1 并且执行步骤 1 的处理。

[0147] 步骤 3 :

[0148] LDPC 解码电路输出确定值矢量 w 作为解码处理的结果。

[0149] 在图 4 所示的流程图中显示了上述的一系列流程。在图 4 中,由虚线 L1 进行包围指示的处理对应于步骤 1 的处理,由点划线 L2 进行包围指示的处理对应于步骤 2 的处理。图 4 的步骤 S1 对应于初始化,步骤 S9 对应于步骤 3 的处理。恰当的是,将通过使用在图 5 中所示的构造 (以后描述) 描述每个步骤的处理之间的对应关系以及执行每个步骤的处理的结构。

[0150] 在步骤 S1 中 LDPC 解码电路执行初始化处理并且在步骤 S2 中将变量 g 设置为 0。作为初始化,由在图 5 中所示的 LDPC 解码电路 1 的各个电路执行将 i 设置为 1 的处理和在步骤 S2 中将变量 g 设置为 0 的处理,并且由校验节点计算电路 11 和比特节点计算电路 12 执行将各个 $z_{mn}^{(0)}$ 设置为 F_n 的处理。此外,由硬判断电路 13 执行获取确定值矢量 $w = [w_n^{(0)}]$ 的处理作为初始化。

[0151] 此外,在步骤 S3 中 LDPC 解码电路执行校验节点计算并且在步骤 S4 中执行比特节点计算。由校验节点计算电路 11 执行步骤 S3 的校验节点计算,并且由比特节点计算电路 12 执行步骤 S4 的比特节点计算。

[0152] 在步骤 S5 中 LDPC 解码电路执行硬判断并且在步骤 S6 中基于硬判断的结果更新确定值矢量 w 。由硬判断电路 13 执行步骤 S5 的硬判断以及步骤 S6 的更新确定值矢量 w 的处理。

[0153] 在步骤 S7 中 LDPC 解码电路执行奇偶校验计算并且在步骤 S8 中确定奇偶校验方程 $Hw = 0$ 是否被满足。由奇偶校验电路 14 执行步骤 S7 的奇偶校验计算和步骤 S8 的确定。在步骤 S8 中确定奇偶校验方程 $Hw = 0$ 得到满足的情况下,在步骤 S9 中 LDPC 解码电路输出确定值矢量 w 并且结束该处理。由输出电路 15 执行输出确定值矢量 w 的处理。

[0154] 另一方面,在步骤 S8 中确定奇偶校验方程 $Hw = 0$ 没有被满足的情况下,在步骤 S10 中 LDPC 解码电路确定变量 g 是否是 $G-1$ 。在步骤 S10 中确定变量 g 不是 $G-1$ 的情况下,在步骤 S11 中变量 g 增加 1 并且步骤 S3 以及其后的处理被重复。通过使用奇偶校验电路 14 执行步骤 S10 的确定,并且由 LDPC 解码电路 1 的每个电路执行步骤 S11 的处理。

[0155] 另一方面,在步骤 S10 中确定变量 g 为 $G-1$ 的情况下,在步骤 S12 中 LDPC 解码电路确定 i 是否达到最大次数。在步骤 S12 中确定 i 没有达到最大次数的情况下,在步骤 S13 中 LDPC 解码电路将变量 i 的值增加 1 并且重复步骤 S2 及其以后的处理。由奇偶校验电路 14 执行步骤 S12 的确定,并且由 LDPC 解码电路 1 的各个电路执行步骤 S13 的处理。

[0156] 在步骤 S12 中确定 i 已经达到最大次数的情况下,在步骤 S9 中 LDPC 解码电路输出确定值矢量 w 并且结束该处理。

[0157] 在现有技术的分组搅乱 BP 解码处理中,即使当在第一次解码处理的中途获取满足奇偶校验方程 $Hw = 0$ 的解码结果时,在针对所有的比特节点的分组的解码计算结束以后,仍执行解码结束条件确定。因此,需要在一个解码处理内执行 G 次的解码计算。另一方面,在根据本发明的实施例的分组搅乱 BP 解码处理中,在第一次解码处理中确定解码结束条件,并且因此,在通过第 $g < (G-1)$ 解码计算处理获取满足奇偶校验方程 $Hw = 0$ 的解码结果的情况下,没有执行剩余处理。因此,能够降低计算量,并且通过降低计算量能够抑制装置的功耗。

[0158] [电路结构]

[0159] 图 5 是示出设置在根据本发明的实施例的解码装置 21 中的 LDPC 解码电路 1 的结构例子的框图。相同标号分配给与图 3 所示的结构相同的图 5 所示的每个结构。

[0160] 图 5 所示的 LDPC 解码电路 1 由校验节点计算电路 11、比特节点计算电路 12、硬判断电路 13、奇偶校验电路 14、输出电路 15 和选择电路 31 进行构造。从第 n 比特的接收值获取的初始似然 F_n 输入到校验节点计算电路 11、比特节点计算电路 12 和选择电路 31。

[0161] 校验节点计算电路 11 将变量 g 设置为 0 并且如步骤 1(i) 的处理所述,通过执行校验节点计算获取 $\epsilon_{mn}^{(i)}$ 。校验节点计算电路 11 将 $\epsilon_{mn}^{(i)}$ 输出到比特节点计算电路 12。校验节点计算电路 11 根据从输出电路 15 发送的控制信号恰当地将变量 g 增加 1 以改变校验节点的分组并且重复校验节点计算。

[0162] 如步骤 1(ii) 的处理所述,比特节点计算电路 12 通过使用由校验节点计算电路 11 获取的 $\epsilon_{mn}^{(i)}$ 获取 $z_{mn}^{(i)}$ 和 $z_n^{(i)}$ 。比特节点计算电路 12 将 $z_n^{(i)}$ 输出到选择电路 31 并且将从先前重复的解码获取的 $z_{mn}^{(i-1)}$ 和 $z_{mn}^{(i)}$ 输出到校验节点计算电路 11。

[0163] 在初始化时选择电路 31 选择 F_n 并且将选择的 F_n 输出到硬判断电路 13。此外,在提供了由比特节点计算电路 12 获取的 $z_n^{(i)}$ 的情况下,选择电路 31 选择 $z_n^{(i)}$ 并且将选择的 $z_n^{(i)}$ 输出到硬判断电路 13。

[0164] 在初始化时硬判断电路 13 基于由选择电路 31 选择的 F_n 执行硬判断,其中,在 $F_n > 0$ 的情况下 $w_n^{(0)} = 1$,在 $F_n < 0$ 的情况下 $w_n^{(0)} = 0$,从而获取确定值矢量 $w = [w_n^{(0)}]$ 。硬判断电路 13 将确定值矢量 w 输出到奇偶校验电路 14 和输出电路 15。

[0165] 此外,从选择电路 31 提供由比特节点计算电路 12 获取的 $z_n^{(i)}$,如步骤 1(iii) 的处理所述硬判断电路 13 执行硬判断。此外,硬判断电路 13 基于硬判断的结果更新确定值矢量 w 并且将更新后的确定值矢量 w 输出到奇偶校验电路 14 和输出电路 15。

[0166] 如步骤 1(iv) 的处理所述,奇偶校验电路 14 执行解码结束条件确定。换言之,奇偶校验电路 14 基于每次当为比特节点的一个分组 (N_g) 执行比特节点计算时新获取的硬判断值执行解码结束条件确定。

[0167] 在的情况下,奇偶校验电路 14 将指示解码结束条件得到满足的信号输出到输出

电路 15。另一方面,在解码结束条件被确定没有被满足的情况下,当变量 g 不是 $G-1$ 时,奇偶校验电路 14 输出指令将变量 g 增加 1 并且重复计算的控制信号。此外,在解码结束条件被确定没有被满足的情况下,当变量 g 为 $G-1$ 并且 i 没有达到最大次数时,奇偶校验电路 14 输出指令将 i 增加 1 并且重复该计算的控制信号。从奇偶校验电路 14 输出的控制信号从校验节点计算电路 11 提供给比特节点计算电路 12。

[0168] 在从奇偶校验电路 14 提供指示解码结束条件被满足的信号的情况下,输出电路 15 输出确定值矢量 w 作为解码的结果。

[0169] [模拟结果]

[0170] 图 6 示出了在通过使用通用 BP 解码方法、通用分组搅乱 BP 解码方法和根据本发明的实施例的分组搅乱 BP 解码方法执行 LDPC 解码的情况下的计算量的模拟结果。

[0171] 模拟模型是这样一种模型,其中,通过使用 BPSK 调制方法对码比特长度是 1440 而信息位长度是 1344 的 LDPC 码进行调制并且进行发送,并且在发送信号穿过白噪声通信路径以后,该解码被重复执行并且同时将最大重复次数设置为 16。曲线图的水平轴表示该比特附近的能量 (E_b) 与噪声功率密度 (N_0) 的比率 (E_b/N_0),垂直轴表示通过由比特节点计算的平均数目除以码比特长度获取的值 (N_b)。

[0172] 如图 6 所示,在任何一个解码方法中,随着 E_b/N_0 的值增加, N_b 的值下降。在通用 BP 解码方法和通用分组搅乱 BP 解码方法的情况下,在一个解码处理中执行与码比特长度相同的 1440 的比特节点计算。因此,直到处理结束,通过由比特节点计算的数目除以码比特长度获取的值与解码处理的重复的次数相同,它是等于或大于 1 且等于或小于 16 的整数值。从图 6 能够看出,在曲线图中所示的所有的 E_b/N_0 的值中,完成通用分组搅乱 BP 解码的处理的重复的次数小于通用 BP 解码处理的重复的次数。

[0173] 由于存在一个解码处理在处理的中途结束的情况,在根据本发明的实施例的分组搅乱 BP 解码的情况下的比特节点计算的数目等于或小于在使用通用分组搅乱 BP 解码的情况下的比特节点计算的数目。在使用通用分组搅乱 BP 解码的情况下的比特节点计算的数目由根据重复的次数和码比特长度获取的值进行表示。

[0174] 从图 6 可以看出,在曲线图中所示的所有的 E_b/N_0 的值中,在根据本发明的实施例的分组搅乱 BP 解码的情况下的 N_b 的值小于在使用通用分组搅乱 BP 解码的情况下的 N_b 的值,并且计算量下降。例如,在 $E_b/N_0 = 6\text{dB}$ 的条件下,在通用分组搅乱 BP 解码中 $N_b = 1.16$,在根据本发明的实施例的分组搅乱 BP 解码下 $N_b = 0.87$,从而计算量下降大约 25%。

[0175] [奇偶校验计算]

[0176] 当与通用分组搅乱 BP 解码进行比较时,在根据本发明的实施例的分组搅乱 BP 解码中,解码结束条件确定的次数(奇偶校验计算的次数)大约是通用分组搅乱 BP 解码的情况的 G 倍。将描述即使在这种情况下总计算量也不多。

[0177] 这里,将关注:在步骤 1(iii) 中更新的硬判断值 $w_n^{(i)}$ 的数目(确定值矢量 w 的元素的数目)是在 n 在 $gN_g \leq n < (g+1)N_g$ 范围内并且它的数目是 N_g 的情况下的值。

[0178] 首先,在步骤 1(iii) 中更新硬判断值 $w_n^{(i)}$ 之前的奇偶校验方程的左侧在下面方程 (21) 中进行表示。通过由 $g-1$ 替换在方程 (20) 中表示的变量 g 导出方程 (21)。在更新硬判断值 $w_n^{(i)}$ 之前的奇偶校验方程的左侧上进行表示的值将由校正子 (Syndrome) S_m' 进行表示。

$$[0179] \quad S_m' = \sum_{\substack{n \in N(m) \\ n < gN_g}} H_{mn} w_n^{(i)} + \sum_{\substack{n \in N(m) \\ n \geq gN_g}} H_{mn} w_n^{(i-1)} \quad \dots (21)$$

[0180] 通过使用校正子 S_m' 由下面方程 (22) 能够获取在步骤 1(iii) 中更新的使用更新以后的硬判断值 $w_n^{(i)}$ 的新校正子 S_m 。

$$[0181] \quad S_m$$

$$[0182] \quad = \sum_{\substack{n \in N(m) \\ n < (g+1)N_g}} H_{mn} w_n^{(i)} + \sum_{\substack{n \in N(m) \\ n \geq (g+1)N_g}} H_{mn} w_n^{(i-1)}$$

$$[0183] \quad = \sum_{\substack{n \in N(m) \\ n < gN_g}} H_{mn} w_n^{(i)} + \sum_{\substack{n \in N(m) \\ gN_g \leq n < (g+1)N_g}} H_{mn} w_n^{(i)} + \sum_{\substack{n \in N(m) \\ n \geq gN_g}} H_{mn} w_n^{(i-1)} - \sum_{\substack{n \in N(m) \\ gN_g \leq n < (g+1)N_g}} H_{mn} w_n^{(i-1)}$$

$$[0184] \quad = S_m' + \sum_{\substack{n \in N(m) \\ gN_g \leq n < (g+1)N_g}} H_{mn} (w_n^{(i)} - w_n^{(i-1)}) \quad \dots (22)$$

[0185] 必须通过使用通过硬判断新获取的所有的 N 个硬判断值 $w_n^{(i)}$ 执行根据通用分组搅乱 BP 解码的奇偶校验计算。与此相比较,根据基于本发明的实施例的分组搅乱 BP 解码中的校正子 S_m 的计算,应该明白,当存储先前计算的校正子 S_m' 和在先前解码处理中获取的 $w_n^{(i-1)}$ 时,在这个解码处理中更新的 N_g 比特节点的硬判断值的差可以反映在校正子 S_m' 上。

[0186] 基于计算中使用的硬判断值 $w_n^{(i)}$ 的数目的差,校正子 S_m 的计算量大约是根据通用分组搅乱 BP 解码的奇偶校验计算的计算量的 $1/G$ 。换言之,计算次数增加到大约 G 倍的奇偶校验计算的一次计算量是大约 $1/G$ 。结果,通用分组搅乱 BP 解码中的奇偶校验计算的计算量和根据本发明的实施例的分组搅乱 BP 解码中的奇偶校验计算的计算量几乎相同。

[0187] 现在将描述安置了这里描述的奇偶校验计算的根据本发明的实施例的分组搅乱 BP 解码。

[0188] 初始化:

[0189] LDPC 解码电路将 i 设置为 1。

[0190] LDPC 解码电路将各个 $z_{mn}^{(0)}$ 设置为 F_n 。

[0191] LDPC 解码电路获取确定值矢量 $w = [w_n^{(0)}]$, 其中,在 $F_n > 0$ 的情况下 $w_n^{(0)} = 1$, 在 $F_n < 0$ 的情况下 $w_n^{(0)} = 0$ 。

[0192] LDPC 解码电路使用确定值矢量 $w = [w_n^{(0)}]$ 通过使用下面方程 (23) 获取校正子 S_m 。

$$[0193] \quad S_m = \sum_{n \in N(m)} H_{mn} w_n^{(0)} \quad \dots (23)$$

[0194] 此外,在针对所有的 m 值 ($0 \leq m < M$) 满足 $S_m = 0$ 的情况下, LDPC 解码电路执行步骤 3 的处理。换言之,在满足 $S_m = 0$ 的情况下,解码结果输出,并且处理结束。另一方面,在没有针对所有的 m 值满足 $S_m = 0$ 的情况下, LDPC 解码电路用 S_m' 替代 S_m 并且执行步骤 1 的处理。

[0195] 步骤 1:

[0196] 在将变量 g 从 0 变成 $G-1$ 的同时, LDPC 解码电路重复 (i) 校验节点计算、(ii) 比特节点计算、(iii) 硬判断和 (iv) 解码结束条件确定。

[0197] (i) 校验节点计算

[0198] LDPC 解码电路通过使用下面方程 (24) 和 (25) 针对满足“ $gN_g \leq n < (g+1)N_g$ ”的 n 和满足“ $m \in M(n)$ ”的 m 获取 $\varepsilon_{mn}^{(i)}$ 。

[0199]

$$\tau_{mn}^{(i)} = \left(\prod_{\substack{n' \in N(m) \setminus n \\ n' < gN_g}} \tanh(z_{mn'}^{(i)} / 2) \right) \left(\prod_{\substack{n' \in N(m) \setminus n \\ n' \geq gN_g}} \tanh(z_{mn'}^{(i-1)} / 2) \right) \quad \dots (24)$$

$$\varepsilon_{mn}^{(i)} = \log \frac{1 + \tau_{mn}^{(i)}}{1 - \tau_{mn}^{(i)}} \quad \dots (25)$$

[0201] (ii) 比特节点计算

[0202] 针对满足“ $gN_g \leq n < (g+1)N_g$ ”的 n 和满足“ $m \in M(n)$ ”的 m , LDPC 解码电路通过使用下面方程 (26) 获取 $z_{mn}^{(i)}$ 以及通过使用下面方程 (27) 获取 $z_n^{(i)}$ 。

$$z_{mn}^{(i)} = F_n + \sum_{m' \in M(n) \setminus m} \varepsilon_{m'n}^{(i)} \quad \dots (26)$$

$$z_n^{(i)} = F_n + \sum_{m \in M(n)} \varepsilon_{mn}^{(i)} \quad \dots (27)$$

[0205] (iii) 硬判断

[0206] 针对满足“ $gN_g \leq n < (g+1)N_g$ ”的 n , LDPC 解码电路执行硬判断, 其中, 在 $z_n^{(i)} > 0$ 的情况下 $w_n^{(i)} = 1$, 在 $z_n^{(i)} < 0$ 的情况下 $w_n^{(i)} = 0$ 。此外, LDPC 解码电路基于硬判断的结果将确定值矢量 w 的第 n 元素从 $w_n^{(i-1)}$ 更新为 $w_n^{(i)}$ 。

[0207] (iv) 解码结束条件确定

[0208] LDPC 解码电路通过使用下面方程 (28) 更新针对属于连接到比特节点 n (其中, n 在 $m(gN_g \leq n < (g+1)N_g)$ 的范围内, 满足 $m \in \{ \cup M(n) \mid gN_g \leq n < (g+1)N_g \}$ 的校验节点 m 的集合的校验节点 (m) 的校正子 S_m 。

$$S_m = S_m' + \sum_{\substack{n \in N(m) \\ gN_g \leq n < (g+1)N_g}} H_{mn} (w_n^{(i)} - w_n^{(i-1)}) \quad \dots (28)$$

[0210] 在针对所有 m 值 ($0 \leq m < M$) 满足 $S_m = 0$ 的情况下, LDPC 解码电路执行步骤 3 的处理。

[0211] 在针对所有 m 值不满足 $S_m = 0$ 的情况下, 当当前变量 g 不是 $G-1$ 时, LDPC 解码电路用从方程 (28) 获取的 S_m 置换 S_m' , 将变量 g 增加 1, 并且继续步骤 1 的处理。另一方面, 在针对所有 m 值不满足 $S_m = 0$ 的情况下, 当当前变量 $g = G-1$ 时, LDPC 解码电路执行步骤 2 的处理。

[0212] 步骤 2

[0213] 在解码处理的重复的次数达到预先设置的最大次数的情况下, LDPC 解码电路执行步骤 3 的处理。另一方面, 在解码处理的重复的次数没有达到预先设置的最大次数的情况下, LDPC 解码电路将 i 增加 1 并且执行步骤 1 的处理。

[0214] 步骤 3:

[0215] LDPC 解码电路输出确定值矢量 w 作为解码处理的结果。

[0216] 在上述处理中, 在初始化时, 基于确定值矢量 $w = [w_n^{(0)}]$ 获取校正子 S_m' 的计算是必需的。此时当满足 $S_m' = 0$ 时, 可以构造为输出此刻的解码结果并且处理结束而不执行步骤 1 和步骤 2 的处理。

[0217] 上述的一系列流程在图 7 中所示的流程图中进行表示。在图 7 中, 由虚线 L11 进行包围表示的处理对应于步骤 1 的处理, 由点划线 L12 进行包围表示的处理对应于步骤 2 的处理。图 7 的步骤 S21 对应于初始化, 并且步骤 S31 对应于步骤 3 的处理。将恰当地描述每个步骤的处理之间的对应关系以及执行每个步骤的处理的构造。

[0218] 在步骤 S21 中 LDPC 解码电路执行初始化处理并且在步骤 S22 中将变量 g 设置为 0。此外, 在步骤 S23 中 LDPC 解码电路执行校验节点计算并且在步骤 S24 中执行比特节点计算。在步骤 S25 中 LDPC 解码电路执行硬判断并且在步骤 S26 中存储硬判断值。通过将在以后描述的图 8 中所示的硬判断值存储电路 41 执行存储硬判断值的处理。

[0219] 在步骤 S27 中, LDPC 解码电路基于硬判断的结果更新确定值矢量 w 。在步骤 S28 中, LDPC 解码电路通过使用方程 (28) 作为奇偶校验计算计算校正子 S_m 。在存储了在先前解码处理 (第 $(i-1)$ 解码处理) 中获取的校正子 S_m 的情况下, 在方程 (28) 的计算中, 已经存储的校正子 S_m 用作校正子 S_m' 。在步骤 S29 中, LDPC 解码电路存储通过方程 (28) 的计算获取的校正子 S_m 。

[0220] 在步骤 S30 中, LDPC 解码电路确定是否满足 $S_m = 0$ 。在步骤 S30 中确定 $S_m = 0$ 得到满足的情况下, 在步骤 S31 中 LDPC 解码电路输出确定值矢量 w 并且结束该处理。

[0221] 另一方面, 在步骤 S30 中确定 $S_m = 0$ 没有被满足的情况下, 在步骤 S32 中 LDPC 解码电路确定变量 g 是否是 $G-1$ 。在步骤 S32 中确定变量 g 不是 $G-1$ 的情况下, 在步骤 S33 中变量 g 增加 1 并且步骤 S23 的处理及其以后的处理被重复。

[0222] 另一方面, 在步骤 S32 中确定变量 g 是 $G-1$ 的情况下, 在步骤 S34 中 LDPC 解码电路确定 i 是否达到最大次数。在步骤 S34 中确定 i 没有达到最大次数的情况下, 在步骤 S35 中 LDPC 解码电路将变量 i 的值增加 1 并且重复步骤 S22 的处理及其以后处理。

[0223] 在步骤 S34 中确定 i 达到最大次数的情况下, 在步骤 S31 中 LDPC 解码电路输出确定值矢量 w 并且结束该处理。

[0224] [奇偶校验电路的结构]

[0225] 图 8 是示出存储如上先前计算的校正子 S_m' 和在先前解码处理中获取的硬判断值 $w_n^{(i-1)}$ 并且执行解码结束条件确定的奇偶校验电路 14 的结构例子的框图。

[0226] 奇偶校验电路 14 由硬判断值存储电路 41、校正子计算电路 42、校正子存储电路 43 和确定电路 44 进行构造。从硬判断电路 13 输出的硬判断值 $w_n^{(i)}$ 输入到硬判断值存储电路 41 和校正子计算电路 42。

[0227] 硬判断值存储电路 41 存储由硬判断电路 13 获取的硬判断值 $w_n^{(i)}$ 。此外, 当 i 增加 1 时, 硬判断值存储电路 41 将存储的硬判断值 $w_n^{(i)}$ 作为 $w_n^{(i-1)}$ 输出到校正子计算电路 42。

[0228] 在初始化时校正子计算电路 42 使用由硬判断电路 13 获取的硬判断值 $w_n^{(0)}$ 通过使用方程 (23) 获取校正子 S_m 。此外,在 i 等于或大于 1 的情况下,校正子计算电路 42 通过使用方程 (28) 获取校正子 S_m 。在校正子 S_m 的计算中,使用从校正子存储电路 43 输出的校正子 S_m' 和由硬判断电路 13 获取并且新更新的硬判断值 $w_n^{(i)}$ 、和从硬判断值存储电路 41 输出的硬判断值 $w_n^{(i-1)}$ 。校正子计算电路 42 通过校正子存储电路 43 将新获取的校正子 S_m 输出到确定电路 44。

[0229] 校正子存储电路 43 存储由校正子计算电路 42 获取的校正子 S_m 。当新获取硬判断值 $w_n^{(i)}$ 时,校正子存储电路 43 将已经存储的校正子 S_m 作为先前校正子 S_m' 输出到校正子计算电路 42。

[0230] 确定电路 44 确定是否针对所有 m 值满足 $S_m = 0$ 并且输出用于切换到解码结束操作或者继续解码操作的控制信号。从确定电路 44 输出的控制信号被提供给图 5 中所示的校验节点计算电路 11 和比特节点计算电路 12。

[0231] < 第二实施例 >

[0232] [分层 BP 解码的变型]

[0233] 以比重复解码中的一个解码处理的间隔要短的间隔确定解码结束条件并且在满足解码结束条件的情况下处理结束的一种技术可应用于分层 BP 解码。根据这个技术的分层 BP 解码被表示如下。

[0234] 初始化 :

[0235] LDPC 解码电路将 i 设置为 1。

[0236] LDPC 解码电路将各个 $\varepsilon_{mn}^{(0)}$ 设置为 0。

[0237] LDPC 解码电路通过执行硬判断获取确定值矢量 $w = [w_n]$, 其中,在 $F_n > 0$ 的情况下 $w_n = 1$,在 $F_n < 0$ 的情况下 $w_n = 0$ 。

[0238] 此外,LDPC 解码电路确定是否满足奇偶校验方程 $Hw = 0$,并且在确定奇偶校验方程被满足的情况下,执行步骤 3 的处理。另一方面,在确定 $Hw = 0$ 没有被满足的情况下,LDPC 解码电路执行步骤 1 的处理。

[0239] 步骤 1 :

[0240] 在将变量 m 从 0 变成 $M-1$ 的同时,LDPC 解码电路重复 (i) 比特节点计算、(ii) 校验节点计算、(iii) 硬判断和 (iv) 解码结束条件确定。

[0241] 换言之,LDPC 解码电路针对奇偶校验矩阵的第一行执行比特节点计算和校验节点计算并且然后基于针对第一行的解码计算的结果执行硬判断和解码结束条件确定。在通过解码结束条件确定确定解码结束条件得到满足的情况下,LDPC 解码电路结束解码。另一方面,在确定解码结束条件没有被满足的情况下,LDPC 解码电路对第二行执行相同处理并且然后顺序设置为目标。

[0242] (i) 比特节点计算

[0243] 针对满足 “ $n \in N(m)$ ” 的 n , LDPC 解码电路通过使用下面方程 (29) 获取 $z_{mn}^{(i-1)}$ 。

[0244]

$$z_{mn}^{(i-1)} = F_n + \sum_{\substack{m' \in M(n) \\ m' < m}} \varepsilon_{m'n}^{(i)} + \sum_{\substack{m' \in M(n) \\ m' > m}} \varepsilon_{m'n}^{(i-1)} \dots \quad (29)$$

[0245] (ii) 校验节点计算

[0246] LDPC 解码电路通过使用下面方程 (30) 和 (31) 针对满足“ $n \in N(m)$ ”的 n 获取 $\varepsilon_{mn}^{(i)}$ 。

$$[0247] \quad \tau_{mn}^{(i)} = \prod_{n' \in N(m) \setminus n} \tanh(z_{mn'}^{(i-1)} / 2) \quad \dots (30)$$

$$[0248] \quad \varepsilon_{mn}^{(i)} = \log \frac{1 + \tau_{mn}^{(i)}}{1 - \tau_{mn}^{(i)}} \quad \dots (31)$$

[0249] (iii) 硬判断

[0250] 针对满足“ $n \in N(m)$ ”的 n , LDPC 解码电路通过使用下面方程 (32) 获取 $z_n^{(i)}$ 。

$$[0251] \quad z_n^{(i)} = F_n + \sum_{m \in M(n)} \varepsilon_{mn}^{(i)} \quad \dots (32)$$

[0252] 此外, LDPC 解码电路执行硬判断 (其中, 在 $z_n^{(i)} > 0$ 的情况下 $w_n = 1$, 在 $z_n^{(i)} < 0$ 的情况下 $w_n = 0$) 并且更新确定值矢量 w 。

[0253] (iv) 解码结束条件确定

[0254] 在满足奇偶校验方程 $Hw = 0$ 的情况下, LDPC 解码电路执行步骤 3 的处理。另一方面, 在没有满足 $Hw = 0$ 的情况下, 当当前变量 m 不是 $M-1$ 时, LDPC 解码电路将 m 增加 1 并且继续执行步骤 1 的处理。此外, 在没有满足 $Hw = 0$ 的情况下, 当当前变量 m 是 $M-1$ 时, LDPC 解码电路执行步骤 2 的处理。

[0255] 步骤 2 :

[0256] 在解码处理的重复的次数达到预先设置的最大次数的情况下, LDPC 解码电路执行步骤 3 的处理。另一方面, 在解码处理的重复的次数没有达到预先设置的最大次数的情况下, LDPC 解码电路将 i 增加 1 并且执行步骤 1 的处理。

[0257] 步骤 3 :

[0258] LDPC 解码电路输出确定值矢量 w 作为解码处理的结果。

[0259] 在图 9 中所示的流程图中表示上述的一系列流程。在图 9 中, 由虚线 L21 进行包围指示的处理对应于步骤 1 的处理, 由点划线 L22 进行包围指示的处理对应于步骤 2 的处理。图 9 的步骤 S51 对应于初始化, 步骤 S59 对应于步骤 3 的处理。

[0260] 在步骤 S51 中 LDPC 解码电路执行初始化处理并且在步骤 S52 中将变量 m 设置为 0。作为初始化, 由 LDPC 解码电路 1 的每个电路执行步骤 S2 中的将 i 设置为 1 的处理和将变量 m 设置为 0 的处理, 并且由校验节点计算电路 11 和比特节点计算电路 12 执行将 $\varepsilon_{mn}^{(0)}$ 设置为 0 的处理。此外, 由硬判断电路 13 执行获取确定值矢量 $w = [w_n^{(0)}]$ 的处理作为初始化。

[0261] 此外, 在步骤 S53 中 LDPC 解码电路执行比特节点计算并且在步骤 S54 中执行校验节点计算。由比特节点计算电路 12 执行步骤 S53 的比特节点计算, 由校验节点计算电路 11 执行步骤 S54 的校验节点计算。

[0262] 在步骤 S55 中 LDPC 解码电路执行硬判断并且在步骤 S56 中基于硬判断的结果更新确定值矢量 w 。由硬判断电路 13 执行步骤 S55 的硬判断和步骤 S56 的更新确定值矢量 w 的处理。

[0263] 在步骤 S57 中 LDPC 解码电路执行奇偶校验计算并且在步骤 S58 中确定是否满足

奇偶校验方程 $Hw = 0$ 。由奇偶校验电路 14 执行步骤 S57 的奇偶校验计算和步骤 S58 的确定。

[0264] 在步骤 S58 中满足奇偶校验方程 $Hw = 0$ 的情况下,在步骤 S59 中 LDPC 解码电路输出确定值矢量 w 并且结束该处理。由输出电路 15 执行输出确定值矢量 w 的处理。

[0265] 另一方面,在步骤 S58 中确定奇偶校验方程 $Hw = 0$ 没有被满足的情况下,在步骤 S60 中 LDPC 解码电路确定变量 m 是否是 $M-1$ 。在步骤 S60 中确定变量 m 不是 $M-1$ 的情况下,在步骤 S61 中变量 m 增加 1 并且步骤 S53 及以后的处理被重复。

[0266] 另一方面,在步骤 S60 中确定变量 m 为 $M-1$ 的情况下,在步骤 S62 中 LDPC 解码电路确定 i 是否达到最大次数。在步骤 S62 中确定 i 没有达到最大次数的情况下,在步骤 S63 中 LDPC 解码电路将变量 i 的值增加 1 并且重复步骤 S52 及以后的处理。由奇偶校验电路 14 执行步骤 S60 的确定,由 LDPC 解码电路 1 的各个电路执行步骤 S61 的处理。

[0267] 在步骤 S62 中确定 i 已经达到最大次数的情况下,在步骤 S59 中 LDPC 解码电路输出确定值矢量 w 并且结束该处理。

[0268] 在现有技术的分层 BP 解码处理中,即使当在第一次解码处理的中途获取满足奇偶校验方程 $Hw = 0$ 的解码结果时,在执行了所有的校验节点计算处理以后,执行解码结束条件确定。因此,在一次解码处理中需要执行 M 次的解码计算。另一方面,根据基于本发明的实施例的分层 BP 解码,在第一次解码处理中确定解码结束条件,并且相应地,在通过第 $m < (M-1)$ 次解码计算处理获取满足奇偶校验方程 $Hw = 0$ 的解码结果的情况下,不需要执行剩余处理,从而能够降低计算量。此外,由于计算量被降低,所以能够抑制装置的功耗。

[0269] 此外,另外在根据本发明的实施例的分层 BP 解码处理中,可被构造为存储先前计算的校正子 S_m' 和通过先前解码处理获取的硬判断值 $w_n^{(i-1)}$,并且如上所述,通过使用该校正子确定解码结束条件。

[0270] [计算机等等的结构例子]

[0271] 上述处理系列可由硬件或软件执行。通过将上述处理实现为软件,能够缩短 LDPC 解码处理所需的时间。

[0272] 在由软件执行一系列处理的情况下,构成软件的程序从程序记录介质安装到内置专用硬件的计算机、通用计算机、等等。

[0273] 图 10 是示出根据程序执行上述一系列处理的计算机的硬件结构的例子的框图。

[0274] CPU(中央处理单元)51、ROM(只读存储器)52、RAM(随机访问存储器)53 通过总线 54 进行互联。

[0275] 此外,输入 / 输出接口 55 连接到总线 54。由键盘、鼠标等形成的输入单元 56 和由显示器、扬声器等形成的输出单元 57 连接到输入 / 输出接口 55。此外,由硬盘、非易失性存储器等等形成的存储单元 58、由网络接口等构造的通信单元 59 和驱动可移动介质 61 的驱动器 60 连接到输入 / 输出接口 55。

[0276] 在上述构造的计算机中,例如,CPU 51 将存储在存储单元 58 中的程序通过输入 / 输出接口 55 和总线 54 加载到 RAM 53 中并且执行该程序,从而执行上述一系列的处理。

[0277] 由 CPU 51 执行的程序例如记录在可移动介质 61 上或者通过诸如局域网或互联网、数字广播的有线或无线传输介质进行提供并且安装到存储单元 58 中。

[0278] 此外,由计算机执行的程序可以是按照时间序列根据这里描述的顺序执行处理的

程序或以并行方式执行处理或者在诸如被调用时的所需定时执行处理的程序。

[0279] 本发明的实施例不限于上述的实施例并且在不脱离本发明的构思的情况下可以进行各种改变。

[0280] 例如,本发明可以具有下面结构。

[0281] (1) 一种解码装置,包括确定单元,用于以比重重复解码中的一次解码处理的间隔短的间隔确定是否满足解码结束条件并且在满足解码结束条件的情况下在这次解码处理的中途结束处理。

[0282] (2) 根据上述(1)的解码装置,其中,解码结束条件是满足线性区块码的奇偶校验方程。

[0283] (3) 根据上述(2)的解码装置,其中,线性区块码是 LDPC 码。

[0284] (4) 根据上述(3)的解码装置,其中,还包括比特节点计算单元和比特确定单元,其中,该比特节点计算单元将比特节点计算分割成多个处理并且执行该多个处理,每次当执行由比特节点计算单元分割的处理时,比特确定单元基于以分割方式执行的处理的结果获取部分比特确定值并且执行解码,并且确定单元基于由比特确定单元获取的比特确定值确定是否满足解码结束条件。

[0285] (5) 根据上述(4)的解码装置,其中,还包括校正子存储单元和确定值存储单元,其中,该校正子存储单元存储当刚好之前由确定单元确定是否满足解码结束条件时获取的校正子,该确定值存储单元存储由比特确定单元在上次解码处理时获取的比特确定值,并且确定单元基于由比特确定单元在这次的解码处理中获取的比特确定值与存储在比特确定值存储单元中的比特确定值之间的差更新存储在校正子存储单元中的校正子并且基于更新的校正子确定是否满足解码结束条件。

[0286] (6) 根据上述的(1)到(5)的任何一个的解码装置,其中,确定单元在开始第一次解码处理之前确定是否满足解码结束条件并且在满足解码结束条件的情况下不执行重复解码。

[0287] (7) 根据上述(1)到(6)的任何一个的解码装置,其中,还包括将校验节点计算分割成多个处理并且执行所述多个处理的校验节点计算单元,并且每当执行由校验节点计算单元分割的处理时,比特确定单元基于以分割方式执行的处理的结果获取比特确定值。

[0288] 本申请包含与在于 2011 年 3 月 1 日提交到日本专利局的日本优先权专利申请 JP 2011-043720 中公开的主题有关的主题,该日本优先权专利申请的全部内容以引用方式并入本文。

[0289] 本领域技术人员应该明白,可以根据设计要求和其它因素构思各种变型、组合、子组合和变更,只要它们位于权利要求或它们的等同物的范围内即可。

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 1 \\ 1 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 \\ 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 0 \end{bmatrix}$$

图 1

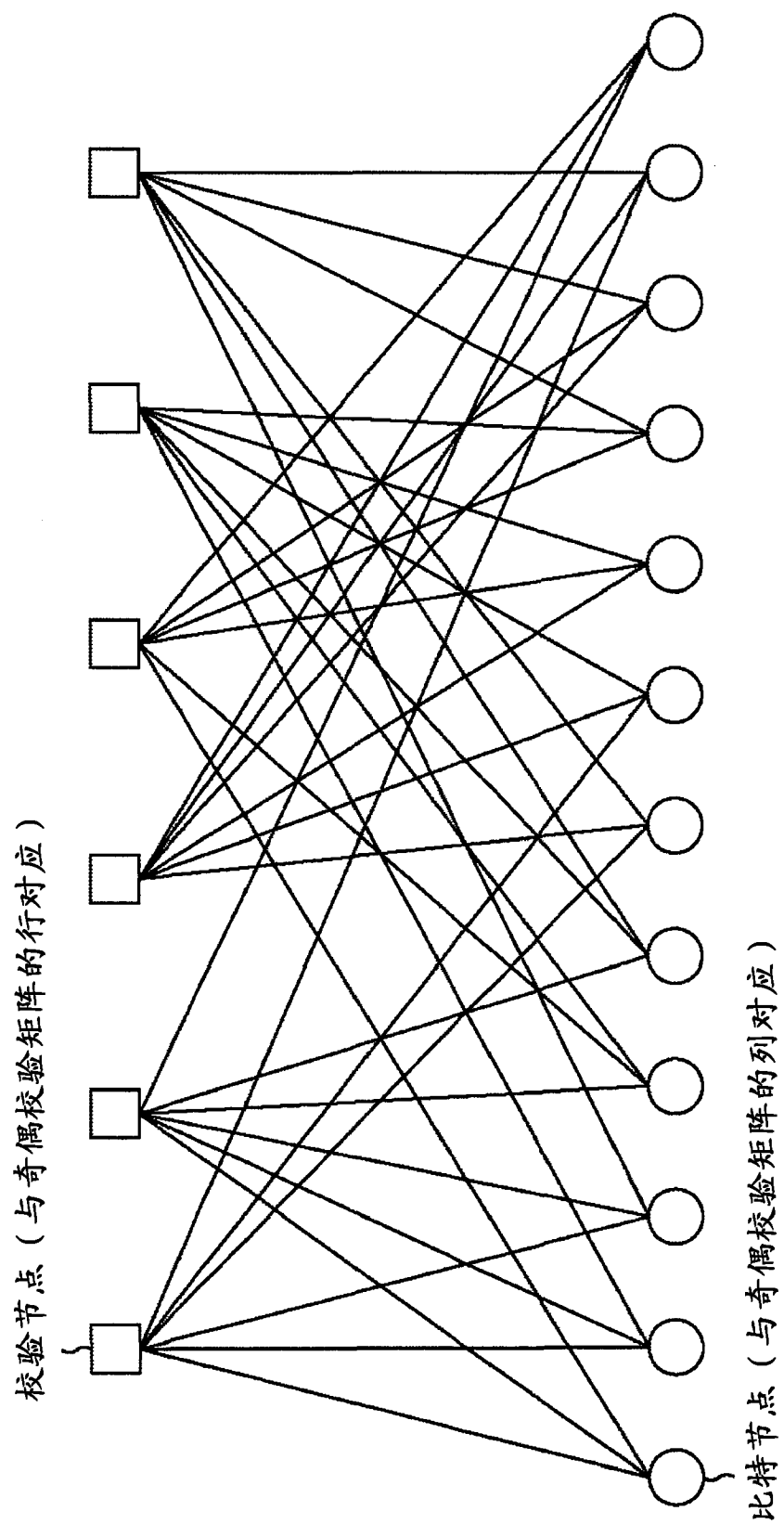


图 2

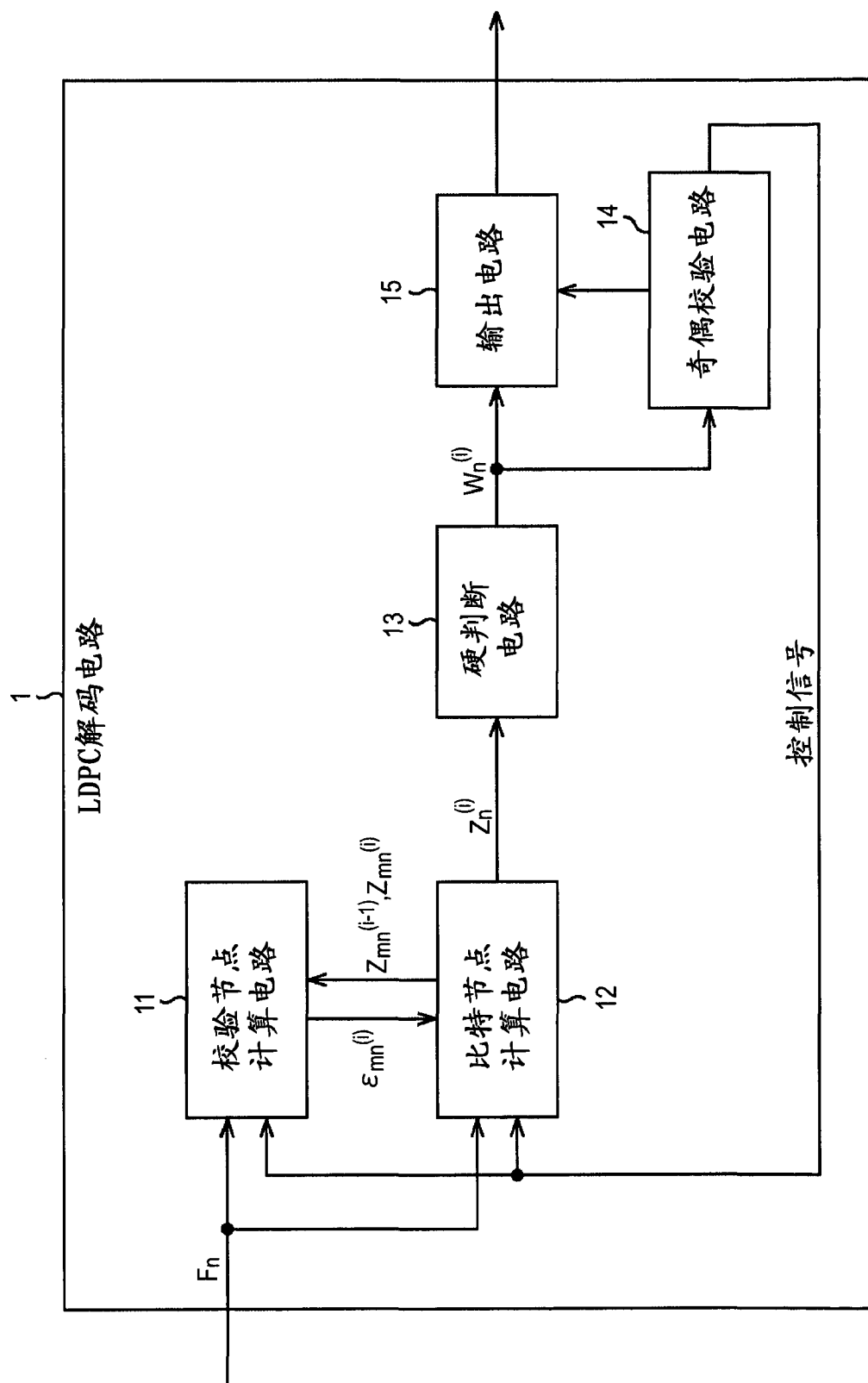


图 3

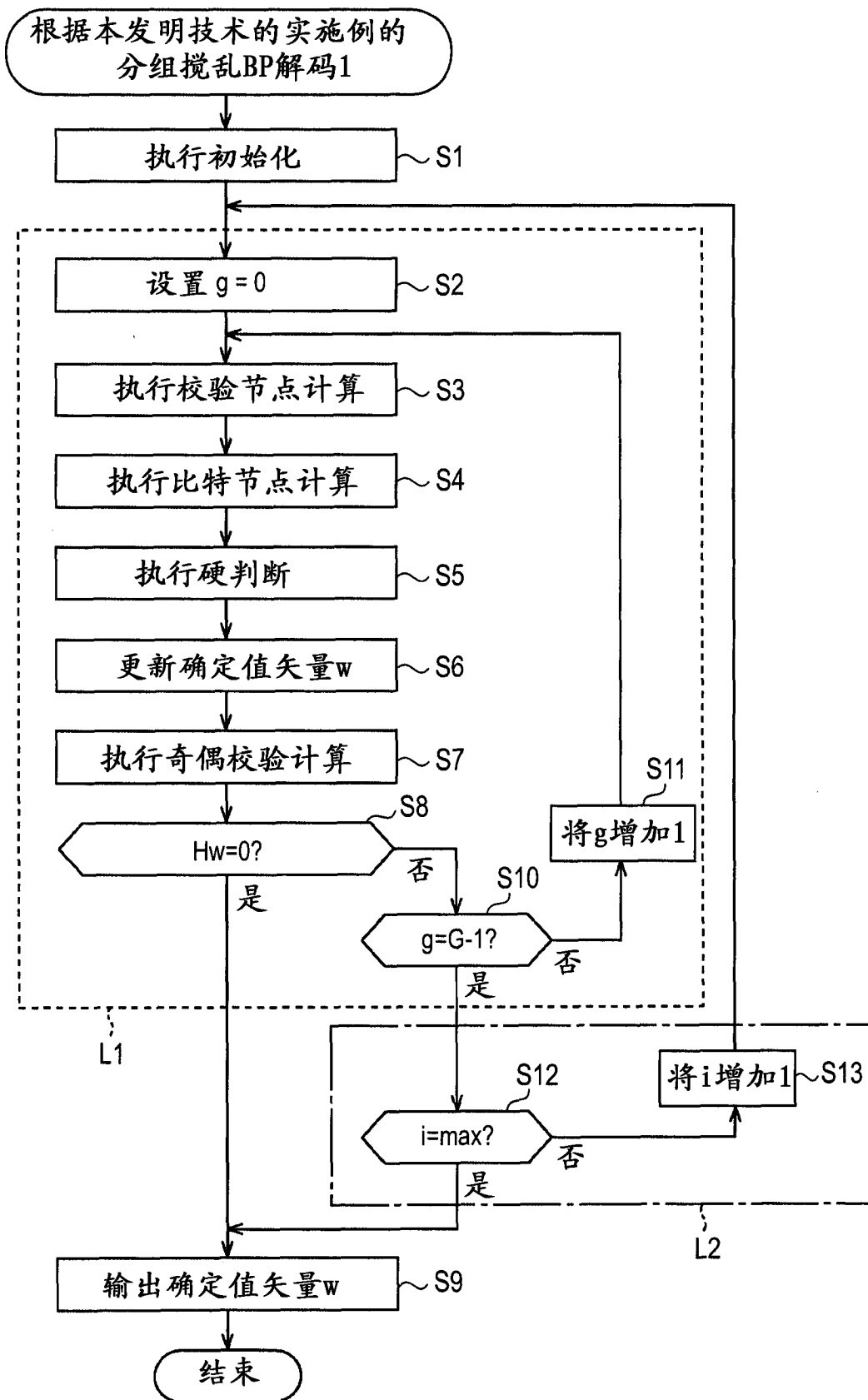


图 4

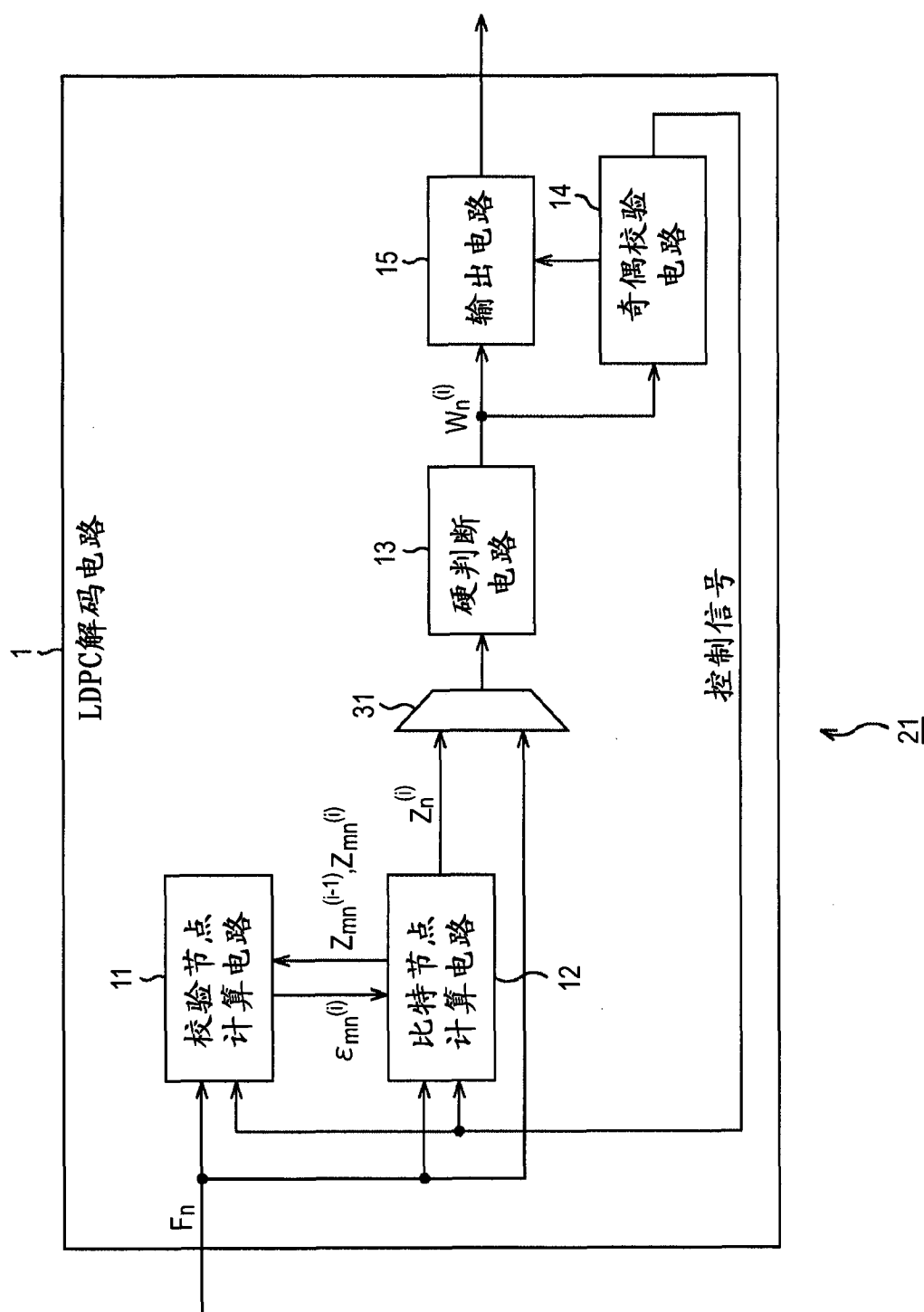


图 5

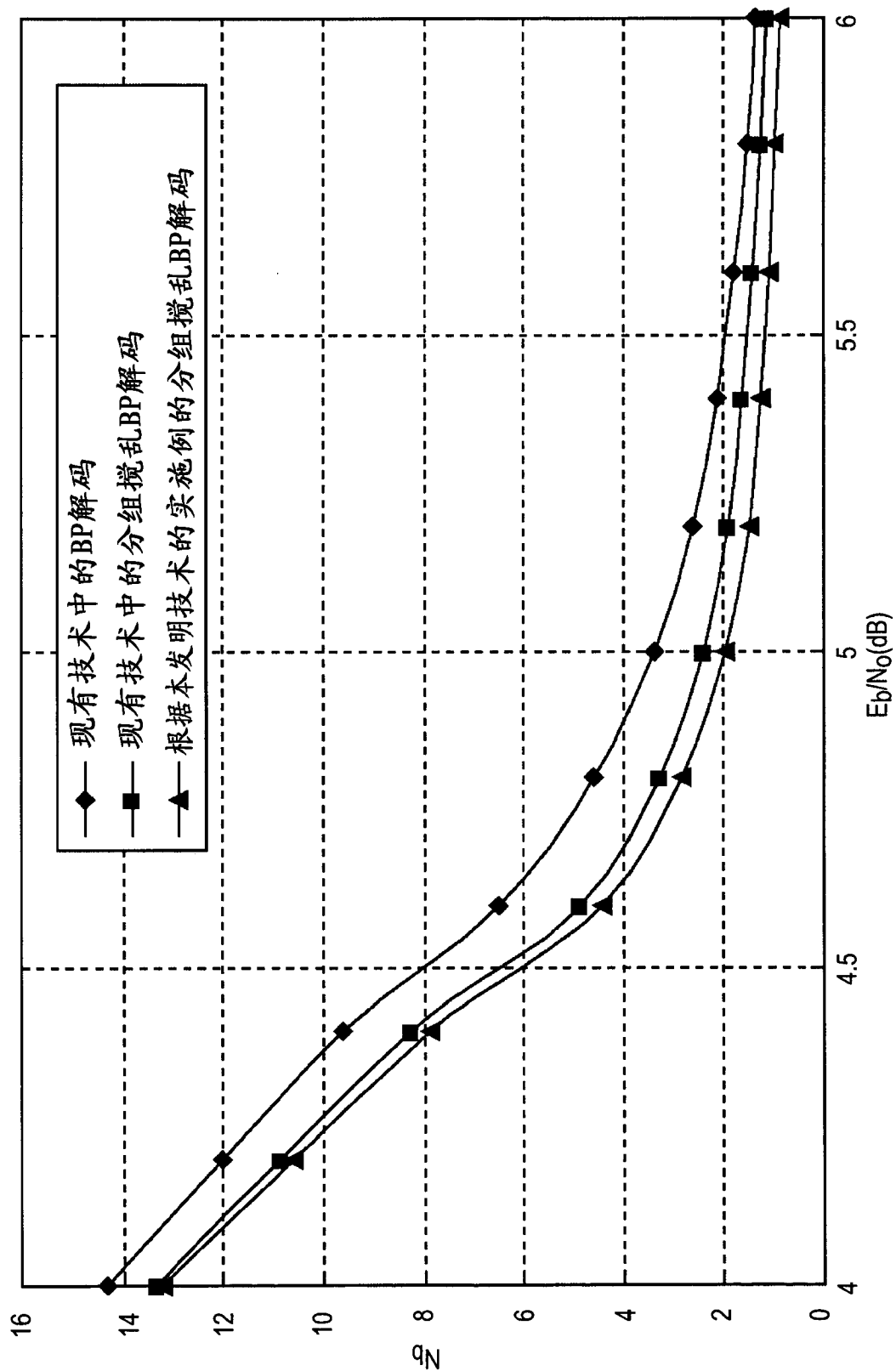


图 6

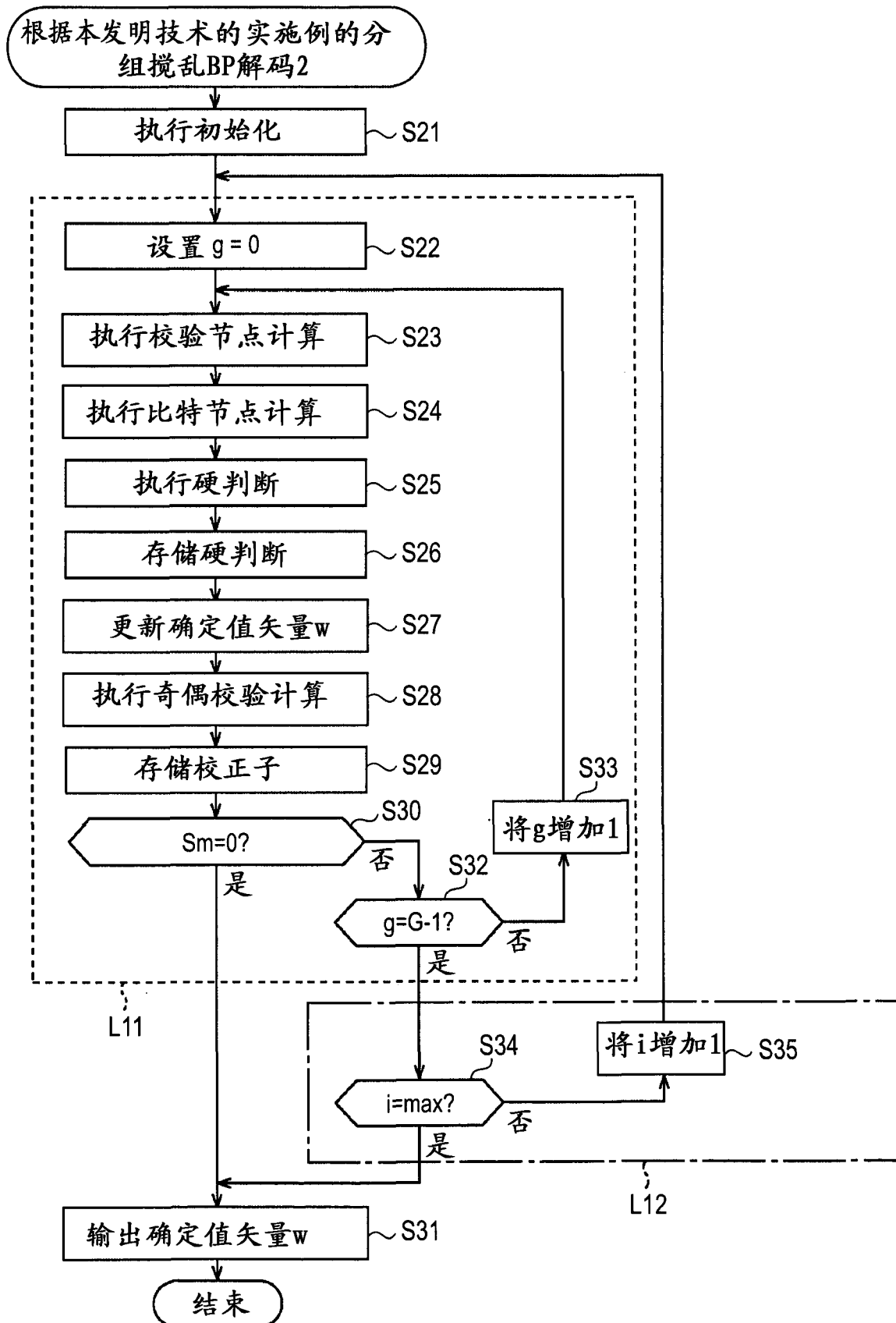


图 7

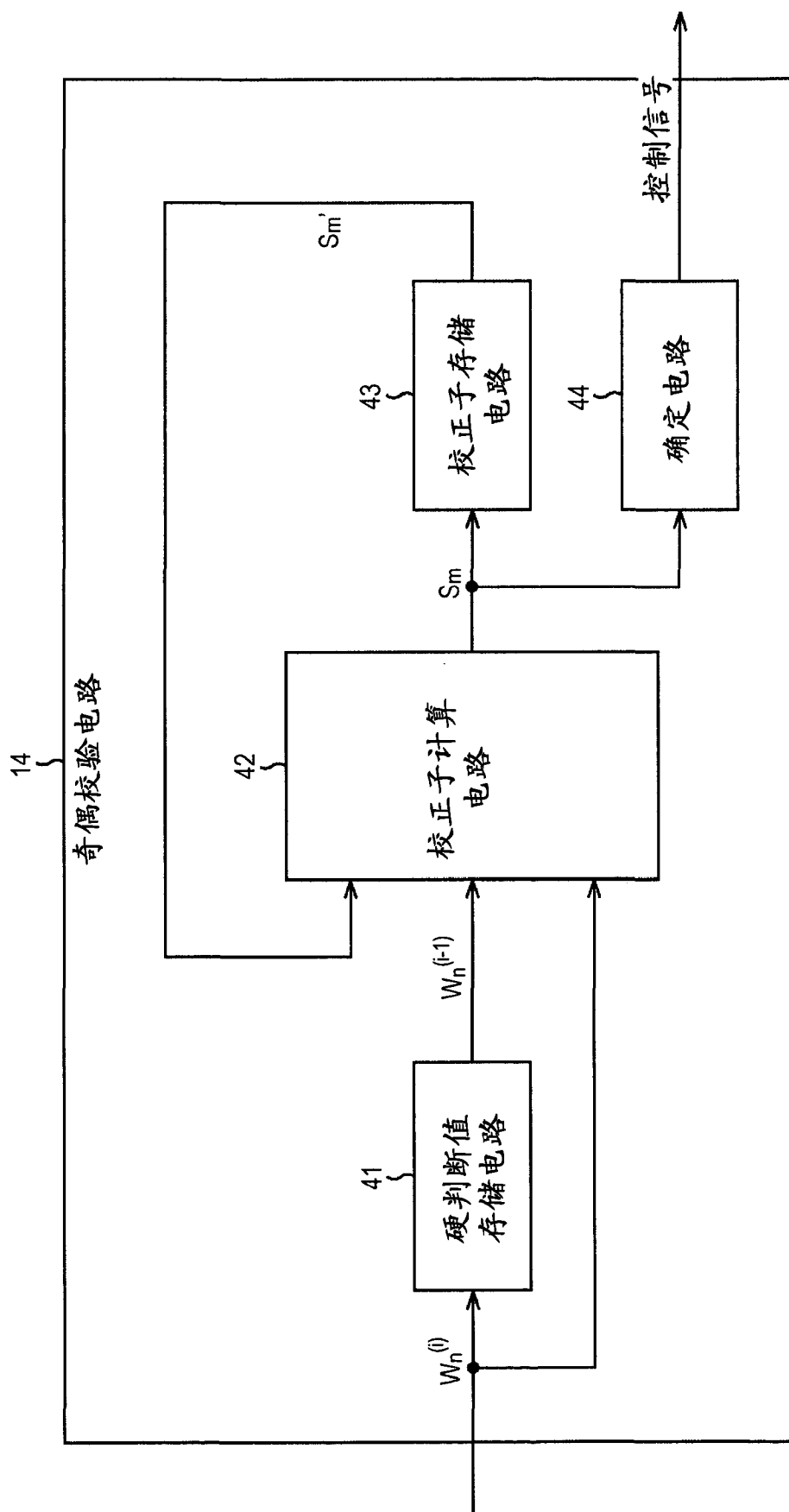


图 8

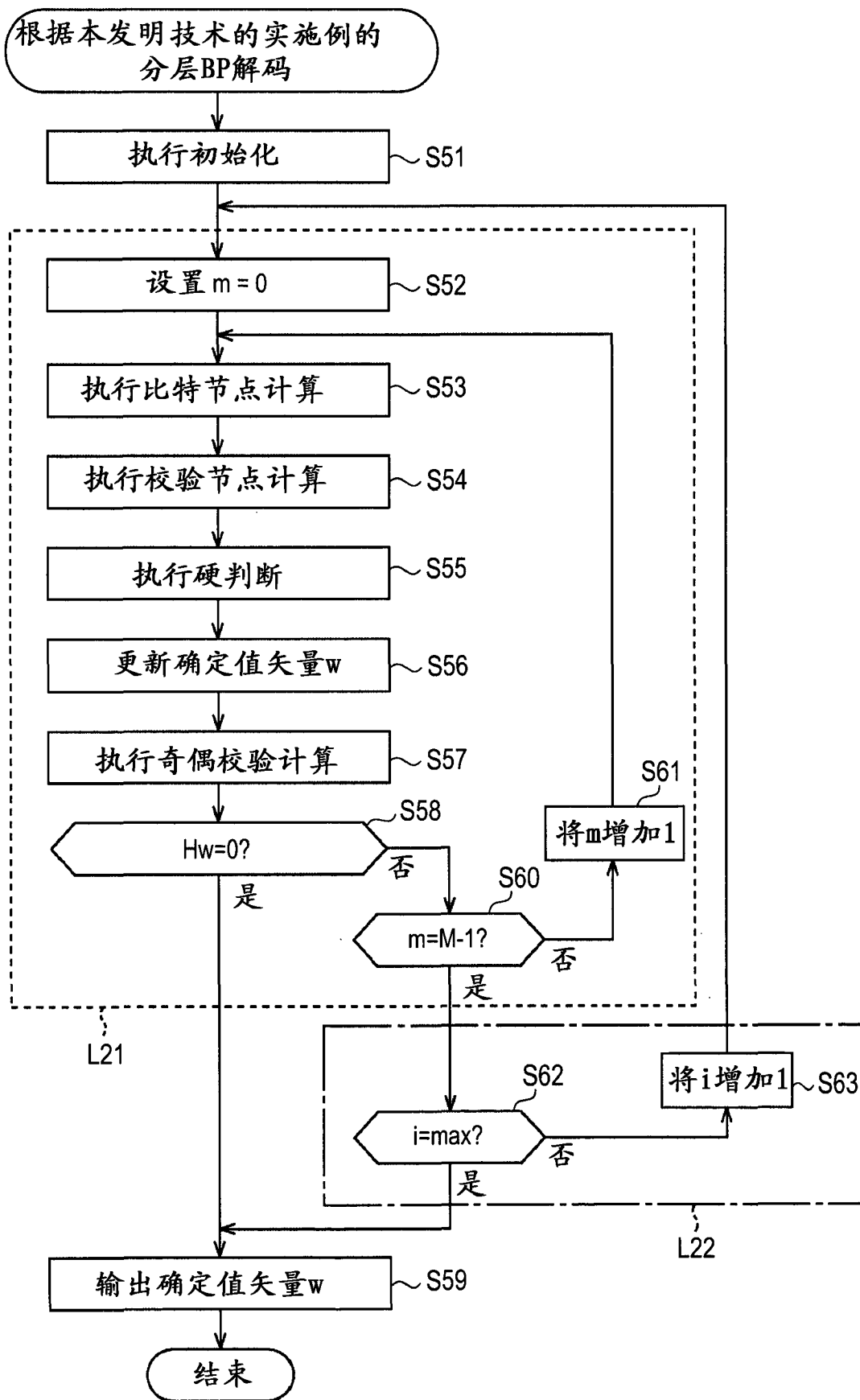


图 9

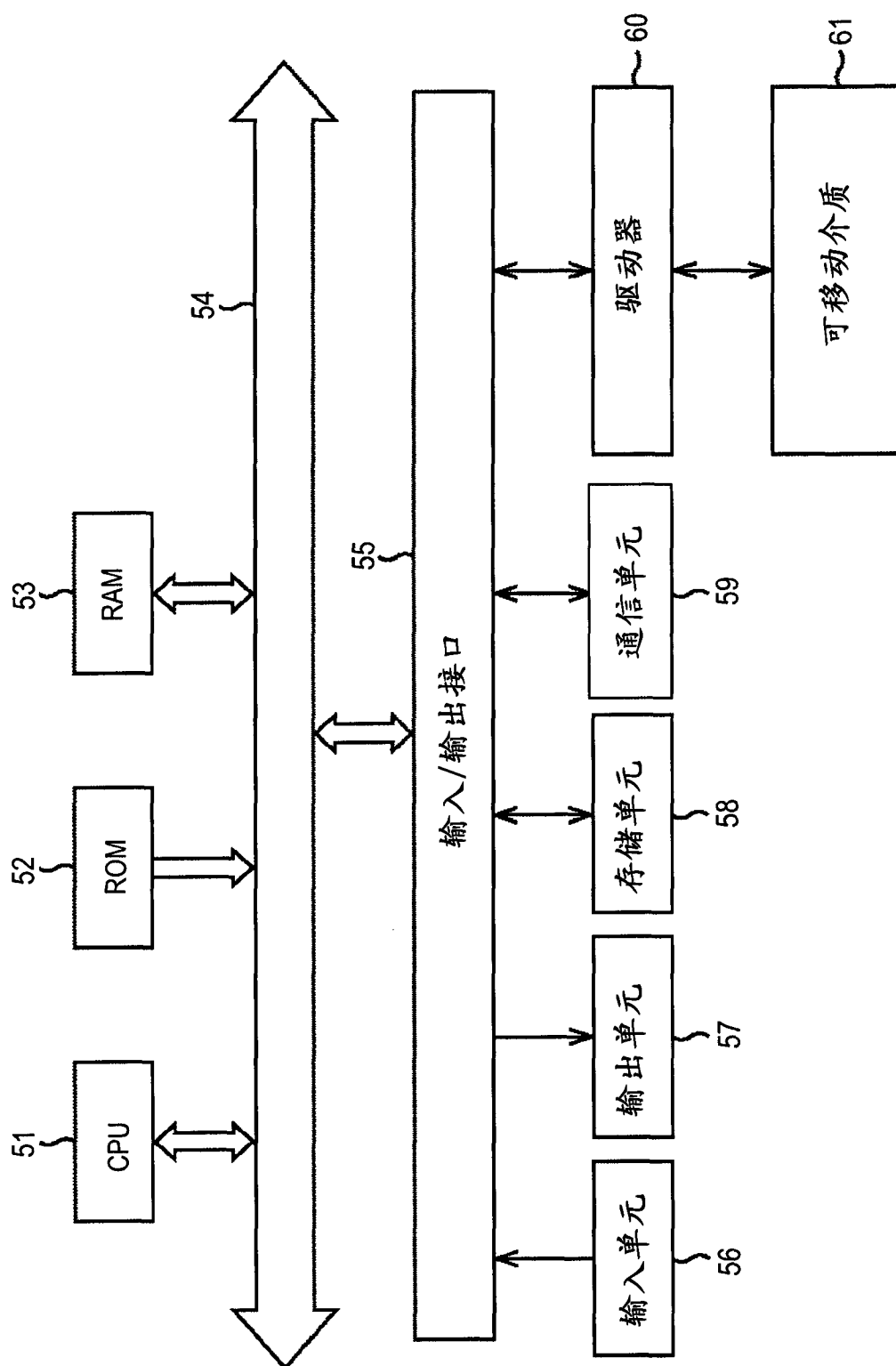


图 10