

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 16 日 (16.01.2014)



(10) 国际公布号
WO 2014/008685 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2012/079177

(22) 国际申请日: 2012 年 7 月 26 日 (26.07.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210244783.9 2012 年 7 月 13 日 (13.07.2012) CN

(71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): 殷华湘 (YIN, Huaxiang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 马小龙 (MA, Xiaolong) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件制造方法

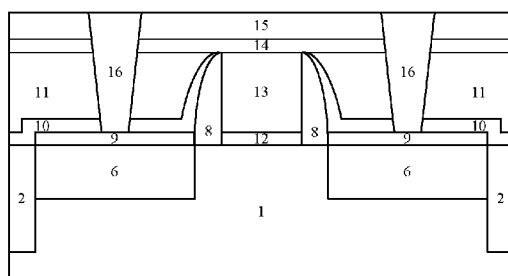


图10 /Fig. 10

(57) Abstract: A method for manufacturing a semiconductor device, comprises: forming a gate stack structure (3/4) on a substrate (1); forming a dummy gate sidewall (5) around the gate stack structure; depositing a stress pad layer (7) of DLC material on the substrate (1), the gate stack structure (3/4), and the dummy gate sidewall (5); performing annealing, such that the gate stack structure (3/4) and the channel within the substrate (1) below the gate stack structure (3/4) remember the stress within the stress pad layer (7); removing the dummy gate sidewall (5); forming a gate sidewall (8) around the gate stack structure (3/4). According to the method for manufacturing semiconductor device of the present invention, creating a memory strain in the dummy gate and the channel by utilizing a high stress DLC thin film, consequently, increases the charge carrier mobility of the channel efficiently and, improves device performance.

(57) 摘要:

[见续页]



WO 2014/008685 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种半导体器件制造方法，包括：在衬底（1）上形成栅极堆叠结构（3/4）；在栅极堆叠结构周围形成假栅极侧墙（5）；在衬底（1）、栅极堆叠结构（3/4）以及假栅极侧墙（5）上沉积 DLC 材质的应力垫层（7）；执行退火，使得栅极堆叠结构（3/4）和栅极堆叠结构（3/4）下方的衬底（1）中的沟道区记忆了应力垫层（7）中的应力；去除假栅极侧墙（5）；在栅极堆叠结构（3/4）周围形成栅极侧墙（8）。依照本发明的半导体器件制造方法，利用高应力 DLC 薄膜对假栅以及沟道区产生记忆应变，从而有效提升了沟道区载流子迁移率，提高了器件性能。

半导体器件制造方法

本申请要求 2012 年 7 月 13 日提交的、申请号为 201210244783.9、发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及一种半导体器件制造方法，特别是涉及一种采用高应力覆盖层应力记忆方法的 MOSFET 制造方法。

背景技术

从 90nm CMOS 集成电路工艺起，随着器件特征尺寸的不断缩小，以提高沟道载流子迁移率为目的应力沟道工程（Strain Channel Engineering）起到了越来越重要的作用。多种单轴工艺诱致应力被集成到器件工艺中去，也即在沟道方向引入压应力或拉应力从而增强载流子迁移率，提高器件性能。例如，在 90nm 工艺中，采用嵌入式 SiGe (e-SiGe) 源漏或 100 晶向衬底并结合拉应力蚀刻阻障层 (tCESL) 来提供 pMOS 器件中的压应力；在 65nm 工艺中，在 90nm 工艺基础上进一步采用第一代源漏极应力记忆技术 (SMT^{x1})，并采用了双蚀刻阻障层；45nm 工艺中，在之前基础上采用了第二代源漏极应力记忆技术 (SMT^{x2})，采用 e-SiGe 技术结合单 tCESL 或双 CESL，并采用了应力近临技术 (Stress Proximity Technique, SPT)，此外还针对 pMOS 采用 110 面衬底而针对 nMOS 采用 100 面衬底；32nm 之后，采用了第三代源漏极应力记忆技术 (SMT^{x3})，在之前基础之上还选用了嵌入式 SiC 源漏来增强 nMOS 器件中的拉应力。

此外，向沟道引入应力的技术除了改变衬底、源漏材料，还可以通过控制沟道或侧墙的材质、剖面形状来实现。例如采用双应力衬垫 (DSL) 技术，对于 nMOS 采用拉应力 SiN_x 层侧墙，对于 pMOS 采用压应力侧墙。又例如将嵌入式 SiGe 源漏的剖面制造为 Σ 形，改善 pMOS 的沟道应力。

然而，这些常规应力技术效果随着器件尺寸持续缩小而被不断削弱。对于 nMOS 而言，随着特征尺寸缩减，提供应力的各层薄膜之间的错位和偏移越来越明显，这就要求薄膜厚度减薄的同时还能精确提供更高的应力。对于 pMOS 而言，嵌入式 SiGe 源漏技术的沟道载流子迁移率显著取决于特征尺寸，尺寸缩减使得载流子迁移率提高的效果大打折扣。

一种新的思路是采用类金刚石无定形碳（DLC）薄膜来提高器件的本征应力。例如 Kian-Ming Tan 等人在 IEEE ELECTRON DEVICE LETTERS, VOL. 29, NO. 2, FEBRUARY 2008 上发表的《A High-Stress Liner Comprising Diamond-Like Carbon (DLC) for Strained p-Channel MOSFET》，在整个 MOSFET 表面上覆盖比 SiN 压应力高的 DLC，DLC 的高应力向下传递到沟道区，从而相应地提高了沟道应力，改善了器件的电学性能。此外，美国专利 US2010/0213554A1 也采用了类似结构。

DLC 的通常制备方法是采用磁过滤脉冲阴极真空弧放电（FCVA），通过提高 sp^3 键的含量使得 DLC 结构更类似于金刚石而不是石墨，因此提高了本征应力。但是，该高应力 DLC 的 FCVA 制备法并不是集成电路制作的标准工艺，例如与常用的 CMOS 工艺不兼容，使得需要额外的制造设备、工艺以及时间成本。此外，FCVA 法会带来较多的颗粒，影响了集成电路后续工艺的进行，例如颗粒残留在精细结构之间造成不必要的导电或者绝缘，又或者使得后续薄膜沉积不均匀、器件热应力发生改变等等，降低了器件的可靠性。作为替代，本发明人的在先申请中公开了可以采用 PECVD、磁控溅射等方法来沉积高质量的 DLC，并通过控制工艺参数来调整 DLC 的应力大小。

然而，不论是何种 DLC 制造方法，由于 DLC 材质本身是类金刚石薄膜，其硬度较高而台阶覆盖性较差，在用于应力衬垫层的工艺中面临了诸多困难。可以预想到的一个困难在于，在栅极、栅极侧墙以及源漏区上覆盖 DLC 应力层时，受限于器件整体尺寸最终保留的 DLC 应力层可能较薄（例如 10~50nm），而由于台阶覆盖性较差，栅极侧墙与源漏区相交的脚部附近 DLC 薄膜可能较薄乃至缺失，而该部分又距离器件沟道区最近，因此在该部分处无法有效向沟道区施加足够的应力，使得载流子迁移率提高程度有限，进而使得器件性能提高无法满足预期。此外，当 DLC 替代 SiN 用作栅极侧墙时，如果栅极侧墙厚度需要比较薄，则 DLC 可能因为工艺原因在栅极侧面上断裂、脱落，因此完全无法向沟道区施加应力。

综上所述，现有的高应力 DLC 技术存在台阶覆盖性差的缺点，难以有效提高沟道区载流子迁移率，也难以有效提高器件驱动能力。

发明内容

由上所述，本发明的目的在于提供一种能有效向沟道区施加应力从而提高载流子迁移率的半导体器件制造方法。

为此，本发明提供了一种半导体器件制造方法，包括：在衬底上形成栅极堆叠结

构；在栅极堆叠结构周围形成假栅极侧墙；在衬底、栅极堆叠结构以及假栅极侧墙上沉积 DLC 材质的应力垫层；执行退火，使得栅极堆叠结构和栅极堆叠结构下方的衬底中的沟道区记忆了应力垫层中的应力；去除假栅极侧墙；在栅极堆叠结构周围形成栅极侧墙。

其中，栅极堆叠结构是假栅极堆叠结构，包括垫氧化层和假栅极材料层，假栅极材料层包括多晶硅、非晶硅、微晶硅。

其中，假栅极侧墙和/或栅极侧墙包括氮化硅、氮氧化硅。

其中，形成假栅极侧墙之后还包括在假栅极侧墙两侧的衬底中形成源漏区。

其中，源漏区包括轻掺杂的源漏延伸区和/或晕状源漏掺杂区、以及重掺杂的源漏区。

其中，源漏区是应力源漏区，包括 SiGe、Si:C。

其中，源漏区上还包括外延形成的提升源漏区。

其中，通过 PECVD、磁控溅射形成 DLC 材质的应力垫层。

其中，执行退火具体包括：执行激光退火 1100~1300℃，退火时间 5ms~50ms；或者，尖峰快速退火（Spike RTA）1000~1100℃，退火时间 500ms~2s。

其中，形成栅极侧墙之后进一步包括：在源漏区上形成金属硅化物；在金属硅化物、栅极侧墙、栅极堆叠结构上形成接触刻蚀停止层；在接触刻蚀停止层上形成层间介质层；平坦化层间介质层直至暴露栅极堆叠结构。

其中，平坦化层间介质层直至暴露栅极堆叠结构之后进一步包括：刻蚀去除栅极堆叠结构，留下栅极沟槽；在栅极沟槽中沉积高 k 材料的栅极绝缘层；在栅极沟槽中栅极绝缘层上沉积栅极导电层；平坦化栅极导电层直至暴露层间介质层。

其中，平坦化栅极导电层直至暴露层间介质层之后进一步包括：在层间介质层上依次形成第二接触刻蚀停止层和第二层间介质层；依次刻蚀第二层间介质层、第二接触刻蚀停止层、第一层间介质层、第一接触刻蚀停止层，直至暴露金属硅化物，形成源漏接触孔；在源漏接触孔中填充金属形成源漏接触塞。

依照本发明的半导体器件制造方法，利用高应力 DLC 薄膜对假栅以及沟道区产生记忆应变，从而有效提升了沟道区载流子迁移率，提高了器件性能。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图 1 至图 10 为依照本发明的半导体器件制造方法各步骤的剖面示意图；以及图 11 为依照本发明的半导体器件制造方法的示意性流程图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了能有效控制沟道应力、提高载流子迁移率从而改善器件性能的半导体器件制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

以下将结合图 11 的流程图并且参照图 1 至图 10 的剖面示意图来详细说明依照本发明的半导体器件制造方法各步骤。

参照图 11 以及图 1~图 3，在衬底上形成（假）栅极堆叠结构和假栅极侧墙、以及在（假）栅极堆叠结构两侧衬底中形成源漏区。

如图 1 所示，在衬底上形成（假）栅极堆叠结构。提供衬底 1。衬底 1 依照器件用途需要而合理选择，可包括单晶硅（Si）、绝缘体上硅（SOI）、单晶体锗（Ge）、绝缘体上锗（GeOI）、应变硅（Strained Si）、锗硅（SiGe），或是化合物半导体材料，例如氮化镓（GaN）、砷化镓（GaAs）、磷化铟（InP）、锑化铟（InSb），以及碳基半导体例如石墨烯、SiC、碳纳管等等。优选地，衬底 1 为体 Si 或 SOI 以便与 CMOS 工艺兼容而用于制作大规模集成电路。

在衬底 1 中形成浅沟槽隔离（STI）2，例如先光刻/刻蚀衬底 1 形成浅沟槽然后采用 LPCVD、PECVD 等常规技术沉积绝缘隔离材料并 CMP 平坦化直至露出衬底 1，形成 STI 2，其中 STI 2 的填充材料可以是氧化物、氮化物、氮氧化物等常规绝缘材料，还可以是 $\text{Bi}_{0.95}\text{La}_{0.05}\text{NiO}_3$ 、 BiNiO_3 、 ZrW_2O_8 、 $\text{Ag}_3[\text{Co}(\text{CN})_6]$ 等具有超大（正/负）热膨胀系数的材料（100K 的温度下线性体积膨胀系数的绝对值大于 $10^{-4}/\text{K}$ ）以便通过应力 STI 2 向沟道区施加应力从而进一步提高载流子迁移率。

在整个晶片表面也即衬底 1 和 STI 2 表面依次沉积栅极绝缘层 3 和栅极材料层 4 并刻蚀形成栅极堆叠结构（3/4）。在本发明一个实施例中，采用后栅工艺，因此栅极堆叠结构是假栅极堆叠结构，将在后续工艺中去除。因此栅极绝缘层 3 优选为氧化硅的垫层；栅极材料层 4 是假栅极材料层，优选为多晶硅、非晶硅或微晶硅。

值得注意的是，除此之外，在本发明其他实施例中，可以采用前栅工艺，栅极堆

叠结构将在后续工艺中保留。因此栅极绝缘层 3 优选为氧化硅、掺氮氧化硅、氮化硅、或其它高 K 材料，高 k 材料包括但不限于包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料（其中，各材料依照多元金属组分配比以及化学价不同，氧原子含量 x 可合理调整，例如可为 1~6 且不限于整数），或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高 K 介质材料，或是包括 Al_2O_3 ，以其上述材料的复合层；栅极材料层 4 则可为多晶硅、多晶锗硅、或金属，其中金属可包括 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属单质、或这些金属的合金以及这些金属的氮化物，栅极材料层 4 中还可掺杂有 C、F、N、O、B、P、As 等元素以调节功函数。栅极材料层 4 与栅极绝缘层 3 之间还优选通过 PVD、CVD、ALD 等常规方法形成氮化物的阻挡层（未示出），阻挡层材质为 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ ，其中 M 为 Ta、Ti、Hf、Zr、Mo、W 或其它元素。更优选地，栅极材料层 4 与阻挡层不仅采用上下叠置的复合层结构，还可以采用混杂的注入掺杂层结构，也即构成栅极材料层 4 与阻挡层的材料同时沉积在栅极绝缘层 3 上，因此栅极导电层包括上述阻挡层的材料。

如图 2 所示，在（假）栅极堆叠结构 3/4 周围的衬底 1 上形成假栅极侧墙 5。采用 PECVD、HDPCVD 等常规沉积方法，在衬底 1、栅极堆叠结构 3/4 上沉积氮化硅、氮氧化硅材质的绝缘层，随后光刻/刻蚀形成假栅极侧墙 5。假栅极侧墙 5 用于限定稍后源漏区的位置以及 DLC SMT 工艺步骤时控制 DLC 薄膜的沉积位置和质量。

优选地，如图 3 所示，在假栅极侧墙 5 两侧的衬底 1 中形成源漏区 6。可以在图 2 形成假栅极侧墙 5 之前执行第一次源漏离子注入，选择剂量和能量较小，形成具有第一导电类型的轻掺杂（例如 n-或 p-）的源漏延伸区和/或晕状源漏掺杂区（均未示出）；然后在图 2 形成假栅极侧墙 5 之后，执行第二次源漏离子注入，选择剂量和能量较大，形成具有相同的第一导电类型的重掺杂（例如 n+或 p+）的源漏区，上述轻掺杂的源漏延伸区、晕状源漏掺杂区以及重掺杂的源漏区共同构成图 3 所示的源漏区 6，源漏区 6 之间的衬底 1 构成沟道区。其中，对于 NMOS 而言掺杂磷 P、砷 As、锑 Sb 等，对于 PMOS 而言掺杂硼 B、铝 Al、镓 Ga、铟 In 等。此外，虽然本发明实施例中仅示出了一种 MOSFET 的制造流程，然而实际上可以在衬底上同时形成多个 PMOS 和多个 NMOS 以及多个其他器件，从而构成 CMOS 器件、存储器单元阵列、光电探测器阵列等等。

除了常规的离子注入形成源漏区 6 之外，还可以形成嵌入式的应力源漏区 6。具

体地，以假栅极侧墙 5 为掩模，采用等离子刻蚀或者 TMAH 湿法腐蚀，在假栅极侧墙 5 两侧的衬底 1 中形成源漏凹槽（未示出）。在源漏凹槽中外延形成 SiGe 或 Si:C 的应力层，利用其与沟道区 Si 之间晶格常数的差异而对沟道区施加应力，因此构成了应力源漏区 6。优选地，可以在外延形成应力源漏区 6 的同时执行原位掺杂，或者在形成应力源漏区 6 之后采用前述的源漏离子注入，形成具有第一导电类型的源漏区 6。

此外，除了图 3 所示的与衬底表面平行的源漏区之外，还可以进一步外延形成提升源漏（未示出）以减小源漏电阻，进一步提高器件性能。

参照图 11 以及图 4、图 5，形成 DLC 应力垫层，退火使得沟道区以及栅极堆叠结构记忆了应力。

如图 4 所示，在整个器件上形成应力垫层 7，覆盖了 STI 2、源漏区 6、假栅极侧墙 5、栅极材料层 4。应力垫层 7 的材质为类金刚石无定形碳（DLC），沉积方法可以是先前的磁过滤脉冲阴极真空弧放电（FCVA），然后更优选地是本发明实施例中的 PECVD、磁控溅射。由于 DLC 薄膜的材料特性很大程度上取决于 sp^3 键的含量，较高的 sp^3 键的含量使得 DLC 结构更类似于金刚石而不是石墨，因此提高本征应力。具体地，本发明优选实施例中控制工艺参数使得 DLC 中 sp^3 键的含量至少大于 50%、氢原子含量少于 40%、氮原子含量少于 20%，使应力垫层 7 具有应力（可以是张应力或者压应力）的大小（绝对值）大于 2GPa、并优选地介于 4~10GPa。磁控溅射和 PECVD 属于 CMOS 主流工艺，容易通过改变工艺参数来控制薄膜的形成质量，可形成多元素合金，薄膜颗粒较少、薄膜保形性良好，因此较之 FCVA 法形成的 DLC 薄膜质量更佳。例如，磁控溅射 DLC 的靶标为蓝宝石，溅射室内通入 10~200sccm 的 Ar 并优选还加入 1~200sccm 的 CH_4 ，控制气压为 10^{-5} ~ 10^{-2} torr，溅射的 RF 或 DC 功率为 50~1000W，溅射室温约为 500℃。PECVD 形成 LDC 的原料气为 CH_4 或 C_6H_6 ，气压为 10^{-5} ~1torr，RF 功率为 500W~10kW，沉积室温为 300~700℃。值得注意的是，尽管列举了以上形成 DLC 工艺条件，但是只要能使得薄膜质量良好，其他范围的工艺条件也是可选的。DLC 材质的应力垫层 7 的厚度例如是 10~200nm 并优选 30~100nm。

优选地，在磁控溅射、PECVD 形成 DLC 应力垫层 7 的同时，同步（原位）掺入 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属元素以调节应力。

如图 5 所示，执行退火工艺，使得栅极堆叠结构和沟道区记忆了应力垫层 7 的应力。在图 4 所示形成了 DLC 应力垫层 7 之后，该应力层已经向栅极堆叠结构和沟道区

施加了应力。随后执行退火，例如，执行激光退火 1100~1300℃并优选 1200℃，退火时间 5ms~50ms 并优选 10ms；或者，尖峰快速退火（Spike RTA）1000~1100℃并优选 1050℃，退火时间 500ms~2s 并优选 1s。如此使得栅极堆叠结构特别是栅极材料层 4、以及沟道区中材料（例如分别为多晶硅/微晶硅、以及硅）的晶格局部重排，由此栅极材料层 4 以及沟道区记忆了应力垫层 7 中的应力，或者换言之由 DLC 层 7 转移进入了栅极材料层 4 以及沟道区。栅极材料层 4 以及沟道区记忆的应力可能小于等于 DLC 应力垫层 7 的原始应力，例如仅为 2.5~6GPa。

参见图 11 以及图 6、图 7，去除假栅极侧墙 5，形成栅极侧墙 8。

如图 6 所示，刻蚀去除假栅极侧墙 5。依照假栅极侧墙 5 的材质，可以采用等离子刻蚀并且控制刻蚀工艺参数（例如刻蚀气体种类、流量、压力、功率等）使得氮化硅、氮氧化硅材质的假栅极侧墙 5 与硅、氧化硅等周边其他材质之间的刻蚀选择比大于 10:1，通过控制刻蚀速率和刻蚀时间，使得完全刻蚀去除假栅极侧墙 5 而基本不刻蚀栅极材料层 4、源漏区 6 等。或者，也可以采用热磷酸、或者硫酸与双氧水的湿法刻蚀液来去除假栅极侧墙 5。

如图 7 所示，采用常规工艺，形成栅极侧墙 8。可以与形成假栅极侧墙 5 相同的工艺，例如 PECVD、HDPCVD 等沉积氮化硅、氮氧化硅，随后刻蚀形成栅极侧墙 8。由于这些常规材料较软，台阶覆盖性良好，因此可以确保栅极侧壁的绝缘隔离。此外，也可以采用 PECVD、磁控溅射等形成 DLC 材质层并等离子刻蚀形成栅极侧墙 8，以进一步增强沟道区应力。与 DLC 的应力垫层 7 不同的是，DLC 的栅极侧墙 8 厚度较薄而材质依然较硬，因此为了确保栅极侧壁绝缘介质的良好覆盖，优选地还要在 DLC 栅极侧墙 8 沉积形成之前再沉积氧化硅和/或氮化硅的垫层（未示出）。

值得注意的是，在图 4~图 7 所示的步骤中，由于假栅极侧墙 5 以及 DLC 应力垫层 7 形成并且记忆了应力之后被完全除去，因此 DLC 应力垫层 7 可以较之现有技术的应力覆盖层形成的更厚并且无需控制其分布和形状，由此可以通过增厚 DLC 层来克服 DLC 层台阶覆盖性不佳的缺点。

此后，参照图 11 以及图 8~图 10，完成后续工艺。

如图 8 所示，在源漏区 6 中/上形成金属硅化物 9，在整个器件上形成接触刻蚀停止层 10。以栅极侧墙 8 为掩模，执行自对准硅化物工艺，在整个器件表面沉积 Pt、Co、Ni、Ti 等金属或金属合金的薄膜，然后高温退火处理，使得源漏区 6 中所含的硅与金属发生反应生成如 CoSi_2 、 TiSi_2 、 NiSi 、 PtSi 、 NiPtSi 、 CoGeSi 、 TiGeSi 、 NiGeSi

等金属硅化物 9 以降低源漏接触电阻,从而进一步提高器件性能。采用 PECVD、HDPCVD 等工艺,沉积氮化硅、氮氧化硅材质的绝缘层,覆盖了 STI2、金属硅化物 9、栅极侧墙 8、栅极材料层 4 等等,构成接触刻蚀停止层 (CESL) 10,以用于在稍后的刻蚀或平坦化过程中保护源漏区以及金属硅化物。

如图 9 所示,沉积层间介质层 (ILD) 11 并平坦化直至露出栅极材料层 4。ILD 11 优选低 k 材料,包括但不限于有机低 k 材料 (例如含芳基或者多元环的有机聚合物)、无机低 k 材料 (例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG)、多孔低 k 材料 (例如二硅三氧烷 (SSQ) 基多孔低 k 材料、多孔二氧化硅、多孔 SiOCH、掺 C 二氧化硅、掺 F 多孔无定形碳、多孔金刚石、多孔有机聚合物)。通过旋涂、喷涂、丝网印刷、LPCVD 等方式来沉积低 k 材料的 ILD 11。随后采用 CMP 或者回刻处理平坦化 ILD 11 直至露出了栅极材料层 4。

以后栅工艺为例,如图 10 所示,继续完成后续工艺。TMAH 湿法刻蚀或者等离子干法刻蚀去除多晶硅、微晶硅、非晶硅的假栅极材料层 4, HF 湿法腐蚀或者等离子体刻蚀去除氧化硅的假栅极绝缘层 (垫氧化层) 3,在 ILD 11 中留下由栅极侧墙 8 限定出的栅极沟槽。在栅极沟槽中通过 PECVD、HDPCVD、MOCVD、MBA、ALD 等工艺沉积高 k 材料的栅极绝缘层 12,高 k 材料包括但不限于氮化物 (例如 SiN、AlN、TiN)、金属氧化物 (主要为副族和镧系金属元素氧化物,例如 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZnO 、 ZrO_2 、 HfO_2 、 CeO_2 、 Y_2O_3 、 La_2O_3)、钙钛矿相氧化物 (例如 $PbZr_xTi_{1-x}O_3$ (PZT)、 $Ba_xSr_{1-x}TiO_3$ (BST))。在栅极沟槽中栅极绝缘层 12 上通过 MOCVD、蒸发、溅射等工艺沉积填充了栅极导电层 13,栅极导电层 13 可以是单层也可以是多层,可以包括多晶硅、多晶锗硅、或金属,其中金属可包括 Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La 等金属单质、或这些金属的合金以及这些金属的氮化物,栅极导电层 13 中还可掺杂有 C、F、N、O、B、P、As 等元素以调节功函数。栅极导电层 13 与栅极绝缘层 12 之间还优选通过 PVD、CVD、ALD 等常规方法形成氮化物的阻挡层 (未示出),阻挡层材质为 M_xN_y 、 $M_xSi_yN_z$ 、 $M_xAl_yN_z$ 、 $M_aAl_xSi_yN_z$,其中 M 为 Ta、Ti、Hf、Zr、Mo、W 或其它元素。此后,平坦化栅极导电层 13、栅极绝缘层 12 直至暴露 ILD 11。沉积形成氮化硅的第二接触刻蚀停止层 (第二 CESL) 14、以及低 k 材料的第二层间介质层 (第二 ILD) 15。依次刻蚀第二 ILD15、第二 CESL14、第一 CESL 10 直至暴露金属硅化物 9,形成源漏接触孔,在源漏接触孔中通过蒸发、溅射、MOCVD 等工艺填充 W、Al、Ti、Mo、Ta、Cu 等金属及其氮化物形成源漏接触塞 16。至此,已经完成了依照本发明一

个实施例的 MOSFET 制造。

此外，虽然本发明附图中仅显示了平面沟道的 NMOS 或 PMOS 示意图，但是本领域技术人员应当知晓的是本发明可用于 CMOS 结构，也可应用于其他例如立体多栅、垂直沟道、纳米线等器件结构。

依照本发明的半导体器件制造方法，利用高应力 DLC 薄膜对假栅以及沟道区产生记忆应变，从而有效提升了沟道区载流子迁移率，提高了器件性能。

尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种半导体器件制造方法，包括：
在衬底上形成栅极堆叠结构；
在栅极堆叠结构周围形成假栅极侧墙；
在衬底、栅极堆叠结构以及假栅极侧墙上沉积 DLC 材质的应力垫层；
执行退火，使得栅极堆叠结构和栅极堆叠结构下方的衬底中的沟道区记忆了应力垫层中的应力；
去除假栅极侧墙；
在栅极堆叠结构周围形成栅极侧墙。
2. 如权利要求 1 的方法，其中，栅极堆叠结构是假栅极堆叠结构，包括垫氧化层和假栅极材料层，假栅极材料层包括多晶硅、非晶硅、微晶硅。
3. 如权利要求 1 的方法，其中，假栅极侧墙和/或栅极侧墙包括氮化硅、氮氧化硅。
4. 如权利要求 1 的方法，其中，形成假栅极侧墙之后还包括在假栅极侧墙两侧的衬底中形成源漏区。
5. 如权利要求 4 的方法，其中，源漏区包括轻掺杂的源漏延伸区和/或晕状源漏掺杂区、以及重掺杂的源漏区。
6. 如权利要求 4 的方法，其中，源漏区是应力源漏区，包括 SiGe、Si:C。
7. 如权利要求 4 的方法，其中，源漏区上还包括外延形成的提升源漏区。
8. 如权利要求 1 的方法，其中，通过 PECVD、磁控溅射形成 DLC 材质的应力垫层。
9. 如权利要求 1 的方法，其中，执行退火具体包括：执行激光退火 1100~1300℃，退火时间 5ms~50ms；或者，尖峰快速退火（Spike RTA）1000~1100℃，退火时间 500ms~2s。
10. 如权利要求 4 的方法，其中，形成栅极侧墙之后进一步包括：
在源漏区上形成金属硅化物；
在金属硅化物、栅极侧墙、栅极堆叠结构上形成接触刻蚀停止层；
在接触刻蚀停止层上形成层间介质层；
平坦化层间介质层直至暴露栅极堆叠结构。

11. 如权利要求 10 的方法, 其中, 平坦化层间介质层直至暴露栅极堆叠结构之后进一步包括:

刻蚀去除栅极堆叠结构, 留下栅极沟槽;
在栅极沟槽中沉积高 k 材料的栅极绝缘层;
在栅极沟槽中栅极绝缘层上沉积栅极导电层;
平坦化栅极导电层直至暴露层间介质层。

12. 如权利要求 11 的方法, 其中, 平坦化栅极导电层直至暴露层间介质层之后进一步包括:

在层间介质层上依次形成第二接触刻蚀停止层和第二层间介质层;
依次刻蚀第二层间介质层、第二接触刻蚀停止层、第一层间介质层、第一接触刻蚀停止层, 直至暴露金属硅化物, 形成源漏接触孔;
在源漏接触孔中填充金属形成源漏接触塞。

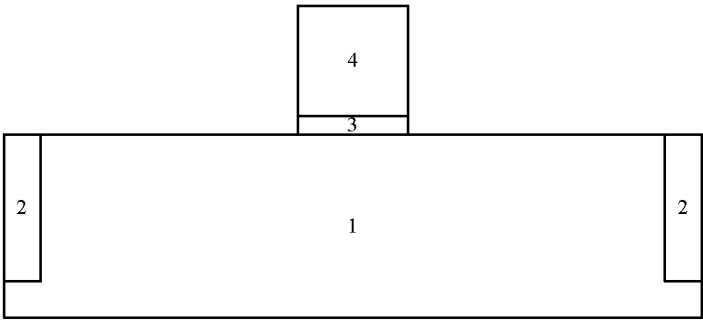


图1

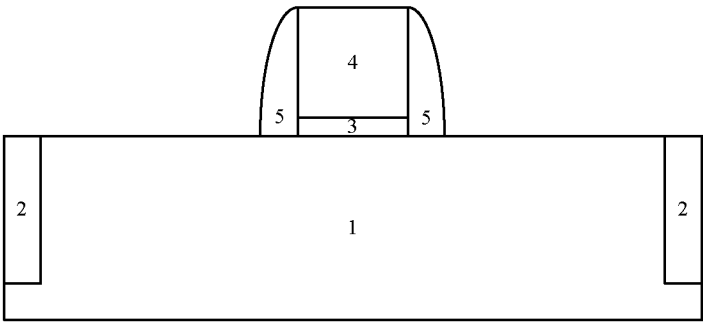


图2

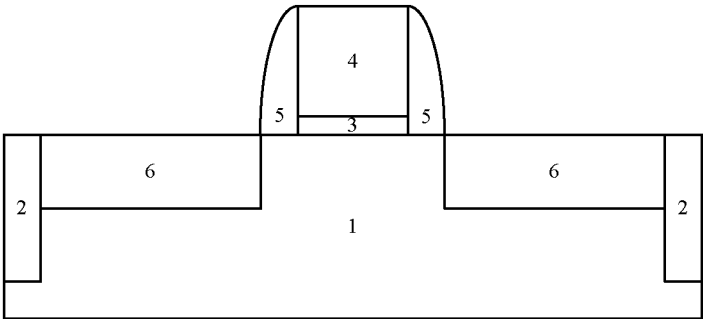


图3

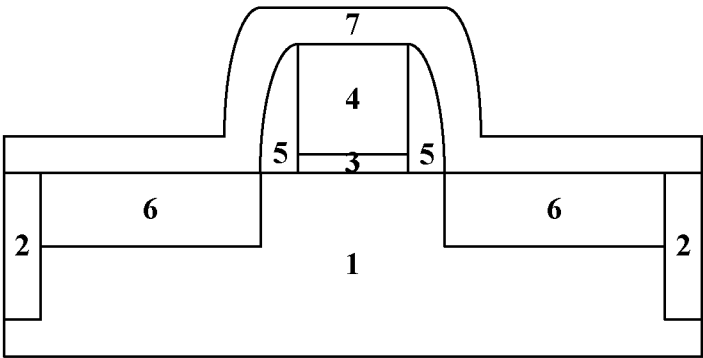


图4

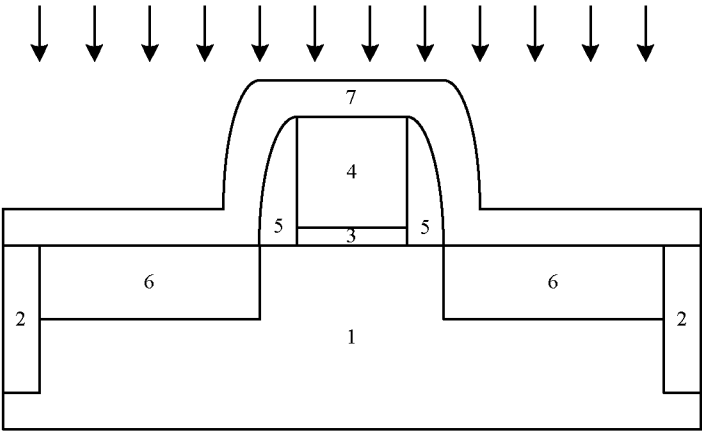


图5

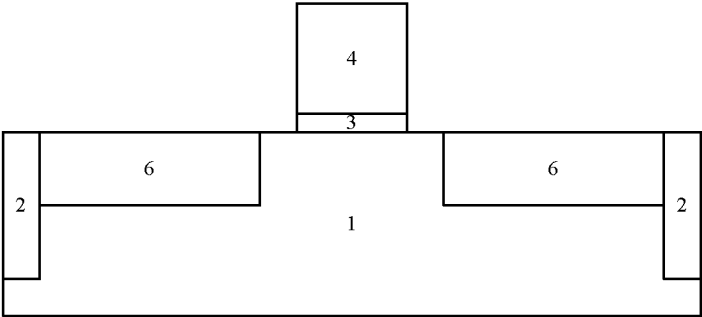


图6

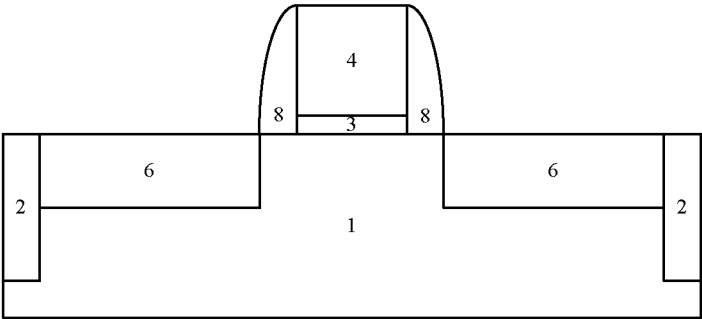


图7

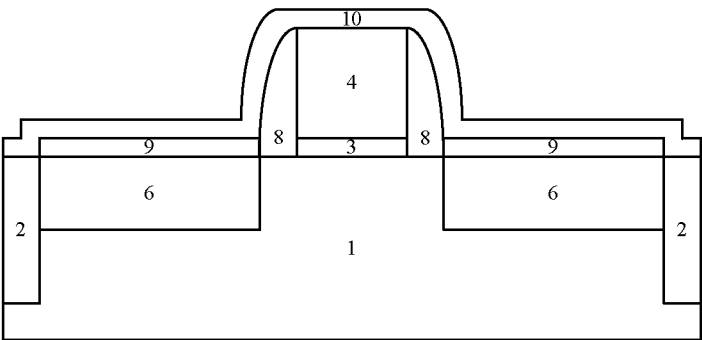


图8

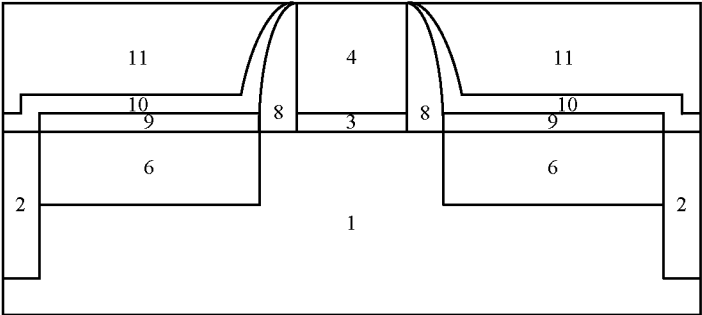


图9

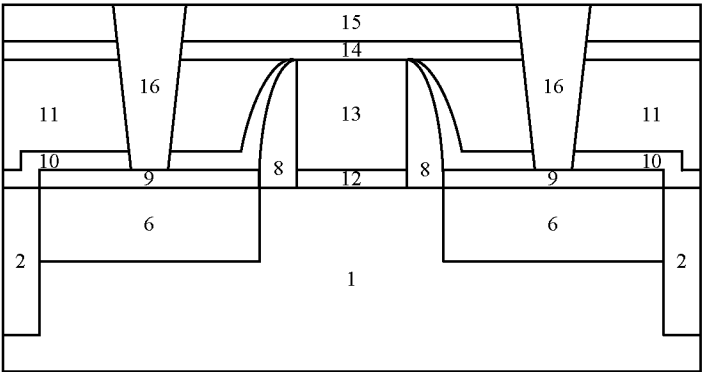


图10

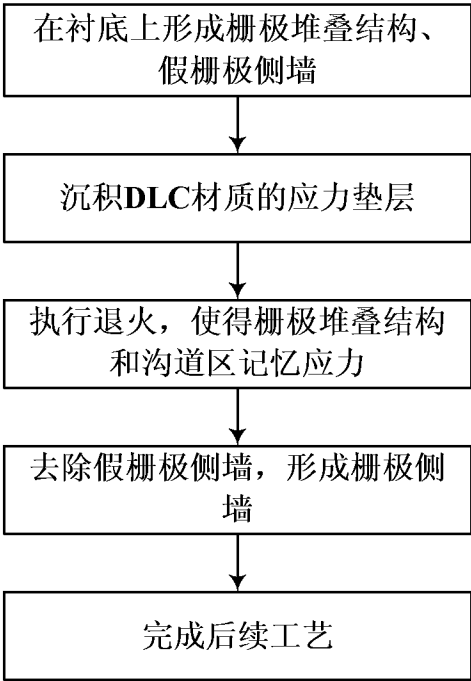


图11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079177**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; IEEE; CPRS: sidewall, stress, semiconductor, gate, dlc, stack, stack, dummy, anneal, channel, memory

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102097381 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.), 15 June 2011 (15.06.2011), the whole document	1-12
A	US 2009116193 A1 (LIN), 07 May 2009 (07.05.2009), the whole document	1-12
A	CN 102479715 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION), 30 May 2012 (30.05.2012), the whole document	1-12
A	US 2002028392 A1 (JIN et al.), 07 March 2002 (07.03.2002), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 September 2012 (04.09.2012)	Date of mailing of the international search report 11 April 2013 (11.04.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Jiesheng Telephone No.: (86-10) 62411794

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/079177

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102097381 A	15.06.2011	None	
US 2009116193 A1	07.05.2009	TWI 322652 B	21.03.2010
		TW 200922425 A	16.05.2009
		US 7638714 B2	29.12.2009
CN 102479715 A	30.05.2012	None	
US 2002028392 A1	07.03.2002	AU 8501901 A	22.03.2002
		WO 0221218 A1	14.03.2002
		US 6524755 B2	25.02.2003
		TW 521318 B	21.02.2003

国际检索报告

国际申请号

PCT/CN2012/079177

A. 主题的分类

H01L21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI;EPODOC;CNKI;IEEE;CPRS:半导体, 栅极, 堆叠, 侧墙, 应力, 退火, 沟道, 记忆, semiconductor, gate, dlc, stack, stack, dummy, anneal, channel, memory

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102097381 A (中芯国际集成电路制造(上海)有限公司) 15.6 月 2011 (15.06.2011) 全文	1-12
A	US 2009116193 A1 (LIN) 07.5 月 2009 (07.05.2009) 全文	1-12
A	CN 102479715 A (中芯国际集成电路制造(北京)有限公司) 30.5 月 2012 (30.05.2012) 全文	1-12
A	US 2002028392 A1 (JIN 等) 07.3 月 2002 (07.03.2002) 全文	1-12

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

14.9 月 2012(04.09.2012)

国际检索报告邮寄日期

11.4 月 2013 (11.04.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

李介胜

电话号码: (86-10) **62411794**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/079177

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102097381 A	15.06.2011	无	
US2009116193 A1	07.05.2009	TWI322652 B	21.03.2010
		TW200922425 A	16.05.2009
		US7638714 B2	29.12.2009
CN102479715 A	30.05.2012	无	
US2002028392 A1	07.03.2002	AU8501901 A	22.03.2002
		WO0221218 A1	14.03.2002
		US6524755 B2	25.02.2003
		TW521318 B	21.02.2003