



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0125335
(43) 공개일자 2015년11월09일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(21) 출원번호 10-2014-0052537
(22) 출원일자 2014년04월30일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이중호
경기도 수원시 영통구 매영로 150 (매탄동)
조항규
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)

(74) 대리인
특허법인씨엔에스

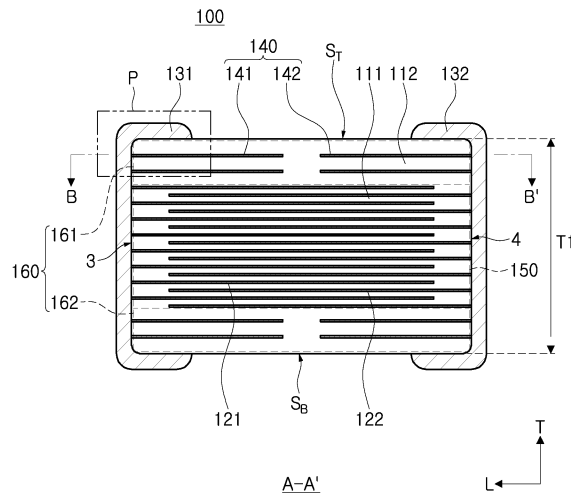
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **적층 세라믹 전자부품**

(57) 요약

본 발명의 일 실시형태는 유전체 층과 내부전극이 번갈아 배치된 액티브부, 상기 액티브부의 상측에 배치되는 상부 커버부 및 상기 액티브부의 하측에 배치되는 하부 커버부를 포함하는 세라믹 본체, 상기 상부 커버부 및 하부 커버부의 길이 방향 중심부와 상기 상부 커버부 및 하부 커버부의 길이 방향 일 측면 사이에 배치된 제1 더미전극 및 상기 상부 커버부 및 하부 커버부의 길이 방향 중심부와 상기 상부 커버부 및 하부 커버부의 길이 방향 타 측면 사이에 배치되며 상기 제1 더미전극과 이격된 제2 더미전극을 포함하며, 상기 세라믹 본체의 길이를 L1, 상기 제1 더미전극과 상기 제2 더미전극이 이격된 간격을 G로 규정할 때, $0.01 \leq G/L1 \leq 0.2$ 를 만족하는 적층 세라믹 전자부품을 제공한다.

대표도 - 도2



(72) 발명자

김두영

경기도 수원시 영통구 매영로 150 (매탄동)

이충은

경기도 수원시 영통구 매영로 150 (매탄동)

이철승

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

유전체 층과 내부전극이 번갈아 배치된 액티브부, 상기 액티브부의 상측에 배치되는 상부 커버부 및 상기 액티브부의 하측에 배치되는 하부 커버부를 포함하는 세라믹 본체;

상기 상부 커버부 및 하부 커버부의 길이 방향 중심부와 상기 상부 커버부 및 하부 커버부의 길이 방향 일 측면 사이에 배치된 제1 더미전극; 및

상기 상부 커버부 및 하부 커버부의 길이 방향 중심부와 상기 상부 커버부 및 하부 커버부의 길이 방향 타 측면 사이에 배치되며 상기 제1 더미전극과 이격된 제2 더미전극; 을 포함하며,

상기 세라믹 본체의 길이를 L1, 상기 제1 더미전극과 상기 제2 더미전극이 이격된 간격을 G로 규정할 때, $0.01 \leq G/L1 \leq 0.2$ 를 만족하는 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 상부 커버부의 최외측에 배치된 더미전극으로부터 상기 세라믹 본체의 상면까지의 거리 또는 상기 하부 커버부의 최외측에 배치된 더미전극으로부터 상기 세라믹 본체의 하면까지의 거리를 Cs, 상기 세라믹 본체의 두께를 T1으로 규정할 때, $0.03 \leq Cs/T1 \leq 0.15$ 를 만족하는 적층 세라믹 전자부품.

청구항 3

제1항에 있어서,

상기 상부 커버부 및 상기 하부 커버부는 각각 2층 이상의 제1 더미전극 및 제2 더미전극을 포함하며 상기 제1 더미전극 및 제2 더미전극의 적층 간격을 Cn, 상기 세라믹 본체의 두께를 T1으로 규정할 때, $0.03 \leq Cn/T1 \leq 0.15$ 를 만족하는 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,

상기 제1 더미전극 및 제2 더미전극은 대칭 형상을 갖는 적층 세라믹 전자부품.

청구항 5

제1항에 있어서,

상기 제1 더미전극 및 제2 더미전극은 동일층에 형성된 적층 세라믹 전자부품.

청구항 6

제1항에 있어서,

상기 제1 더미전극 및 제2 더미전극의 두께는 $0.3\mu\text{m}$ 이상인 적층 세라믹 전자부품.

청구항 7

유전체 층 및 내부전극이 번갈아 배치된 액티브부, 상기 액티브부의 상측 및 하측에 배치되는 커버부를 포함하는 세라믹 본체; 및

상기 커버부 내에 배치되며 중심부에 갭을 갖는 적어도 한층 이상의 더미전극으로 구성된 잔탄배출부; 를 포함하며,

상기 잔탄배출부에 포함된 최외측 더미전극과 상기 세라믹 본체의 상면 또는 하면 사이의 거리를 C_s , 상기 세라믹 본체의 두께를 T_1 으로 규정할 때, $0.03 \leq C_s/T_1 \leq 0.15$ 를 만족하는 적층 세라믹 전자부품.

청구항 8

제7항에 있어서,

상기 잔탄배출부는 2층 이상의 더미전극으로 구성되며, 인접한 더미전극 사이의 간격을 C_n 이라고 할 때, $0.03 \leq C_n/T_1 \leq 0.15$ 를 만족하는 적층 세라믹 전자부품.

청구항 9

제7항에 있어서,

상기 더미전극은 상기 갭으로 구별되는 제1 더미전극 및 제2 더미전극을 포함하며, 상기 제1 더미전극 및 제2 더미전극은 대칭 형상을 갖는 적층 세라믹 전자부품.

청구항 10

제7항에 있어서,

상기 더미전극은 상기 갭으로 구별되는 제1 더미전극 및 제2 더미전극을 포함하며, 상기 제1 더미전극 및 제2 더미전극은 동일층에 형성된 적층 세라믹 전자부품.

청구항 11

제7항에 있어서,

상기 더미전극의 두께는 $0.3\mu\text{m}$ 이상인 적층 세라믹 전자부품.

청구항 12

유전체 층과 내부 전극이 번갈아 배치된 액티브부, 상기 액티브부의 상측 및 하측에 배치되는 커버부를 포함하는 세라믹 본체; 및

상기 커버부 내에 배치되며 중심부에 갭을 갖는 적어도 한층 이상의 더미전극으로 구성된 잔탄배출부; 를 포함하며,

상기 세라믹 본체의 길이를 L_1 , 상기 갭의 길이를 G 로 규정할 때, $0.01 \leq G/L_1 \leq 0.2$ 를 만족하는 적층 세라믹 전자부품.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 전자부품에 관한 것이다.

배경 기술

[0002] 일반적으로 커패시터, 인덕터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 본체, 본체 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 본체 표면에 설치된 외부전극을 구비한다.

[0003] 고신뢰성을 요구하는 분야들의 많은 기능들이 전자화되고 수요가 증가함에 따라 이에 부합되게 적층 세라믹 전자부품 역시 고신뢰성이 요구된다.

[0004] 이러한 고신뢰성에서 문제가 되는 요소는 크랙발생, 딜라미네이션, 내전압 특성 등이 있으며, 적층 세라믹 전자부품의 세라믹 본체 내에 존재하는 잔류 탄소 역시 적층 세라믹 전자부품의 신뢰성에 영향을 미칠 수 있다. 따라서 적층 세라믹 전자부품의 신뢰성을 향상시키기 위해서는 세라믹 본체 내의 잔탄량의 감소가 필요하다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 대한민국 등록 특허공보 제10-1069989호

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예의 목적은 적층 세라믹 전자부품을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태는 유전체 층과 내부전극이 번갈아 배치된 액티브부 및 내부에 잔탄 배출부를 포함하는 상부 커버부 및 하부 커버부를 포함하는 적층 세라믹 전자부품을 제공한다.

[0008] 상기 잔탄 배출부는 더미 전극으로 형성될 수 있으며, 상기 더미 전극은 세라믹 본체의 길이 방향 일측에 배치된 제1 더미전극 및 세라믹 본체의 길이 방향 타측에 배치된 제2 더미 전극을 포함할 수 있다.

[0009] 본 발명의 일 실시형태에 의하면, 두께 방향으로 인접한 더미전극 사이의 간격 또는 최외측 더미전극과 그와 인접한 상면 또는 하면과의 거리를 C, 세라믹 본체의 두께를 T1라고 할 때, $0.03 \leq C/T1 \leq 0.15$ 를 만족할 수 있다.

[0010] 본 발명의 일 실시형태에 의하면, 세라믹 본체의 길이를 L1, 제1 더미전극과 제2 더미전극 사이의 겹의 길이를 G라고 할 때, $0.01 \leq G/L1 \leq 0.2$ 를 만족할 수 있다.

발명의 효과

[0011] 본 발명의 일 실시형태에 의하면 세라믹 본체 내 잔류하는 유기 성분의 함량이 적은 적층 세라믹 전자부품의 제공이 가능하다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 도시하는 사시도이다.

도 2는 도 1의 A-A' 단면도이다

도 3은 도 2의 P영역을 확대한 확대도이다.

도 4는 도 2의 B-B' 위치에서의 적층 세라믹 전자부품의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0014] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0015] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0016] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0017] 또한, 각 실시 형태의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0018] 덧붙여, 명세서 전체에서 어떤 구성 요소를 '포함'한다는 것은 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있다는 것을 의미한다.

적층 세라믹 전자부품

- [0019] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 전자부품을 개략적으로 도시한 사시도이고, 도 2는 도 1의 A-A' 단면도이다.
- [0021] 도 1을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 세라믹 본체(110) 및 외부전극(131, 132)을 포함한다.
- [0022] 본 발명의 일 실시형태에 따르면, 도 1 및 도 2에 도시된 T-방향은 세라믹 본체(110)의 두께 방향, L-방향은 세라믹 본체(110)의 길이 방향이며, W-방향은 세라믹 본체(110)의 폭 방향이다.
- [0023] 상기 두께(T) 방향은 상기 내부전극 및 유전체층의 적층 방향을 의미한다.
- [0024] 도 1 및 도 2를 참조하면, 상기 세라믹 본체(110)는 두께 방향으로 마주보는 상면(S_T) 및 하면(S_B), 폭 방향으로 마주보는 제1 측면(1) 및 제2 측면(2), 길이 방향으로 마주보는 제3 측면(3) 및 제4 측면(4)을 가질 수 있다. 상기 세라믹 본체(110)의 형상은 특별히 제한은 없다. 예를 들어, 상기 세라믹 본체(110)는 완전한 직선을 가진 육면체 형상은 아니지만 대략적인 육면체 형상으로 이루어질 수 있다.
- [0025] 상기 세라믹 본체(110)는 복수의 유전체층(111)과 내부전극(121, 122)을 포함한다.
- [0026] 상기 세라믹 본체는 유전체층(111)상에 형성된 내부전극(121, 122)을 포함하며, 내부전극이 형성된 복수의 유전체층이 적층된 액티브부(150)와 상기 액티브부의 상측 및 하측에 배치되는 커버부(160)를 포함한다.
- [0027] 상기 상측 및 하측, 상면 및 하면은 특별한 표시가 없는한 세라믹 본체에서 별도로 구별되는 것은 아니고 각각 두께 방향 일측 및 타측, 두께 방향으로 대향하는 일면 및 타면과 동일한 의미로 이해될 수 있으며, 상기 상면 및 하면은 각각 세라믹 본체의 두께 방향으로 대향하는 제1 주면 및 제2 주면의 의미로 이해될 수 있다.
- [0028] 상기 내부전극은 제1 내부전극(121) 및 제2 내부전극(122)을 포함할 수 있다. 상기 제1 및 제2 내부전극(121, 122)은 유전체층(111)을 사이에 두고 상기 유전체층 상에 번갈아 배치될 수 있다.
- [0029] 상기 제1 내부전극(121)은 상기 세라믹 본체의 제3 측면(3)을 통해 노출되고 상기 제2 내부전극(122)은 상기 세라믹 본체의 제4 측면(4)을 통해 노출될 수 있다.
- [0030] 상기 외부전극(131, 132)은 상기 세라믹 본체의 제3 측면(3) 및 제4 측면(4)에 배치되어 상기 제1 내부전극(121) 및 제2 내부전극(122)과 연결될 수 있다. 상기 외부전극(131, 132)은 제1 외부전극(131) 및 제2 외부전극

(132)을 포함할 수 있으며, 상기 제1 외부전극(131)은 제1 내부전극(121)과 연결되고 상기 제2 외부전극(132)은 제2 내부전극(121)과 연결될 수 있다.

[0031] 상기 외부전극은 전도성 페이스트를 상기 세라믹 본체의 제3 측면 및 제4 측면에 도포하고 소성하여 형성할 수 있으며, 외부전극의 형상 및 형성방법은 특별히 한정되지 않는다.

[0032] 본 발명의 일 실시형태에 따르면 도 2에 도시된 바와 같이 상기 유전체층(111) 및 내부전극(121, 122)은 세라믹 본체의 두께(T) 방향으로 적층될 수 있다.

[0033] 상기 커버부(160)는 상기 액티브부(150)를 외부 충격으로부터 보호하기 위해 최외측 내부전극의 외측에 배치될 수 있다. 상기 커버부(160)는 상기 액티브부(150)의 상측에 배치되는 상부 커버부(161)와 상기 액티브부(150)의 하측에 배치되는 하부 커버부(162)를 포함할 수 있다.

[0034] 본 발명의 일 실시형태에 따르면 상기 상부 커버부(161) 및 하부 커버부(162)는 내부에 배치된 더미전극(140)을 포함할 수 있다. 상기 더미전극(140)은 잔탄배출부일 수 있다.

[0035] 내부전극 및 유전체층이 박층화되는 경우 액티브부의 두께는 감소하고 커버부의 두께는 증가 될 수 있다.

[0036] 내부전극이 박층화되는 경우 금속을 주성분으로 하는 내부전극의 비율이 감소함에 따라 적층 세라믹 전자부품의 제조 비용이 저감되는 장점이 있다. 하지만 커버부의 두께가 증가하는 경우 세라믹 본체의 소성과정에서 제거되어야 할 탄소 성분이 제거되지 않고 세라믹 본체 내에 남아 잔탄 제거가 어려운 문제가 있다.

[0037] 상기 세라믹 본체(110)는 내부전극 페이스트가 인쇄된 그린 시트 및 내부전극 페이스트가 인쇄되지 않은 그린시트가 적층된 그린시트 적층체의 소성으로 형성될 수 있다. 내부전극 페이스트가 인쇄된 그린 시트는 액티브부(150)를 형성하고 내부전극 페이스트가 인쇄되지 않은 그린시트는 커버부(160)를 형성한다. 상기 그린시트는 세라믹 본체를 구성하는 유전체 파우더와 상기 유전체 파우더를 결합하는 바인더를 포함할 수 있고 그의 용제 및 기타 첨가제 등을 더 포함할 수 있다. 상기 바인더는 에폭시 수지와 같은 수지 조성물을 포함할 수 있다. 바인더 또는 그외의 탄소를 포함하는 유기 성분은 상기 그린시트 적층체의 소성 시 제거되는 것이 바람직한 성분으로, 소성과정에서 산소와 결합하여 이산화탄소(CO₂) 등의 형태로 외부로 배출되어 제어된다.

[0038]

[0039] 그린시트 적층체를 소성하여 세라믹 본체를 형성하는 과정에서 유기 성분이 제거되지 않아 세라믹 본체 내의 잔탄함량이 높은 경우 적층 세라믹 전자부품의 내전압 특성이 저하될 수 있으며, 탄소를 포함하는 유기 성분의 배출 경로가 확보되지 않는 경우 세라믹 본체에 크랙이 발생하거나 세라믹 본체가 터지는 칩 터짐 불량 발생 가능성이 있을 수 있다. 그린시트 적층체의 소성과정에서 그린시트 적층체 내의 내부전극은 유기 성분 배출의 주요한 경로로 기능한다. 예를 들어, 그린시트 적층체 내의 내부전극은 그린시트 적층체 내부로 산소를 공급하는 경로가 될 수 있고, 산소와 결합된 탄소가 이산화탄소(CO₂)로 배출되는 경로가 될 수 있다.

[0040] 다만, 커버부(160)의 경우 내부전극이 배치되지 않으므로 산소의 공급과 산화 및 분해된 유기 성분의 배출이 원활하지 못한 문제점이 있다. 이러한 문제점은 내부전극의 박층화로 인하여 커버부(160)의 두께가 증가하는 경우 더욱 부각될 수 있다.

[0041] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 커버부(160)가 더미 전극(140)을 포함함으로써, 커버부(160)의 두께가 증가하더라도 세라믹 본체 내의 유기 성분을 효율적으로 제거하여 세라믹 본체 내 잔탄량을 감소시킬 수 있다.

- [0042] 상부 커버부(161) 및 하부 커버부(162)는 각각 중심부에 갭을 갖는 더미전극(140)을 적어도 1층 이상 포함할 수 있다. 예를 들어, 상부 커버부 및 하부 커버부는 중심부에 갭을 갖는 더미전극을 각각 1층씩 포함할 수 있다. 또는 상부 상부 커버부 및 하부 커버부는 중심부에 갭을 갖는 더미전극을 각각 2층 이상으로 포함할 수 있다.
- [0043] 예를 들어, 상부 상부 커버부(161) 및 상부 하부 커버부(162)는 각각 2층 이상의 제1 더미전극(141) 및 제2 더미전극(142)을 포함할 수 있다.
- [0044] 상부 더미전극(140)은 상부 상부 커버부(161) 및 하부 커버부(162) 내에 배치되며 길이 방향 중심부가 갭을 갖도록 형성된다. 상부 갭을 중심으로 하여 상부 더미전극(140)은 상부 커버부의 길이 방향 일측면과 상부 갭 사이에 배치된 제1 더미전극(141)과 상부 커버부의 길이 방향 타측면과 상부 갭 사이에 배치된 제2 더미전극(142)으로 구별될 수 있다.
- [0045] 상부 제1 더미전극(141)은 세라믹 본체의 제3 측면(3)으로 일단이 노출될 수 있으며, 상부 제2 더미전극(142)은 세라믹 본체의 제4 측면(4)으로 일단이 노출될 수 있다. 상부 제1 더미전극(141) 및 제2 더미전극(142)은 각각 세라믹 본체의 제3 측면(3) 및 제4 측면(4)으로 노출되어 외부전극과 연결될 수 있다.
- [0046] 상부 갭은 상부 제1 더미전극(141) 및 제2 더미전극(142)이 연결되지 않도록 하여 제1 외부전극과 제2 외부전극 사이에서 전기적 단락(쇼트)이 발생하는 것을 방지한다.
- [0047] 도 3은 도 2의 P 영역의 확대도이다.
- [0048] 본 발명의 일 실시형태에 의하면, 상부 상부 커버부(161)의 최외측에 배치된 더미전극(140)으로부터 상부 세라믹 본체의 상면(S_T)까지의 거리 또는 상부 하부 커버부(162)의 최외측에 배치된 더미전극(140)으로부터 상부 세라믹 본체의 하면(S_B)까지의 거리를 C_s , 상부 세라믹 본체(110)의 두께를 T_1 으로 규정할 때, $C_s/T_1 \leq 0.03 \leq C_s/T_1 \leq 0.15$ 를 만족할 수 있다.
- [0049] 본 발명의 일 실시형태에 의하면, 상부 커버부(161) 및 상부 하부 커버부(162)는 각각 2층 이상의 제1 더미전극(141) 및 제2 더미전극(142)을 포함하며 상부 제1 더미전극 및 제2 더미전극의 적층 간격을 C_n , 상부 세라믹 본체(110)의 두께를 T_1 으로 규정할 때, $0.03 \leq C_n/T_1 \leq 0.15$ 를 만족할 수 있다.
- [0050] 이하에서는, 상부 C_s 및 C_n 을 C 로 통칭하여 설명하도록 한다. C/T_1 는 C_s/T_1 또는 C_n/T_1 로 이해될 수 있다. 상부 C 는 두께 방향의 인접한 더미전극 사이의 간격 또는 두께 방향 최외측에 배치된 더미전극에서 그와 인접한 세라믹 본체의 상면 또는 하면까지의 거리를 의미한다.
- [0051] C/T_1 가 0.03 미만인 경우 더미 전극이 배치된 영역에서 델라미네이션이 발생할 수 있으며, C/T_1 가 0.15를 초과하는 경우 세라믹 본체 내 잔탄제거 어려움으로 내전압특성이 저하될 수 있다.
- [0052] 상부 제1 더미전극(141) 및 제2 더미전극(142)의 두께(t_c)는 $0.3 \mu m$ 이상인 것이 바람직하다. 상부 제1 더미전극 및 제2 더미전극의 두께가 $0.3 \mu m$ 이상으로 형성되는 경우 잔탄제거 경로로서의 기능성을 향상시킬 수 있다.
- [0053] 도 4는 도 2의 B-B' 위치에서의 적층 세라믹 전자부품의 단면도이다.
- [0054] 본 발명의 일 실시형태에 의하면, 상부 세라믹 본체(110)의 길이를 L_1 , 상부 제1 더미전극(142)과 상부 제2 더미전극(142) 사이의 갭의 길이를 G 라고 규정할 때, G/L_1 은 $0.01 \leq G/L_1 \leq 0.2$ 를 만족할 수 있다. 상부 세라믹 본체(110)의 길이는 세라믹 본체의 제3 측면(3) 및 제4 측면(4) 사이의 거리를 의미하고 상부 제1 더미전극(141)과 상부 제2 더미전극(142) 사이의 갭의 길이는 상부 제1 더미전극과 상부 제2 더미전극의 인접한 단부 사이의 거리를 의미한다. 상부 제1 더미전극과 상부 제2 더미전극 사이의 갭의 길이는 제1 더미전극과 제2 더미전극이 이격된 간격으로 볼 수 있다.

- [0055] G/L1이 0.01 미만인 경우 더미전극으로 인한 신뢰성 저하가 나타날 수 있으며, 전기적으로 단락(쇼트)이 발생할 수 있다. 또한 G/L1이 0.2를 초과하는 경우 더미전극의 갭에 해당하는 영역에서 커버부의 잔탄 제거가 원활하지 않아 내전압 특성이 저하될 수 있다.
- [0056] 본 발명의 일 실시형태에 의하면 상기 제1 더미전극(141) 및 제2 더미전극(142)은 세라믹 본체(110)의 길이 방향에서 실질적으로 대칭 형상을 갖도록 형성될 수 있다.
- [0057] 상기 제1 더미전극(141) 및 제2 더미전극(142)은 커버부(160) 내의 동일 유전체층 상에 배치될 수 있다.
- [0058] **실험 예**
- [0059] 본 발명의 실시예와 비교예에 따른 적층 세라믹 전자부품은 하기와 같이 제작되었다.
- [0060] 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film) 상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련한다.
- [0061] 다음으로, 상기 세라믹 그린 시트 중 일부의 세라믹 그린 시트 상에 스크린 인쇄 공정으로 니켈을 포함하는 내부 전극용 도전성 페이스트를 도포하여 내부전극 패턴을 형성한다.
- [0062] 또한 내부전극 패턴이 인쇄되지 않은 세라믹 그린 시트에는 더미전극 패턴을 형성하였다. 더미전극 중심부의 갭의 길이(G)는 더미전극 패턴의 인쇄 시 조절되었으며, 더미전극 간의 두께 방향 간격 또는 최외측 더미전극으로부터 세라믹 본체의 상면 또는 하면까지의 거리(C)는 더미전극 패턴이 인쇄되는 세라믹 그린 시트의 두께 또는 적층수로 조절되었다.
- [0063] 다음으로, 내부전극이 인쇄된 세라믹 그린 시트와 더미전극이 인쇄된 세라믹 그린시트를 적층하고 등압 압축성형하였다. 압착이 완료된 세라믹 적층체를 내부전극 패턴의 일단이 절단면을 통해 번갈아 노출되도록 개별 칩의 형태로 절단하였고, 절단된 칩은 탈바인더를 진행하였다.
- [0064] 이후, 절단된 칩을 소성하여 세라믹 본체를 형성하였다. 소성 후 세라믹 본체의 사이즈는 길이×폭×두께(L×W×T)은 약 1.6mm×0.8mm×0.8mm(L×W, 1608 사이즈, 오차 범위 ±0.1mm)이었다. 이중 액티브부의 두께는 약 0.5mm 이었으며, 액티브부에 포함된 유전체층의 두께는 약 1.3 μ m, 내부전극의 두께는 약 1.0 μ m 이었다.
- [0065] 제작된 세라믹 본체에서 상부 커버부 및 하부 커버부의 두께는 각각 약 0.15mm 이었으며, 더미전극은 약 1.5 μ m의 두께로 형성되었다. 더미 전극은 본 발명의 일 실시형태와 같이 제1 더미전극 및 제1 더미전극과 이격되어 형성된 제2 더미전극으로 구성되었으며, 더미 전극의 두께 방향 간격 및 제1 더미전극과 제2 더미전극 사이의 간격은 하기 표 1 및 표 2에 따라 다양하게 형성되었다.
- [0066] 본 실험예에서 제1 더미전극과 제2 더미전극은 동일한 적층수를 가지며, 제1 더미전극과 제2 더미전극은 커버부를 구성하는 동일한 유전체층 상에 하나씩 배치되었다.
- [0067] 본 실험예에서 더미전극의 두께 방향 간격과 최외측 더미전극 전극으로부터 상면 또는 하면 중 인접한 일면까지의 거리는 실질적으로 동일하게 형성되었다.
- [0068] 다음으로, 상기 내부전극이 노출된 세라믹 본체의 외부면에 구리 분말과 글래스 프릿을 포함하는 페이스트를 도포하고 소성하여 전극층을 형성하였다.
- [0069] 표 1은 세라믹 본체의 두께(T1), 더미 전극의 두께 방향 간격(Cn) 및 그 비(Cn/T1)에 따른 커버부 딜라미네이션 발생률 및 내전압 특성에 관한 결과를 나타내며, 표 2는 세라믹 본체의 길이(L1), 더미전극의 갭 길이(G) 및 그 비(G/L1)에 따른 전기적 단락 발생률과 내전압 특성에 관한 결과를 나타내는 데이터이다.
- [0070] 표 1 및 표 2에서 내전압 특성은 적층 세라믹 전자부품에 초당 20V씩 전압을 높여 전압을 인가하면서 누설전류가 10mA 이상 발생할 때의 전압을 절연파괴전압(BDV)으로 측정하여 나타내었다.

표 1

샘플	Cn	T1	Cn/T1	커버부 딜라미네이션 발생률 [개/개]	BDV [V]	비교예
1	7	883	0.008	62/100	117	비교예
2	8	772	0.010	36/100	116	비교예
3	17	749	0.023	26/100	104	비교예
4	21	879	0.024	25/100	102	비교예
5	29	768	0.038	0/100	117	실시예
6	50	824	0.061	0/100	121	실시예
7	54	882	0.061	0/100	114	실시예
8	52	848	0.061	0/100	112	실시예
9	50	813	0.062	0/100	109	실시예
10	54	877	0.062	0/100	116	실시예
11	59	883	0.067	0/100	115	실시예
12	60	842	0.071	0/100	108	실시예
13	63	840	0.075	0/100	109	실시예
14	56	702	0.080	0/100	116	실시예
15	65	783	0.083	0/100	120	실시예
16	75	881	0.085	0/100	120	실시예
17	72	749	0.096	0/100	119	실시예
18	83	736	0.113	0/100	104	실시예
19	96	796	0.121	0/100	122	실시예
20	100	789	0.127	0/100	118	실시예
21	113	860	0.131	0/100	102	실시예
22	124	857	0.145	0/100	105	실시예
23	111	760	0.146	0/100	104	실시예
24	125	818	0.153	0/100	83	비교예
25	130	844	0.154	0/100	72	비교예
26	110	704	0.156	0/100	69	비교예
27	129	813	0.159	0/100	73	비교예
28	119	740	0.161	0/100	65	비교예
29	139	860	0.162	0/100	67	비교예
30	127	745	0.170	0/100	63	비교예
31	145	758	0.191	0/100	69	비교예
32	146	719	0.203	0/100	78	비교예

[0071]

[0072]

상기 표 1을 참조하면, Cn/T 값이 0.03 미만인 샘플 1 내지 4의 경우, 더미전극 딜라미네이션의 발생 빈도가 높으며 Cn/T 값이 0.15를 초과하는 샘플 24 내지 32의 경우 절연파괴전압(BDV)가 상대적으로 낮은 것을 확인할 수 있다.

[0073]

표 1에서 Cn/T가 0.03 내지 0.15의 범위로 형성되는 경우, 100개의 적층 세라믹 전자부품 중 더미전극 딜라미네이션은 발생하지 않았으며 절연파괴전압(BDV)도 상대적으로 높은 값을 가져 내전압 특성이 우수함을 알 수 있다.

[0074]

[0075]

[표 2]

샘플	G	L1	G/L1	단락 발생률 [개/개]	BDV [V]	비고
1	3	1659	0.002	54/100	86	비교예
2	3	1570	0.002	65/100	79	비교예
3	4	1687	0.002	39/100	102	비교예
4	5	1542	0.003	26/100	120	비교예
5	8	1617	0.005	24/100	113	비교예
6	10	1590	0.006	19/100	118	비교예
7	17	1589	0.011	0/100	117	실시예
8	17	1571	0.011	0/100	101	실시예
9	19	1539	0.012	0/100	109	실시예
10	20	1547	0.013	0/100	116	실시예
11	31	1523	0.020	0/100	109	실시예
12	46	1529	0.030	0/100	125	실시예
13	91	1584	0.057	0/100	104	실시예
14	107	1660	0.064	0/100	113	실시예
15	111	1642	0.068	0/100	112	실시예
16	142	1500	0.095	0/100	117	실시예
17	150	1543	0.097	0/100	113	실시예
18	155	1556	0.100	0/100	117	실시예
19	205	1543	0.133	0/100	113	실시예
20	236	1562	0.151	0/100	107	실시예
21	266	1699	0.157	0/100	106	실시예
22	296	1606	0.184	0/100	109	실시예
23	299	1585	0.189	0/100	106	실시예
24	305	1591	0.192	0/100	108	실시예
25	323	1642	0.197	0/100	116	실시예
26	347	1637	0.212	0/100	89	비교예
27	389	1630	0.239	0/100	74	비교예
28	382	1597	0.239	0/100	66	비교예
29	449	1603	0.280	0/100	77	비교예
30	480	1687	0.285	0/100	66	비교예
31	458	1604	0.286	0/100	74	비교예
32	470	1598	0.294	0/100	80	비교예

[0076]

[0077]

상기 표 2를 참조하면, G/L 값이 0.01 미만인 샘플 1 내지 6의 경우 전기적 단락(쇼트)가 발생한 빈도가 높으며 G/L 값이 0.2를 초과하는 샘플 26 내지 32의 경우 절연파괴전압(BDV)이 상대적으로 낮은 것을 확인할 수 있다.

[0078]

표 2에서 G/L이 0.01 내지 0.2의 범위로 형성된 샘플 7 내지 25의 경우, 100개의 적층 세라믹 전자부품 중 전기적 단락이 발생한 적층 세라믹 전자부품은 없었으며 절연파괴전압(BDV)도 상대적으로 높음을 알 수 있다.

[0079]

이상에서 본 발명의 실시 형태에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

[0080]

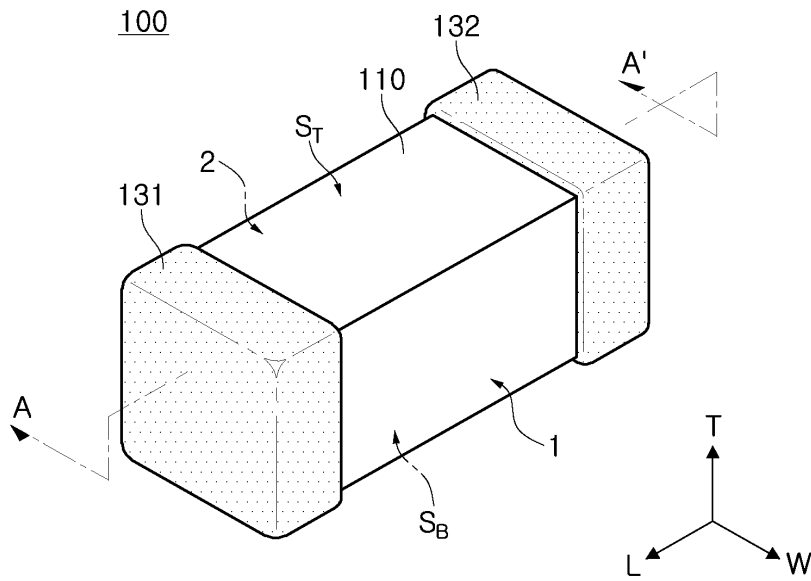
100 : 적층 세라믹 전자부품

110 : 세라믹 본체

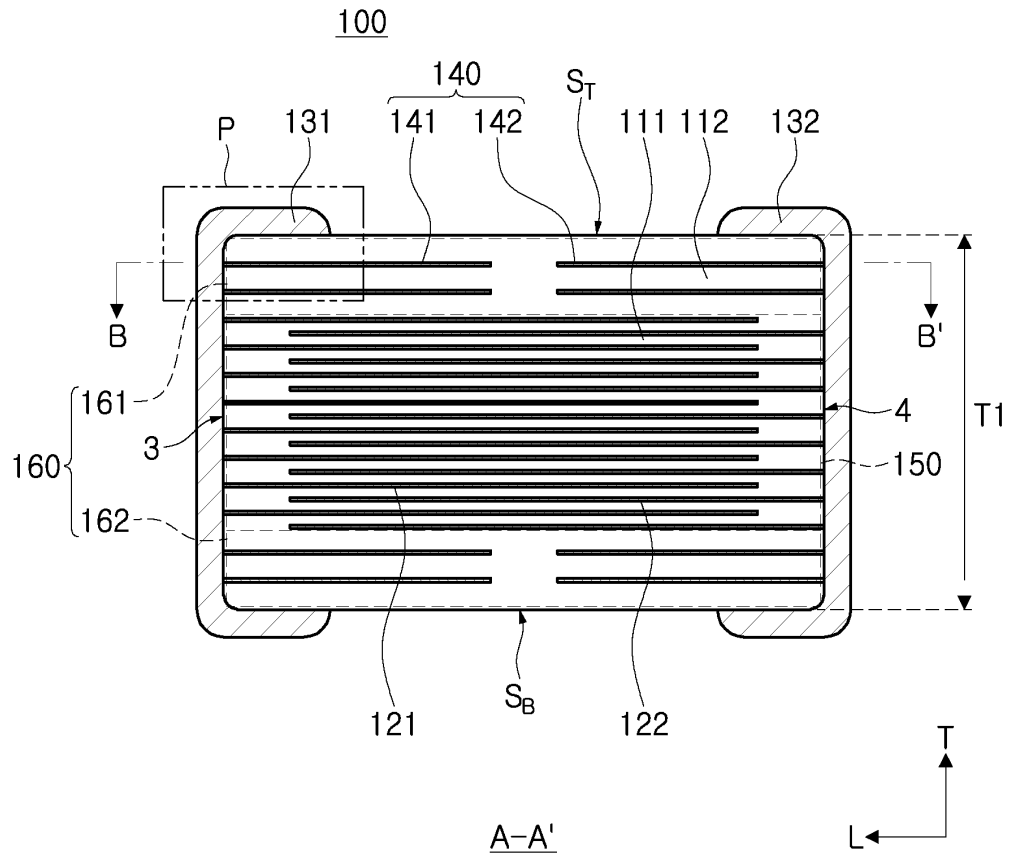
- 111 : 유전체층
- 121, 122 : 내부전극
- 131, 132 : 외부전극
- 140 : 더미전극

도면

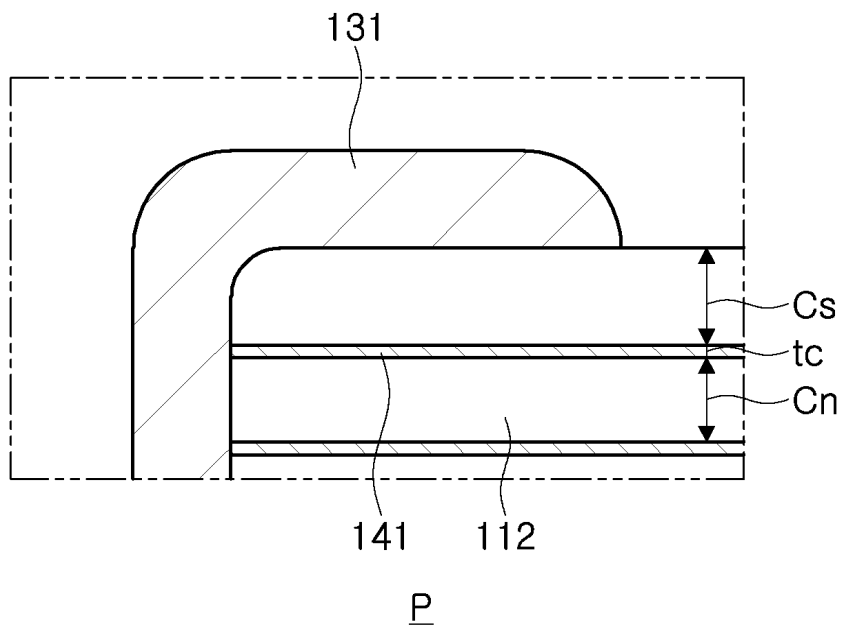
도면1



도면2



도면3



도면4

