(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-41372
(P2014-41372A)
(43)公開日　平成26年3月6日(2014.3.6)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1343	(2006.01)	G02F	1/1343		2H092
G02F	1/1368	(2006.01)	G02F	1/1368		2H192
G09F	9/00	(2006.01)	G09F	9/00	338	5C094
G09F	9/30	(2006.01)	G09F	9/30	338	5F110
H01L	21/336	(2006.01)	G09F	9/30	337	5G435

審査請求 有　請求項の数 1　ＯＬ　（全 43 頁）　最終頁に続く

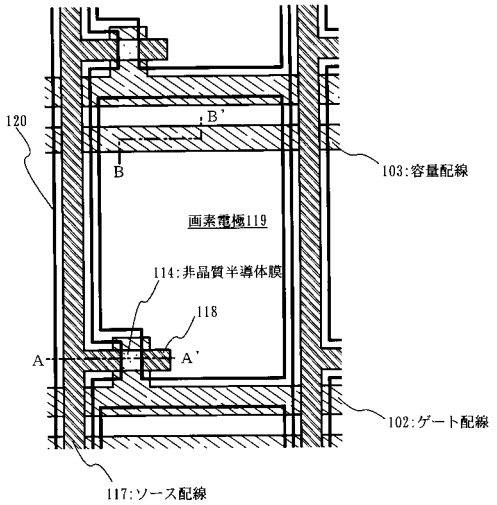
(21)出願番号　特願2013-207038 (P2013-207038)
(22)出願日　平成25年10月2日 (2013.10.2)
(62)分割の表示　特願2013-36223 (P2013-36223)の分割
原出願日　平成12年3月13日 (2000.3.13)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　荒井　康行
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　桑原　秀明
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】画素ＴＦＴを作製する工程数を削減して製造コストの低減および歩留まりの向上
を実現し、信頼性と生産性を向上させる技術を提供することを課題とする。
【解決手段】画素領域に形成する画素ＴＦＴをチャネルエッチ型の逆スタガ型ＴＦＴで基
板上に形成し、ソース領域及びドレイン領域のパターニングと画素電極のパターニングを
同じフォトマスクで行う。また、ソース配線を画素電極と同じ材料である導電膜で覆い、
基板全体を外部の静電気等から保護する構造とする。このような構成とすることで、製造
工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる
。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からＴＦＴ等を
保護することができる。
【選択図】図１



【特許請求の範囲】
【請求項１】
トランジスタと、
画素電極と、
ゲート配線と、
島状のパターンと、を有し、
前記トランジスタは、前記画素電極に電気的に接続されており、
前記トランジスタは、前記ゲート配線に電気的に接続されており、
前記画素電極は、表面に凹凸を有し、
前記画素電極の下方の領域に前記島状のパターンが設けられており、
前記ゲート配線と、前記島状のパターンは、同一の導電膜をエッチング加工することによって形成されたものであることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本願発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置およびその作製方法に関する。特に、表示部を形成する画素領域における各画素の構成と、該画素に信号伝達する駆動回路の構成に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。
【０００２】
なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器をその範疇に含むものとする。
【背景技術】
【０００３】
画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになっている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素に電圧を印加することにより液晶の配向を制御して、画面上に画像情報を表示する仕組みになっている。
【０００４】
このようなアクティブマトリクス型液晶表示装置は、ノート型パーソナルコンピュータ（ノートパソコン）やモバイルコンピュータ、携帯電話などの携帯型情報端末をはじめ、液晶テレビなどの様々な電子機器に利用され広く普及している。このような表示装置はＣＲＴと比較して軽量薄型化が可能であり、用途によっては画面の大面積化や画素数の高密度化が要求されている。
【０００５】
非晶質シリコンに代表される非晶質半導体膜でＴＦＴのチャネル形成領域などを形成する技術は生産性に優れている。非晶質半導体膜は、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどの比較的安価で大面積の基板に形成できる特徴を有している。しかしながら、非晶質シリコン膜でチャネル形成領域を形成したＴＦＴの電界効果移動度は、大きくとも１cm^2/Vsec程度しか得ることができない。そのため、画素領域に設けるスイッチング用のＴＦＴ（画素ＴＦＴ）としては利用できるが、駆動回路を形成して所望の動作をさせることはできなかった。従って、画素に印加する電圧を信号に応じて制御する駆動回路は、単結晶シリコン基板で作製したＩＣチップ（ドライバＩＣ）を用い、画素領域の周辺にＴＡＢ（Tape Automated bonding）方式やＣＯＧ（Chip on Glass）方式で実装されている。
【０００６】
ＴＡＢ方式は可撓性の絶縁基板上に銅箔などで配線を形成し、その上にＩＣチップを直接装着したものであり、可撓性基板の一方の端が表示装置の入力端子に接続して実装する方法である。一方、ＣＯＧ方式はＩＣチップを表示装置の基板上に形成した配線のパター

ンに合わせて直接貼り合わせて接続する方式である。
【０００７】
また、駆動回路を実装するその他の方法として、特開平７－０１４８８０号公報や特開平１１－１６０７３４号公報にはガラスや石英などの基板上に非単結晶半導体材料で作製したＴＦＴで駆動回路を形成し、短冊状に分割して（以下、このように短冊状に切り出された駆動回路を有する基板をスティックドライバという）、表示装置の基板上に実装する技術が開示されている。
【０００８】
いずれにしても、画素領域が形成された基板に駆動回路を実装する領域は可能な限り小さい方が好ましく、駆動回路の実装方法には配線のレイアウトなどを含め様々な工夫が凝らされている。
【発明の概要】
【発明が解決しようとする課題】
【０００９】
テレビやパーソナルコンピュータのモニタとして、これまではＣＲＴが最も使用されてきた。しかし、省スペースや低消費電力化の観点から、それが液晶表示装置に置き換えられていくにつれ、液晶表示装置に対しては画面の大面積化や高精細化が推進される一方で製造コストの削減が求められてきた。
【００１０】
アクティブマトリクス型の表示装置は、画素ＴＦＴの作製に写真蝕刻（フォトリソグラフィー）技術を用い、少なくとも５枚のフォトマスクを使用している。
フォトマスクはフォトリソグラフィーの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いている。このフォトマスクを１枚使用することによって、レジスト塗布、プレベーク、露光、現像、ポストベークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、製造に係わる作業は煩雑なものとなり問題となっていた。
【００１１】
生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。しかし、フォトマスクの数を減らさない限りは、製造コストの削減にも限界があった。
【００１２】
また、基板が絶縁体であるために製造工程中における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によってＴＦＴが劣化または破壊されて電気光学装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビング時に静電気が発生し問題となっていた。
【００１３】
その他に、画素数が増加すると実装するＩＣチップの数も必然的に多くなる。
ＲＧＢフルカラー表示のＸＧＡパネルでは、画素領域のソース線側の端子数だけで約３０００個となり、それがＵＸＧＡでは４８００個必要となる。ＩＣチップのサイズは製造プロセスにおけるウエハーサイズで限定され、実用的なサイズとして長辺が２０㎜程度のものが限度となる。このＩＣチップは出力端子のピッチを５０μｍとしても、１個のＩＣチップで４００個の接続端子しか賄うことができない。上述のＸＧＡパネルではソース線側だけでＩＣチップが８個程度、ＵＸＧＡパネルでは１２個が必要となる。
【００１４】
長尺のＩＣチップを作製する方法も考えられるが、短冊状のＩＣチップは円形のシリコンウエハーから取り出すことのできる数が必然的に減ってしまい実用に即さない。さらに、シリコンウエハー自体が脆い性質なので、あまり長尺のものを作製すると破損してしまう確率が増大する。また、ＩＣチップの実装には位置合わせの精度や、端子部のコンタク

ト抵抗を低くする必要がある。１枚のパネルに貼り付けるＩＣチップの数が増えると、不良の発生率が増え、その工程における歩留まりを低下させる懸念がある。その他にも、ＩＣチップの基体となっているシリコンと画素領域が形成されているガラス基板との温度係数か異なるため、貼り合わせた後にたわみなどが発生し、コンタクト抵抗の増大といった直接的な不良の他に、発生する応力によって素子の信頼性が低下する要因になる。

【００１５】

一方、スティックドライバは画素領域と同等の長さの駆動回路を形成することも可能であり、一つのスティックドライバで駆動回路を形成して実装することもできる。しかしながら、回路部の面積が増えると、一つの点欠陥で不良となってしまうスティックドライバの数が増加するので、１枚の基板から取り出すことのできる数が減少し、工程歩留まりが低下を招いてしまう。

【００１６】

生産性の観点からは、大面積のガラス基板や石英基板上に結晶質半導体膜から作製するＴＦＴで多数のスティックドライバを形成する方法は優れていると考えられる。しかし、走査線側とソース線側では回路の駆動周波数が異なり、また、印加する駆動電圧の値も異なっている。具体的には、走査線側のスティックドライバのＴＦＴには３０Ｖ程度の耐圧が要求されるものの、駆動周波数は１００kHz以下であり高速性は要求されない。ソース線側のスティックドライバのＴＦＴの耐圧は１２Ｖ程度あれば十分であるが、駆動周波数は３Ｖにて６５MHz程度であり高速動作が要求される。このように、要求される仕様の違いによりスティックドライバおよび該ドライバ内のＴＦＴの構造を適切に作り分ける必要がある。

【００１７】

このような背景を基にして、本発明は液晶表示装置の画素ＴＦＴを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを第１の課題とする。また、各回路が要求する特性を満たすＴＦＴで形成した駆動回路をガラス基板などの大面積基板に一括に形成する方法と、そのような駆動回路を実装した表示装置を提供し、信頼性と生産性を向上させる技術を提供することを第２の課題とする。

【課題を解決するための手段】

【００１８】

上記課題を解決するための第１の手段は、画素領域に形成する画素ＴＦＴをチャネルエッチ型の逆スタガ型ＴＦＴで形成し、ソース領域及びドレイン領域のパターニングと画素電極のパターニングを同じフォトマスクで行うことを特徴とする。

【００１９】

本発明の画素ＴＦＴの作製方法を図１を参照して簡略に説明する。まず、第１のマスク（フォトマスク１枚目）でゲート配線１０２と容量配線１０３のパターンを形成する。次いで、絶縁膜（ゲート絶縁膜）、第１の半導体膜、一導電型の第２の半導体膜、第１の導電膜を順次積層形成する。

【００２０】

第２のマスク（フォトマスク２枚目）で第１の導電膜、一導電型の第２の半導体膜、第１の半導体膜を所定の形状にエッチングして、画素ＴＦＴのチャネル形成領域やソースまたはドレイン領域を確定すると共に、ソース配線やドレイン電極のパターンを形成する。その後、画素電極を形成するための第２の導電膜を形成する。

【００２１】

第３のマスク（フォトマスク３枚目）で第２の導電膜をエッチングして画素電極１１９を形成する。さらに、画素ＴＦＴのチャネル形成領域上に残存する第１の導電膜と一導電型の第２の半導体膜をエッチングして除去する。このエッチング処理では、エッチングの選択比が大きくとれないので第１の半導体膜も一部がエッチングされる。

【００２２】

このような工程により、画素ＴＦＴの作製に必要なフォトマスクの数を３枚とすることができる。画素ＴＦＴ上に保護絶縁膜を形成する場合には、画素電極に開口を設ける必要

から、もう１枚フォトマスクが必要となる。ソース配線は画素電極と同じ材料である第２の導電膜で覆い、基板全体を外部の静電気等から保護する構造とすることもできる。また、この第２の導電膜を用いて画素ＴＦＴ部以外の領域に保護回路を形成する構造としてもよい。このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からＴＦＴ等を保護することができる。

【００２３】

反射型の液晶表示装置では、明るい表示を得るために画素電極の表面を凹凸化して、最適な反射特性を有する画素電極を形成する方法がある。本発明はこのような反射型の液晶表示装置にも適用し得るものであり、そのためにフォトマスクを増やすことを必要としない。画素電極の表面を凹凸化する方法として、ゲート配線を形成するときに、画素電極の下方の領域に島状に分離されたパターンを形成しておく手法を用いる。そのパターン上にはゲート絶縁膜と画素電極の層が形成されるのみであるので、パターンに対応した凹凸形状を画素電極の表面に形成することができる。

【００２４】

上記課題を解決するための第２の手段は、画素領域が形成された第１の基板と、対向電極が形成された第２の基板とを有する表示装置において、結晶質半導体層を有するＴＦＴを用いて形成される駆動回路と該駆動回路に従属する入出力端子を一つのユニットとしたものを、第３の基板上に複数個形成し、その後第３の基板を個々のユニット毎に分割して得られるスティックドライバを、第１の基板に実装することを特徴とする。

【００２５】

スティックドライバの各回路の構成は、走査線側とソース線側で異なるものとし、要求される回路特性に応じてＴＦＴのゲート絶縁膜の厚さやチャネル長などを異ならせたものとする。例えば、シフトレジスタ回路、レベルシフタ回路、バッファ回路から構成する走査線のスティックドライバでは、３０Ｖの耐圧が要求されるバッファ回路のＴＦＴはシフトレジスタ回路のＴＦＴよりもゲート絶縁膜を厚く形成する。また、シフトレジスタ回路、ラッチ回路、レベルシフタ回路、Ｄ／Ａ変換回路から構成されるソース線側のスティックドライバは、高周波数で駆動するためにシフトレジスタ回路やラッチ回路のゲート絶縁膜の厚さを薄くし、チャネル長も他のＴＦＴよりも短く形成する。

【００２６】

また、高い周波数の入力デジタル信号を必要とするソース線側には信号分割回路を設け、スティックドライバに入力するデータ信号の周波数を落とす手段を設ける。これにより、スティックドライバのＴＦＴの負担を軽減し、駆動回路の信頼性を向上させる。信号分割回路は、ｎ個の入力部とｍ×ｎ個の出力部とを備え、ｎ個の入力部のそれぞれより入力信号の供給を受け、入力デジタル信号のパルスの長さを時間伸長した修正デジタル信号を、ｍ×ｎ個ある出力部より送り出すことにより、入力デジタル信号の周波数を落としている。修正デジタル信号は、入力デジタル信号のパルスの長さを何倍に時間伸長したものであっても良い。

【００２７】

本発明の基本的な概念を図３２に示す。表示領域３２０２が形成された第１の基板３２０１と、第３の基板３２０６上に複数の駆動回路を形成し、第３の基板３２０６を各駆動回路毎に、短冊状または矩形状に分断することによって取り出されるスティックドライバを第１の基板に貼り合わせる。駆動回路の構成は走査線側とソース線側で異なるが、いずれにしてもそれぞれの側で複数個のスティックドライバを実装する。図３２では、走査線駆動回路が形成されたスティックドライバ３２０３、３２０４及びソース線駆動回路が形成されたスティックドライバ３２０７、３２０８が実装される形態を示している。

【００２８】

スティックドライバは大面積の第３の基板上に複数個作り込むことが生産性を向上させる観点から適している。例えば、３００×４００㎜や５５０×６５０㎜の大面積の基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に

分割して取り出すと良い。スティックドライバの短辺の長さは１～６㎜、長辺の長さは１５～８０㎜とする。このようなサイズで分割するには、ダイヤモンド片などを利用してガラス基板の表面に罫書き線を形成し、外力を作用させて罫書き線に沿って分断する方法で行うことができる。この加工を行う機械はガラススクライバーとも呼ばれるが、分断加工するのに必要な刃の加工幅は１００μｍを下らず、１００～５００μｍは余裕を見込む必要があった。また、基板上に形成したマーカーとの位置合わせ精度も±１００μｍの誤差がある。従って、ガラススクライバーで短辺が２㎜のスティックドライバを切り出すには切りしろを１～５㎜見込む必要があり、そのために１枚の基板からの取り数が制限されてしまう。一方、シリコンウェハーを個々のダイに切断するブレートダイシング法を用いたダイシング装置は、ブレード（刃）の幅が０．０２～０．０５㎜であり、位置合わせ精度を考慮しても１００μｍ以下の精度で基板を分割することができる。

【００２９】

従って、１枚の基板からスティックドライバを効率的に取出す方法は、加工精度の低いガラススクライバーで分断する加工領域と、加工精度の高いダイシング装置で分断する加工領域とを分けて配置する。具体的には、一辺が１００～２００㎜の領域から成る群を作り、その群の中に短辺の長さ１～６㎜のスティックドライバを複数個配置する。そして、群と群との分割はガラススクライバーで行い、分割された群からスティックドライバを取り出すにはダイシング装置で行う。

【００３０】

また、ソース線側のスティックドライバは、チャネル長を０．３～１μｍとし、さらに上記のような限られた面積内に必要な回路を形成するために、走査線側のスティックドライバよりもデザインルールを縮小して形成する。その好ましい方法として、ステッパ方式を用いた露光技術を採用する。

【発明の効果】

【００３１】

以上説明したとおり、本発明により、３枚のフォトマスクにより逆スタガ型のｎチャネル型ＴＦＴを有する画素ＴＦＴ及び、保持容量を備えた液晶表示装置の画素領域を形成することができる。そのことにより製造工程を簡略化することができる。同様に、３枚のフォトマスクで画素電極の表面を凹凸化した反射型の液晶表示装置を作製することができる。

【００３２】

また、スティックドライバを、３枚のフォトマスクにより作製された逆スタガ型の画素ＴＦＴ及び保持容量を備えた液晶表示装置に実装するに際し、従来のＩＣチップよりも長尺のスティックドライバで駆動回路を実装することにより、一つの画素領域に対して必要な数を減らすことができる。その結果、液晶表示装置の製造歩留まりを向上させ、製造コストを低減させることを可能とする。

【００３３】

一方、製造工程からみたスティックドライバの利点は、必ずしもサブミクロンのデザインルールを必要としない画素領域は、大面積を一度に露光できるプロキシミティ方式やプロジェクション方式が適した方式で行い、サブミクロンのデザインルールが要求されるスティックドライバはステッパ方式で露光するといった生産手段の住分けを可能とする。このような手段を用いることにより生産性を高めることができる。

【図面の簡単な説明】

【００３４】

【図１】本発明の画素構造を示す上面図。
【図２】画素ＴＦＴ、保持容量、端子部の作製工程を説明する断面図。
【図３】画素ＴＦＴ、保持容量、端子部の作製工程を説明する断面図。
【図４】画素ＴＦＴ、保持容量の作製工程を説明する上面図。
【図５】画素ＴＦＴ、保持容量の作製工程を説明する上面図。
【図６】画素領域とスティックドライバの配置を説明する図。

【図７】画素領域とスティックドライバの回路構成を説明するブロック図。
【図８】スティックドライバの構成を説明する断面図。
【図９】スティックドライバの実装方法の一例を説明する図。
【図１０】スティックドライバの実装方法の一例を説明する図。
【図１１】入力端子部の上面図及び断面図。
【図１２】画素ＴＦＴ、保持容量、端子部の構造を説明する断面図。
【図１３】マルチチャンバ方式の製造装置の構成を説明する図。
【図１４】単室連続成膜方式の製造装置の構成を説明する図。
【図１５】反射型の液晶表示装置の断面構造図。
【図１６】反射型の液晶表示装置の画素の上面図。
【図１７】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図１８】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図１９】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図２０】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図２１】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図２２】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図２３】スティックドライバの駆動回路を形成するＴＦＴの作製工程を説明する図。
【図２４】スティックドライバの端子部の構成を説明する断面図。
【図２５】スティックドライバの入出力端子部に形成するバンプの作製工程図。
【図２６】表示装置の回路構成を説明するブロック構成図。
【図２７】信号分割回路の構成を説明する図。
【図２８】ソース線に接続するスティックドライバの駆動回路の構成を説明する図。
【図２９】ラッチ回路の具体例を説明する図。
【図３０】スティックドライバを実装する液晶表示装置の組み立て図。
【図３１】表示装置を電気光学装置の筐体に装着する一例を説明する図。
【図３２】スティックドライバを実装するアクティブマトリクス型表示装置の概念図。
【図３３】半導体装置の一例を説明する図。
【図３４】半導体装置の一例を説明する図。
【発明を実施するための形態】
【００３５】
[実施形態１]　本願発明の液晶表示装置における画素領域の画素の構成について説明する。図１はその平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素の１つの画素構成を示している。また、図２及び図３は作製工程を示す図である。
【００３６】
　図１に示すように、画素領域は互いに平行に配置された複数のゲート配線と、各ゲート配線と交差するソース配線を複数有している。ゲート配線とソース配線とで囲まれた領域には画素電極１１９が設けられている。また、この画素電極１１９と重ならないように、画素電極と同じ材料からなる配線１２０がソース配線１１７と重なっている。ゲート配線１０２とソース配線１１７の交差部近傍にはスイッチング素子としてのＴＦＴが設けられている。このＴＦＴは非晶質構造を有する半導体膜（以下、第１の半導体膜と呼ぶ）で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型ともいう）のＴＦＴである。
【００３７】
　さらに、画素電極１１９の下方で隣り合う２本のゲート配線の間には、ゲート配線１０２と平行に容量配線１０３が配置されている。この容量配線１０３は全画素に設けられており、画素電極１１９との間に存在する絶縁膜１０４ｂを誘電体として保持容量を形成している。
【００３８】
　本発明の逆スタガ型ＴＦＴは、絶縁性基板上に順次、ゲート電極（ゲート配線１０２と

同じ層で一体形成され、ゲート配線に接続する電極）と、ゲート絶縁膜と、第１の半導体膜膜と、一導電型（通常はｎ型を用いる）の不純物元素を含む第２の半導体膜からなるソース領域及びドレイン領域と、ソース電極（ソース配線１１７と一体形成された）及び電極１１８（以下、ドレイン電極とも呼ぶ）とが積層形成されている。

【００３９】

ソース配線（ソース電極含む）及びドレイン電極１１８の下方には、絶縁性基板上に順次、ゲート絶縁膜と、第１の半導体膜と、ｎ型を付与する不純物元素を含む第２の半導体膜とが積層形成されている。

【００４０】

第１の半導体膜のうち、ソース領域と接する領域とドレイン領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなったのは、ｎ型を付与する不純物元素を含む第２の半導体膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、第１の半導体膜の一部が除去されたためである。

また、このエッチングによって画素電極の端面、ドレイン電極の端面、及びドレイン領域の端面が一致している。このような逆スタガ型のＴＦＴはチャネルエッチ型と呼ばれている。また、本発明における逆スタガ型ＴＦＴの特徴は、ソース電極を覆う配線１２０の端面、ソース領域の端面、及びソース配線の端面が一致している。

【００４１】

[実施形態２] 図６は本発明の表示装置の構成を示す図である。基板６５１上には画素領域６５２が形成されている。その画素領域６５２が形成された領域上には対向電極が形成された第２の基板６６０が液晶層（図示せず）を介して貼り合わされている。第１の基板と第２の基板との間隔、即ち液晶層の厚さはスペーサによって決定付けられるが、ネマチック液晶の場合には３～８μm、スメチック液晶の場合には１～４μmとする。第１及び第２の基板にはアルミノホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラスを用いることが好ましく、その厚さは０．３～１．１mm（代表的には０．７mm）が用いられるので、相対的に液晶層の厚さは外観上無視できるものである。

【００４２】

画素領域６５２は走査線（ゲート配線に対応する）群６５８とソース線群６５９が交差してマトリクスを形成し、各交差部に対応してＴＦＴが配置されている。ここで配置されるＴＦＴは実施形態１で説明した逆スタガ型のＴＦＴを用いる。非晶質シリコン層はプラズマＣＶＤ法で３００℃以下の温度で形成することが可能であり、例えば、外寸５５０×６５０mmの無アルカリガラス基板であっても、ＴＦＴを形成するのに必要な膜厚を数十秒で形成することができる。このような製造技術の特徴は、大画面の表示装置を作製する上で非常に有用に活用することができる。

【００４３】

画素領域６５２の外側の領域には、駆動回路が形成されたスティックドライバ６５３、６５４が実装されている。６５３はソース線側の駆動回路であり、６５４は走査線側の駆動回路であるが、いずれも複数個に分割して実装する。ＲＧＢフルカラーに対応した画素領域を形成するためには、ＸＧＡクラスでソース線の本数が３０７２本であり走査線側が７６８本必要となる。また、ＵＸＧＡではそれぞれ４８００本と１２００本が必要となる。このような数で形成されたソース線及び走査線は画素領域６５２の端部で数ブロック毎に区分して引出線６５７を形成し、スティックドライバ６５３、６５４の出力端子のピッチに合わせて集められている。

【００４４】

一方、基板６５１の端部には外部入力端子６５５が形成され、この部分で外部回路と接続するＦＰＣ（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り合わせる。そして、外部入力端子６５５とスティックドライバとの間は基板６５１上に形成した接続配線６５６によって結ばれ、最終的にはスティックドライバの入力端子のピッチに合わせて集められる。

【００４５】

スティックドライバの回路構成は、走査線側とソース線側とで異なっている。図７はその一例を示し、図６と同様に画素領域６７０の外側に走査線側のスティックドライバ６７１と、ソース線側のスティックドライバ６７２が設けられる様子を示している。スティックドライバは画素密度にもよるが、走査線側で１～２個、データ線側で２～１０個程度が実装される。走査線側のスティックドライバ６７１の構成は、シフトレジスタ回路６７３、レベルシフタ回路６７４、バッファ回路６７５から成っている。この内、バッファ回路６７５は３０Ｖ程度の耐圧が要求されるものの、動作周波数は１００kHz程度であるので、特にこの回路を形成するＴＦＴはゲート絶縁膜の厚さは１５０～２５０nm、チャネル長は１～２μmで形成する。一方、ソース線側のスティックドライバは、シフトレジスタ回路６７６、ラッチ回路６７７、レベルシフタ回路６７８、Ｄ／Ａ変換回路６７９から構成される。シフトレジスタ回路６７６やラッチ回路６７７は駆動電圧３Ｖで周波数５０MHz以上（例えば６５MHz）で駆動するために、特にこの回路を形成するＴＦＴはゲート絶縁膜の厚さは２０～７０nm、チャネル長は０．３～１μmで形成する。

【００４６】

このような駆動回路が形成されたスティックドライバは図８（Ａ）に示すように、第３の基板８１１上に形成され、ＴＦＴで形成された回路部８１２、入力端子８１３、出力端子８１４が設けられている。駆動回路部８１２のＴＦＴのチャネル形成領域やソース及びドレイン領域は結晶質半導体膜で形成する。結晶質半導体膜には非晶質半導体膜をレーザー結晶化法や熱結晶化法で結晶化させた膜を適用することが可能であり、その他のもＳＯＩ技術を用いて形成された単結晶半導体層で形成することも可能である。

【００４７】

図８（Ｂ）はスティックドライバの上面図であり、図８（Ａ）の断面図はＡ－Ａ'線に対応している。画素領域のソース線または走査線に接続する出力端子のピッチは４０～１００μmで複数個形成する。また、同様に入力端子８１３も必要な数に応じて形成する。これらの入力端子８１３及び出力端子８１４は一辺の長さを３０～１００μmとした正方形または長方形状に形成する。図６で示したように、スティックドライバは画素領域の一辺の長さに合わせて形成するものではなく、長辺が１５～８０mm、短辺が１～６mmの矩形状または短冊状に形成する。画素領域のサイズ、即ち画面サイズが大型化すると、その一例として、２０型では画面の一方の辺の長さは４４３mmとなる。勿論、この長さに対応してスティックドライバを形成することは可能であるが、基板の強度を確保するには実用的な形状とはなり得ない。むしろ、１５～８０mmの長さとして複数個にスティックドライバを分割する方が取り扱いが容易となり、製造上の歩留まりも向上する。

【００４８】

スティックドライバのＩＣチップに対する外形寸法の優位性はこの長辺の長にあり、ＩＣチップを１５～８０mmという長さで形成することは生産性の観点から適していない。不可能ではないにしろ、円形のシリコンウエハーから取出すＩＣチップの取り数を減少させるので現実的な選択とはなり得ない。一方、スティックドライバの駆動回路はガラス基板上に形成するものであり、母体として用いる基板の形状に限定されないので生産性を損なうことがない。このように、長辺が１５～８０mmで形成されたスティックドライバを用いることにより、画素領域に対応して実装するのに必要な数がＩＣチップを用いる場合よりも少なくて済むので、製造上の歩留まりを向上させることができる。

【００４９】

第３の基板を用いて作製されたスティックドライバを第１の基板上に実装する方法はＣＯＧ方式と同様なものであり、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図９にその一例を示す。図９（Ａ）は第１の基板２０１にスティックドライバ２０８が異方性導電材を用いて実装する例を示している。第１の基板２１０上には画素領域２０２、引出線２０６、接続配線及び入出力端子２０７が設けられている。第２の基板はシール材２０４で第１の基板２０１と接着されており、その間に液晶層２０５が設けられている。また、接続配線及び入出力端子２０７の一方の端にはＦＰＣ２１２が異方性導電材で接着されている。異方性導電材は樹脂２１５と表面にＡｕなど

がメッキされた数十～数百μm径の導電性粒子２１４から成り、導電性粒子２１４により接続配線及び入出力端子２０７とＦＰＣ２１２に形成された配線２１３とが電気的に接続されている。スティックドライバ２０８も同様に異方性導電材で第１の基板に接着され、樹脂２１１中に混入された導電性粒子２１０により、スティックドライバ２０８に設けられた入出力端子２０９と引出線２０６または接続配線及び入出力端子２０７と電気的に接続されている。

【００５０】

図１０（Ａ）はこの方式によるスティックドライバ２２４の実装方法を詳細に説明する部分断面図である。スティックドライバ２２４には入出力端子２２５が設けられ、その周辺部には保護絶縁膜２２６が形成されていることが望ましい。

第１の基板２２０には第１の導電層２２１と第２の導電層２２３、及び絶縁層２２２が図で示すように形成され、ここでは第１の導電層２２１と第２の導電層２２３とで引出線または接続配線を形成している。第１の基板に形成されるこれらの導電層及び絶縁層は画素領域の画素ＴＦＴと同じ工程で形成されるものである。例えば、画素ＴＦＴが逆スタガ型で形成される場合、第１の導電層２２１はゲート電極と同じ層に形成され、Ｔａ、Ｃｒ、Ｔｉ、Ａｌなどの材料で形成される。通常ゲート電極上にはゲート絶縁膜が形成され、絶縁層２２２はこれと同じ層で形成されるものである。第１の導電層２２１上に重ねて設ける第２の導電層２２３は画素電極と同じ透明導電膜で形成されるものであり、導電性粒子２２７との接触を良好なものとするために設られている。樹脂２２８中に混入させる導電性粒子２２７の大きさと密度を適したものとすることにより、このような形態でスティックドライバと第１の基板とは電気的接続構造を形成することができる。

【００５１】

図１０（Ｂ）は樹脂の収縮力を用いたＣＯＧ方式の例であり、スティックドライバ側にＴａやＴｉなどでバリア層２２９を形成し、その上に無電解メッキ法などによりＡｕを約２０μm形成しバンプ２３０とする。そして、スティックドライバと第１の基板との間に光硬化性絶縁樹脂２３１を介在させ、光硬化して固まる樹脂の収縮力を利用して電極間を圧接して電気的な接続を形成する。

【００５２】

また、図９（Ｂ）で示すように第１の基板にスティックドライバを接着材２１６で固定して、Ａｕワイヤ２１７によりスティックドライバの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂２１８で封止する。

【００５３】

スティックドライバの実装方法は図９及び図１０を基にした方法に限定されるものではなく、ここで説明した以外にも公知のＣＯＧ方法やワイヤボンディング方法、或いはＴＡＢ方法を用いることが可能である。

【００５４】

スティックドライバの厚さは、対向電極が形成された第２の基板と同じ厚さとすることにより、この両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与することができる。また、それぞれの基板を同じ材質のもので作製することにより、この液晶表示装置に温度変化が生じても熱応力が発生することなく、ＴＦＴで作製された回路の特性を損なうことはない。その他にも、本実施形態で示すようにＩＣチップよりも長尺のスティックドライバで駆動回路を実装することにより、一つの画素領域に対して必要な数を減らすことができる。

【実施例１】

【００５５】

本実施例は液晶表示装置の作製方法を示し、基板上に画素部のＴＦＴを逆スタガ型で形成し、該ＴＦＴに接続する保持容量を作製する方法について図１～図５を用い工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための端子部の作製工程を同時に示す。

【００５６】

図２（Ａ）において、基板１００にはコーニング社の＃７０５９ガラスや＃１７３７ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。その他に、石英基板、プラスチック基板などの基板を使用することができる。

【００５７】

この基板１００上に導電層を全面に形成した後、第１のフォトマスクを用いるフォトリソ工程を行い、エッチング処理をしてゲート電極１０２'及びゲート配線（図示せず）、容量配線１０３、端子１０１を形成する。このとき少なくともゲート電極１０２'の端部にテーパー部が形成されるようにエッチングする。また、この段階での上面図を図４に示す。

【００５８】

ゲート電極１０２及びゲート配線と容量配線１０３、端子部の端子１０１は、アルミニウム（Ａｌ）や銅（Ｃｕ）などの低抵抗導電性材料で形成することが望ましいが、Ａｌ単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。また、低抵抗導電性材料としてＡｇＰｄＣｕ合金を用いてもよい。耐熱性導電性材料としては、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、クロム（Ｃｒ）、Ｎｄ（ネオジム）から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。例えば、ＴｉとＣｕの積層、ＴａＮとＣｕとの積層が挙げられる。また、Ｔｉ、Ｓｉ、Ｃｒ、Ｎｄ等の耐熱性導電性材料と組み合わせて形成した場合、平坦性が向上するため好ましい。その他に、耐熱性導電性材料の単層やＭｏとＷ、或いはＭｏとＴａの合金を用いても良い。

【００５９】

液晶表示装置を作製するには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせて形成することが望ましい。画面サイズが４型程度までなら耐熱性導電性材料の窒化物から成る導電層（Ａ）と耐熱性導電性材料から成る導電層（Ｂ）とを積層したニ層構造とする。導電層（Ｂ）はＡｌ、Ｃｕ、Ｔａ、Ｔｉ、Ｗ、Ｎｄ、Ｃｒから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層（Ａ）
は窒化タンタル（ＴａＮ）膜、窒化タングステン（ＷＮ）膜、窒化チタン（ＴｉＮ）膜などで形成する。例えば、導電層（Ａ）としてＣｒ、導電層（Ｂ）としてＮｄを含有するＡｌとを積層したニ層構造とすることが好ましい。導電層（Ａ）
は１０～１００ｎｍ（好ましくは２０～５０ｎｍ）とし、導電層（Ｂ）は２００～４００ｎｍ（好ましくは２５０～３５０ｎｍ）とする。

【００６０】

一方、４型クラス以上の大画面に適用するには耐熱性導電性材料から成る導電層（Ａ）と低抵抗導電性材料から成る導電層（Ｂ）と耐熱性導電性材料から成る導電層（Ｃ）とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層（Ｂ）は、アルミニウム（Ａｌ）を成分とする材料で形成し、純Ａｌの他に、０．０１～５atomic％のスカンジウム（Ｓｃ）、Ｔｉ、Ｎｄ、シリコン（Ｓｉ）等を含有するＡｌを使用する。導電層（Ｃ）は導電層（Ｂ）のＡｌにヒロックが発生するのを防ぐ効果がある。導電層（Ａ）は１０～１００ｎｍ（好ましくは２０～５０ｎｍ）とし、導電層（Ｂ）は２００～４００ｎｍ（好ましくは２５０～３５０ｎｍ）とし、導電層（Ｃ）は１０～１００ｎｍ（好ましくは２０～５０ｎｍ）とする。本実施例では、Ｔｉをターゲットとしたスパッタ法により導電層（Ａ）をＴｉ膜で５０nmの厚さに形成し、Ａｌをターゲットとしたスパッタ法により導電層（Ｂ）をＡｌ膜で２００nmの厚さに形成し、Ｔｉをターゲットとしたスパッタ法により導電層（Ｃ）をＴｉ膜で５０nmの厚さに形成する。

【００６１】

次いで、絶縁膜１０４ａを全面に成膜する。絶縁膜１０４ａはスパッタ法を用い、膜厚を５０～２００ｎｍとする。例えば、絶縁膜１０４ａとして窒化シリコン膜を用い、１５

０ｎｍの厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものでなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【００６２】

絶縁膜１０４ａ上に５０～２００ｎｍ（好ましくは１００～１５０ｎｍ）の厚さで第１の半導体膜１０５を、プラズマＣＶＤ法やスパッタ法などの公知の方法で全面に形成する。例えば、シリコンのターゲットを用いたスパッタ法で非晶質シリコン（ａ－Ｓｉ）膜を１５０ｎｍの厚さに形成する。その他、この第１の半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜（$Si_XGe_{(1-X)}$、（０＜Ｘ＜１））、非晶質シリコンカーバイト（Si_XC_Y）などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【００６３】

次に、一導電型（ｎ型またはｐ型の不純物元素を含有する）の第２の半導体膜を２０～８０ｎｍの厚さで形成する。一導電型の第２の半導体膜は、プラズマＣＶＤ法やスパッタ法などの公知の方法で全面に形成する。本実施例では、リン（Ｐ）が添加されたシリコンターゲットを用いて一導電型の第２の半導体膜１０６を形成する。或いは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。その他にも、第２の半導体膜を水素化微結晶シリコン膜（μｃ－Ｓｉ：Ｈ）で形成しても良い。

【００６４】

金属材料からなる第１の導電膜１０７はスパッタ法や真空蒸着法で形成する。
第１の導電膜１０７の材料としては、第２の半導体膜１０６とオーミックコンタクトのとれる金属材料であれば特に限定されず、Ａｌ、Ｃｒ、Ｔａ、Ｔｉから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法を用い、第１の導電膜１０７として、５０～１５０nmの厚さのＴｉ膜と、そのＴｉ膜上に重ねてアルミニウム（Ａｌ）を３００～４００nmの厚さで形成し、さらにその上にＴｉ膜を１００～１５０nmの厚さで形成する３層構造で形成する（図２（Ａ））。

【００６５】

絶縁膜１０４ａ、第１の半導体膜１０５、一導電型の第２の半導体膜１０６、及び第１の導電膜１０７はいずれも公知の方法で作製するものであり、プラズマＣＶＤ法やスパッタ法で作製することができる。本実施例では、これらの膜（１０４ａ、１０５、１０６、１０７）をスパッタ法で、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

【００６６】

そして、第２のフォトマスクを用い、フォトリソグラフィー工程を行い、レジストマスク１０８を形成し、エッチングにより不要な部分を除去して配線（後の工程によりソース配線及びドレイン電極）１１１を形成する。この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いる。この時、第１の導電膜１０７、一導電型の第２の半導体膜１０６、及び第１の半導体膜１０５が順次、レジストマスク１０８のパターンに従ってエッチングとなする。この工程では配線の形成のみならず、ＴＦＴを形成する半導体層のパターンまでも同時に形成する。ＴＦＴの形成部においては、第１の導電膜からなる配線１１１、ｎ型を付与する不純物元素を含む第２の半導体膜１１０、及び第１の半導体膜１０９がそれぞれ形成される。本実施例では、$SiCl_4$とCl_2とBCl_3の混合ガスを反応ガスとしたドライエッチングにより、Ｔｉ膜とＡｌ膜とＴｉ膜を順次積層した第１の導電膜１０７をエッチングし、反応ガスをCF_4とO_2の混合ガスに代えて第１の半導体膜１０５及びｎ型を付与する不純物元素を含む第２の半導体膜１０６を選択的に除去する（図２（Ｂ））。また、容量部においては容量配線１０３と絶縁膜１０４ａを残し、

同様に端子部においても、端子１０１と絶縁膜１０４ａが残る。この状態の上面図を図５に示す。但し、簡略化のため図５では全面に成膜された第２の導電膜１１２は図示していない。

【００６７】

次に、レジストマスク１０８を除去した後、スクリーン印刷で画素領域の全面を覆うマスクを形成し、端子部のパッド部分を覆っている絶縁膜１０４ａを選択的に除去する。この処理は高い位置合わせ精度を要求しないので、スクリーン印刷やシャドーマスクを用いて行うことができる。こうして絶縁膜１０４ｂを形成する（図２（Ｃ））。

【００６８】

そして、全面に透明導電膜からなる第２の導電膜１１２を成膜する（図２（Ｄ））。この第２の導電膜１１２の材料は、酸化インジウム（In_2O_3）や酸化インジウム酸化スズ合金（In_2O_3－SnO_2、ＩＴＯと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にＩＴＯのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（In_2O_3－ＺｎＯ）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ＩＴＯと比較して熱安定性にも優れているので、第２の導電膜１１２と接触する配線１１１をＡｌ膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛（ＺｎＯ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ｇａ）を添加した酸化亜鉛（ＺｎＯ：Ｇａ）などを用いることができる。

【００６９】

次に、第３のフォトマスクを用い、フォトリソグラフィー工程によりレジストマスク１１３ａ～１１３ｃを形成する。そして、エッチングにより不要な部分を除去して第１の半導体膜１１４、ソース領域１１５及びドレイン領域１１６、ソース電極１１７及びドレイン電極１１８、画素電極１１９を形成する（図３（Ａ））。このフォトリソグラフィー工程は、第２の導電膜１１２をパターニングすると同時に配線１１１と、一導電型の第２の半導体膜１１０と第１の半導体膜１０９の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ＩＴＯからなる第２の導電膜１１２を硝酸と塩酸の混合溶液または塩化系第２鉄系の溶液を用いたウエットエッチングにより選択的に除去し、ウエットエッチングにより配線１１１を選択的に除去した後、ドライエッチングによりｎ型を付与する不純物元素を含む第２の半導体膜１１０と第１の半導体膜１０９の一部をエッチングした。なお、本実施例では、ウエットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウエットエッチングのみで行ってもよい。

【００７０】

また、開孔の底部は第１の半導体膜に達しており、凹部を有する第１の半導体膜１１４が形成される。この開孔によって配線１１１はソース配線１１７とドレイン電極１１８に分離され、一導電型の第２の半導体膜１１０はソース領域１１５とドレイン領域１１６に分離される。また、ソース配線と接する第２の導電膜１２０は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線上に第２の導電膜１２０を形成した例を示したが、第２の導電膜１２０を除去してもよい。また、このフォトリソグラフィー工程において、容量部における絶縁膜１０４ｂを誘電体として、容量配線１０３と画素電極１１９とで保持容量が形成される。その他に、このフォトリソグラフィー工程において、レジストマスク１１３ｃで覆い端子部に形成された透明導電膜からなる第２の導電膜を残す。

【００７１】

次に、レジストマスク１１３ａ～１１３ｃを除去した。この状態の断面図を図３（Ｂ）に示す。尚、図１は１つの画素の上面図であり、Ａ－Ａ'線 及びＢ－Ｂ'線に沿った断面図がそれぞれ図３（Ｂ）に相当する。

【００７２】

また、図１１（Ａ）は、この状態のゲート配線端子部５０１、及びソース配線端子部５０２の上面図をそれぞれ図示している。なお、図１～図３と対応する箇所には同じ符号を用いている。また、図１１（Ｂ）は図１１（Ａ）中のＥ－Ｅ'線 及びＦ－Ｆ'線に沿った断面図に相当する。図１１（Ａ）において、透明導電膜からなる５０３は入力端子として機能する接続用の電極である。また、図１１（Ｂ）において、５０４は絶縁膜（１０４ｂから延在する）、５０５は第１の非晶質半導体膜（１１４から延在する）、５０６はｎ型を付与する不純物元素を含む第２の非晶質半導体膜（１１５から延在する）である。

【００７３】

こうして３枚のフォトマスクを使用して、３回のフォトリソグラフィー工程により、逆スタガ型のｎチャネル型ＴＦＴ２０１を有する画素ＴＦＴ、保持容量２０２を完成させることができる。これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【００７４】

次に、アクティブマトリクス基板の画素部のみに配向膜１２１を選択的に形成する。配向膜１２１を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。そして、配向膜１２１にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

【００７５】

次いで、アクティブマトリクス基板と、対向電極１２２と配向膜１２３とが設けられた対向基板１２４とをスペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料１２５を注入する。液晶材料１２５は公知のものを適用すれば良く代表的にはＴＮ液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する（図３（Ｃ））。

【００７６】

端子部には、実施形態２で示すように駆動回路が形成されたスティックドライバを取り付ける。スティックドライバは走査線側とソース線側で異なる駆動回路が用いられる。こうして、画素領域を３枚のフォトマスクで作製したアクティブマトリクス型液晶表示装置を完成させることができる。

【実施例２】

【００７７】

本実施例では、実施例１で作製した画素ＴＦＴ上に保護膜を形成した例を図１２に示す。なお、本実施例は、実施例１の図３（Ｂ）の状態まで同一であるので異なる点について以下に説明する。また、図３（Ｂ）に対応する箇所は同一の符号を用いている。

【００７８】

まず、実施例１に従って図３（Ｂ）の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【００７９】

次いで、第４のフォトマスクを用い、フォトリソグラフィー工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素ＴＦＴ部においては絶縁膜４０２、端子部においては無機絶縁膜４０１をそれぞれ形成する。この無機絶縁膜４０１、４０２は、パッシベーション膜として機能する。また、端子部においては、第４のフォトリソグラフィー工程により薄い無機絶縁膜４０１を除去して、端子部の端子１０１上に形成された透明導電膜からなる第２の導電膜を露呈させる。

【００８０】

こうして本実施例では、４枚のフォトマスクを使用して、４回のフォトリソグラフィー

工程により、無機絶縁膜で保護された逆スタガ型のｎチャネル型ＴＦＴ、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。なお、本実施例は、実施例１の構成と組み合わせることが可能である。

【実施例３】

【００８１】

実施例１では、絶縁膜、第１の非晶質半導体膜、一導電型の第２の非晶質半導体膜及び第１の導電膜をスパッタ法で形成する例を中心として示しが、本実施例ではプラズマＣＶＤ法を用いる例を示す。具体的には、絶縁膜、第１の非晶質半導体膜、及び一導電型の第２の半導体膜をプラズマＣＶＤ法で形成する。

【００８２】

本実施例においては絶縁膜として酸化窒化シリコン膜を用い、プラズマＣＶＤ法により１５０nmの厚さで形成する。この時、プラズマＣＶＤ装置において、電源周波数を１３～７０ＭＨｚ、好ましくは２７～６０ＭＨｚで行う。特に、電源周波数２７～６０ＭＨｚを使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、SiH_4とNH_3にN_2Oを添加させて作製された酸化窒化シリコン膜は、膜の内部応力が緩和されるので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。も良い。その一例を示せば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造はゲート絶縁膜として好ましい形態である。

【００８３】

酸化シリコン膜を用いる場合には、プラズマＣＶＤ法で、オルトケイ酸テトラエチル（Tetraethyl Orthosilicate：ＴＥＯＳ）とO_2とを混合し、反応圧力４０Pa、基板温度２５０～３５０℃とし、高周波（１３．５６MHz）電力密度０．５～０．８W/cm^{2}で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後３００～４００℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【００８４】

第１の半導体膜として、代表的には、プラズマＣＶＤ法で水素化非晶質シリコン（ａ－Ｓｉ：Ｈ）膜を１００ｎｍの厚さに形成する。この時、プラズマＣＶＤ装置において、電源周波数１３～７０ＭＨｚ、好ましくは２７～６０ＭＨｚで行えばよい。電源周波数２７～６０ＭＨｚを使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ないａ－Ｓｉ膜となるため好ましい。その他、この第１の非晶質半導体膜には、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。非晶質半導体膜のプラズマＣＶＤ法による成膜において、１００～１００ｋＨｚのパルス変調放電を行えば、プラズマＣＶＤ法の気相反応によるパーティクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

【００８５】

また、本実施例では、一導電型の不純物元素を含有する半導体膜として、一導電型の第２の非晶質半導体膜を２０～８０ｎｍの厚さで形成する。例えば、ｎ型の不純物元素を含有するａ－Ｓｉ：Ｈ膜を形成すれば良く、そのためにシラン（SiH_4）に対して０．１～５％の濃度でフォスフィン（PH_3）を添加する。或いは、ｎ型を付与する不純物元素を含む第２の非晶質半導体膜１０６に代えて水素化微結晶シリコン膜（μｃ－Ｓｉ：Ｈ）を用いても良い。

【００８６】

これらの膜は、反応ガスを適宣切り替えることにより、連続的に形成することができる。また、プラズマＣＶＤ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。

このように、大気に曝さないで連続成膜することで特に、第１の半導体膜への不純物の混入を防止することができる。

【実施例４】

【００８７】

図２において示すように、絶縁膜、第１の非晶質半導体膜、一導電型の第２の非晶質半導体膜、第１の導電膜を順次、連続的に積層する工程では、スパッタ装置やプラズマＣＶＤ装置の一つの形態として、複数の反応室を備えたマルチチャンバー型の装置が適用できる。

【００８８】

図１３はマルチチャンバー型の装置（連続成膜システム）の上面からみた概要を示す。装置の構成は、ロード・アンロード室１０、１５、皮膜を形成するチャンバー１１～１４が備えられ、各チャンバーは共通室２０に連結されている。ロード・アンロード室、共通室及び各チャンバーには、真空排気ポンプ、ガス導入系が配置されている。

【００８９】

ロード・アンロード室１０、１５は、処理基板３０をチャンバーに搬入するためのロードロック室である。第１のチャンバー１１は絶縁膜１０４を成膜するための反応室である。第２のチャンバー１２は第１の非晶質半導体膜１０５を成膜するための反応室である。第３のチャンバー１３は一導電型の非晶質半導体膜１０６を成膜するための反応室である。第４のチャンバー１４は第１の導電膜１０７を成膜するための反応室である。

【００９０】

このようなマルチチャンバー型の装置の動作の一例を示す。最初、全てのチャンバーは、一度高真空状態に真空引きされた後、窒素またはアルゴンなどのガスを流し、チャンバー内を０．０１～５Pa程度の圧力に保持することにより、排気口からの逆拡散やチャンバー内壁からの脱ガスによる汚染を防いでいる。

【００９１】

処理基板は多数枚が収納されたカセット２８ごとロード・アンロード室１０にセットされる。処理基板はゲート弁２２を開けてカセットから取り出し、ロボットアーム２１によって共通室２０に移される。この際、共通室において位置合わせが行われる。なお、この基板３０は実施例１に従って得られた配線１０１、１０２、１０３が形成されたものを用いた。

【００９２】

ここでゲート弁２２を閉鎖し、次いでゲート弁２３を開ける。そして第１のチャンバー１１へ処理基板３０を移送する。第１のチャンバー内では１５０℃から３００℃の温度で成膜処理を行い、絶縁膜１０４を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマＣＶＤ法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【００９３】

絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第２のチャンバー１２に移送される。第２のチャンバー内では第１のチャンバーと同様に１５０℃～３００℃の温度で成膜処理を行い、プラズマＣＶＤ法で第１の半導体膜１０５を得る。なお、第１の非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコン・ゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、第１の半導体膜の形成温度を３５０℃～５００℃として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマＣＶＤ法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【００９４】

第１の半導体膜の成膜終了後、処理基板は共通室に引き出され、第３のチャンバー１３に移送される。第３のチャンバー内では第２のチャンバーと同様に１５０℃～３００℃の

温度で成膜処理を行い、プラズマＣＶＤ法でｎ型を付与する不純物元素（ＰまたはＡｓ）を含む一導電型の第２の半導体膜１０６を得る。なお、ここではプラズマＣＶＤ法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【００９５】

一導電型の第２の半導体膜の成膜終了後、処理基板は共通室に引き出され、第４のチャンバー１４に移送される。第４のチャンバー内では金属ターゲットを用いたスパッタ法で第１の導電膜１０７を得る。

【００９６】

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室１５に移送されカセット２９に収納される。

【実施例５】

【００９７】

実施例４では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例では図１４に示す装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層する方法を採用することもできる。

【００９８】

本実施例では図１４に示した装置システムを用いた。図１４において、４０は処理基板、５０は共通室、４４、４６はロードロック室、４５はチャンバー、４２、４３はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

【００９９】

図１４で示す装置を実施例１に適用する場合には、チャンバー４５に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜１０４、第１の半導体膜１０５、一導電型の第２の半導体膜１０６、第１の導電膜１０７を積層形成すればよい。

【０１００】

また、実施例４に適用する場合には、順次、反応ガスを入れ替えて絶縁膜１０４、第１の非晶質半導体膜１０５、一導電型の第２の半導体膜１０６を積層形成すればよい。

【実施例６】

【０１０１】

実施例４で示すように、プラズマＣＶＤ法を用いるＴＦＴの作製工程では、一導電型の第２の半導体膜を微結晶半導体膜で形成することができる。成膜時の基板加熱温度を８０～３００℃、好ましくは１４０～２００℃とし、水素で希釈したシランガス（SiH_4：H_2＝１：１０～１００）とフォスフィン（PH_3）との混合ガスを反応ガスとし、ガス圧を０．１～１０Ｔｏｒｒ、放電電力を１０～３００mW/cm^2とすることで微結晶シリコン膜を得ることができる。また、この微結晶珪素膜成膜後にリン（Ｐ）をプラズマドーピングして形成してもよい。一導電型の第２の半導体膜を微結晶半導体膜で形成することで、ソース及びドレイン領域の低抵抗化が図られ、ＴＦＴの特性を向上させることができる。

【実施例７】

【０１０２】

実施例１～３では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では図１５、１６を用いて、反射型の液晶表示装置に適用する例について示す。図１５は断面図、図１６は上面図を示し、図１６中の鎖線Ｇ－Ｇ’で切断した面での断面構造とＨ－Ｈ’で切断した面に対応する断面構造を図１５に示している。

【０１０３】

まず、絶縁表面を有する基板を用意する。本実施例は、基板としてガラス基板、石英基板、プラスチック基板のような透光性を有する基板の他に、反射型であるため、半導体基板、ステンレス基板、セラミック基板などに絶縁膜を形成したものでもよい。

【０１０４】

次いで、基板上に金属材料からなる導電膜を形成した後、第１のフォトマスクを用いレ

ジストパターンを形成した後、エッチング処理でゲート配線７５０及びを凸部７５１形成する。この凸部は、ゲート配線とソース配線とで囲まれた領域、即ち画素電極が形成されて表示領域となる領域に配置する。なお、凸部７５１の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、凸部７５１の形状は円柱状や角柱状であってもよいし、円錐状や角錐状であってもよい。また、凸部７５１を規則的に配置しても不規則に配置してもよい。本実施例ではゲート配線がテーパー形状であることが望ましいため、凸部７５１もテーパー形状を有する角錐形状となる。テーパー部の角度は５～４５度、好ましくは５～２５度とする。

【０１０５】

次いで、絶縁膜（ゲート絶縁膜）７５２、第１の半導体膜、一導電型の第２の半導体膜及び第１の導電膜を順次積層形成する。尚、第１の半導体膜は非晶質半導体、微結晶半導体のいずれを適用しても良い。一導電型の第２の半導体膜も実施例６で示すように微結晶半導体を用いてもよい。さらに、これらの膜はスパッタ法やプラズマＣＶＤ法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。上記絶縁膜７５２は、凸部７５１が形成された基板上に形成され、表面に凸凹を有している。

【０１０６】

次いで、第２のフォトマスクを用いレジストパターンを形成した後、エッチング処理で上記第１の導電膜、第２の半導体膜、第１の半導体膜をエッチングする。こうしてソース配線６０８及び電極（ドレイン電極）６０９を形成し、第１の半導体膜６０５を形成する。このエッチング処理により、ソース配線、ドレイン電極、ＴＦＴを形成する半導体層が所定のパターンに形成される。

【０１０７】

その後、全面に第２の導電膜を成膜する。なお、第２の導電膜としては、反射性を有する導電膜を用いる。このような導電膜としてＡｌやＡｇなどを適用することが望ましいが、耐熱性が劣るため下層に対するバリアメタル層としてＴｉ、Ｔａなどの層を形成しておいても良い。

【０１０８】

次いで、第３のフォトマスクを用い、レジストパターンを形成した後、エッチング処理をして、第２の導電膜からなる画素電極６０４を形成する。こうして、凸部６０１上に形成された絶縁膜の表面は凸凹を有し、この凸凹を表面に有する絶縁膜６０２上に画素電極６０４が形成されるので、画素電極６０４の表面に凹凸を持たせて光散乱性を図ることができる。

【０１０９】

また、本実施例の構成とすることで、画素ＴＦＴ部の作製する際、フォトリソグラフィー技術で使用するフォトマスクの数を３枚とすることができる。従来では、凸凹部を形成する工程を増やす必要があったが、本実施例はゲート配線と同時に凸部を作製するため、全く工程を増やすことなく画素電極に凸凹部を形成することができる。

【実施例８】

【０１１０】

本実施形態では主に走査線側のスティックドライバに適したＴＦＴの作製方法について説明する。走査線側のスティックドライバには、シフトレジスタ回路やバッファ回路などを形成する。ここでは、シフトレジスタ回路は３～５Ｖ駆動とし、バッファ回路は３３Ｖ駆動を前提とする。バッファ回路を構成するＴＦＴは高耐圧が要求されるため、他の回路のＴＦＴよりもゲート絶縁膜の膜厚を厚くする必要がある。その作製方法を図１７と図１８を用いて説明する。

【０１１１】

図１７（Ａ）において、基板３０１にはコーニング社の＃７０５９ガラスや＃１７３７ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。このようなガラス基板は加熱温度により僅かながら収縮するので

、ガラス歪み点よりも５００～６５０℃のい温度で熱処理を施したものを用いると基板の収縮率を低減させることができる。

【０１１２】

ブロッキング層３０２は基板３０１に微量に含まれるアルカリ金属などが半導体層に拡散するのを防ぐために設け、酸化シリコン膜や窒化シリコン膜、または酸化窒化シリコン膜などの絶縁膜で形成する。また、ＴＦＴのしきい値電圧（Ｖth）を安定化させるために、ブロッキング層の応力を引張り応力とすることが望ましい。応力の制御は上記絶縁膜の作製条件により制御する。その目的のために、ブロッキング層は単層に限らず、組成の異なる複数の絶縁膜を積層して形成しても良い。例えば、プラズマＣＶＤ法でSiH_4、NH_3、N_2Oから作製される酸化窒化シリコン膜を１０～２００nm（好ましくは５０～１００nm）形成し、同様にSiH_4、N_2Oから作製される酸化窒化シリコン膜を５０～２００nm（好ましくは１００～１５０nm）の厚さに積層形成してブロッキング層とすることができる。

【０１１３】

非晶質構造を有する半導体膜３０３は、２５～１００nmの膜厚で形成する。非晶質構造を有する半導体膜の代表例としては非晶質シリコン（ａ－Ｓｉ）膜、非晶質シリコン・ゲルマニウム（ａ－ＳｉＧｅ）膜、非晶質炭化シリコン（ａ－ＳｉＣ）膜、非晶質シリコン・スズ（ａ－ＳｉＳｎ）膜などがあり、そのいずれでも適用できる。これらの非晶質構造を有する半導体膜はプラズマＣＶＤ法やスパッタ法、或いは減圧ＣＶＤ法などにより形成されるもので、膜中に水素を０．１～４０atomic%程度含有するようにして形成する。好適な一例は、プラズマＣＶＤ法でSiH_4またはSiH_4とH_2から作製される非晶質シリコン膜であり、膜厚は５５nmとする。尚、SiH_4の代わりにSi_2H_6を使用しても良い。

【０１１４】

そして、非晶質半導体膜の結晶化温度を低温化することのできる触媒元素を添加する。触媒元素は非晶質半導体膜中に直接注入する方法も可能であるが、スピンコート法、印刷法、スプレー法、バーコーター法、スパッタ法または真空蒸着法によって触媒元素が含有する層３０４を１～５nmの厚さに形成しても良い。このような触媒元素の一例は、非晶質シリコンに対してニッケル（Ｎｉ）、ゲルマニウム（Ｇｅ）、鉄（Ｆｅ）、パラジウム（Ｐｄ）、スズ（Ｓｎ）、鉛（Ｐｂ）、コバルト（Ｃｏ）、白金（Ｐｔ）、銅（Ｃｕ）、金（Ａｕ）が有効であることが知られている。スピンコート法で触媒元素を含有する層３０４を形成するには、重量換算で１～１００ppm（好ましくは１０ppm）の触媒元素を含む水溶液をスピナーで基板を回転させて塗布する。

【０１１５】

図１７（Ｂ）で示す結晶化の工程では、まず４００～５００℃で１時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を５atom%以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中において５５０～６００℃で１～８時間の熱処理を行う。好適には、５５０℃で４時間の熱処理を行う。こうして結晶質半導体膜３０５を得ることができる。このような熱結晶化法により、非晶質シリコン膜からは結晶構造を有する結晶質シリコン膜が形成される。

【０１１６】

しかし、この熱結晶化法によって作製された結晶質半導体膜３０５は、局所的に非晶質領域が残存していることがある。このような場合、ラマン分光法では４８０cm^{-1}にブロードなピークを持つ非晶質成分の存在を確認することができる。レーザー結晶化法はこのように残存する非晶質領域を結晶化させる目的において適した方法である。

【０１１７】

レーザー結晶化法において用いるレーザー光源にはエキシマレーザー、ＹＡＧレーザー、YVO_4レーザー、$YAlO_3$レーザー、ＹＬＦレーザーなどを用いることができる。エキシマレーザーでは４００nm以下の波長の光を高出力で放射させることができるので半導

体膜の結晶化に好適に用いることができる。一方、ＹＡＧレーザー、YVO_4レーザー、$YAlO_3$レーザー、ＹＬＦレーザーなどの固体レーザーではその第２高調波（５３２nm）、第３高調波（３５５nm）、第４高調波（２６６nm）を用いる。光の侵入長により、第２高調波（５３２nm）を用いる場合には半導体膜の表面及び内部から、第３高調波（３５５nm）や第４高調波（２６６nm）の場合にはエキシマレーザーと同様に半導体膜の表面から加熱して結晶化を行うことができる。

【０１１８】

図１７（Ｃ）はその様子を示すものであり、例えば、Ｎｄ：ＹＡＧレーザーを用い、そのパルス発振周波数を１～１０kHzとし、レーザーエネルギー密度を１００～５００mJ/cm^2(代表的には１００～４００mJ/cm^2)として、シリンドリカルレンズなどを含む光学系にて形成した線状レーザー光３０６をその長手方向に対し垂直な方向に走査して（或いは、相対的に基板を移動させて）する。線状レーザー光３０６の線幅は１００～１０００μm、例えば４００μmとする。このようにして熱結晶化法とレーザー結晶化法を併用することにより、結晶性の高い結晶質半導体膜３０７を形成することができる。

【０１１９】

以上のようにして形成される結晶質半導体膜３０７は、ＴＦＴの能動層としてチャネル形成領域をはじめ、ソース領域、ドレイン領域、ＬＤＤ領域などを形成するのに適している。ニッケルなどの触媒元素を用いた熱結晶化法で作製される結晶質シリコン膜は、微視的に見れば複数の針状または棒状の結晶が集合した構造を有している。しかし、隣接する結晶粒の連続性が高く不対結合手（ダングリングボンド）が殆ど形成されないことが見込まれている。また、その結晶粒の大部分は＜１１０＞に配向している。その理由の一つとして、ニッケルなどの触媒元素を用いた場合の結晶成長過程は、触媒元素のシリサイド化物が関与しているものと考えられ、半導体膜の膜厚が２５～１００nmと薄いのでその初期核のうち（１１１）面が基板表面とほぼ垂直なものが優先的に成長するため実質的に＜１１０＞の配向性が高くなると考えられる。

【０１２０】

その後、結晶質半導体膜３０７はエッチング処理により島状の半導体層３０８～３１１を形成する。図１７（Ｄ）では便宜上４つの半導体層を示している。以降の説明は、半導体層３０８、３０９にはシフトレジスタ回路など低電圧で駆動する回路のＴＦＴを、半導体層３１０、３１１にはバッファ回路など高電圧で駆動する回路のＴＦＴをそれぞれ作製することを前提として説明する。

【０１２１】

半導体層上に形成するゲート絶縁膜は、回路の駆動電圧を考慮して、同一基板上に形成するＴＦＴであってもその膜厚を異ならせて形成する。そのために２段階の成膜プロセスを必要とする。最初に、ゲート絶縁膜第１層目３１２を４０～２００nm（好ましくは７０～９０nm）の厚さで形成する。そして、半導体層３０８、３０９上のゲート絶縁膜第１層目を選択的にエッチングして除去することにより図１７（Ｅ）の様な状態を形成する。

【０１２２】

続いて、図１７（Ｆ）に示すようにゲート絶縁膜第２層目３１３を同様に形成する。その結果、ゲート絶縁膜第１層目３１２とゲート絶縁膜第２層目３１３とをそれぞれ８０nmの厚さで成膜した場合には、半導体層３０８、３０９上のゲート絶縁膜の厚さは８０nmとなり、半導体層３１０、３１１のゲート絶縁膜の厚さは１６０nmとすることができる。

【０１２３】

ゲート絶縁膜はプラズマＣＶＤ法またはスパッタ法を用いシリコンを含む絶縁膜で形成する。プラズマＣＶＤ法でSiH_4とN_2Oの混合ガスから作製される酸化窒化シリコン膜はゲート絶縁膜として適した材料である。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜をで形成しても良い。酸化シリコン膜を適用する場合には、プラズマＣＶＤ法でＴＥＯＳ（Tetraethyl Orthosilicate）とO_2とを混合し、反応圧力４０Pa、基板温度３００～４００℃とし、高周波（１３．５６MHz）電力密度０．５～０．８W/cm^{2}で放電させて形成することができる。このように

して作製される酸化シリコン膜は、その後４００～５００℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【０１２４】

こうして作製されたゲート絶縁膜上にゲート電極を形成するための導電膜を形成する。本実施形態で示すＴＦＴのゲート電極はドライエッチング法で選択比が５～２０（好ましくは、１０～１３）以上の２種類の導電性材料を積層して形成する。例えば、窒化物導電性材料から成る第１の導電膜と、４００～６５０℃の熱処理に耐え得る耐熱性導電性材料から成る第２の導電膜とから形成する。その具体的な一例として、第１の導電膜を窒化タンタル（ＴａＮ）、窒化チタン（ＴｉＮ）、窒化タングステン（ＷＮ）から選ばれた材料で形成し、第２の導電膜をタンタル（Ｔａ）、チタン（Ｔｉ）、タングステン（Ｗ）、モリブデン（Ｍｏ）
から選ばれた一種または複数種からなる合金材料で形成する。勿論、適用可能なゲート電極材料はここで記載した材料に限定されるものではなく、上記仕様を満たす導電性材料の組み合わせであれば、他の導電性材料を選択することも可能である。尚、ここでいう選択比とは、第１の導電膜に対する第２の導電膜のエッチング速度の割合をいう。

【０１２５】

本実施形態では、図示はしないが、第１の導電膜をＴａＮ膜で５０～１００nmの厚さに形成し、第２の導電膜をＷ膜で１００～４００nmの厚さに形成する。ＴａＮ膜はスパッタ法でＴａのターゲットを用い、Ａｒと窒素の混合ガスでスパッタして形成する。Ｗ膜はＷをターゲットとしたスパッタ法で形成する。その他に６フッ化タングステン（WF_6）を用いる熱ＣＶＤ法で形成することもできる。
いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある。
Ｗ膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、Ｗ中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。Ｗのターゲットには純度９９．９９９９％のものを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してＷ膜を形成することにより、抵抗率９～２０μΩｃｍを実現することができる。

【０１２６】

ゲート電極は２段階のエッチング処理により形成する。図１８（Ａ）に示すようにレジストによるマスク３１４を形成し、第１のエッチング処理を行う。エッチング方法に限定はないが、好適にはＩＣＰ（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング装置を用い、エッチング用ガスにCF_4とCl_2を用い、０．５～２Pa、好ましくは１Paの圧力でコイル型の電極に５００Ｗのｒｆ（13.56MHz）電力を投入してプラズマを生成して行う。基板側（試料ステージ）
にも１００Ｗのｒｆ（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF_4とCl_2を混合した場合にはＷ膜及びＴａ膜とも同程度の速度でエッチングすることがでできる。

【０１２７】

第１のエッチング処理では、第１の導電膜及び第２の導電膜の端部がテーパー形状となるように加工する。テーパー部の角度は１５～４５°とする。しかし、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、１０～２０％程度の割合でエッチング時間を増加させるオーバーエッチング処理をすると良い。
Ｗ膜に対する酸化窒化シリコン膜の選択比は２～４（代表的には３）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は２０～５０nm程度エッチングされる。こうして、第１のエッチング処理により第１の導電膜と第２の導電膜から成る第１の形状の導電層３１５～３１８（第１の導電層３１５ａ～３１８ａと第２の導電層３１５ｂ～３１８ｂ）を形成する。

【０１２８】

次に図１８（Ｂ）に示すように第２のエッチング処理を行う。ＩＣＰエッチング装置を用い、エッチングガスにCF_4とCl_2とO_2を混合して、１Paの圧力でコイル型の電極に５００Ｗのｒｆ電力(13.56MHz)を供給してプラズマを生成する。基板側（試料ステージ）

には５０WのＲＦ（13.56MHz）電力を投入し、第１のエッチング処理に比べ低い自己バイアス電圧となるようにする。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度でＴａ膜を異方性エッチングして第２の形状の導電膜３１９～３２２（第１の導電層３１９ａ～３２２ａと第２の導電層３１９ｂ～３２２ｂ）を形成する。ゲート絶縁膜は図では詳細に示さないが、第２の形状の導電層３１５～３１８で覆われない領域は２０～５０nm程度エッチングされ薄くなる。

【０１２９】

そして、図１８（Ｃ）で示すように、濃度の異なる２種類の不純物領域を形成する。この不純物領域はいずれもｎ型であり、リン（Ｐ）、砒素（Ａｓ）などのｎ型を付与する不純物元素をイオンドープ法やイオン注入法で添加する。第１のドーピング処理は、第２の導電層３１９ｂ～３２２ｂをマスクとして自己整合的に第１の不純物領域３２３～３２６を形成する。概念的には高加速電圧低ドーズ量の条件を選択し、第１の不純物領域３２３～３２６には、添加されるｎ型を付与する不純物元素の濃度は、1×10^{16}～1×10^{19} atoms/cm^3の濃度となるようにする。例えば、イオンドープ法でフォスフィン（PH_3）を用い、加速電圧を７０～１２０keVとし、1×10^{13}/cm^2のドーズ量で行う。

【０１３０】

次いで行う第２のドーピング処理は、低加速高ドーズ量の条件を選択し、不純物領域３２７～３３０の形成を行う。第２の不純物領域３２７～３３０の不純物濃度は1×10^{20}～1×10^{21}atoms/cm^3の範囲となるようにする。その為に、イオンドープ法における条件の一例は、ドーズ量を1×10^{13}～5×10^{14}atoms/cm^2とし、加速電圧を３０～７０keVとして行う。こうして半導体層に形成される第１の不純物領域３２３～３２６は第１の導電層３１９ａ～３２２ａと重なるように形成され、第２の不純物領域３２７～３３０は、第２の形状の導電層３１５～３１８の外側に形成される。

【０１３１】

そして図１８（Ｄ）に示すように、ｐチャネル型ＴＦＴを形成する半導体層３０８、３１０にｐ型を付与する不純物元素が添加された第３の不純物領域３３２～３３５を形成する。このとき、ｎチャネル型ＴＦＴを形成する島状半導体層３０９、３１１はレジストのマスク３３１で全面を被覆しておく。不純物領域３３２～３３５にはそれぞれ異なる濃度でリン（Ｐ）が添加されているが、ジボラン（B_2H_6）を用いたイオンドープ法でｐ型を付与する不純物元素を添加して、ずれの領域においてもｐ型を付与する不純物濃度が2×10^{20}～2×10^{21}atoms/cm^3となるように形成する。

【０１３２】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。第２の導電層３１９～３２２がゲート電極として機能する。そして、図１８（Ｅ）で示す第１の層間絶縁膜３３６を形成する。第１の層間絶縁膜３３６は酸化窒化シリコン膜で１００～２００nmの厚さで形成する。その後、導電型の制御を目的としてそれぞれの半導体層に添加された不純物元素を活性化する処理を行う。この工程はファーネスアニール炉を用いる熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）を適用することができる。熱アニール法では酸素濃度が１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下の窒素雰囲気中で４００～７００℃、代表的には５００～６００℃で行う。

【０１３３】

レーザーアニール法では波長４００nm以下のエキシマレーザー光やＹＡＧレーザー、YVO_4レーザーの第２高調波（５３２nm）を用いる。活性化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数３０Ｈｚとし、レーザーエネルギー密度を１００～３００mJ/cm^2とする。

また、ＹＡＧレーザーを用いる場合にはその第２高調波を用いパルス発振周波数１～１０ｋＨｚとし、レーザーエネルギー密度を２００～４００mJ/cm^2とすると良い。そして幅１００～１０００μｍ、例えば４００μｍで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を８０～９８％として行う。

【０１３４】
さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）
を行っても良い。
【０１３５】
第２の層間絶縁膜３３７は、酸化シリコンや酸化窒化シリコンなどの無機絶縁物材料、または有機絶縁物材料を用い１．０～２．０μｍの平均膜厚で形成する。有機絶縁物材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ＢＣＢ（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオーブンで３００℃で焼成して形成する。また、アクリルを用いる場合には、２液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで８０℃で６０秒の予備加熱を行い、さらにクリーンオーブンを用い、２５０℃で６０分焼成して形成する。
【０１３６】
そして、半導体層に形成した第２の不純物領域または第３の不純物領域とコンタクトをする配線３３８～３４５を形成する。この配線は５０～２００nmのＴｉ膜７６８ａ、１００～３００nmのＡｌ膜７６８ｂ、５０～２００nmのスズ（Ｓｎ）膜またはＴｉ膜で形成する。このような構成で形成された配線３３８～３４５は、最初に形成するＴｉ膜が半導体層と接触をし、コンタクト部分の耐熱性を高めている。
【０１３７】
以上の様にして、ｐチャネル型ＴＦＴ３４６、３４８、ｎチャネル型ＴＦＴ３４７、３４９を有する駆動回路が形成することができる。ｐチャネル型ＴＦＴ３４８とｎチャネル型ＴＦＴ３４９のゲート絶縁膜は、ｐチャネル型ＴＦＴ３４６とｎチャネル型ＴＦＴ３４７のゲート絶縁膜よりも厚く形成され、耐圧を高める構造となっている。
【０１３８】
ｐチャネル型ＴＦＴ３４６にはチャネル形成領域３５０、ゲート電極である第２の導電層３１９と重なる第３の不純物領域３５１、ゲート電極の外側に形成される第３の不純物領域３５２を有している。また、ｐチャネル型ＴＦＴ３４８にはチャネル形成領域３５６、ゲート電極である第２の導電層３２１と重なる第３の不純物領域３５７、ゲート電極の外側に形成される第３の不純物領域３５８を有している。ｐチャネル型ＴＦＴはシングルドレインの構造であり、第３の不純物領域は、ソースまたはドレインとして機能するものである。
【０１３９】
ｎチャネル型ＴＦＴ３４７はチャネル形成領域３５３、ゲート電極である第２の導電層３２０と重なる第１の不純物領域３５４、ゲート電極の外側に形成される第２の不純物領域３５５が形成されている。また、ｎチャネル型ＴＦＴ３４９はチャネル形成領域３５９、ゲート電極である第２の導電層３２２と重なる第１の不純物領域３６０、ゲート電極の外側に形成される第２の不純物領域３６１が形成されている。第１の不純物領域３５４、３６０はＬＤＤ（Lightly Doped Drain）領域であり、第２の不純物領域３５５、３６１はソース領域またはドレイン領域として機能する領域である。特に、第１の不純物領域はゲート電極とオーバーラップして形成されるＧＯＬＤ（Gate Overlapped Drain）構造であるため、ホットキャリア効果によるＴＦＴの劣化を防止することができ、１０Ｖ以上の高い電圧を印加しても、きわめて安定した動作を得ることができる。
【０１４０】
いずれにしても、これらのＴＦＴはチャネル長１～５μm、好ましくは１．５～２．５μｍで形成すれば良い。従って、適用すべきデザインルールもライン・アンド・スペース（線幅と隣接する線との間隔）で１～１．５μm、コンタクトホールで２μm程度を採用すれば良い。

【０１４１】
本実施形態で作製されるＴＦＴは走査線側のスティックドライバを形成するのに適している。特に、３０Ｖ系の高電圧が印加されるバッファ回路などには、図１８（Ｅ）で示すｐチャネル型ＴＦＴ３４８、ｎチャネル型ＴＦＴ３４９を適用して形成する。また、シフトレジスタ回路などにはｐチャネル型ＴＦＴ３４６、ｎチャネル型ＴＦＴ３４７を適用して形成すると良い。ここでは、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを形成する工程を示したが、同工程により容量素子や抵抗素子を形成することは容易に想定できるものであり省略されている。また、回路形成に必要なＴＦＴのサイズ（チャネル長／チャネル幅）やそのレイアウトは実施者が適宜考慮すれば良いものである。

【実施例９】

【０１４２】
ソース線側に設けるスティックドライバのＴＦＴに要求される耐圧は１２Ｖ程度であるが、動作周波数は３Ｖにて５０MHz以上（例えば６５MHz）が要求される。本実施形態ではそのために適したＴＦＴの作製方法を説明する。

【０１４３】
ＴＦＴのチャネル形成領域を形成する結晶質半導体膜には、高い電界効果移動度と低いサブスレッショルド係数（Ｓ値）実現可能な品質が要求される。即ち、捕獲中心や再結合中心となる欠陥準位や、粒界ポテンシャルが低いとった性質を有する結晶質半導体膜が求められる。図１９はそのような結晶質半導体膜を作製する方法の一例を示す。

【０１４４】
図１９（Ａ）において基板４０１として適用し得るものは、６００℃（好適には９５０℃）の熱処理に耐え、絶縁表面を有する基板であれば良い。品質、表面仕上げの精度から言えば石英基板が適している。そのような基板４０１に密接して形成する非晶質構造を有する半導体膜４０２は、プラズマＣＶＤ法や減圧ＣＶＤ法で２５～１００nmの厚さで形成する。非晶質構造を有する半導体膜の代表例としては非晶質シリコン（ａ－Ｓｉ）膜、非晶質シリコン・ゲルマニウム（ａ－ＳｉＧｅ）膜、非晶質炭化シリコン（ａ－ＳｉＣ）膜、非晶質シリコン・スズ（ａ－ＳｉＳｎ）膜などがあり、そのいずれでも適用できる。そして、非晶質半導体膜の結晶化温度を低温化することのできる触媒元素を含有する層を形成する。
図１９（Ａ）では非晶質構造を有する半導体膜４０２上に形成しているが、基板側に形成されていても構わない。ここで適用可能な触媒元素は実施形態２と同じであり、同様な方法で形成する。

【０１４５】
そして、窒素またはアルゴンなどの雰囲気中で５００～６００℃で１～１２時間の熱処理を行い非晶質構造を有する半導体膜の結晶化を行う。この温度の結晶化に先立っては、４００～５００℃で１時間程度の熱処理を行い、膜中の含有水素を放出させておくことも必要である。代表的な条件として、４５０℃で１時間の脱水素処理をした後、続いて５７０℃で８時間の熱処理を行う。このような熱結晶化法により、非晶質シリコン膜からは結晶構造を有する結晶質半導体膜４０４が形成される（図１９（Ｂ））。

【０１４６】
しかし、結晶質半導体膜４０４に残存する触媒元素の濃度はおよそ5×10^{16}～2×10^{18}atoms/cm^{2}である。触媒元素は半導体膜の結晶化には有効であるが、その後ＴＦＴを形成するための機能材料として使用する目的においては不要な存在となる。結晶質半導体膜中に残存する触媒元素は不純物として欠陥準位などを形成し、捕獲中心や再結合中心を形成したり、半導体接合の不良をもたらす。
図１９（Ｂ）は触媒元素を除去するためのゲッタリング処理を説明するものであり、結晶質半導体膜中の触媒元素の濃度を1×10^{17}atms/cm^{3}以下、好ましくは1×10^{16}atms/cm^{3}にまで低減することを目的としている。

【０１４７】
まず、結晶質半導体膜４０４の表面に酸化シリコン膜などでマスク用絶縁膜４０５を１

５０ｎｍの厚さに形成する。そして、能動層を形成する領域の外側に開口部４０６を設け、結晶質半導体膜の表面が露出した領域を形成する。そして、イオンドープ法やイオン注入法でリン（Ｐ）を添加して、結晶質半導体膜に選択的にリン（Ｐ）添加領域４０７を形成する。この状態で、窒素雰囲気中で５５０～８００℃、５～２４時間、例えば６００℃、１２時間の熱処理を行うと、リン（Ｐ）添加領域４０７がゲッタリングサイトとして働き、結晶質半導体膜４０４に残存していた触媒元素をリン（Ｐ）添加領域４０７に偏析させることができる。

【０１４８】

その後、マスク用絶縁膜４０５と、リン（Ｐ）添加領域４０７とをエッチングして除去することにより、触媒元素の濃度が1×10^{17}atms/cm^{3}以下にまで低減された結晶質半導体膜４０８を得ることができる（図１９（Ｃ））。

【０１４９】

また、図２０は結晶質半導体膜を形成する方法の他の一例を示す。図２０（Ａ）において基板４１０、非晶質構造を有する半導体膜４１１は図１９（Ａ）の説明と同様なものを用いる。非晶質構造を有する半導体膜４１１上にはマスク用絶縁膜４１２を形成し、選択的に開口部４１４を形成する。その後、重量換算で１～１００ppmの触媒元素を含む溶液を塗布して、触媒元素含有層４１３を形成する。触媒元素含有層４１３は開口部４１４のみで非晶質構造を有する半導体膜４１１と接触する構造が形成される。

【０１５０】

次に、５００～６５０℃で１～２４時間、例えば６００℃、１２時間の熱処理を行い、結晶質半導体膜を形成する。この結晶化の過程では、触媒元素が接した半導体膜４１５から結晶化が進行し、基板４１０の表面と平行な方向（横方向）
へ結晶化が進行する。こうして形成された結晶質半導体膜は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【０１５１】

結晶質半導体膜が形成された後、図１９（Ｂ）と同様に触媒元素を結晶質半導体膜から除去するゲッタリング処理を行う。先に形成された開口部４１４からリン（Ｐ）を添加して、結晶質半導体膜にリン（Ｐ）添加領域４１６を形成する。
この状態で、窒素雰囲気中で５５０～８００℃、５～２４時間、例えば６００℃、１２時間の熱処理を行い、結晶質半導体膜に残存する触媒元素をリン（Ｐ）添加領域４１６に偏析させる（図２０（Ｃ））。

【０１５２】

その後、マスク用絶縁膜４１２と、リン（Ｐ）添加領域４１６とをエッチングして除去することにより、触媒元素の濃度が1×10^{17}atms/cm^{3}以下にまで低減された結晶質半導体膜４１７を得ることができる（図２０（Ｄ））。

【０１５３】

図１９（Ｃ）で示す結晶質半導体膜４０８及び図２０（Ｄ）で示す結晶質半導体膜４１７は、いずれもＴＦＴの能動層を形成する用途において適したものである。図２１（Ａ）ではこのような結晶質半導体膜から島状に分離形成した半導体膜４２０～４２３を形成する。図２１（Ａ）では便宜上４つの半導体層を示している。以降の説明は、半導体層４２０、４２１にはシフトレジスタ回路など低電圧で駆動する回路のＴＦＴを、半導体層４２２、４２３にはラッチ回路など高周波数で駆動するＴＦＴをそれぞれ作製することを前提として説明する。後者は高速駆動を可能とするために、ゲート絶縁膜の厚さが薄く形成する。そのために２段階の成膜プロセスを行う。

【０１５４】

半導体層上に形成するゲート絶縁膜は、回路の駆動電圧を考慮して、同一基板上に形成するＴＦＴであってもその膜厚を異ならせて形成する。そのために２段階の成膜プロセスを必要とする。最初に２０～５０nm、例えば４０nmの厚さで酸化シリコン膜または酸化窒化シリコン膜などの絶縁膜を形成する。このような絶縁膜はプラズマＣＶＤ法や熱ＣＶＤ

法で形成する。熱ＣＶＤ法における作製条件の一例は、SiH_4とN_2Oを用い、８００℃、４０Paであり、ガスの混合比を適当なものとすることにより緻密な膜を形成することができる。その後、半導体層４２２、４２３上に形成された絶縁膜をフッ酸などでエッチングして除去して第１の絶縁膜４２４を形成する。さらに、表面を清浄に洗浄し、８００～１０００℃（好ましくは９５０℃）でハロゲン（代表的には塩素）を含む雰囲気中で酸化膜の形成を行う。

酸化膜は半導体層４２２、４２３において３０～５０nm（例えば４０nm）の厚さとなるように形成する。その結果、半導体層４２０、４２１では８０nmの厚さの絶縁膜が形成される。ハロゲン雰囲気での酸化膜形成により、微量の金属不純物などが除去され、半導体膜との界面準位密度が低減された良好な絶縁膜を形成することができる。こうして、半導体層４２０、４２１と半導体層４２２、４２３との間で厚さの異なる第２の絶縁膜４２５が形成され、この絶縁膜をゲート絶縁膜として利用する（図２１（Ｂ））。

【０１５５】

さらに、図２１（Ｂ）では第２の絶縁膜４２５上にゲート電極を形成するための第１の導電膜４２６と第２の導電膜４２７とを形成する。これらの導電膜は実施形態１と同様にして作製するものであり、第１の導電膜４２６をＴａＮ膜で５０～１００nmの厚さに形成し、第２の導電膜４２７をW膜で１００～３００nmの厚さに形成する。

【０１５６】

以降の行程は実施形態２ど同様にして行い、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを形成する。ゲート電極の形成は２段階のエッチング処理により行う。

図２１（Ｃ）はレジストマスク４２８を形成し、テーパーエッチング処理を行う第１のエッチング処理により第１の形状の導電層４２９～４３２（第１の導電層４２９ａ～４３２ａと第２の導電層４２９ｂ～４３２ｂ）が形成された状態を示している。また、図２１（Ｄ）は異方性エッチングによる第２のエッチング処理により第２の形状の導電層４３３～４３６（第１の導電層４３３ａ～４３６ａと第２の導電層４３３ｂ～４３６ｂ）が形成された状態を示している。

【０１５７】

ｎチャネル型ＴＦＴおよびｐチャネル型ＴＦＴの不純物領域の形成は、第２の形状の導電層を利用して自己整合的に形成する。ｎチャネル型ＴＦＴには濃度の異なる２種類の不純物領域を形成する。図２１（Ｅ）は第１のドーピング処理（高加速電圧低ドーズ量の条件）で形成される第１の不純物領域４３７～４４０と、第２のドーピング処理（低加速電圧高ドーズ量）の条件で形成される第２の不純物領域４４１～４４とを示している。ｐチャネル型ＴＦＴの不純物領域は、図２１（Ｆ）で示す様に、レジストのマスク４４５をｎチャネル型ＴＦＴが形成される領域を保護するように形成し、第３のドーピング処理によりｐ型を付与する不純物元素が添加された領域４４６～４４９を形成する。

【０１５８】

これらの不純物領域を形成した後、第１の層間絶縁膜４５０を形成し、４００～７００℃の熱処理を施して不純物元素の活性化を行う。さらに、３～１００％の水素を含む雰囲気中で３００～４５０℃で１～１２時間の熱処理を行い、半導体層を水素化して欠陥準位密度を低減する処理を行う。第２の層間絶縁膜４５１は、酸化シリコンや酸化窒化シリコンなどの無機絶縁物材料、または有機絶縁物材料を用い１．０～２．０μmの平均膜厚で形成する。配線４５２～４５９はＡｌ、Ｔｉなどで形成する。

【０１５９】

以上の様にして、ｐチャネル型ＴＦＴ４６０、４６２、ｎチャネル型ＴＦＴ４６１、４６３を有する駆動回路が形成することができる。ｐチャネル型ＴＦＴ４６２とｎチャネル型ＴＦＴ４６３のゲート絶縁膜は、ｐチャネル型ＴＦＴ４６０とｎチャネル型ＴＦＴ４６１のゲート絶縁膜よりも薄く形成され、低電圧で高速に駆動する構造となっている。前者のＴＦＴは３～５Ｖの低電圧で駆動するラッチ回路などを形成し、後者のＴＦＴは５～１２Ｖで駆動するシフトレジスタ回路などを形成するのに適している。

【０１６０】

これらのＴＦＴのチャネル長は低電圧部で０．３～１μｍ（好ましくは０．６μｍ）、中電圧部で０．６～１．５μｍ（好ましくは０．９μｍ）で形成する。従って、適用すべきデザインルールもライン・アンド・スペース（線幅と隣接する線との間隔）で０．３～１．５μｍ、コンタクトホールで０．９μｍ程度の精度が要求される。

【０１６１】

本実施形態で作製されるＴＦＴはソース線側のスティックドライバを形成するのに適している。特に、３Ｖで数十MHzの周波数で駆動するラッチ回路などは、図２１（Ｅ）で示すｐチャネル型ＴＦＴ４６２とｎチャネル型ＴＦＴ４６３を用いて形成する。また、シフトレジスタ回路などにはｐチャネル型ＴＦＴ４６０、ｎチャネル型ＴＦＴ４６１を適用して形成すると良い。ここでは、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを形成する工程を示したが、同工程により容量素子や抵抗素子を形成することは容易に想定できるものであり省略されている。また、回路形成に必要なＴＦＴのサイズ（チャネル長／チャネル幅）やそのレイアウトは実施者が適宜考慮すれば良いものである。

【実施例１０】

【０１６２】

ソース線側に設けるスティックドライバに適したＴＦＴの作製方法について他の一例を示す。ＴＦＴの能動層を形成するための結晶質半導体膜を形成する工程は実施形態３と同じである。図２２（Ａ）において、基板９０１として適用し得るものは、６００℃（好適には９５０℃）の熱処理に耐え、絶縁表面を有する石英基板が望ましい。そのような基板４０１に密接して形成する非晶質構造を有する半導体膜９０２は、プラズマＣＶＤ法や減圧ＣＶＤ法で４０～１００nm、一例として７０nmの厚さで形成する。石英基板上に良質な結晶質半導体膜を形成するには、スタート膜として形成する非晶質半導体膜の膜厚をある程度厚くしておく必要がある。膜厚が３０nm以下であると、下地の基板との間で格子不整合などの影響で結晶化が十分成し遂げることができない懸念がある。非晶質構造を有する半導体膜は実施形態２または３で示す材料と同じであり、代表的には非晶質シリコンを用いる。そして、非晶質半導体膜の結晶化温度を低温化することのできる触媒元素を含有する層９０３を形成する。

【０１６３】

結晶化は４５０℃で１時間の熱処理で脱水素処理を行い、続いて６００℃で１２時間の熱処理を行う。図２２（Ｂ）で示すように、こうして得られる結晶質半導体膜９０４上にはマスク用絶縁膜９０５を形成し、その開口部９０６からリン（Ｐ）を添加して、リン（Ｐ）添加領域９０７を形成する。触媒元素を除去するためのゲッタリング処理は、窒素雰囲気中で５５０～８００℃、５～２４時間、例えば６００℃で１２時間の熱処理を行い、結晶質半導体膜９０４に残存していた触媒元素をリン（Ｐ）添加領域９０７に偏析させる。その後、マスク用絶縁膜９０５と、リン（Ｐ）添加領域９０７とをエッチングして除去することにより、触媒元素の濃度が1×10^{17}atms/cm^{3}以下にまで低減された結晶質半導体膜９０８を得る。結晶化により、非晶質半導体膜は緻密化するのでその体積は１～１０％程度収縮し、膜厚は僅かであるが減少する。

【０１６４】

図２２（Ｃ）は、こうして形成された結晶質半導体膜を熱処理により酸化する工程を示している。熱酸化は８００～１０００℃（好ましくは９５０℃）でハロゲン（代表的には塩素）を含む雰囲気中で酸化膜の形成を行う。この処理により結晶質半導体膜９０８は酸化膜９０９の形成で薄くなり、当初の厚さよりも減少する。例えば、酸化膜を６０nmの厚さに形成することにより半導体膜はおよそ３０nm減少し、４０nmの結晶質半導体膜を残すことができる（図２２（Ｃ））。

【０１６５】

こうして形成された結晶質半導体膜９０８をエッチング処理してから島状に分離形成した半導体膜９１１～９１４を形成する。半導体膜上に形成するゲート絶縁膜は、回路の駆動電圧を考慮して、同一基板上に形成するＴＦＴであってもその膜厚を異ならせて形成する。図２２（Ｄ）と（Ｅ）はその工程を示し、最初に２０～５０nm、例えば４０nmの厚さ

で酸化シリコン膜または酸化窒化シリコン膜などの絶縁膜を形成する。これらの絶縁膜はプラズマＣＶＤ法や熱ＣＶＤ法で形成する。熱ＣＶＤ法における作製条件の一例は、SiH_4とN_2Oを用い、８００℃、４０Paであり、ガスの混合比を適当なものとすることにより緻密な膜を形成することができる。その後、半導体層９１３、９１４上に形成された絶縁膜はフッ酸などでエッチングして除去して第１の絶縁膜９１５を形成する。さらに、表面を清浄に洗浄し、８００～１０００℃（好ましくは９５０℃）でハロゲン（代表的には塩素）を含む雰囲気中で酸化膜の形成を行う。酸化膜は半導体層９１３、９１４において３０～５０nm（例えば４０nm）の厚さとなるように形成する。

一方、半導体層９１１、９１２では８０nmの厚さの絶縁膜が形成される。ハロゲン雰囲気での酸化膜形成により、微量の金属不純物などが除去され、半導体膜との界面準位密度が低減された良好な絶縁膜を形成することができる。こうして、半導体層９１１、９１２と半導体層９１３、９１４との間で厚さの異なる第２の絶縁膜９１６が形成され、この絶縁膜をゲート絶縁膜として利用する。

【０１６６】

ゲート絶縁膜上に形成するゲート電極は、ゲート絶縁膜が薄く形成されているので注意を要する。勿論、スパッタ法や蒸着法で形成する金属導電膜材料を用いることも可能であるが、より好ましくはゲート絶縁膜に接する第１層目は減圧ＣＶＤ法で作製するリン（Ｐ）ドープされた多結晶シリコン膜であることが望ましい。リン（Ｐ）ドープ多結晶シリコン膜は、SiH_4とPH_3と希釈ガスとしてＨｅ、H_2を用い４５０～５００℃に加熱して１００～２００nm、好ましくは１５０nmの厚さで形成する。さらにその上層にはゲート電極の抵抗値を下げるために、シリサイド金属などを形成する。タングステンシリサイド（ＷＳｉx）、チタンシリサイド（Ｔｉ）など適用し得るシリサイド金属に限定はなく、スパッタ法などで１００～２００nm、好ましくは１５０nmの厚さに形成する。

【０１６７】

このように第１の導電層、第２の導電層として２層に分けて形成された状態から、図２２（Ｆ）に示すようにゲート電極９１７～９２０（第１の導電層９１７ａ～９２０ａと第２の導電層９１７ｂ～９２０ｂ）を形成する。

【０１６８】

次に、ｎチャネル型ＴＦＴのＬＤＤ領域を形成するための第１のドーピング処理を行う。ドーピングは、代表的な方法としてフォスフィン（PH_3）を用いたイオンドープ法で行い、ゲート電極をマスクとして利用して自己整合的に第１の不純物領域９２１～９２４を形成する。この領域のリン（Ｐ）濃度は2×10^{16}～5×10^{19}atoms／cm^3の範囲とする（図２３（Ａ））。

【０１６９】

さらに、第２のドーピング処理を行い、ｎ型不純物が添加される第２の不純物領域９２７、９２８の形成を行う。この不純物領域はｎチャネル型ＴＦＴのソース領域およびドレイン領域を形成するものであり、ゲート電極の外側の領域に形成するためにレジストマスク９２６を形成する。また、ｐチャネル型ＴＦＴを形成する半導体層にリン（Ｐ）が添加されないようにレジストマスク９２５を形成しておく。ｎ型を付与する不純物元素にはリン（Ｐ）を用い、その濃度が1×10^{20}～1×10^{21}atoms／cm^3の濃度範囲となるようにフォスフィン（PH_3）を用いたイオンドープ法で行う（図２３（Ｂ））。

【０１７０】

そして図２３（Ｃ）に示すように、ｐチャネル型ＴＦＴを形成する半導体層にソース領域およびドレイン領域を形成する第３の不純物領域９３０、９３１を形成する。ゲート電極６１２をマスクとしてジボラン（B_2H_6）を用いたイオンドープ法で行い、自己整合的に第３の不純物領域を形成する。このときｎチャネル型ＴＦＴを形成する半導体層はレジストマスク９２９で全面を被覆しておく。この領域のボロン（Ｂ）濃度は3×10^{20}～3×10^{21}atoms／cm^3となるようにする。

【０１７１】

これらの不純物領域を形成した後、窒化シリコン膜、酸化シリコン膜、酸化窒化シリコ

ン膜などから成る第１の層間絶縁膜９３２を形成し、４００～９５０℃、好ましくは８００～９００℃で１０～６０分の熱処理を施して不純物元素の活性化を行う。この熱処理でゲート電極側に不純物元素が拡散し、オーバーラップ領域５３３～５３６が形成される（図２３（Ｄ））。第２の層間絶縁膜９３７は、酸化シリコンや酸化窒化シリコンなどの無機絶縁物材料、または有機絶縁物材料を用い１．０～２．０μｍの平均膜厚で形成する。配線９３８～９４５はＡｌ、Ｔｉなどで形成する。さらに、３～１００％の水素を含む雰囲気中で３００～４５０℃で１～１２時間の熱処理を行い、半導体層を水素化して欠陥準位密度を低減する処理を行う（図２３（Ｅ））。

【０１７２】

以上の様にして、ｐチャネル型ＴＦＴ９４６、９４８、ｎチャネル型ＴＦＴ９４７、９４９を有する駆動回路が形成することができる。ｐチャネル型ＴＦＴ９４８とｎチャネル型ＴＦＴ９４９のゲート絶縁膜は、ｐチャネル型ＴＦＴ９４６とｎチャネル型ＴＦＴ９４７のゲート絶縁膜よりも薄く形成され、低電圧で高速に駆動する構造となっている。前者のＴＦＴは３～５Ｖの低電圧で駆動するラッチ回路などを形成し、後者のＴＦＴは５～１２Ｖで駆動するシフトレジスタ回路などを形成するのに適している。

【０１７３】

ｐチャネル型ＴＦＴ９４６、９４８には、チャネル形成領域９５０、９５５、第３の不純物領域から成るソースまたはドレイン領域９４６、９５６が形成されたシングルドレインの構造である。ｎチャネル型ＴＦＴ９４７、９４９には、チャネル形成領域９５２、９５７、第１の不純物領域で形成されるＬＤＤ領域９５３、９５８、第２の不純物領域から形成されるソースまたはドレイン領域９５４、９５９が形成されている。ｎチャネル型ＴＦＴに形成されるＬＤＤ領域は０．２～１μｍの長さで形成され、０．１程度は活性化の熱処理によりゲート電極の内側に拡散して、ゲート電極とオーバーラップする構造となっている。この構造により、ホットキャリア効果による特性の劣化を防ぎ、また寄生容量を最低限度に抑えて高速動作を可能とする。

【０１７４】

これらのＴＦＴのチャネル長は低電圧部で０．３～１μｍ（好ましくは０．６μｍ）、中電圧部で０．６～１．５μｍ（好ましくは０．９μｍ）で形成する。従って、適用すべきデザインルールもライン・アンド・スペース（線幅と隣接する線との間隔）で０．３～１．５μｍ、コンタクトホールで０．９μｍ程度の精度が要求される。

【０１７５】

本実施形態で作製されるＴＦＴはソース線側のスティックドライバを形成するのに適している。特に、３Ｖで数十MHzの周波数で駆動するラッチ回路などは、図２３（Ｅ）で示すｐチャネル型ＴＦＴ９４８とｎチャネル型ＴＦＴ９４９を用いて形成する。また、シフトレジスタ回路などにはｐチャネル型ＴＦＴ９４６、ｎチャネル型ＴＦＴ９４７を適用して形成すると良い。ここでは、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを形成する工程を示したが、同工程により容量素子や抵抗素子を形成することは容易に想定できるものであり省略されている。また、回路形成に必要なＴＦＴのサイズ（チャネル長／チャネル幅）やそのレイアウトは実施者が適宜考慮すれば良いものである。

【実施例１１】

【０１７６】

実施例８～１０のいずれかの方法により作製されるＴＦＴで走査線側またはソース線側のスティックドライバの駆動回路を形成することができる。このようなスティックドライバに設けられる入出力端子は図２４で示すようにソースまたはドレイン配線と同じ層上に形成される。図２４では入出力端子２４００、２４０１がスティック基板の端部に形成される様子を示している。画素領域が形成される第１の基板にフェースダウンのＣＯＧ法で実装するには表面パッシベーションが必要であるので、絶縁層２４０２により表面をパッシベーションする。このような入出力端子部の形態は実施形態２～４で作製したスティック基板にも適用できる。

【０１７７】

また、ＣＯＧでスティックドライバを実装するには入出力端子にバンプを形成する必要がある。バンプは公知の方法で形成すれば良いが、その一例を図２５で説明する。図２５（Ａ）において、２４０３はソースまたはドレイン配線と同じ層上に形成される入出力端子であり、その上にＴｉとＰｄまたは、ＣｒとＣｕを積層したバリアメタル層２４０５を形成する。バリアメタル層の形成はスパッタ法や蒸着法などを適用する。そして、メッキ用のレジストマスク２４０６を形成する。

【０１７８】

そして、図２５（Ｂ）で示すように、Ａｕで形成されるバンプ２４０７を電解メッキで５～２０μｍの厚さに形成する。そして、不要となったレジストマスク２４０６を除去して、新たにバンプの上からレジストを塗布してバリアメタル層２４０５をエッチングするためのレジストマスク２４０８を形成する。このレジストマスクを形成するためのフォトリソ工程は、バンプを介して行うため高い解像度を得ることができない。レジストマスク２４０８はバンプとその周辺を覆うように形成する。このレジストマスク２４０８を利用してバリアメタル層をエッチングすることにより、図２５（Ｄ）で示すようなバリアメタル層２４０９が形成される。その後、バンプとバリアメタル層との密着性を高めるために２００～３００℃で熱処理を行う。このようにして、他の基板に実装することができるスティックドライバを完成させることができる。

【実施例１２】

【０１７９】

以上説明したようにスティックドライバは液晶表示装置の駆動回路を実装する方法として利用することができる。図２６はそのような表示装置のブロック構成図を示す。画素領域１６０１は複数の走査線とソース線が交差して形成され、実施例１～７で示されるような逆スタガ型のＴＦＴが設けられたアクティブマトリクス型の構成である。その周辺の領域には走査線スティックドライバ１６０２及びソース線スティックドライバ１６０３が設けられている。外部から入力されるクロック信号及びデータ信号１６０７と画質信号１６０８は、スティックドライバの入力仕様に変換するためのコントロール回路１６０５に入力され、それぞれのタイミング仕様に変換される。また、電源１６０９、オペアンプから成る電源回路１６０６は外付けの回路で賄われる。このようなコントロール回路１６０５や電源回路１６０６はＴＡＢ方式で実装すると表示装置を小型化できる。

【０１８０】

コントロール回路１６０５からは走査線側とソース線側にそれぞれ信号が出力されるが、ソース線側には信号分割回路１６０４が設けられ、入力デジタル信号をｍ個に分割して供給する。分割数ｍは２以上の自然数で、実際的には２～１６分割にするのが適当である。この場合、入力デジタル信号線１６１０の本数がｎ本であれば、修正デジタル信号線１６２０の本数はｎ×ｍ本となる。画素密度にもよるが、少なくともソース線側のスティックドライバは複数個設けられて、信号分割回路により入力デジタル信号の周波数が１／ｍに落とされることによりスティックドライバの負荷を軽減している。信号分割回路は半導体集積回路で形成されるＩＣチップを実装しても良いし、実施形態３または４で示すようなＴＦＴで集積回路を形成したスティックドライバと同様のチップで形成することも可能である。

【実施例１３】

【０１８１】

図２７は信号分割回路の一例を示す。本実施例では便宜上入力デジタル信号線の本数ｎは１、信号分割数ｍは４として説明する。ラッチ回路前段１３０１～１３０４及びラッチ後段１３０５～１３０８は、各々図２７（Ｂ）のように２個のインバータ１３７２、１３７４と４個のクロックドインバータ１３７１、１３７３、１３７５、１３７６により構成されている。信号入力部１３８１は１３６１に、信号出力部１３８２は１３６２に、クロック信号入力部１３８３、１３８４はそれぞれ１３６３、１３６４に対応している。

【０１８２】

クロック信号線１３２２及び反転クロック信号線１３２３のクロック信号はカウンタ回

路１３０９に入力し、リセット信号１３２６からの入力を受けて出力を修正クロック信号線１３２４及び反転修正クロック信号線１３２５に送る。入力デジタル信号は１３２１から入力し、クロック信号の周期毎にラッチ回路前段１３０１から１３０２へと順次移送されていく。そして、修正クロック信号が反転するときにラッチ回路前段に保持されている入力デジタル信号の電位情報はラッチ回路後段に移される。例えば、ラッチ回路前段１３０１の電位情報はラッチ回路後段１３０５に移される。このような動作により、ラッチ回路後段１３０５～１３０８の出力部に接続する各修正デジタル信号線１３３１～１３３４から修正デジタル信号が送出される。ここでは、分割数ｍ＝４で説明したため、この場合には修正デジタル信号の周波数は入力デジタル信号の周波数の１／４になる。勿論、分割数は４に限定される訳ではなく、２～３２（実用的には４～１６）の範囲で自由に選択することができる。

【実施例１４】

【０１８３】

図２６で示すソース線側に設けるスティックドライバの回路構成の一例を図２８に示す。回路構成は、入力側からシフトレジスタ回路１８０１、ラッチ回路１８０４、１８０５、レベルシフタ回路１８０６、Ｄ／Ａ変換回路１８０７が設けられている。入力デジタル信号がｎビットで一画素の情報を表現しＲＧＢ表示をする場合、この入力デジタル信号をｍ分割されていると、ラッチ回路１８０４、１８０５はそれぞれ、ｍ×３×ｎ個必要であり、レベルシフタ回路１８０６、Ｄ／Ａ変換回路１８０７はそれぞれｍ×３個が必要となる。

【０１８４】

図２１はラッチ回路の代表例であり、図２９（Ａ）はクロックドインバータを用いた例であり、図２９（Ｂ）はＳＲＡＭ型のものであり、図２９（Ｃ）はＤＲＡＭ型のものである。これらは代表例であり、その他の構成をとることも可能である。

【０１８５】

シフトレジスタ回路、ラッチ回路は駆動電圧３Ｖであり、レベルシフタ回路により１０Ｖに昇圧してＤ／Ａ変換回路に信号を送る。Ｄ／Ａ変換回路は抵抗分割型やスイッチドキャパシタ型のものを採用することができる。

【０１８６】

シフトレジスタ回路、ラッチ回路を形成するＴＦＴは実施形態３において図２１（Ｇ）で示したｐチャネル型ＴＦＴ４６２、ｎチャネル型ＴＦＴ４６３、または実施形態４において図２３（Ｅ）で示したｐチャネル型ＴＦＴ５４８、ｎチャネル型ＴＦＴ５４９を用いて作製すると良い。

【実施例１５】

【０１８７】

図３０は本発明のスティックドライバを用いて液晶表示装置の組み立てる様子を模式的に示す図である。第１の基板には画素領域８０３、外部入出力端子８０４、接続配線８０５が形成されている。画素領域８０３は実施形態１で示す逆スタガ型のＴＦＴで作製されたものである。点線で囲まれた領域は、走査線側のスティックドライバ貼り合わせ領域８０１とソース線側のスティックドライバ貼り合わせ領域８０２である。第２の基板８０８には対向電極８０９が形成され、シール材８１０で第１の基板８００と貼り合わせる。シール材８１０の内側には液晶が封入され液晶層８１１を形成する。第１の基板と第２の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には３～８μｍ、スメチック液晶の場合には１～４μｍとする。

【０１８８】

スティックドライバ８０６、８０７は実施形態２で説明したように、ソース線側と走査線側とで回路構成が異なる。第３の基板８１４は特にその区別をしていないが、いずれにしても走査線側、またはソース線側の駆動回路に適応したスティックドライバであるものとする。スティックドライバは第１の基板に実装するが、その方法は実施形態１において図２及び３で説明されている。走査線側に実装するスティックドライバは実施例８で示す

ものが適しており、ガラス基板上に駆動回路が形成されている。データ線側に実装するスティックドライバは、分割駆動を前提にするにしても高い信号周波数に対応できるＴＦＴ特性が要求されるので、実施例９または１０で示す石英基板上に形成したスティックドライバが適している。外部入出力端子８０４には、外部から電源及び制御信号を入力するためのＦＰＣ（フレキシブルプリント配線板：Flexible Printed Circuit）８１２を貼り付ける。ＦＰＣ８１２の接着強度を高めるために補強板８１３を設けても良い。こうして液晶表示装置を完成させることができる。スティックドライバは第１の基板に実装する前に電気検査を行えば液晶表示装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

【実施例１６】

【０１８９】

実施例１５で示すようにスティックドライバが実装された表示装置を電気光学装置に搭載する方法の一例を図３１に示す。表示装置は画素領域７０２が実装された基板７０１の端部にスティックドライバ７１０が実装されている。そして、スペーサ７０６を内包するシール剤７０７により対向基板７０３と貼り合わせられ、さらに偏光版７０８、７０９が設けられている。そして、接続部材７２３によって筐体７２４に固定される。

【０１９０】

スティックドライバ７１０は、その入出力端子７１１において導電性粒子７１２を含む樹脂７１３で基板７０１上に形成された入力配線７１４と接続している。入出力配線７１４の一方の端はフレキシブルプリント配線板（Flexible Printed Circuit：ＦＰＣ）が導電性粒子７１５を含む樹脂７１６で接着されている。

ＦＰＣは、信号処理回路、増幅回路、電源回路などが設けられたプリント基板７１９にやはり同様な手法（導電性粒子７２１を含む樹脂７２２）で接続し、画像表示に必要な信号をスティックドライバが実装された表示装置に伝達するようになっている。そして、表示装置が透過型の液晶表示装置であれば、対向基板７０３側に光源と光導光体が設けられてバックライト７１８が設けられている。

【０１９１】

ここで示す表示装置の実装方法は一例であり、電気光学装置の形態に合わせて適宜組み立てられるものである。

【実施例１７】

【０１９２】

スティックドライバの生産性を観点からは、大面積の基板を使用して１回のプロセスで１枚の基板からできるだけ多数個取り出す方法が適している。基板はガラス基板または石英基板を使用するが、いずれにしても大面積基板を分割するときに、いかに加工ロスを無くすかが第１の課題となる。加工精度から言えばダイシング装置が適しているが、３００×４００㎜や５５０×６５０㎜、さらには９６０×１０００㎜といった液晶ラインで使用される基板を直接加工するには、装置の規模が大型化してしまう。むしろ、加工精度は劣るものの大面積基板を容易に切断できるガラススクライバーを用い、これにより大面積基板を複数個に分割する第１の段階と、複数個に分割された基板からダイシング装置を用いて個々のスティックドライバに分割する第２の段階とに分けて行う方が適している。

【０１９３】

例えば、液晶第１期ラインで採用された３００×４００㎜の大面積の基板上に一辺が１００～２００㎜の領域から成る群９０２を複数個作り、その中に短辺の長さ１～６㎜のスティックドライバを複数個配置する。各群の間隔は３～１０㎜として配置して、ガラススクライバーで加工線９０４に沿って大面積基板から分割する。群の中のスティックドライバは切りしろ０．５～１㎜で配置しダイシング装置で分割するという方法を採用することができる。このような加工方法を用いると、２×２０㎜のスティックドライバを１２７×１２７㎜の群の中に３６０個作り込むことができ、１枚の基板からは２１６０個のスティックドライバを取出すことができる。

【０１９４】

また、大面積基板上に多数のスティックドライバを形成するための第２の課題は露光技術である。スティックドライバのデザインルールは０．３～２μm、好ましくは０．３５～１μmである。このようなデザインルールで、やはりスループット良く露光を行う必要がある。露光方式において、プロキシミティ方式やプロジェクション方式はスループット向上には有利であるが、大型の高精細マスクが必要であり、高い解像度や重ね合わせ精度が得られにくいなどの欠点がある。
一方、ステッパ方式では、その一例としてｉ線（３６５nm）を使って０．７μmの解像度で４４mm角の領域、または５４×３０mmの領域を一度に露光することができる。これに対応して、スティックドライバの長辺の長さをこの露光範囲内としておけばサブミクロンパターンであっても効率よく露光することが可能となる。

【０１９５】
液晶表示装置などの画素領域は必ずしもサブミクロンのデザインルールを必要としないので、大面積を一度に露光できるプロキシミティ方式やプロジェクション方式が適した方式であると考えられている。従って、駆動回路部と画素領域とを別の露光方式で行うことは生産性を向上させるばかりでなく、本発明のようにスティックドライバを実装することで大画面の表示装置の周辺部（額縁領域）の面積を小さくすることを可能にする。

【実施例１８】

【０１９６】
本実施例では、実施例８のような構成の表示装置を組み込んだ半導体装置について示す。このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図３３と図３４に示す。

【０１９７】
図３３（Ａ）は携帯電話であり、本体９００１、音声出力部９００２、音声入力部９００３、表示装置９００４、操作スイッチ９００５、アンテナ９００６から構成されている。表示装置９００４は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【０１９８】
図３３（Ｂ）はビデオカメラであり、本体９１０１、表示装置９１０２、音声入力部９１０３、操作スイッチ９１０４、バッテリー９１０５、受像部９１０６から成っている。表示装置９１０２は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【０１９９】
図３３（Ｃ）はモバイルコンピュータ或いは携帯型情報端末であり、本体９２０１、カメラ部９２０２、受像部９２０３、操作スイッチ９２０４、表示装置９２０５で構成されている。表示装置９２０５は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【０２００】
図３３（Ｄ）はテレビであり、本体９４０１、スピーカー９４０２、表示装置９４０３、受信装置９４０４、増幅装置９４０５等で構成される。表示装置９４０３は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【０２０１】
図３３（Ｅ）は携帯書籍であり、本体９５０１、表示装置９５０２、９５０３、記憶媒体９５０４、操作スイッチ９５０５、アンテナ９５０６から構成されており、ミニディスク（ＭＤ）やＤＶＤに記憶されたデータや、アンテナで受信したデータを表示するものである。直視型の表示装置９５０２、９５０３は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

【０２０２】
図３４（Ａ）はパーソナルコンピュータであり、本体９６０１、画像入力部９６０２、

表示装置９６０３、キーボード９６０４で構成される。表示装置９６０３は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

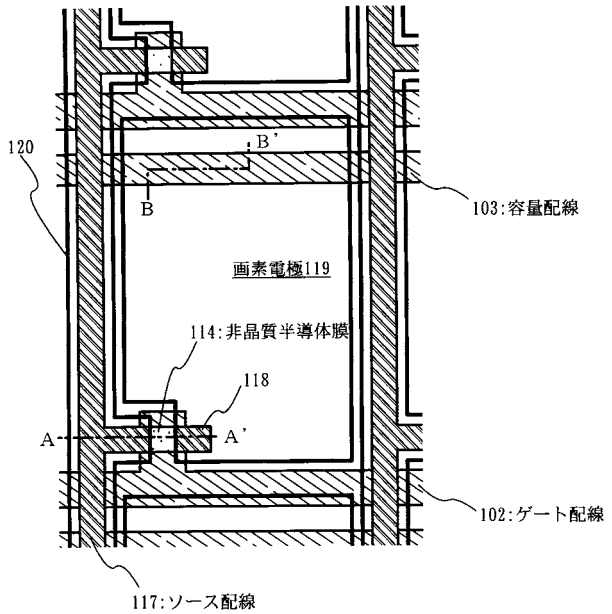
【０２０３】

図３４（Ｂ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体９７０１、表示装置９７０２、スピーカ部９７０３、記録媒体９７０４、操作スイッチ９７０５で構成される。なお、この装置は記録媒体としてＤＶＤ（Ｄｉｇｔｉａｌ Ｖｅｒｓａｔｉｌｅ Ｄｉｓｃ）、ＣＤ等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。表示装置９７０２は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

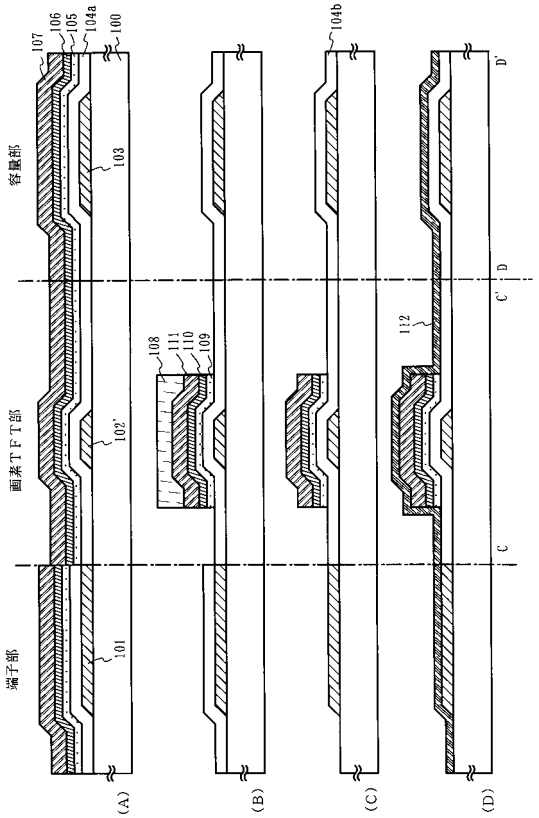
【０２０４】

図３４（Ｃ）はデジタルカメラであり、本体９８０１、表示装置９８０２、接眼部９８０３、操作スイッチ９８０４、受像部（図示しない）で構成される。表示装置９８０２は本発明の逆スタガ型ＴＦＴによる画素領域の周辺にスティックドライバを実装した液晶表示装置を用いることができる。

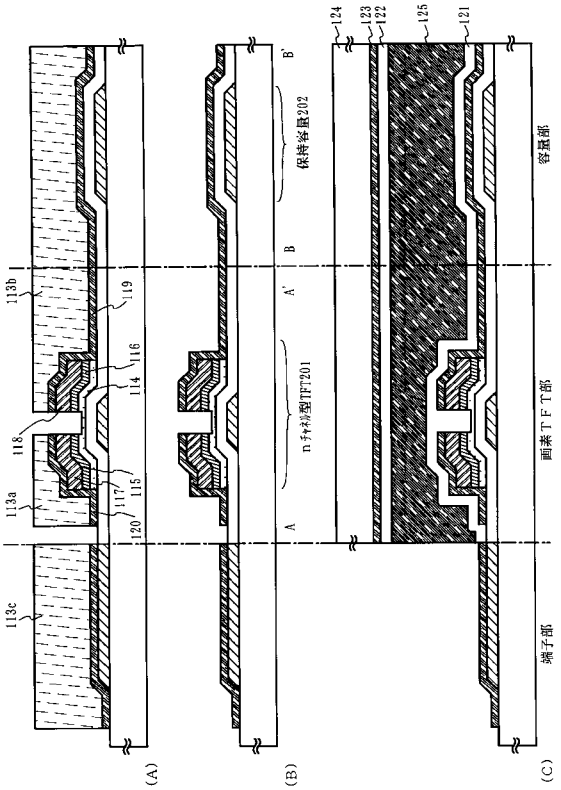
【図１】



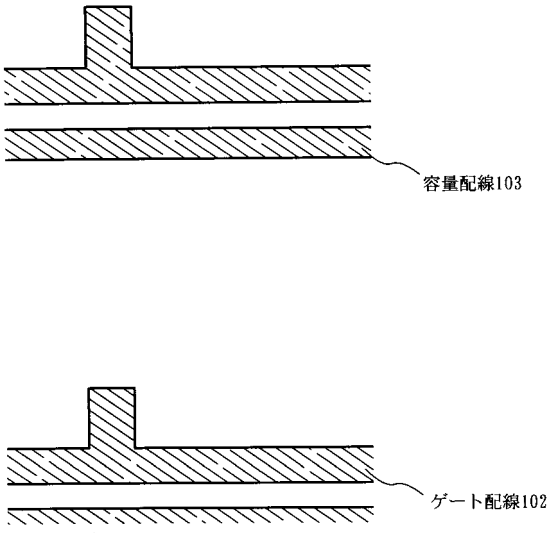
【図２】



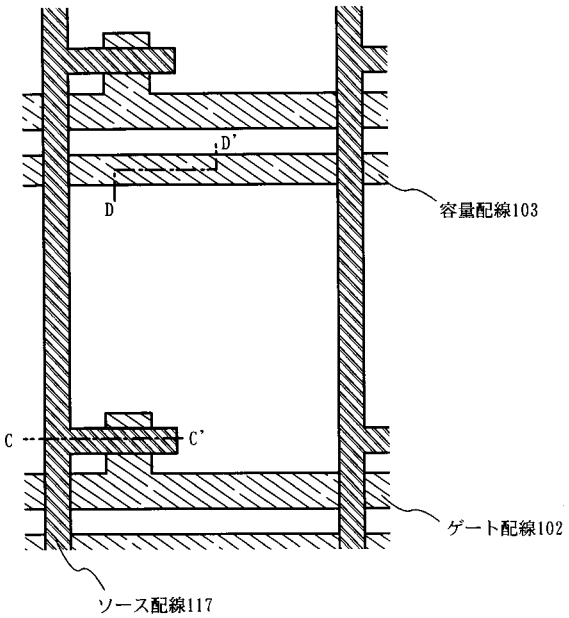
【図３】


124
123
122
125
121
B'
保持容量202
B
A'
nチャネル型TFT201
A
容量部
画素TFT部
端子部
113b
119
116
114
118
117
115
113a
120
113c
(A)
(B)
(C)

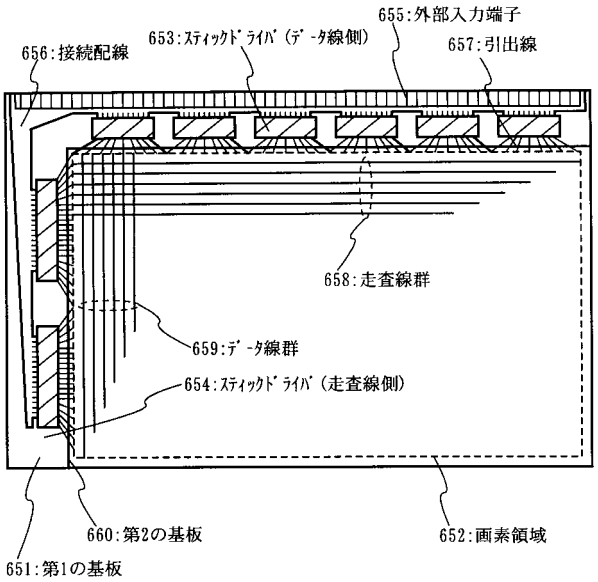
【図４】


容量配線103
ゲート配線102

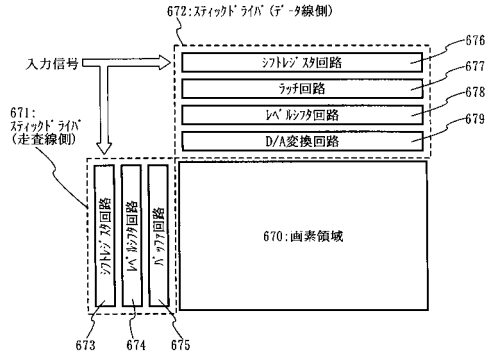
【図５】


D'
D
容量配線103
C
C'
ゲート配線102
ソース配線117

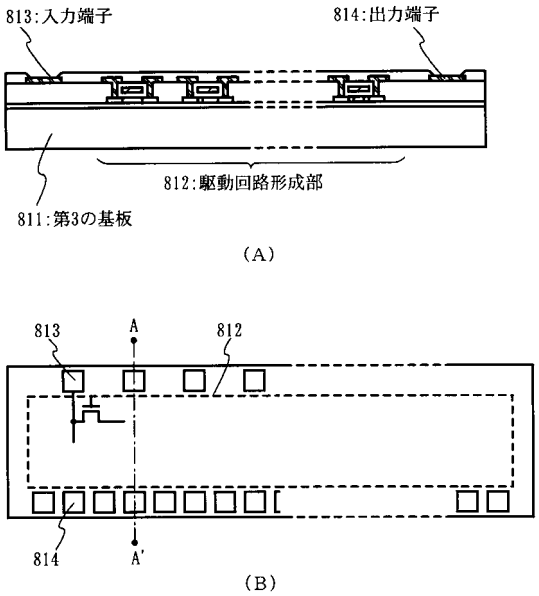
【図６】


655:外部入力端子
653:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ（ﾃﾞｰﾀ線側）
656:接続配線
657:引出線
658:走査線群
659:ﾃﾞｰﾀ線群
654:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ（走査線側）
660:第2の基板
652:画素領域
651:第1の基板

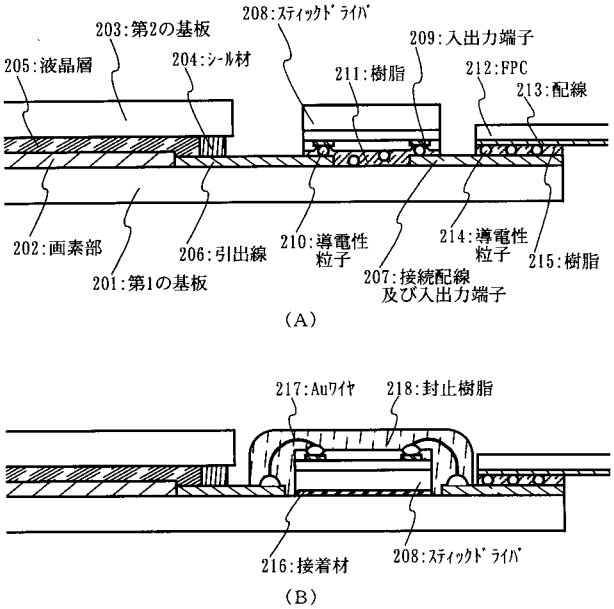
【図７】


672:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ（ﾃﾞｰﾀ線側）
入力信号
671:
ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ
（走査線側）
ｼﾌﾄﾚｼﾞｽﾀ回路
ﾗｯﾁ回路
ﾚﾍﾞﾙｼﾌﾀ回路
D/A変換回路
676
677
678
679
ｼﾌﾄﾚｼﾞｽﾀ回路
ﾚﾍﾞﾙｼﾌﾀ回路
ﾊﾞｯﾌｧ回路
670:画素領域
673
674
675

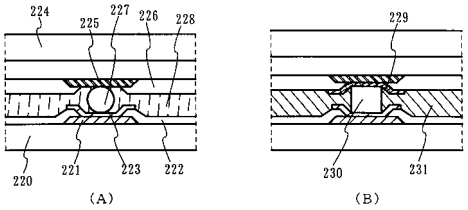
【図８】


813:入力端子
814:出力端子
812:駆動回路形成部
811:第3の基板
（A）
813
A
812
814
A'
（B）

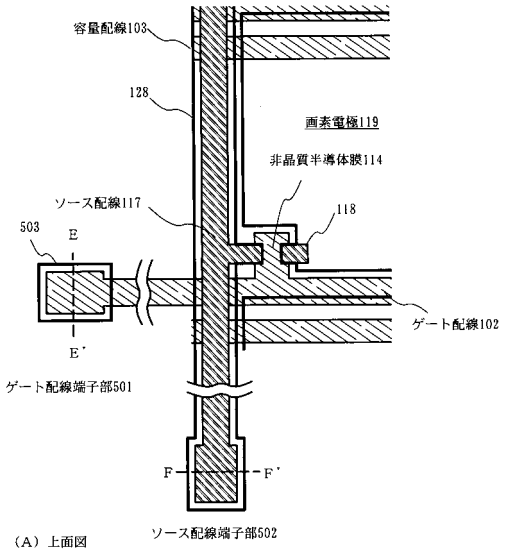
【図９】


208:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ
203:第2の基板
209:入出力端子
205:液晶層
204:ｼｰﾙ材
211:樹脂
212:FPC
213:配線
202:画素部
206:引出線
210:導電性
粒子
214:導電性
粒子
215:樹脂
201:第1の基板
207:接続配線
及び入出力端子
（A）
217:Auﾜｲﾔ
218:封止樹脂
216:接着材
208:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ
（B）

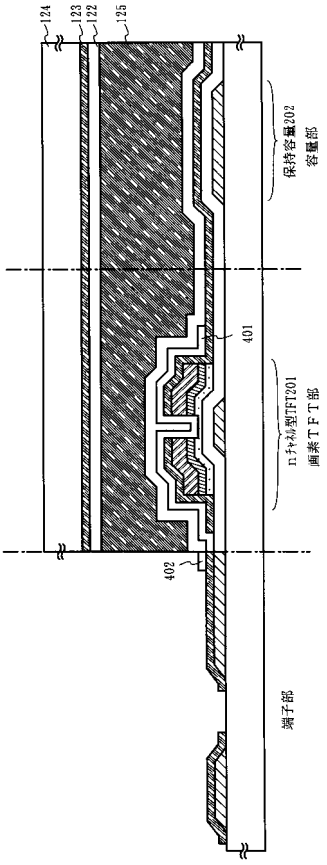
【図１０】


224
225
227
226
228
220
221
223
222
（A）
229
230
231
（B）

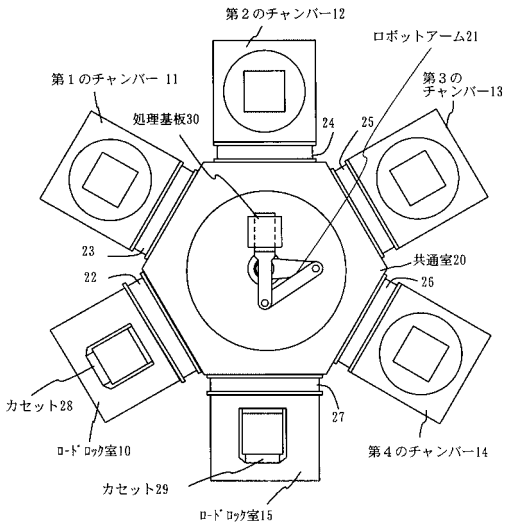
【図１１】



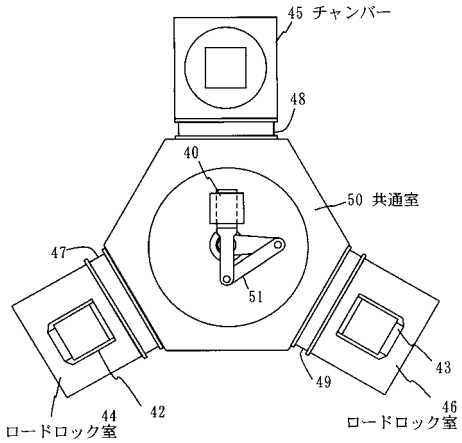
【図１２】



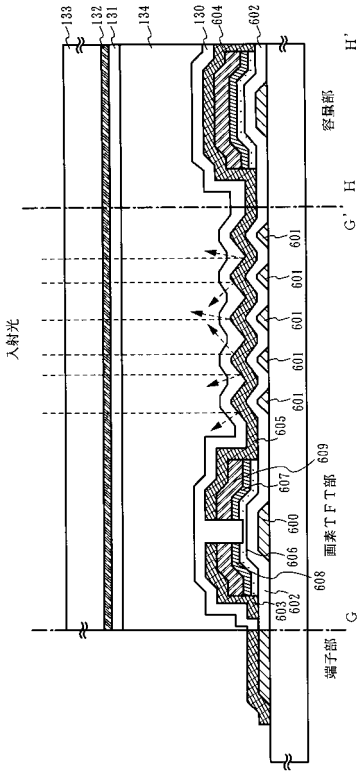
【図１３】



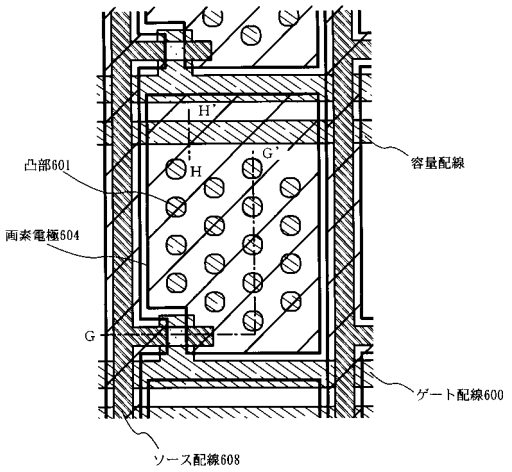
【図１４】



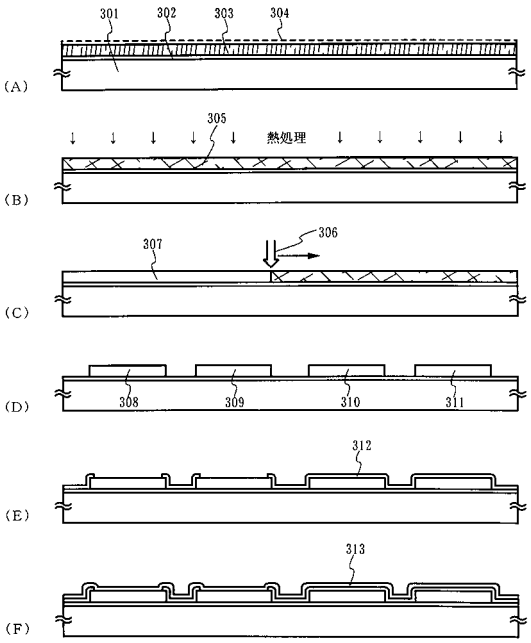
【図１５】



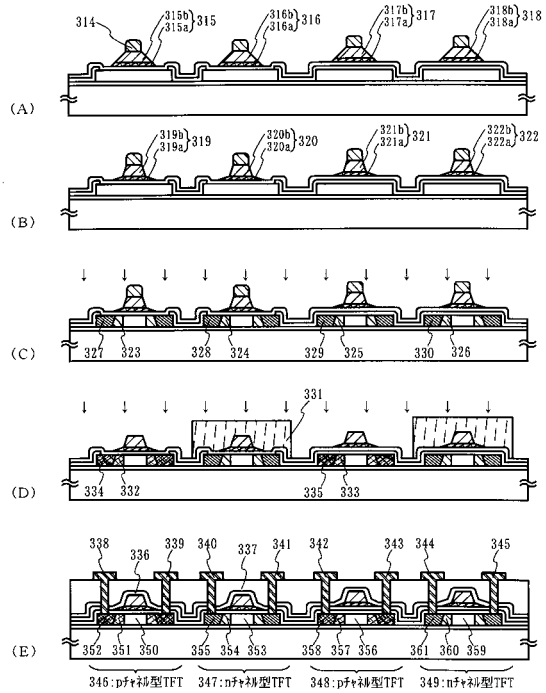
【図１６】



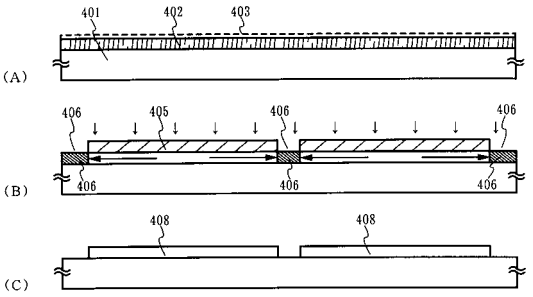
【図１７】



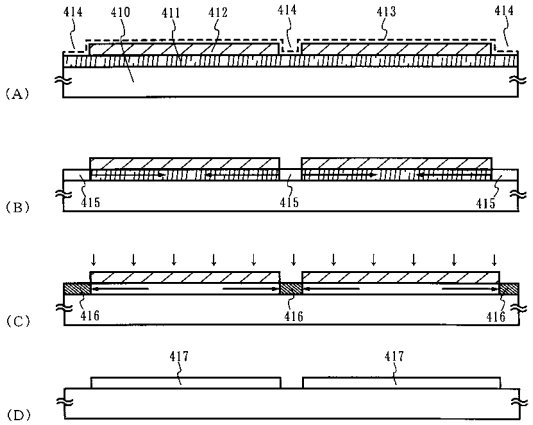
【図１８】



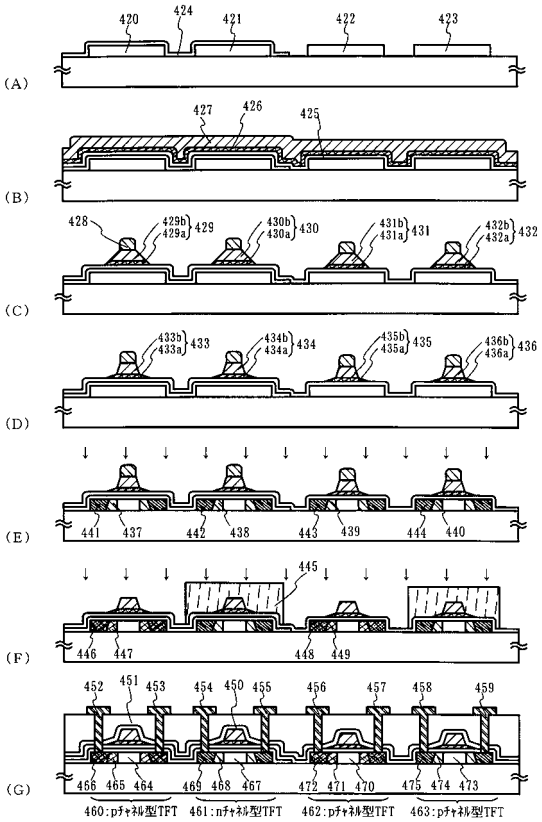
【図１９】



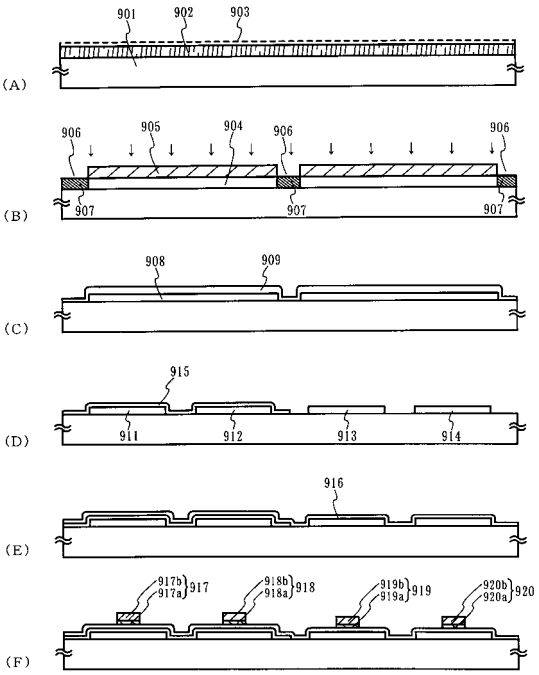
【図２０】



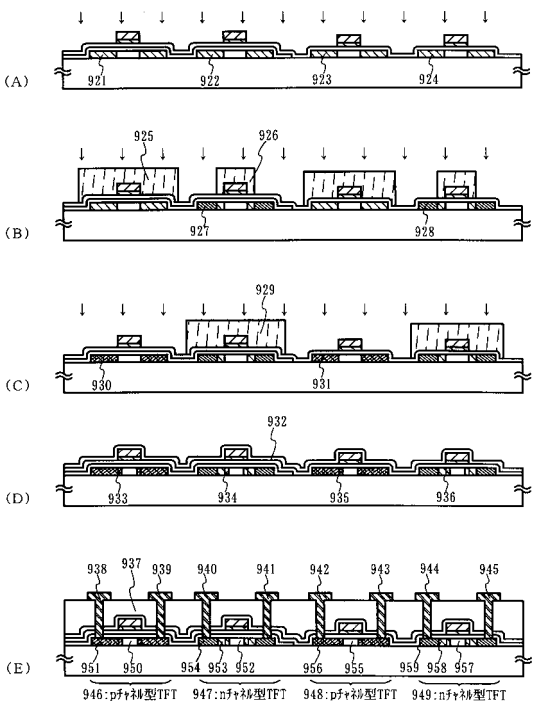
【図２１】



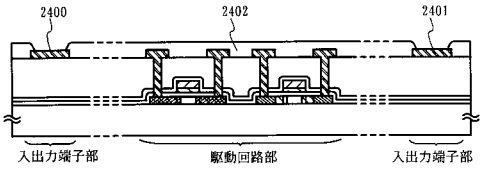
【図２２】



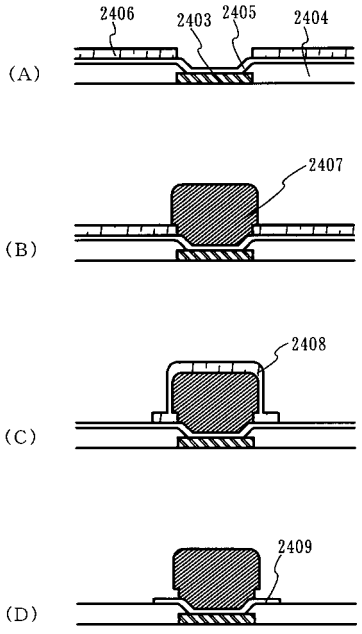
【図２３】



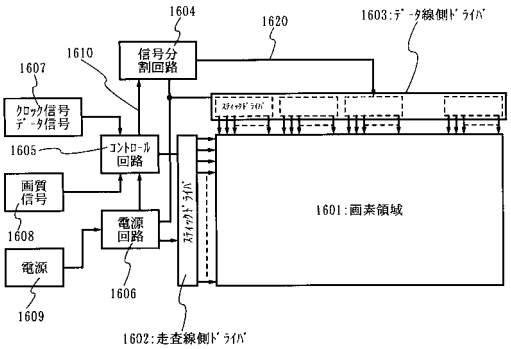
【図２４】



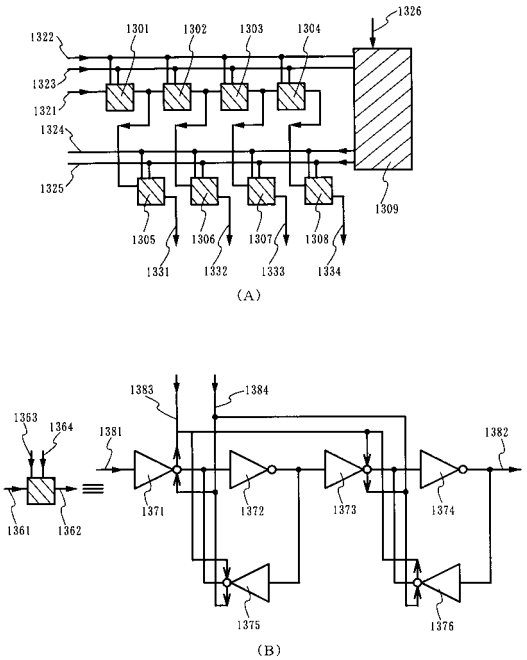
【図２５】



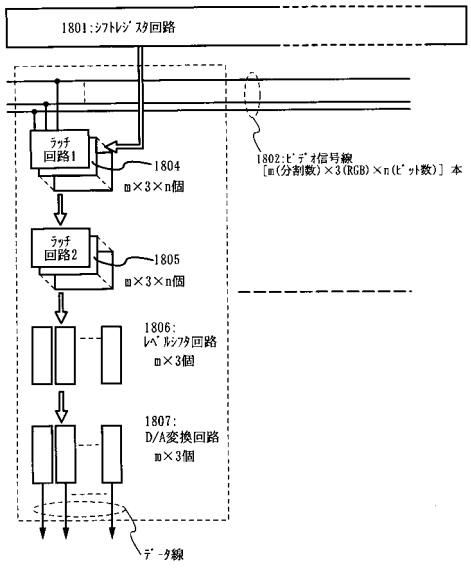
【図２６】



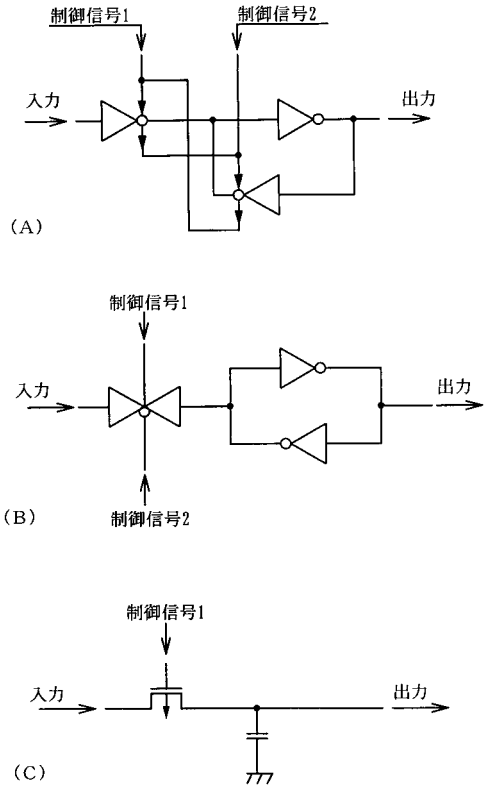
【図２７】



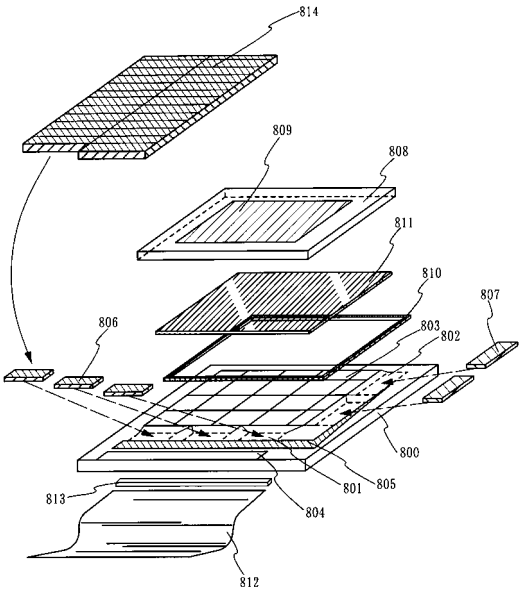
【図２８】



【図２９】

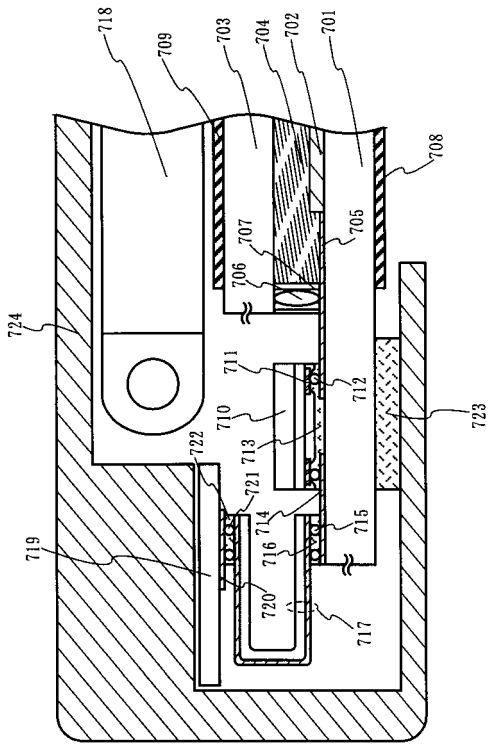


【図３０】

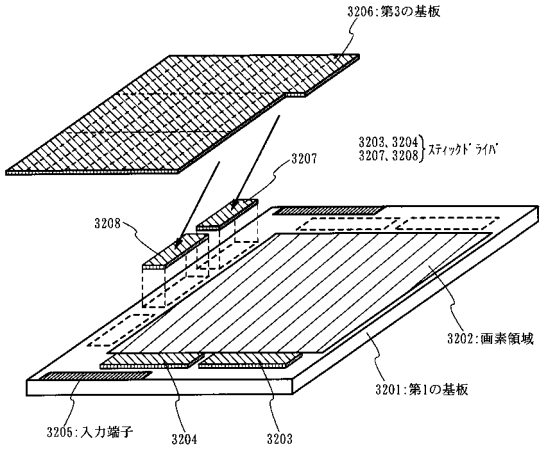


800:第1の基板、801:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ貼り合わせ領域（ﾃﾞｰﾀ線）、
802:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ貼り合わせ領域（走査線）、803:画素領域、
804:入力端子、805:接続配線、806,807:ｽﾃｨｯｸﾄﾞﾗｲﾊﾞ、
808:第2の基板、809:共通電極、810:ｼｰﾙ材、811:液晶、
812:FPC、813:補強板、814：第3の基板

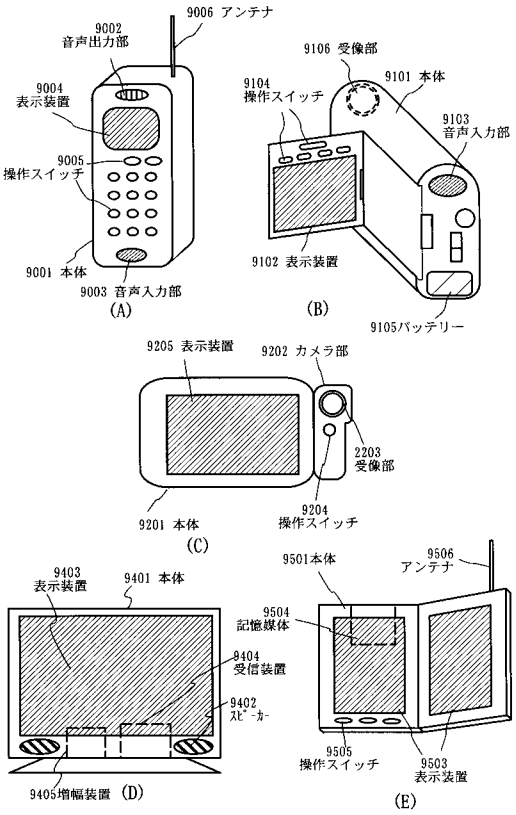
【図３１】



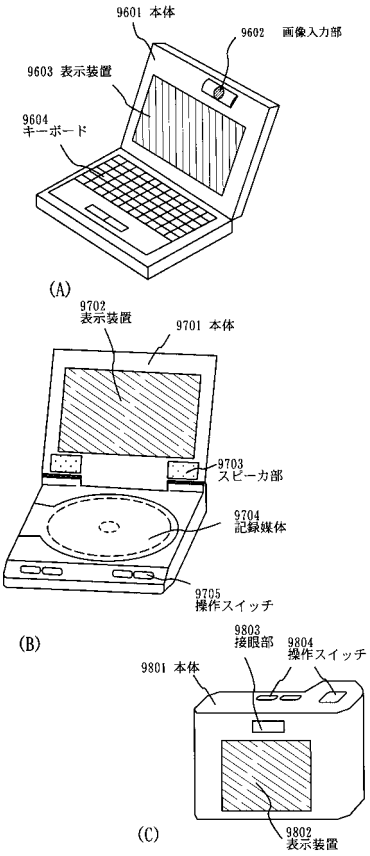
【図３２】



【図３３】


9006 アンテナ
9002
音声出力部
9004
表示装置
9005
操作スイッチ
9001 本体
9003 音声入力部
(A)
9106 受像部
9101 本体
9104
操作スイッチ
9103
音声入力部
9102 表示装置
9105バッテリー
(B)
9205 表示装置
9202 カメラ部
2203
受像部
9201 本体
9204
操作スイッチ
(C)
9403
表示装置
9401 本体
9404
受信装置
9402
ｽﾋﾟｰｶｰ
9405増幅装置
(D)
9501本体
9506
アンテナ
9504
記憶媒体
9505
操作スイッチ
9503
表示装置
(E)

【図３４】


9601 本体
9602 画像入力部
9603 表示装置
9604
キーボード
(A)
9702
表示装置
9701 本体
9703
スピーカ部
9704
記録媒体
9705
操作スイッチ
(B)
9803
接眼部
9804
操作スイッチ
9801 本体
9802
表示装置
(C)

フロントページの続き

(51)Int.Cl.	F I		テーマコード（参考）
H01L 29/786 (2006.01)	H01L	29/78 612Z	
	H01L	29/78 612D	
	H01L	29/78 616T	

Fターム(参考)

2H092	GA19	GA42	GA50	GA60	JA26	JA28	JA34	JA37	JA41	JA47
	JB08	JB22	JB31	JB63	JB69	KA05	NA27	NA29	PA02	
2H192	AA24	BC72	BC82	CB05	CC32	DA12	FA64	FA73	FB02	FB22
	HA47									
5C094	AA31	AA42	AA43	AA44	BA03	BA43	EA04	EA10	FA04	FA10
	FB12	GB10	HA08							
5F110	AA16	AA22	AA28	BB01	BB04	CC02	CC07	DD01	DD02	DD03
	DD13	DD14	DD15	EE03	EE04	EE05	EE06	EE09	EE15	EE23
	EE43	EE44	EE45	FF02	FF03	FF04	FF09	FF28	FF30	FF36
	GG02	GG03	GG13	GG17	GG22	GG25	GG28	GG33	GG43	GG45
	GG47	HJ04	HJ12	HJ13	HJ23	HJ30	HK03	HK04	HK06	HK09
	HK15	HK16	HK25	HK33	HK35	HL03	HL04	HM02	HM15	NN03
	NN23	NN24	NN27	NN72	NN73	PP03	PP04	PP05	PP06	PP10
	PP13	PP35	QQ04	QQ08	QQ09	QQ25	QQ28			
5G435	AA14	AA17	BB12	EE41	GG31	HH12	KK05	LL04	LL07	LL08