

發明專利說明書

200414368

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92117817

※申請日期：92-6-30

※IPC 分類：H01L21/326

壹、發明名稱：(中文/英文)

形成半導體裝置之電晶體之方法

METHOD FOR FORMING TRANSISTOR OF SEMICONDUCTOR
DEVICE

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙

DONG-SOO CHUNG

住居所或營業所地址：(中文/英文)

大韓民國京畿道利川市夫鉢邑牙美里山136-1

SAN 136-1, AMI-RI, BUBAL-EUP, ICHEON-SI, GYEONGGI-DO
467-701, KOREA

國籍：(中文/英文)

南韓 KOREA

參、發明人：(共 3 人)

姓 名：(中文/英文)

1.金鳳洙

BONG SOO KIM

2.秦丞佑

SEUNG WOO JIN

3.曹豪辰

HO JIN CHO

住居所地址：(中文/英文)

1.大韓民國漢城市廣津區中谷洞50-36

50-36 JUNG GOK 2-DONG, GWANGJIN-GU, SEOUL 143-222,
KOREA

2.大韓民國京畿道利川市大月面已洞里441-1現代電子社員公寓
107-105

#107-105 HYUNDAI EMPLOYEE APT., 441-1 SADONG-RI,
DAEWOL-MYEON, ICHEON-SI, GYEONGGI-DO 467-850,
KOREA

3.大韓民國京畿道城南市盆唐區二梅洞141亞瑞-馬佑路502-304號
#502-304 AREUM-MAEUL, 141 IMAE-DONG, BUNDANG-GU,
SUNGNAM-SI, GYEONGGI-DO 463-020, KOREA

國 籍：(中文/英文)

1.韓國 KOREA

2.韓國 KOREA

3.韓國 KOREA

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

本案申請前已向下列國家（地區）申請專利：

1. 南韓；2002年12月30日；2002-87191

2.

3.

4.

5.

主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 南韓；2002年12月30日；2002-87191

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明與一種形成半導體裝置之電晶體之方法有關，且更特別言之，係與一種形成半導體裝置的方法有關，其中在沈積一氮化物膜做為閘極間隔層之前，將於低溫下實施緩衝用氧化膜的沈積，以避免佈植於源極/汲極區域中的雜質向外擴散，藉此提供一具有低接觸電阻的半導體裝置，做為位元線與儲存電極之用，且具有改良的特性與高度之可靠度。

【先前技術】

DRAM裝置的一個記憶單元包含一個電晶體和一個電容器。因此，電晶體的特性是影響裝置特性的重要因素之一。

在傳統的DRAM製造過程中，將實施一自動對準接觸製程(其中有一氮化膜間隔層在閘極電極的側壁上形成)，以獲得一接觸孔蝕刻(用於形成記憶單元接觸插塞)的製程範圍。

然而，當做為氮化膜間隔層的氮化物膜直接沉積於半導體基板上時，由於氮化物膜的應力，裝置的更新特性會劣化。

已有人引入HTO(高溫氧化物)，以克服上述問題，此為一CVD氧化膜，可作為緩衝氧化物之用。然而，由於HTO的形成製程必須在780°C的高溫下實施，因此藉由無遮罩離子佈植製程佈植於源極/汲極接面的雜質，於HTO形成製程期間，會朝著基板表面向外擴散。

向外擴散現象使矽塊材(亦即半導體基板)內的雜質劑量減少，記憶單元電流降低，影響記憶單元的寫入時間延遲

，也會使位元線與儲存電極的接觸電阻增加，進而增加裝置的故障率。

雖然附圖中未顯示，但形成半導體裝置之電晶體傳統方法如下。

一溝槽式的裝置隔離膜(定出一主動區域)在一半導體基板上形成。由一閘極氧化物膜、一做為閘極電極用的導電層，以及一堅硬遮層組成的堆疊狀結構會沈積在所產生的結構上。

其次使用一閘極電極遮罩，以微影蝕刻法蝕刻堆疊狀結構，而形成閘極電極。然後使用閘極電極做為遮罩，以離子佈植法將雜質植於半導體基板內。

在所產生之結構整個表面上形成HTO。HTO是在780°C的溫度下形成的。由於高溫，佈植於半導體基板內的雜質會向外擴散。

接著在所產生之結構的整個表面上沈積一預定厚度的氮化物膜，然後以非各向均等之方式進行蝕刻，而在閘極電極的側壁上形成氮化物膜間隔層。

在形成半導體裝置之電晶體的傳統方法中，用於減輕氮化物膜與下方結構間之應力的HTO，其形成製程需要的製程溫度很高，造成佈植於半導體基板的雜質向外擴散。向外擴散會增加在後續製程中形成之位元線與儲存電極的接觸電阻，且使裝置的特性及可靠度劣化。

【發明內容】

本發明的目標是提供一種形成半導體裝置之電晶體的方法

法，其中在沈積一氮化物膜做為閘極間隔層之前，將於低溫下實施緩衝用氧化膜的沈積，以避免佈植於源極/汲極區域中的雜質向外擴散，藉此提供一具有低接觸電阻的半導體裝置，做為位元線與儲存電極之用，且具有改良的特性與高度的可靠度。

為達成本發明的目標，茲提供一種形成半導體裝置之電晶體的方法，包含下列步驟：在一半導體基板上形成一閘極電極；使用閘極電極做為遮罩，將雜質以離子佈植方法佈植於半導體基板內，以形成一源極/汲極接面區域；於700°C以下的溫度下，在所產生的結構上形成一氧化物膜；以及在閘極電極的側壁上形成一氮化物間隔層。

【實施方式】

以下將參照附圖，詳細解釋本發明。

圖1a至1d為橫截面圖，說明一種根據本發明之較佳具體實施例，用於形成半導體裝置之電晶體的方法。

參考圖1a，一溝槽式的裝置隔離膜13(定出主動區域)在一半導體基板11上形成。接下來，由一氧化物膜(未顯示)，一做為閘極電極的導電層(未顯示)，以及一堅硬遮罩層(未顯示)組成的堆疊狀結構被沈積於所產生之結構的整個表面上。之後，使用一閘極電極遮罩，以微影蝕刻法蝕刻堆疊狀結構，而形成閘極電極21，具有由閘極氧化物膜15、導電層17與堅硬遮罩層19組成的堆疊狀結構。閘極電極的導電層最好為一多晶矽膜、多晶金屬矽化膜或金屬膜。

參考圖1b與1c，使用閘極電極21做為遮罩，將雜質23佈植

於半導體基板11內，而形成一源極/汲極接面區域25。雜質23最好為 $_{31}\text{P}$ 或 $_{75}\text{As}$ 。使用 $_{31}\text{P}$ 時，離子佈植能量最好在10到35 KeV的範圍內，劑量最好在每平方公分 $1.0\text{E}12$ 到 $5.0\text{E}13$ 個離子的範圍內。使用 $_{75}\text{As}$ 時，離子佈植能量最好在15到70 KeV的範圍內，最好在每平方公分 $1.0\text{E}12$ 到 $5.0\text{E}13$ 個離子的範圍內。

佈植雜質23的製程，最好使用單一類型儀器實施，且在不將晶圓傾斜或旋轉，或在晶圓傾斜 1° ，而儀器設定於旋轉兩次或旋轉四次之模態的情況下進行。在旋轉兩次的情況下，會進行兩次離子佈植製程，每次使用全部劑量的 $1/2$ 。在旋轉四次的情況下，則進行四次離子佈植製程，每次使用全部劑量的 $1/4$ 。

參考圖1d，在所產生的表面上形成氧化物膜27。

氧化物膜27係於 700°C 以下的溫度下，透過CVD或PVD法而形成。

透過CVD或PVD法，在 600°C 以下的溫度形成氧化物膜27時，半導體基板最好進一步在 600 到 700°C 範圍內的溫度下，於一氮氣環境中進行熱處理。熱處理製程最好為一快速熱處理，(執行時間為1到5分鐘)或在一爐內進行，時間為1分鐘到6小時之間。

一氮化物膜(未顯示)在所產生之結構的整個表面上形成，然後在後續製程中進行無遮罩蝕刻，俾於閘極電極的側壁上形成間隔層。

圖2為一圖形，說明在不同的沈積溫度時的雜質濃度(根

據從基板表面算起的深度)。

參考圖2，在680°C的溫度下沈積的LP-TEOS，由於P(磷)在600°C以下的溫度時向外擴散較少，故半導體基板內的雜質劑量大於700°C以上的溫度下沈積的HTO。

如以上所討論，根據本發明的一種形成半導體裝置之電晶體的方法，其中在沈積一氮化物膜做為閘極間隔層之前，將於低溫下實施緩衝用氧化膜的沈積，使向外擴散降到最低，藉此避免位元線與儲存電極的接觸電阻增加，且使裝置特性的劣化降到最低，以改進裝置的特性與可靠度。

【圖式簡單說明】

圖1a至1d為橫截面圖，說明一種根據本發明之較佳具體實施例，用於形成半導體裝置之電晶體的方法。

圖2為一圖形，說明在不同的沈積溫度時的雜質濃度(根據從基板表面算起的深度)。

【圖式代表符號說明】

- 11 半導體基板
- 13 裝置隔離膜
- 15 閘極氧化物膜
- 17 導電層
- 19 硬遮罩層
- 21 閘極電極
- 23 雜質
- 25 源極/汲極接面區域
- 27 氧化物膜

伍、中文發明摘要：

一種形成半導體裝置的方法，其中在沈積一氮化物膜做為閘極間隔層之前，將於低溫下實施緩衝用氧化膜的沈積，以避免佈植於源極/汲極區域中的雜質向外擴散，藉此提供一具有低接觸電阻的半導體裝置，做為位元線與儲存電極之用。形成半導體裝置之電晶體的方法包含下列步驟：在一半導體基板上形成一閘極電極；使用閘極電極做為遮罩，將雜質以離子佈植方法佈植於半導體基板內，以形成一源極/汲極接面區域；於700°C以下的溫度下，在所產生的結構上形成一氧化物膜；以及在閘極電極的側壁上形成一氮化物間隔層。

陸、英文發明摘要：

A method for forming a transistor of a semiconductor device wherein a deposition of a buffering oxide film prior to deposition of a nitride film for a gate spacer is performed at a low temperature to prevent out-diffusion of impurities implanted in a source/drain region, thereby providing a semiconductor device with low contact resistance for a bitline and a storage electrode is disclosed. The method for forming a transistor of a semiconductor device comprises the steps of: forming a gate electrode on a semiconductor substrate; ion-implanting impurities into the semiconductor substrate using the gate electrode as a mask to form a source/drain junction region; forming an oxide film on the resulting structure at a temperature below 700°C; and forming a nitride film spacer on a sidewall of the gate electrode.

拾、申請專利範圍：

1. 一種形成一半導體裝置之一電晶體的方法，包含下列步驟：

 在一半導體基板上形成一閘極電極；

 使用閘極電極做為遮罩，將雜質以離子佈植方法佈植於該半導體基板內，以形成一源極/汲極接面區域；

 於700°C以下的溫度下，在所產生的結構上形成一氧化物膜；以及

 在該閘極電極的側壁上形成一氮化物間隔層。

2. 如申請專利範圍第1項之方法，其中該以雜質進行離子佈植之步驟包含能量在10到35 KeV之範圍內，且劑量在每平方公分 $1.0E12$ 到 $5.0E13$ 個離子之範圍內，以 $_{31}P$ 離子進行佈植。
3. 如申請專利範圍第1項之方法，其中該以雜質進行離子佈植之步驟包含能量在15到70 KeV之範圍內，且劑量在每平方公分 $1.0E12$ 到 $5.0E13$ 個離子之範圍內，以 $_{75}As$ 離子進行佈植。
4. 如申請專利範圍第1項之方法，其中該離子佈植製程係使用單一類型之儀器進行，且晶圓不傾斜或旋轉。
5. 如申請專利範圍第1項之方法，其中該離子佈植製程係使用單一類型之儀器，在旋轉兩次或旋轉四次的模態下進行，且晶圓傾斜 1° 。
6. 如申請專利範圍第1項之方法，其中該形成氧化物膜之步驟為一CVD或PVD製程。

7. 如申請專利範圍第1項之方法，其中該形成氧化物膜之步驟包含透過CVD或PVD法，在600°C以下的溫度沉積該氧化物膜，以及在600到700°C範圍內的溫度下，於一氮氣環境中進行該半導體基板的熱處理。
8. 如申請專利範圍第7項之方法，其中該熱處理為一之執行時間為1到5分鐘快速熱處理，或在一爐內進行，時間為1分鐘到6小時之間的熱處理。
9. 如申請專利範圍第7項之方法，其中該熱處理係在一爐內進行1分鐘到6小時。

拾壹、圖式：

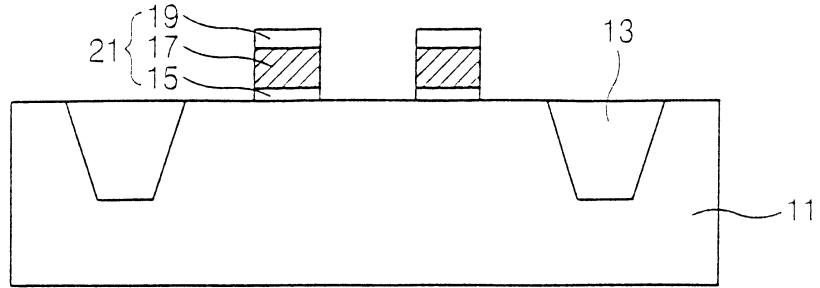


圖 1a

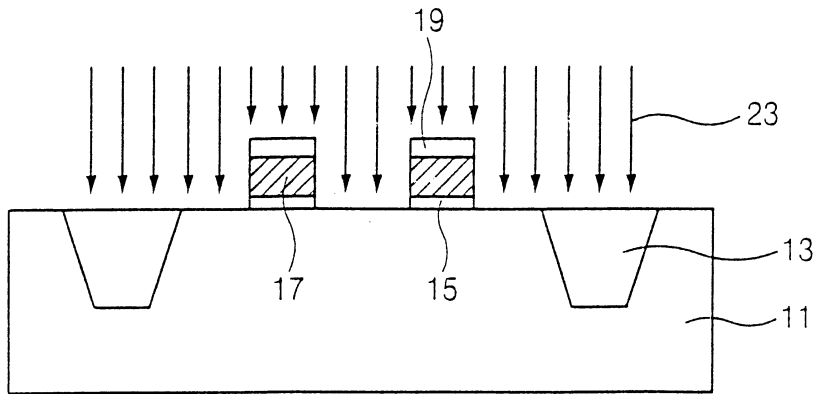


圖 1b

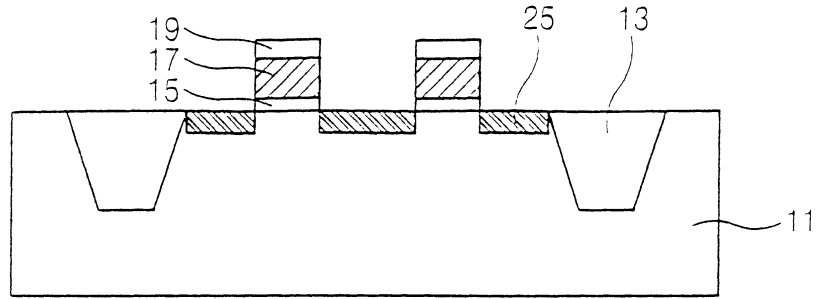


圖 1c

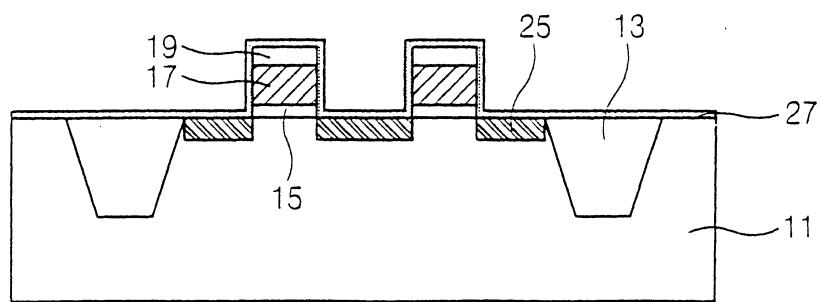


圖 1d

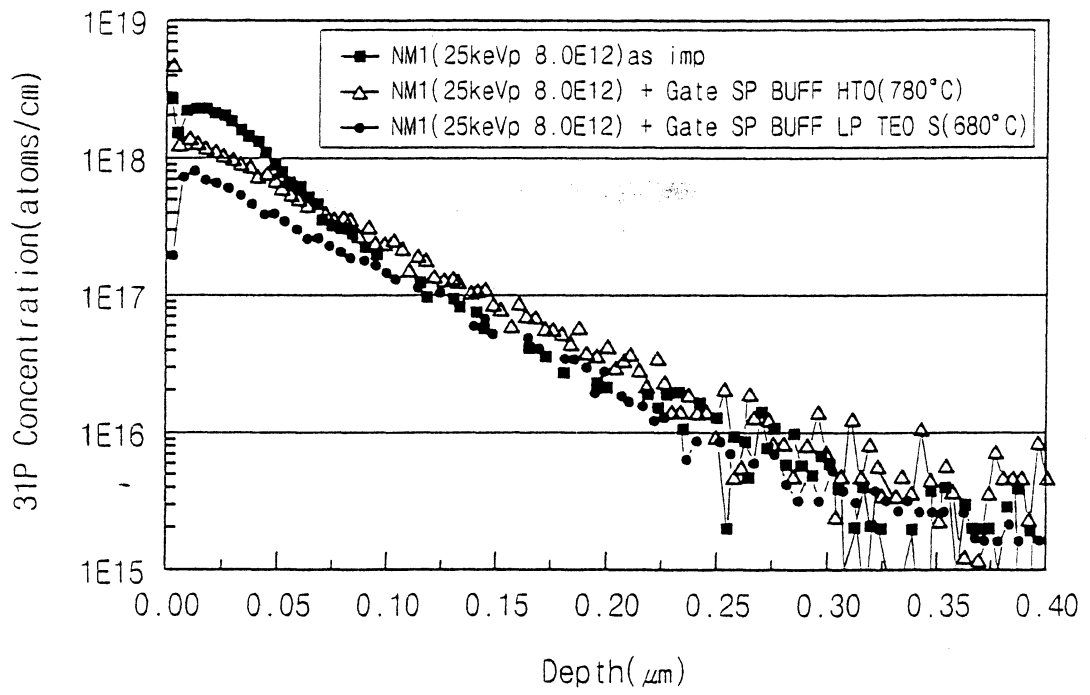


圖 2

柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

(無元件代表符號)

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：