



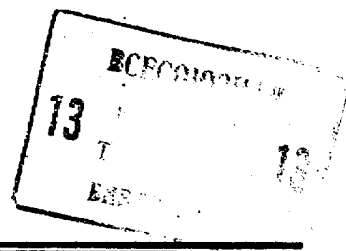
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1317446** **A1**

(5D) 4 G 06 F 13 /00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3984913/24-24

(22) 05.12.85

(46) 15.06.87. Бюл. № 22

(72) В.В.Богданов, В.С.Луников
и С.С.Спиваков

(53) 681.327.21 (088.8)

(56) Авторское свидетельство СССР
№ 1070538, кл. G 06 F 13/10, 1984.

Авторское свидетельство СССР
№ 1290337, кл. G 06 F 13 /00,
26.04.85.

(54) УСТРОЙСТВО ДЛЯ ВВОДА ИНФОРМАЦИИ

(57) Изобретение относится к вычислительной технике и может быть использовано для селекции информационных каналов в многоканальных системах сбора, регистрации и обработки информации. Цель изобретения - упрощение устройства за счет оптимизации алгоритма работы. Устройство содержит два регистра, блок элементов задержки, элемент И-НЕ, мультиплексор,

два блока памяти, три элемента И, элемент НЕ, элемент ИЛИ, элемент ИЛИ-НЕ, формирователь импульсов. Перед началом работы производится обнуление блоков памяти. Затем в первый блок памяти по сигналу "Установка" заносится информация о номерах входных каналов, подлежащих обработке. После этого чередуются циклы измерения и калибровки. В цикле измерения информация, поступающая на устройство, сортируется на основе признаков, записанных в первом блоке памяти. Во второй блок памяти заносится информация о нормах каналов, реально обработанных в цикле измерения. В режиме калибровки информация из второго блока памяти передается в ЭВМ, после чего второй блок памяти обнуляется. После окончания калибровки устройство переходит в цикл измерения или при необходимости - в режим обнуления и установки. 3 ил.

(19) **SU** (11) **1317446** **A1**

Изобретение относится к вычислительной технике и может быть использовано в качестве устройства для селекции информационных каналов в многоканальных системах сбора, регистрации и обработки информации.

Целью изобретения является упрощение устройства путем оптимизации алгоритма работы.

На фиг.1 показана структурная схема устройства; на фиг.2 - приведен пример реализации блока памяти; на фиг.3 - пример реализации блока элементов задержки.

На схеме (фиг.1) образованы первый 1 и второй 2 регистры, блок 3 элементов задержки, элемент И-НЕ 4, мультиплексор 5, первый 6 и второй 7 блоки памяти, первый 8, второй 9 и третий 10 элементы И, элемент НЕ 11, элемент ИЛИ 12, элемент ИЛИ-НЕ 13, формирователь 14 импульсов, информационные входы 15 и выходы 16 устройства, вход 17 сигнала "Измерение" устройства, вход 18 сигнала "Калибровка" устройства, первый 19, второй 20 и третий 21 входы синхронизации устройства, выход 22 сигнала "Установка" устройства, вход 23 сигнала "Сброс" устройства, адресные входы 24 устройства, выход 25 сигнала "Готовность" устройства. На фиг.2 обозначены элемент И 26, счетчик 27 адреса, формирователь 28 и элемент 29 памяти; на фиг. 3 - элементы 30-32 задержки и элемент НЕ 33.

Устройство работает следующим образом.

Перед началом работы производится обнуление всех ячеек памяти блоков 6 и 7 памяти. При этом на синхровход 21 подаются тактовые импульсы, а на вход 23 - сигнал "1". Тактовые импульсы с выхода элемента И-НЕ 4 поступают на вход элемента И 26, информационный вход элемента 29 памяти и счетный вход счетчика 27 адреса блока 6 памяти. Сигнал "0" на выходе элемента И-НЕ 4 обеспечивает запись нулевого бита в элемент 29 памяти по адресу, хранящемуся на счетчике 27 адреса. По положительному перепаду сигнала на выходе элемента И-НЕ 4 осуществляется увеличение на единицу содержимого счетчика 27 адреса. Запись нулевых битов по другим адресам элемента 29 памяти производится аналогично. Тактовые импульсы с выхода

элемента И-НЕ 4 проходят через элемент НЕ 11 и элемент ИЛИ-НЕ 13 на второй вход записи блока 7 памяти и также обнуляют его ячейки. Длительность Т сигнала "1" на входе 23 должна быть достаточной для записи нулевых битов по всем адресам блоков 6 и 7 памяти.

Устройство работает в двух режимах: режиме начальной загрузки блока 6 памяти и режиме выборки данных измерительных каналов на обработку.

В режиме начальной загрузки производится запись в блок 6 памяти программы выделения. При этом на вход 22 установки подается сигнал "1", обеспечивающий подключение адресных входов 24 через мультиплексор 5 к информационным входам счетчика 27 адреса блока 6 памяти. На адресные входы 24 в сопровождении синхроимпульсов на входе 20 поступают коды адреса элемента 29 памяти блока 6 памяти, по которым осуществляется запись единичных битов данных. Сигнал "0" на входе 20, проходя через элемент И 8, поступает на вход записи адреса блока 6 памяти и обеспечивает запись кода адреса с адресных входов 24 в счетчик 27 адреса. Синхроимпульсы с входа 20 поступают также на вход формирователя 28. По положительному фронту синхроимпульса формирователь 28 формирует импульсный сигнал низкого уровня, который проходит через элемент И 26 на вход кода операции элемента 29 памяти и осуществляет запись в него единичного бита по адресу, хранящемуся в счетчике 27 адреса. Аналогично производится запись единичных битов по другим адресам, поступающим на адресные входы 24 в сопровождении синхроимпульсов на входе 20. Запись единичного бита по k-му адресу в блок 6 памяти означает выделение данных измерительного канала с k-м адресным признаком в режиме выборки данных измерительных каналов на обработку. По окончании начальной загрузки на входе 22 устанавливается сигнал "0".

В режиме выборки данных на обработку в устройстве чередуются циклы измерения и калибровки. После передачи на вход устройства данных измерительных каналов от датчиков контролируемых параметров в цикле измерения следует цикл калибровки, кото-

рый служит для оценки работоспособности всего тракта передачи информации. В цикле калибровки на вход устройства подаются контрольные сигналы по всем информационным каналам. Управление работой устройства в режиме выборки данных на обработку осуществляется сигналами на входах 17 и 18. Сигналы "1" поступают поочередно на входы 17 и 18 и задают режим измерения и режим калибровки соответственно.

В режиме измерения на входе 17 присутствует сигнал "1", а на входе 18 - сигнал "0". С приходом информационной посылки на входы 15 в сопровождении импульса на входе 19 по переднему фронту импульса сопровождения данные с входов 15 переписываются в регистр 1. По окончании записи адресная часть сообщения поступает на адресные входы блока 7 памяти и через мультиплексор 5 - на адресные входы блока 6 памяти. Импульс с входа 19 задерживается элементом 30 и через элемент НЕ 33 поступает с первого выхода блока 3 на вход записи адреса блока 7 памяти и через элемент И 8 - на вход записи адреса блока 6 памяти, осуществляя запись адресной части сообщения в счетчики 27 адреса. В блоке 6 памяти происходит чтение информации по записному адресу. Если на выходе элемента 29 памяти блока 6 считывается единичный бит, то информационная посылка, хранящаяся в регистре 1, подлежит выделению. Выходной сигнал блока 6 памяти поступает на первый вход элемента И 9, на третьем входе которого присутствует сигнал "1" с входа 19, а на второй вход приходит стробирующий импульс с второго выхода блока 3, представляющий собой импульс с входа 19, задержанный на элементах 30 и 32. В случае выделения информационной посылки на выходе элемента И 9 формируется импульс, который проходит через элемент ИЛИ 12 на вход записи регистра 2, второй вход блока 3 элементов задержки и первый вход записи блока 7 памяти. Из регистра 1 в регистр 2 переписываются данные, поступающие на информационные выходы 16 устройства. Сигнал с выхода элемента ИЛИ 12 задерживается элементом 31 блока 3 и поступает на выход 25 устройства, сигнализируя о готовнос-

ти данных на информационных выходах 16. Сигнал с выхода элемента И 9 в блоке 7 памяти записывает единичный бит по адресу, хранящемуся в счетчике 27 адреса и совпадающему с адресной частью выделенной информационной посылки. Обработка последующих информационных посылок устройством в режиме измерения производится аналогично. Таким образом, в конце режима измерения в блоке 7 памяти записаны единичные биты по адресам, однозначно соответствующим адресным частям информационных посылок, которые были выбраны на обработку в режиме измерения.

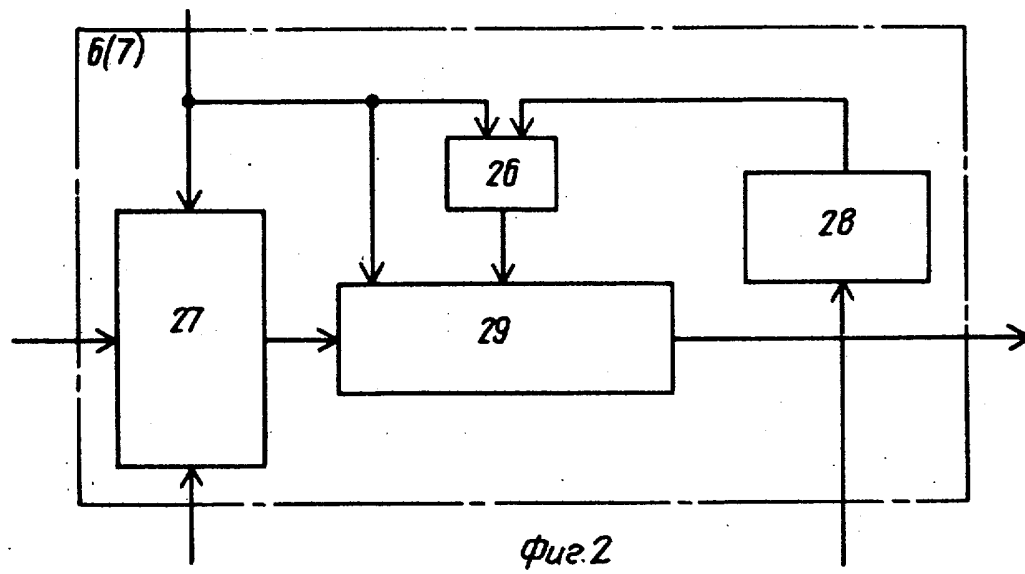
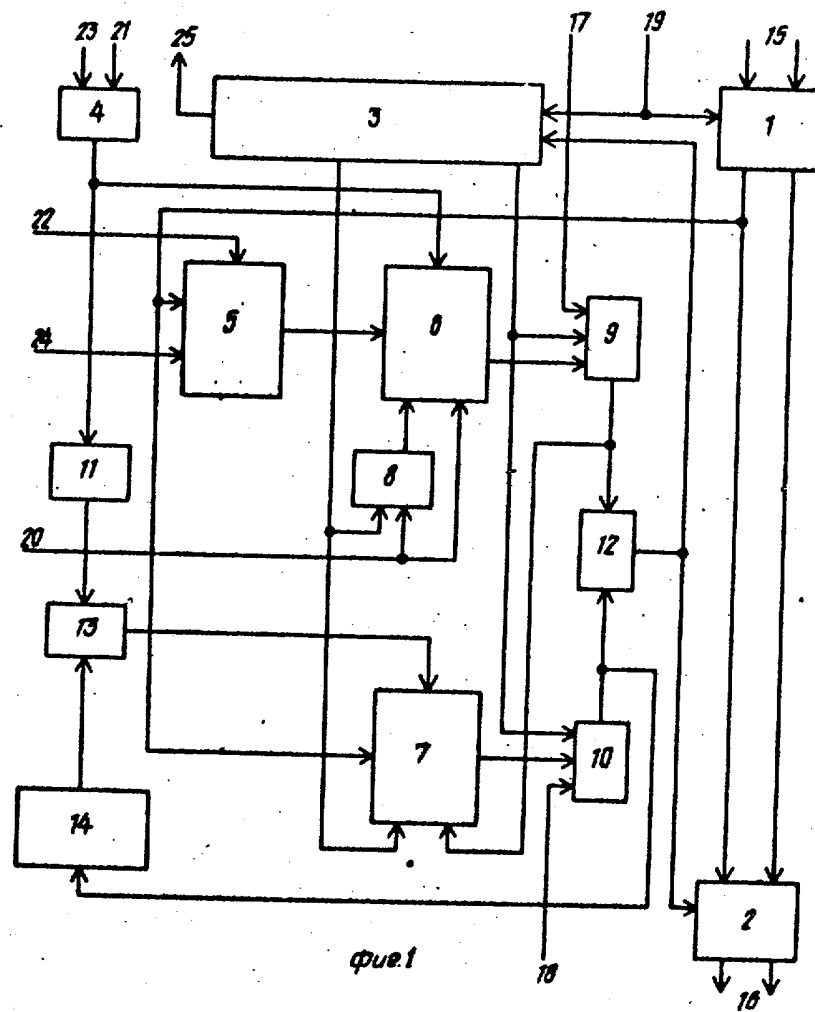
В режиме поступления на входы 15 устройства калибровочных сигналов на входы 17 и 18 подаются сигналы "0" и "1" соответственно. Работа элемента И 9 блокируется. С приходом на входы 15 информационной посылки по переднему фронту импульса сопровождения данные записываются в регистр 1. По окончании записи адресная часть сообщения поступает на адресные входы блока 7 памяти. Сигналом с первого выхода блока 3 элементов задержки адрес заносится в счетчик 27 адреса блока 7 памяти. Затем осуществляется считывание информации из блока 7 памяти по записанному адресу. При совпадении адреса калибровочного сигнала с одним из адресов измерительных каналов, которые были выбраны на обработку в предыдущем цикле измерения, на выходе блока 7 памяти формируется сигнал "1", поступающий на второй вход элемента И 10, на третьем входе которого присутствует сигнал "1" с входа 18 управления. С приходом на первый вход элемента И 10 стробирующего сигнала с второго выхода блока 3 элементов задержки на его выходе формируется импульс, поступающий на вход элемента ИЛИ 12 и вход формирователя 14. Импульс с выхода элемента ИЛИ 12 осуществляет перепись калибровочной посылки из регистра 1 в регистр 2 и формирование сигнала готовности на выходе 25 устройства. Формирователь 14 по заданному фронту входного сигнала формирует импульс, поступающий через элемент ИЛИ-НЕ 13 на второй вход записи блока 7 памяти и осуществляющий запись нулевого бита по адресу, который хранится в счетчике 27 адреса. Таким

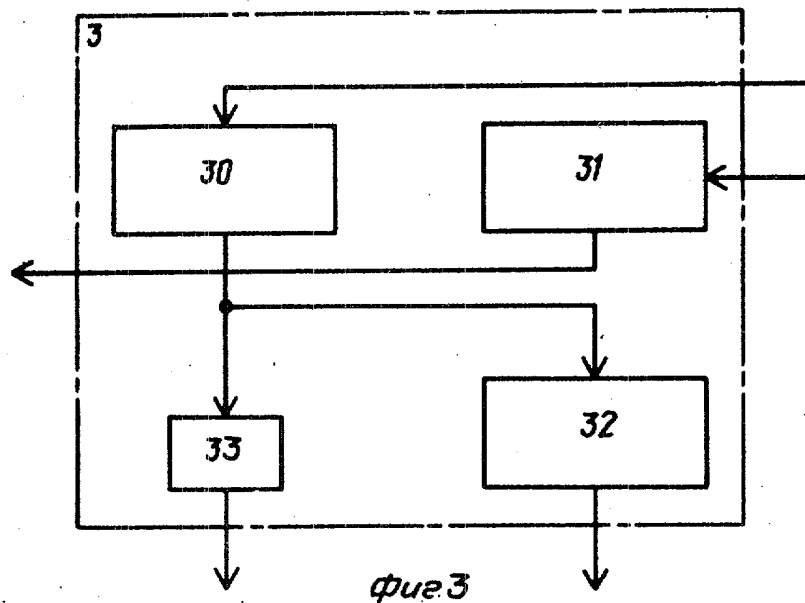
образом, в режиме калибровки устройство выдает на обработку значения калибровочных сигналов лишь тех измерительных каналов, которые присутствовали в предыдущем цикле измерения. По окончании режима калибровки по всем адресам блока 7 памяти будут записаны нулевые биты, тем самым блок 7 будет подготовлен к работе в следующем цикле измерения, т.е. оптимизация алгоритма работы устройства в режиме калибровки позволила упростить техническое решение.

Ф о р м у л а и з о б р е т е н и я 15

Устройство для ввода информации, содержащее два регистра, блок элементов задержки, мультиплексор, два блока памяти, три элемента И, элемент ИЛИ, элемент НЕ и элемент И-НЕ, первый и второй входы которого являются соответственно входом сигнала "Сброс" устройства и третьим входом синхронизации устройства, выход элемента И-НЕ соединен с вторым входом записи первого блока памяти, выход которого соединен с первым входом второго элемента И, третий вход которого является входом сигнала "Измерение" устройства, выход второго элемента И соединен с вторым входом элемента ИЛИ, выход которого соединен с входом записи второго регистра и вторым входом блока элементов задержки, второй выход которого соединен с вторым входом второго элемента И и третьим входом третьего элемента И, первый вход которого является входом сигнала "Калибровка" устройства, первый вход блока элементов задержки объединен с входом записи первого регистра и является первым входом синхронизации устройства, информационные входы первого регистра являются информационными входами устройства, выходы старших разрядов первого регистра соединены с информационными входами

старших разрядов второго регистра, выходы которого являются информационными выходами устройства, выходы младших разрядов первого регистра соединены с информационными входами младших разрядов второго регистра, адресными входами второго блока памяти и информационными входами первой группы мультиплексора, выходы которого соединены с адресными входами первого блока памяти, первый вход записи которого объединен с вторым входом первого элемента И и является вторым входом синхронизации устройства, адресный вход мультиплексора является входом сигнала "Установка" устройства, информационные входы второй группы мультиплексора являются входами устройства, первый выход блока элементов задержки соединен с первым входом первого элемента И, выход которого соединен с входом стробирования адреса первого блока памяти, выход второго блока памяти соединен с вторым входом третьего элемента И, выход которого соединен с первым входом элемента ИЛИ, третий выход блока элементов задержки является выходом сигнала "Готовность" устройства, отличающееся тем, что, с целью упрощения устройства путем оптимизации алгоритма работы, устройство содержит формирователь импульсов и элемент ИЛИ-НЕ, выход которого соединен с вторым входом записи второго блока памяти, вход стробирования адреса которого объединен с первым входом первого элемента И, выход элемента И-НЕ соединен с входом элемента НЕ, выход которого соединен с вторым входом элемента И-НЕ, первый вход элемента ИЛИ объединен с входом формирователя импульсов, выход которого соединен с первым входом элемента ИЛИ-НЕ, второй вход элемента ИЛИ объединен с первым входом записи второго блока памяти.





Редактор А. Маковская

Составитель В. Файзракманов
Техред В. Кадар

Корректор С. Черни

Заказ 2425/44

Тираж 672

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4