

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年4月3日 (2008.4.3)

【公表番号】特表2007-528604(P2007-528604A)

【公表日】平成19年10月11日 (2007.10.11)

【年通号数】公開・登録公報2007-039

【出願番号】特願2007-502815(P2007-502815)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

【F I】

H 0 1 L 27/04 C

H 0 1 L 21/88 Z

H 0 1 L 27/04 P

【手続補正書】

【提出日】平成20年2月7日 (2008.2.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パターンニング済み配線層が当該半導体基板の上に形成される構成の半導体基板を設ける工程と、

第 1 誘電体材料をパターンニング済み配線層の上に堆積させる工程と、

第 1 電極材料を第 1 誘電体材料の上に堆積させる工程と、

第 2 誘電体材料を第 1 電極材料の上に堆積させる工程と、

第 2 電極材料を第 2 誘電体材料の上に堆積させる工程と、

第 2 電極材料をパターンニングして第 1 キャパシタの上部電極を形成する工程と、

第 1 電極材料をパターンニングして、第 2 キャパシタの一の電極、及び第 1 キャパシタの一の電極を形成するとともに抵抗体を画定する工程とを備える、半導体装置の製造方法。

【請求項 2】

半導体基板と、

前記半導体基板上のパターンニング済み配線層と、

前記パターンニング済み配線層上の第 1 キャパシタと、

前記パターンニング済み配線層上の第 2 キャパシタと、

前記パターンニング済み配線層上の抵抗体とを備え、

第 1 キャパシタは電極材料層からなるとともに第 1 の数量の誘電体層を備え、

第 2 キャパシタは前記電極材料層からなるとともに第 2 の数量の誘電体層を備え、及び

誘電体層の前記第 1 の数量は前記第 2 の数量よりも大きいことによって、第 1 キャパシタは第 2 キャパシタよりも大きい単位面積当たり容量を有する、半導体装置。

【請求項 3】

パターンニング済み配線層が当該半導体基板の上に形成され、及び、前記パターンニング済み配線層の一部が第 1 キャパシタの下部電極及び第 2 キャパシタの下部電極を画定して

いる半導体基板を設ける工程と、

第1誘電体材料を前記パターンニング済み配線層の上に堆積させる工程と、

第1誘電体材料をパターンニングして前記パターンニング済み配線層の一部を露出させる開口を形成する工程と、

第1電極材料を第1誘電体材料の上に、かつ開口の内部に堆積させて、第1電極材料がパターンニング済み配線層の前記部分とコンタクトする工程と、

第2誘電体材料を第1電極材料の上に堆積させる工程と、

第2電極材料を第2誘電体材料の上に堆積させる工程と、

第2電極材料をパターンニングして第1キャパシタの上部電極を形成する工程と、

第1電極材料をパターンニングして第2キャパシタの上部電極、及び第1キャパシタの下部電極を形成する工程とを備える、半導体装置の製造方法。

【請求項4】

パターンニング済み配線層が当該半導体基板の上に形成されている半導体基板を設ける工程と、

第1誘電体材料を前記パターンニング済み配線層の上に堆積させる工程と、

第1誘電体材料をパターンニングして第1開口及び第2開口を第1誘電体材料に形成する工程と、

第1電極材料を第1誘電体材料の上に、かつ第1及び第2開口の内部に堆積させる工程と、

第2誘電体材料を第1電極材料の上に堆積させる工程と、

第2電極材料を第2誘電体材料の上に堆積させる工程と、

第3誘電体材料を第2電極材料の上に堆積させる工程と、

第3電極材料を第3誘電体材料の上に堆積させる工程と、

第3電極材料をパターンニングして第1キャパシタの上部電極を形成する工程と、

第3誘電体材料及び第2電極材料をパターンニングして第1キャパシタの中間電極及び第2キャパシタの上部電極を形成する工程と、

第2誘電体材料及び第1電極材料をパターンニングして第1キャパシタの下部電極、及び第2キャパシタの下部電極を形成する工程とを備える半導体装置の製造方法。

【請求項5】

パターンニング済み配線層が当該半導体基板の上に形成されている半導体基板を設ける工程と、

第1誘電体材料を前記パターンニング済み配線層の上に堆積させる工程と、

第1電極材料を第1誘電体材料の上に堆積させる工程と、

第2誘電体材料を第1電極材料の上に堆積させる工程と、

第2電極材料を第2誘電体材料の上に堆積させる工程と、

第2電極材料をパターンニングして第1キャパシタの上部電極を形成する工程と、

第1電極材料をパターンニングして第2キャパシタの一の電極及び第1キャパシタの一の電極を形成する工程と、

パターンニング済み配線層は第2キャパシタの下部電極を構成し、かつ第1キャパシタには設けられない、半導体装置の製造方法。