

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成19年3月1日(2007.3.1)

【公開番号】特開2001-203292(P2001-203292A)

【公開日】平成13年7月27日(2001.7.27)

【出願番号】特願2000-9208(P2000-9208)

【国際特許分類】

H 01 L 23/12 (2006.01)

【F I】

H 01 L	23/12	E
H 01 L	23/12	N
H 01 L	23/12	L

【手続補正書】

【提出日】平成19年1月11日(2007.1.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】多層基板と、前記多層基板の上側に設けられた半導体チップと、前記多層基板の下側に設けられた外部接続電極とを備える半導体装置であって、

前記多層基板は、

上面側と下面側とを電気的に接続するための複数のスルーホールを有するコア層と、

前記コア層の上側に設けられた上多層部と、

前記コア層の下側に設けられた下多層部と、

前記半導体チップの電極と電気的に接続するために前記上多層部の上面に設けられた複数のチップ電極用ランドと、

前記チップ電極用ランドと前記外部接続電極とをそれぞれ電気的に接続するための複数の信号線とを備え、

前記上多層部および前記下多層部は、それぞれ複数の構成層からなるとともに、異なる前記構成層に属する前記信号線同士を電気的に接続するためのピアホールを含み、

前記上多層部は、第1導体層と、前記第1導体層の下側に第2導体層とを含み、

前記コア層は、前記コア層の上面に設けられたコア導体層を含み、

前記第1導体層は、前記複数のチップ電極用ランドと、前記複数のチップ電極用ランドに接続する複数の信号線と、前記複数の信号線の外側に形成されており、電源電位もしくは接地電位を付与されるためのプレーンとを含み、

前記第2導体層は信号線を含み、

前記コア導体層は電源電位もしくは接地電位を付与されるためのプレーンを含み、

前記第2導体層の信号線は、前記半導体チップの投影領域内に形成されたピアホールと、前記第1導体層のプレーンの投影領域内に形成されたスルーホールとにそれぞれ接続されており、前記第2導体層の信号線の少なくとも一部は前記第1導体層のプレーンと、前記コア導体層のプレーンとの間に挟まれている、半導体装置。

【請求項2】前記第1導体層が、前記上多層部のうち最も上に位置する前記構成層である、請求項1に記載の半導体装置。

【請求項3】前記プレーンと互いに電気的に接続する外部端子用ランドを備え、前記プレーンと前記外部端子用ランドとの接続が複数のピアホールを介して並列的になされている、請求項1または2に記載の半導体装置。

【請求項 4】 多層基板と、前記多層基板の上側に設けられた半導体チップと、前記多層基板の下側に設けられた外部接続電極とを備える半導体装置であって、

前記多層基板は、

上面側と下面側とを電気的に接続するための複数のスルーホールを有するコア層と、

前記コア層の上側に設けられた上多層部と、

前記コア層の下側に設けられた下多層部と、

前記半導体チップの電極と電気的に接続するために前記上多層部の上面に設けられた複数のチップ電極用ランドと、

前記チップ電極用ランドと前記外部接続電極とをそれぞれ電気的に接続するための複数の信号線とを備え、

前記上多層部および前記下多層部は、それぞれ複数の構成層からなるとともに、異なる前記構成層に属する前記信号線同士を電気的に接続するためのビアホールを含み、

上側から電気的に接続しようとする導電体を受入れるためのランドが、上方から見て、前記ランドに外接する円の中心から隣接する配線に面する側の外縁までの距離が前記中心から他の外縁までの距離に比べて短い形状である、半導体装置。

【請求項 5】 前記ランドが前記チップ電極用ランドである、請求項 4 に記載の半導体装置。

【請求項 6】 前記ランドが前記ビアホールの受容部としてのビアランドである、請求項 4 に記載の半導体装置。