



(12) 发明专利申请

(10) 申请公布号 CN 117634412 A

(43) 申请公布日 2024. 03. 01

(21) 申请号 202311871352.X

(22) 申请日 2023.12.29

(71) 申请人 声龙(新加坡)私人有限公司

地址 新加坡加冷路10号#09-11

(72) 发明人 江浩源 何瑞洲

(74) 专利代理机构 北京安信方达知识产权代理

有限公司 11262

专利代理师 陶丽 解婷婷

(51) Int. Cl.

G06F 30/394 (2020.01)

G06F 30/398 (2020.01)

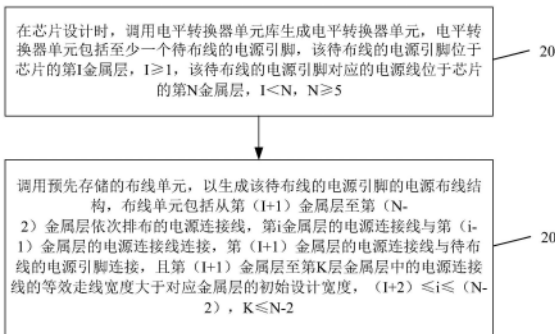
权利要求书2页 说明书8页 附图5页

(54) 发明名称

电平转换器单元及其电源布线方法和装置、存储介质

(57) 摘要

一种电平转换器单元及其电源布线方法和装置、存储介质,所述方法包括:在芯片设计时,调用电平转换器单元库生成电平转换器单元,电平转换器单元包括至少一个位于第I金属层的待布线的电源引脚, $I \geq 1$, 待布线的电源引脚对应的电源线位于第N金属层, $I < N, N \geq 5$; 调用预先存储的布线单元,以生成待布线的电源引脚的电源布线结构,布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,第(I+1)金属层的电源连接线与待布线的电源引脚连接,第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。



1. 一种电平转换器单元电源布线方法,其特征在于,包括:

在芯片设计时,调用电平转换器单元库生成电平转换器单元,所述电平转换器单元包括至少一个待布线的电源引脚,所述待布线的电源引脚位于芯片的第I金属层, $I \geq 1$,所述待布线的电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$;

调用预先存储的布线单元,以生成所述待布线的电源引脚的电源布线结构,所述布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,所述第(I+1)金属层的电源连接线与所述待布线的电源引脚连接,且所述第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。

2. 根据权利要求1所述的方法,其特征在于,所述方法还包括:

确定所述待布线的电源引脚对应的电源线中,与每个所述电平转换器单元所在位置最近的电源线;

设计每个所述电平转换器单元对应的第(N-1)金属层的电源连接线,每个所述电平转换器单元对应的所述第(N-1)金属层的电源连接线连接每个所述电平转换器单元自身对应的第(N-2)金属层的电源连接线以及所述与每个所述电平转换器单元自身最近的电源线。

3. 根据权利要求1所述的方法,其特征在于,所述方法之前还包括:在自动布局布线工具中,生成所述布线单元并保存。

4. 根据权利要求3所述的方法,其特征在于,所述生成所述布线单元并保存,包括:

导入所述电平转换器单元库的基本信息,所述基本信息包括所述电平转换器单元库的大小以及电源引脚的形状和位置;

设计所述待布线的电源引脚对应的第(I+1)金属层至第(N-2)金属层的电源布线结构;

抽取所述第(I+1)金属层至第(N-2)金属层的电源布线结构并保存成所述布线单元。

5. 根据权利要求1所述的方法,其特征在于,所述布线单元中的每个金属层的电源连接线均位于所述电平转换器单元内。

6. 根据权利要求1所述的方法,其特征在于,从第(I+2)金属层至第(N-2)金属层,每一层的电源连接线的条数均大于或等于2,且每一层的多条电源连接线通过连接前一层的电源连接线实现并联连接,所述电源连接线的等效走线宽度等于并联连接的多条电源连接线的走线宽度之和。

7. 根据权利要求6所述的方法,其特征在于,所述第(I+1)金属层的电源连接线的条数为1条,从所述第(I+2)金属层至所述第(N-2)金属层,每一层的电源连接线的条数均为2条。

8. 一种电平转换器单元电源布线装置,其特征在于,包括存储器;和连接至所述存储器的处理器,所述存储器用于存储指令,所述处理器被配置为基于存储在所述存储器中的指令,执行如权利要求1至7中任一项所述的电平转换器单元电源布线方法的步骤。

9. 一种存储介质,其特征在于,其上存储有计算机程序,该程序被处理器执行时实现如权利要求1至7中任一项所述的电平转换器单元电源布线方法。

10. 一种电平转换器单元,其特征在于,所述电平转换器单元中至少一个电源引脚的电源布线结构通过调用预先存储的布线单元生成;所述电源引脚位于芯片的第I金属层, $I \geq 1$,所述电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$,所述布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)

金属层的电源连接线连接,所述第(I+1)金属层的电源连接线与所述电源引脚连接,且所述第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2)$, $K \leq N-2$ 。

电平转换器单元及其电源布线方法和装置、存储介质

技术领域

[0001] 本公开涉及但不限于集成电路设计技术领域,尤其涉及一种电平转换器单元及其电源布线方法和装置、存储介质。

背景技术

[0002] 在芯片设计和制造过程中,电压降(IR Drop)有非常大的影响,可能导致芯片的性能下降,严重的情况可能导致芯片不能工作。因此,在设计签核(Signoff,指将设计数据交给芯片制造厂商生产之前,对设计数据进行复检,确认设计数据达到交付标准,这些检查和确认统称为Signoff)之前必须将IR Drop降低到可控范围之内。由于工艺的不断演进,金属互连线的宽度越来越窄,电阻值越来越大,供电电压越来越小,IR Drop的效应越来越明显。

发明内容

[0003] 以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0004] 本公开实施例提供了一种电平转换器单元电源布线方法,所述方法包括:在芯片设计时,调用电平转换器单元库生成电平转换器单元,所述电平转换器单元包括至少一个待布线的电源引脚,所述待布线的电源引脚位于芯片的第I金属层, $I \geq 1$,所述待布线的电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$;调用预先存储的布线单元,以生成所述待布线的电源引脚的电源布线结构,所述布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,所述第(I+1)金属层的电源连接线与所述待布线的电源引脚连接,且所述第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。

[0005] 本公开实施例还提供了一种电平转换器单元电源布线装置,包括存储器;和连接至所述存储器的处理器,所述存储器用于存储指令,所述处理器被配置为基于存储在所述存储器中的指令,执行如本公开任一实施例所述的电平转换器单元电源布线方法的步骤。

[0006] 本公开实施例还提供了一种电平转换器单元,所述电平转换器单元中至少一个电源引脚的电源布线结构通过调用预先存储的布线单元生成;所述电源引脚位于芯片的第I金属层, $I \geq 1$,所述电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$,所述布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,所述第(I+1)金属层的电源连接线与所述电源引脚连接,且所述第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。

[0007] 本公开实施例还提供了一种计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现如本公开任一实施例所述的电平转换器单元电源布线方法。

[0008] 本公开实施例的电平转换器单元及其电源布线方法和装置、存储介质,通过在芯

片设计时,调用电平转换器单元库生成电平转换器单元,电平转换器单元包括至少一个待布线的电源引脚,待布线的电源引脚位于芯片的第I金属层, $I \geq 1$,待布线的电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$;调用预先存储的布线单元,以生成待布线的电源引脚的电源布线结构,布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,第(I+1)金属层的电源连接线与待布线的电源引脚连接,且第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$,可以降低电平转换器单元的IR Drop,提升集成电路的设计效率,使集成电路能够快速产品化并达到签核的标准。经实际相片设计项目检验,此方法可以将电平转换器单元的IR_Drop降低到6%以下,极大地降低了芯片失效的风险。

[0009] 本申请的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本申请而了解。本申请的其他优点可通过在说明书以及附图中所描述的方案来实现和获得。

附图说明

[0010] 附图用来提供对本公开技术方案的理解,并且构成说明书的一部分,与本公开的实施例一起用于解释本公开的技术方案,并不构成对本公开技术方案的限制。

[0011] 图1为一种通过脚本生成的电平转换器单元的布局布线示意图;

[0012] 图2为本公开示例性实施例一种电平转换器单元电源布线方法的流程示意图;

[0013] 图3A为本公开示例性实施例一种电平转换器单元电源引脚分布(第一金属层)示意图;

[0014] 图3B为针对图3A中的待布线的电源引脚设计的第二金属层的电源连接线示意图;

[0015] 图3C为针对图3A中的待布线的电源引脚设计的第三金属层的电源连接线示意图;

[0016] 图3D为针对图3A中的待布线的电源引脚设计的第四金属层的电源连接线示意图;

[0017] 图3E为针对图3A中的待布线的电源引脚设计的第五金属层的电源连接线示意图;

[0018] 图3F为针对图3A中的待布线的电源引脚设计的第六金属层的电源连接线示意图;

[0019] 图4为针对图3A中的待布线的电源引脚设计的布线单元示意图;

[0020] 图5为本公开实施例提供的一种电平转换器单元设计的第七金属层的电源连接线示意图;

[0021] 图6为图5为本公开实施例提供的多个不同位置的电平转换器单元设计的第七金属层的电源连接线示意图;

[0022] 图7为本公开示例性实施例一种电平转换器单元电源布线装置的结构示意图。

具体实施方式

[0023] 本申请描述了多个实施例,但是该描述是示例性的,而不是限制性的,并且对于本领域的普通技术人员来说显而易见的是,在本申请所描述的实施例包含的范围内可以有更多的实施例和实现方案。尽管在附图中示出了许多可能的特征组合,并在具体实施方式中进行了讨论,但是所公开的特征的许多其它组合方式也是可能的。除非特意加以限制的情况以外,任何实施例的任何特征或元件可以与任何其它实施例中的任何其他特征或元件结

合使用,或可以替代任何其它实施例中的任何其他特征或元件。

[0024] 本申请包括并设想了与本领域普通技术人员已知的特征和元件的组合。本申请已经公开的实施例、特征和元件也可以与任何常规特征或元件组合,以形成由权利要求限定的独特的发明方案。任何实施例的任何特征或元件也可以与来自其它发明方案的特征或元件组合,以形成另一个由权利要求限定的独特的发明方案。因此,应当理解,在本申请中示出和/或讨论的任何特征可以单独地或以任何适当的组合来实现。因此,除了根据所附权利要求及其等同替换所做的限制以外,实施例不受其它限制。此外,可以在所附权利要求的保护范围内进行各种修改和改变。

[0025] 此外,在描述具有代表性的实施例时,说明书可能已经将方法和/或过程呈现为特定的步骤序列。然而,在该方法或过程不依赖于本文所述步骤的特定顺序的程度上,该方法或过程不应限于所述的特定顺序的步骤。如本领域普通技术人员将理解的,其它的步骤顺序也是可能的。因此,说明书中阐述的步骤的特定顺序不应被解释为对权利要求的限制。此外,针对该方法和/或过程的权利要求不应限于按照所写顺序执行它们的步骤,本领域技术人员可以容易地理解,这些顺序可以变化,并且仍然保持在本申请实施例的精神和范围内。

[0026] 除非另外定义,本公开实施例公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指该词前面的元件或物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。

[0027] 芯片设计分为前端设计和后端设计,前端设计也称逻辑设计,前端设计的结果是得到了芯片的门级网表电路;后端设计也称物理设计,包括布局规划、布线、版图物理验证等,其中,布线包括各种标准单元(基本逻辑门电路)之间的走线。在布线过程中,需要根据逻辑综合出的网表与约束文件,利用厂家提供的各种标准单元库,对门级电路进行布线。

[0028] 标准单元库包括版图库、符号库、电路逻辑库等,包含了组合逻辑、时序逻辑、功能单元和特殊类型单元,是集成电路芯片后端设计过程中的基础部分。运用预先设计好的优化的标准单元库进行自动逻辑综合和版图布局布线,可以极大地提高设计效率,加快产品进入市场的时间。一般每个工艺厂商在每个工艺下都会提供相应的标准单元。后文以标准单元为电平转换器单元(Level shift cell,LVL cell)为例进行介绍,然而,本领域技术人员根据本公开的原理可知,本公开实施例提供的电源布线方法适合于各种类型的标准单元,并不只限于电平转换器单元。

[0029] 在一个使用多电源电压技术的设计中,由于不同电压域之间的电压不同,我们一般需要电平转换器单元来转换。电平转换器单元作就像一个缓冲器连接着一个电压域的输出端口和一个电压域的输入端口,其作用主要是在最小的延迟下把逻辑信号从一种电压转变到另一种电压。标准单元库中对电平转换器单元的信息一般包括以下几个方面:(1) 电平转换类型:一般可分为从低电平到高电平的电平转换器单元和从高电平到低电平的电平转换器单元两种类型;(2) 支持电压的大小;(3) 连接到特定的电压的引脚。物理设计实现EDA工具可以根据具体的情况,在标准单元库中找到合适的电平转换器单元,插入合适的电平转换器到网表中,然后合理摆放,连接相应的连线完成此设计。

[0030] 在一种芯片设计过程中,晶圆厂提供的电平转换器单元通过第一金属层(本公开

实施例中,第一金属层至第N金属层沿远离衬底基板的方向依次排布,其中,N为大于1的自然数)引出电源引脚,从第一金属层的电源引脚到高层的电源线之间需要设计绕线以完成供电连接。但是,在当前的设计过程中,由于脚本的不完善性,在设计电平转换器单元内的某些电源引脚的电源绕线时,会自动占用较多的低层绕线资源。如图1所示,假设图1中示例的待布线的电源引脚为VDDQ电源引脚(本公开以待布线的电源引脚为数据总线电源电压(Voltage Data Drain Quiescent,VDDQ)电源引脚为例进行介绍,在其他示例中,电源引脚可以为其他任意类型的电源引脚),M1表示该电源引脚位于第一金属层,绕线设计完成后,该电源引脚依次通过第一连接线(位于第二金属层M2的电源连接线)、第二连接线(位于第三金属层M3的电源连接线)、第三连接线(位于第四金属层M4的电源连接线)、第四连接线(位于第五金属层M5的电源连接线)、第五连接线(位于第六金属层M6的电源连接线)和第六连接线(位于第七金属层M7的电源连接线)连接至位于第八金属层M8的电源线,从图中可以看出,第二连接线的长度大于其他连接线的长度,由于低层绕线(第二连接线属于低层绕线)走线宽度通常比较窄,低层绕线资源使用较多会使电阻值增大,这也就增加了电平转换器单元产生IR Drop违例的风险,实测该电平转换器单元的IR Drop可以达到15%甚至更高,而业界普遍认为可以接受的IR Drop水平为10%,因此,考虑如何降低电平转换器单元的电压降问题是十分必要且有意义的。

[0031] 如图2所示,本公开实施例提供了一种电平转换器单元电源布线方法,包括:

[0032] 步骤201、在芯片设计时,调用电平转换器单元库生成电平转换器单元,电平转换器单元包括至少一个待布线的电源引脚,该待布线的电源引脚位于芯片的第I金属层, $I \geq 1$,该待布线的电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$;

[0033] 步骤202、调用预先存储的布线单元,以生成该待布线的电源引脚的电源布线结构,布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,第(I+1)金属层的电源连接线与待布线的电源引脚连接,且第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。

[0034] 本公开实施例的电平转换器单元电源布线方法,通过在芯片设计时,调用电平转换器单元库生成电平转换器单元,电平转换器单元包括至少一个待布线的电源引脚,待布线的电源引脚位于芯片的第I金属层, $I \geq 1$,待布线的电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$;调用预先存储的布线单元,以生成待布线的电源引脚的电源布线结构,布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,第(I+1)金属层的电源连接线与待布线的电源引脚连接,且第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$,可以降低电平转换器单元的IR Drop,提升集成电路的设计效率,使集成电路能够快速产品化并达到签核的标准。经实际相片设计项目检验,此方法可以将电平转换器单元的IR_Drop降低到6%以下,极大地降低了芯片失效的风险。

[0035] 本公开实施例中,对应金属层的初始设计宽度可以是初始化设计文件中对应金属层指定的金属走线的宽度,也可以是设计脚本在设计电源绕线时,自动生成的对应金属层的金属走线的宽度。

[0036] 在一些示例性实施方式中,所述方法之前还包括:在自动布局布线工具中,生成布线单元并保存。

[0037] 本公开实施例中,待布线的电源引脚位于芯片的第I金属层,示例性的,I=1,即电平转换器单元待布线的电源引脚位于芯片的第一金属层。待布线的电源引脚对应的电源线位于芯片的第N金属层,示例性的,N=8,即待布线的电源引脚对应的电源线位于芯片的第八金属层,后文以I=1且N=8为例进行介绍,然而,本公开实施例对此不作限制。

[0038] 本公开实施例中,自动布局布线工具可以为Innovus,然而,本公开实施例对此不作限制。

[0039] Innovus是由楷登电子科技有限公司(Cadence Design Systems)提供的一种用于集成电路物理实现的电子设计自动化(Electronic Design Automation,EDA)软件工具。它是用于半导体设计的关键工具之一,用于优化和实现集成电路(Integrated Circuit,IC)的物理布局,包括布局放置、布线、时序优化和功耗分析等功能。

[0040] 在一些示例性实施方式中,生成布线单元并保存,包括:

[0041] 导入电平转换器单元库的基本信息,基本信息包括电平转换器单元库的大小以及电源引脚的形状和位置;

[0042] 设计待布线的电源引脚对应的第(I+1)金属层至第(N-2)金属层的电源布线结构;

[0043] 抽取第(I+1)金属层至第(N-2)金属层的电源布线结构并保存成布线单元。

[0044] 本公开实施例中,电平转换器单元库的基本信息指的是网表和约束文件里关于该电平转换器单元的基本信息,包括电平转换器单元的大小以及电源引脚的形状和位置等。

[0045] 示例性的,导入电平转换器单元库的基本信息,包括:将当前网表和约束文件里除基本信息以外的内容全部删掉,只留下基本信息;使用包含该基本信息的网表和约束文件执行初始化(initial)设计流程,生成数据库(DB)文件;打开数据库文件,添加一个电平转换器单元进来并重命名。一个芯片中可以包括多种电平转换器单元,每一种电平转换器单元都可以用类似的方法进行处理,本公开以其中一种电平转换器单元为例进行介绍,打开的电平转换器单元的电源引脚的结构如图3A所示。图3A中,假设待布线的电源引脚为VDDQ电源引脚,其它未标出的电源引脚可以包括芯片工作正电压(VDD)、芯片工作负电压(VSS)等电源引脚,由于VDD电源引脚和VSS电源引脚的电源布线结构通过工具自动生成时,一般不会产生IR Drop的问题,因此,VDD电源引脚和VSS电源引脚的电源布线结构可以通过工具自动生成,当然,在另一些示例中,待布线的电源引脚也可以为其他类型的电源引脚,本公开实施例对此不作限制。

[0046] 在一些示例性实施方式中,在设计待布线的电源引脚对应的第(I+1)金属层至第(N-2)金属层的电源布线结构时,可以从第(I+1)金属层至第(N-2)金属层依次设计。以I=1且N=8为例,如图3B所示,第二金属层M2的电源连接线(即第一连接线)与第一金属层M1的电源引脚连接;如图3C所示,第三金属层M3的电源连接线(即第二连接线)与第二金属层M2的电源连接线(即第一连接线)连接;如图3D所示,第四金属层M4的电源连接线(即第三连接线)与第三金属层M3的电源连接线(即第二连接线)连接;如图3E所示,第五金属层M5的电源连接线(即第四连接线)与第四金属层M4的电源连接线(即第三连接线)连接;如图3F所示,第六金属层M6的电源连接线(即第五连接线)与第五金属层M5的电源连接线(即第四连接线)连接。由于各层电源连接线的等效走线宽度较大,因此,该电源布线结构不会出现IR

Drop违例的问题。由于每一层的多条电源连接线之间的间隔较宽,该电源布线结构不会出现设计规则检查(Design Rule Check,DRC)违例的问题。

[0047] 在设计完待布线的电源引脚对应的第(I+1)金属层至第(N-2)金属层的电源布线结构后,如图4所示,抽取第二金属层M2至第六金属层M6的电源布线结构(抽出它的库交换格式(Library Exchange Format,LEF)、设计交换格式(Design Exchange Format,DEF)、图形数据库系统(Graphic Database System,GDS)、网表(NETLIST)等文件,供后续设计调用)并保存成布线单元。

[0048] 在一些示例性实施方式中,如图4所示,布线单元中的每个金属层的电源连接线均位于电平转换器单元内,以防止DRC违例。

[0049] 在一些示例性实施方式中,从第(I+2)金属层至第(N-2)金属层,每一层的电源连接线的条数均大于或等于2,且每一层的多条电源连接线通过连接前一层的电源连接线实现并联连接,电源连接线的等效走线宽度等于并联连接的多条电源连接线的走线宽度之和。

[0050] 本公开实施例中,通过在第(I+2)金属层至第(N-2)金属层的各层金属层设置并联连接的多条电源连接线,可以降低走线电阻,从而降低IR Drop违例的风险。

[0051] 示例性的,第(I+1)金属层的电源连接线的条数为1条,从第(I+2)金属层至第(N-2)金属层,每一层的电源连接线的条数均为2条。然而,本公开实施例对此不作限制,每层的电源连接线的条数可以根据需要进行设置,例如,第(I+1)金属层的电源连接线的条数可以设置为2条,第(I+2)金属层至第(N-2)金属层中,某一层或多层的电源连接线的条数可以设置为3条、4条或5条等等。

[0052] 本公开实施例中,第二金属层、第四金属层、第六金属层、第八金属层的金属走线(电源线或电源连接线)均沿水平方向延伸,第三金属层、第五金属层、第七金属层的金属走线(电源连接线)均沿垂直方向延伸。

[0053] 本公开实施例中,生成的布线单元用于自动设置电平转换器单元内第I+1金属层至第(N-2)金属层的电源绕线结构,而第(N-1)金属层的电源绕线结构需要根据每个电平转换器单元的位置以及最近的电源线的位置来设置。

[0054] 在一些示例性实施方式中,所述方法还包括:

[0055] 确定待布线的电源引脚对应的电源线中,与每个电平转换器单元所在位置最近的电源线;

[0056] 设计每个电平转换器单元对应的第(N-1)金属层的电源连接线,每个电平转换器单元对应的第(N-1)金属层的电源连接线连接每个电平转换器单元自身对应的第(N-2)金属层的电源连接线以及与每个电平转换器单元自身最近的电源线。

[0057] 如图5和图6所示,一个芯片中可以包括多个电平转换器单元和多条待布线的电源引脚对应的电源线,不同电平转换器单元所在位置最近的电源线的位置可能不同,因此,我们在设计第(N-1)金属层的电源连接线时,可以先确定与每个电平转换器单元所在位置最近的电源线,然后再设计每个电平转换器单元对应的第(N-1)金属层的电源连接线,每个电平转换器单元对应的第(N-1)金属层的电源连接线连接每个电平转换器单元自身对应的第(N-2)金属层的电源连接线以及与每个电平转换器单元自身最近的电源线。

[0058] 本公开实施例还提供了一种电平转换器单元电源布线装置,包括存储器;和连接

至所述存储器的处理器,所述存储器用于存储指令,所述处理器被配置为基于存储在所述存储器中的指令,执行如本公开任一实施例所述的电平转换器单元电源布线方法的步骤。

[0059] 如图7所示,在一个示例中,电平转换器单元电源布线装置可包括:处理器710、存储器720和总线系统730,其中,处理器710和存储器720通过总线系统730相连,存储器720用于存储指令,处理器710用于执行存储器720存储的指令。具体地,处理器710在芯片设计时,调用电平转换器单元库生成电平转换器单元,所述电平转换器单元包括至少一个待布线的电源引脚,所述待布线的电源引脚位于芯片的第I金属层, $I \geq 1$,所述待布线的电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$;调用预先存储的布线单元,以生成所述待布线的电源引脚的电源布线结构,所述布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,所述第(I+1)金属层的电源连接线与所述待布线的电源引脚连接,且所述第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。

[0060] 应理解,处理器710可以是中央处理单元(Central Processing Unit,CPU),处理器710还可以是其他通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现成可编程门阵列(FPGA)或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。

[0061] 存储器720可以包括只读存储器和随机存取存储器,并向处理器710提供指令和数据。存储器720的一部分还可以包括非易失性随机存取存储器。例如,存储器720还可以存储设备类型的信息。

[0062] 总线系统730除包括数据总线之外,还可以包括电源总线、控制总线和状态信号总线等。但是为了清楚说明起见,在图3中将各种总线都标为总线系统730。

[0063] 在实现过程中,处理设备所执行的处理可以通过处理器710中的硬件的集成逻辑电路或者软件形式的指令完成。即本公开实施例的方法步骤可以体现为硬件处理器执行完成,或者用处理器中的硬件及软件模块组合执行完成。软件模块可以位于随机存储器,闪存、只读存储器,可编程只读存储器或者电可擦写可编程存储器、寄存器等存储介质中。该存储介质位于存储器720,处理器710读取存储器720中的信息,结合其硬件完成上述方法的步骤。为避免重复,这里不再详细描述。

[0064] 本公开实施例还提供了一种电平转换器单元,所述电平转换器单元中至少一个电源引脚的电源布线结构通过调用预先存储的布线单元生成;所述电源引脚位于芯片的第I金属层, $I \geq 1$,所述电源引脚对应的电源线位于芯片的第N金属层, $I < N, N \geq 5$,所述布线单元包括从第(I+1)金属层至第(N-2)金属层依次排布的电源连接线,第i金属层的电源连接线与第(i-1)金属层的电源连接线连接,所述第(I+1)金属层的电源连接线与所述电源引脚连接,且所述第(I+1)金属层至第K层金属层中的电源连接线的等效走线宽度大于对应金属层的初始设计宽度, $(I+2) \leq i \leq (N-2), K \leq N-2$ 。

[0065] 本公开实施例还提供了一种计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现如本公开任一实施例所述的电平转换器单元电源布线方法。通过执行可执行指令驱动电平转换器单元电源布线的方法与本公开上述实施例提供的电平转换器单元电源布线方法基本相同,在此不做赘述。

[0066] 在一些可能的实施方式中,本公开提供的电平转换器单元电源布线方法的各个方面还可以实现为一种程序产品的形式,其包括程序代码,当所述程序产品在计算机设备上运行时,所述程序代码用于使所述计算机设备执行本说明书上述描述的根据本公开各种示例性实施方式的电平转换器单元电源布线方法中的步骤,例如,所述计算机设备可以执行本公开实施例所记载的电平转换器单元电源布线方法。

[0067] 所述程序产品可以采用一个或多个可读介质的任意组合。可读介质可以是可读信号介质或者可读存储介质。可读存储介质例如可以是但不限于:电、磁、光、电磁、红外线、或半导体的系统、装置或器件,或者任意以上的组合。可读存储介质的更具体的例子(非穷举的列表)包括:具有一个或多个导线的电连接、便携式盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦式可编程只读存储器(EPROM或闪存)、光纤、便携式紧凑盘只读存储器(CD-ROM)、光存储器件、磁存储器件、或者上述的任意合适的组合。

[0068] 本领域普通技术人员可以理解,上文中所公开方法中的全部或某些步骤、系统、装置中的功能模块/单元可以被实施为软件、固件、硬件及其适当的组合。在硬件实施方式中,在以上描述中提及的功能模块/单元之间的划分不一定对应于物理组件的划分;例如,一个物理组件可以具有多个功能,或者一个功能或步骤可以由若干物理组件合作执行。某些组件或所有组件可以被实施为由处理器,如数字信号处理器或微处理器执行的软件,或者被实施为硬件,或者被实施为集成电路,如专用集成电路。这样的软件可以分布在计算机可读介质上,计算机可读介质可以包括计算机存储介质(或非暂时性介质)和通信介质(或暂时性介质)。如本领域普通技术人员公知的,术语计算机存储介质包括在用于存储信息(诸如计算机可读指令、数据结构、程序模块或其他数据)的任何方法或技术中实施的易失性和非易失性、可移除和不可移除介质。计算机存储介质包括但不限于RAM、ROM、EEPROM、闪存或其他存储器技术、CD-ROM、数字多功能盘(DVD)或其他光盘存储、磁盒、磁带、磁盘存储或其他磁存储装置、或者可以用于存储期望的信息并且可以被计算机访问的任何其他的介质。此外,本领域普通技术人员公知的是,通信介质通常包含计算机可读指令、数据结构、程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据,并且可包括任何信息递送介质。

[0069] 应该注意,上述实施例或实施方式仅仅是示例性的,而不是限制性的。因此,本公开不限于在此具体示出和描述的内容。可以对实施的形式及细节进行多种修改、替换或省略,而不脱离本公开的范围。

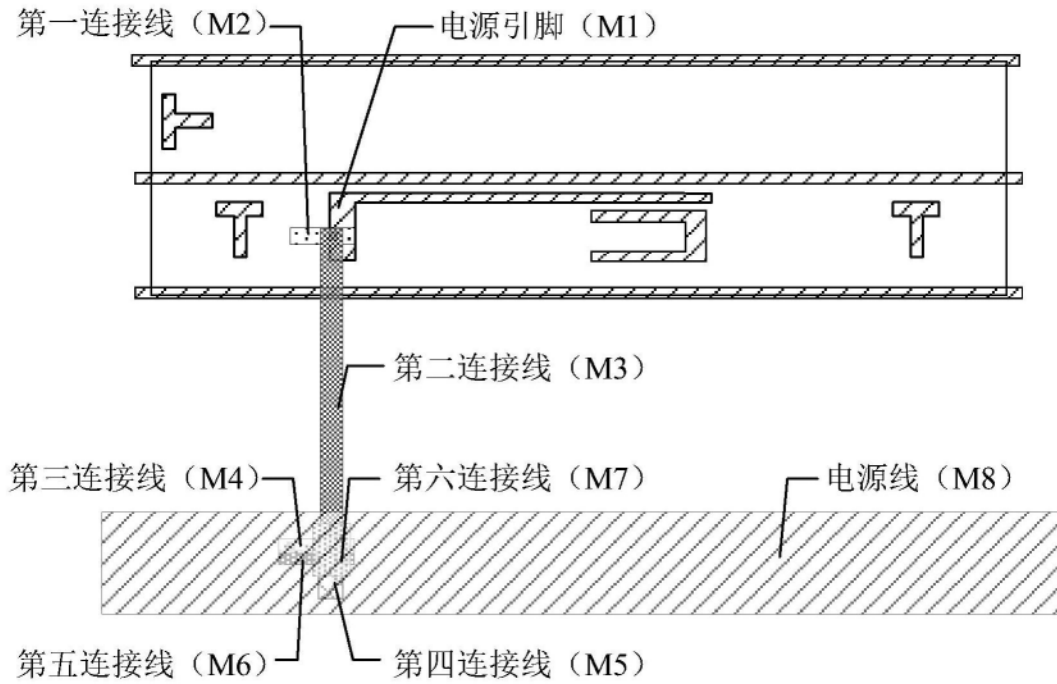


图1

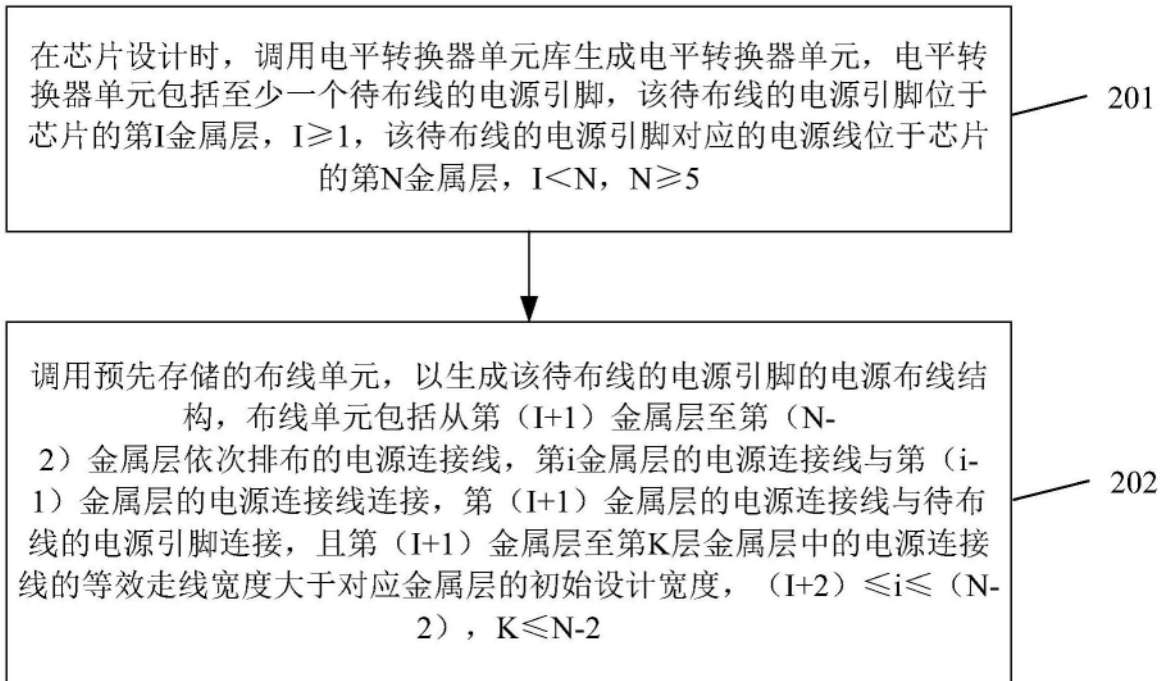


图2

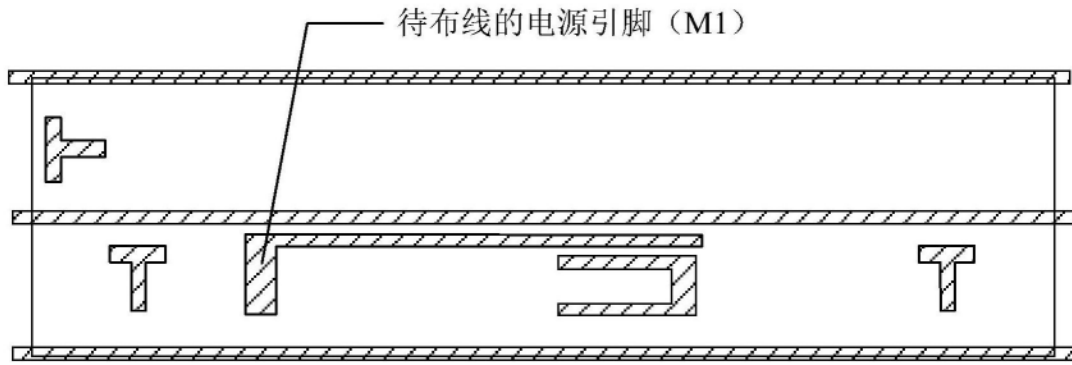


图3A

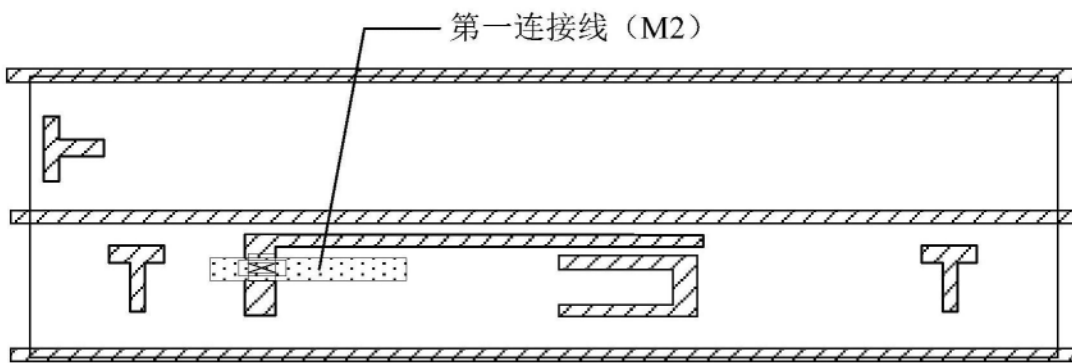


图3B

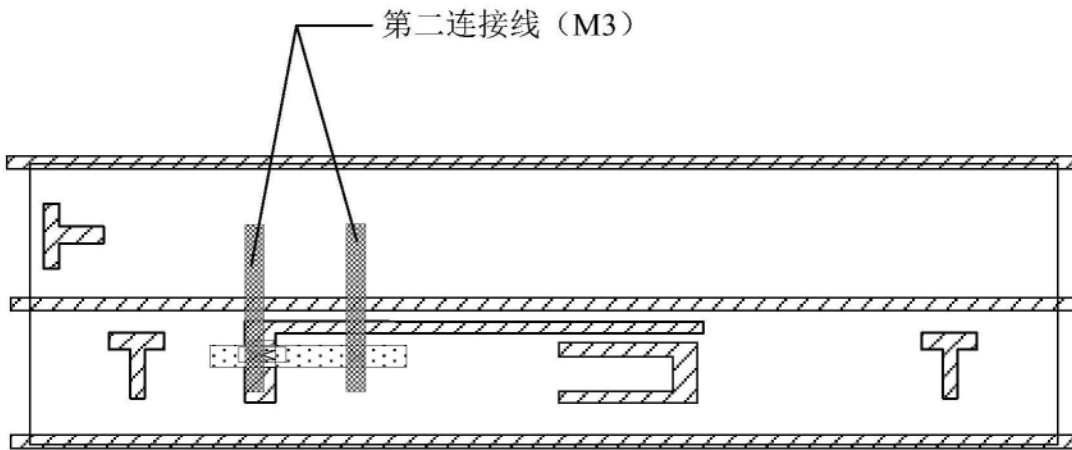


图3C

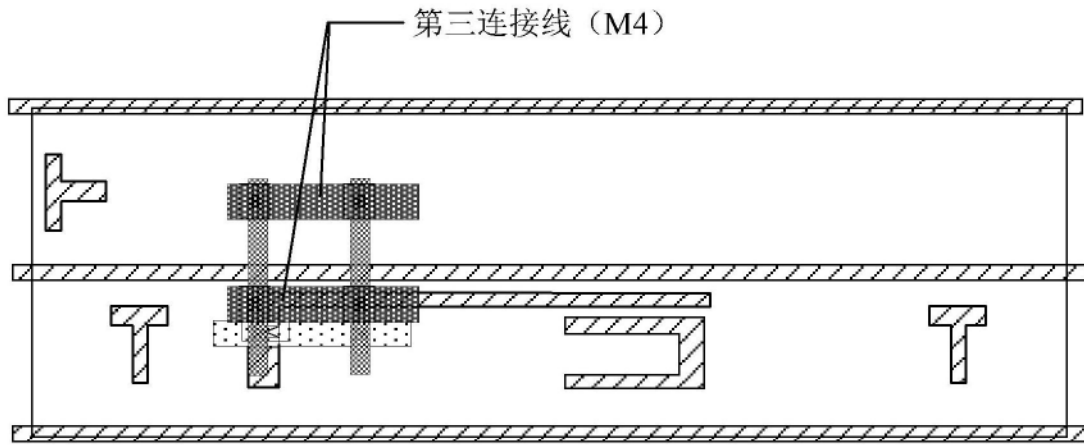


图3D

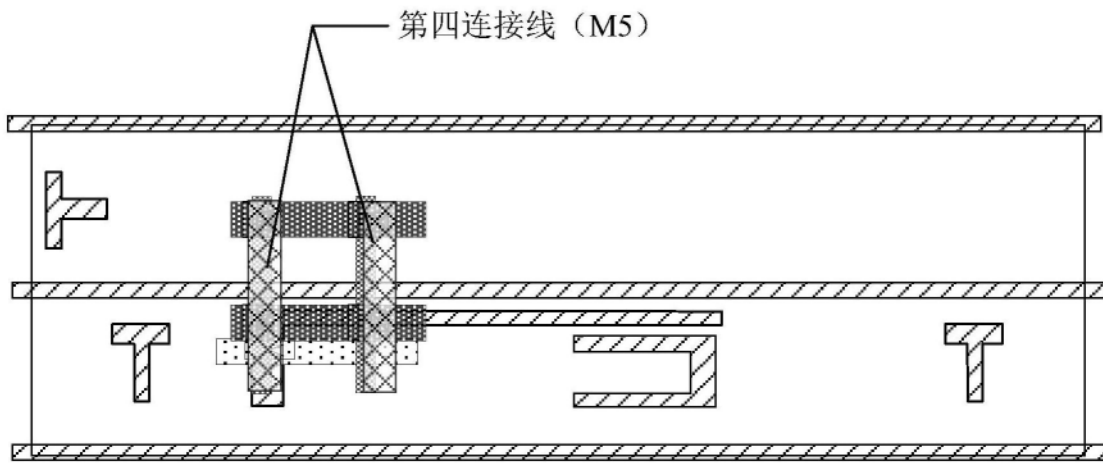


图3E

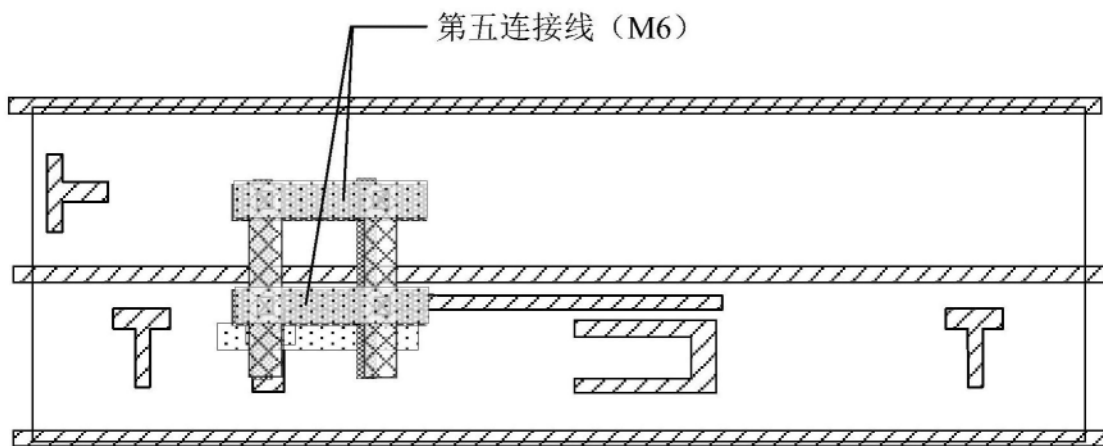


图3F

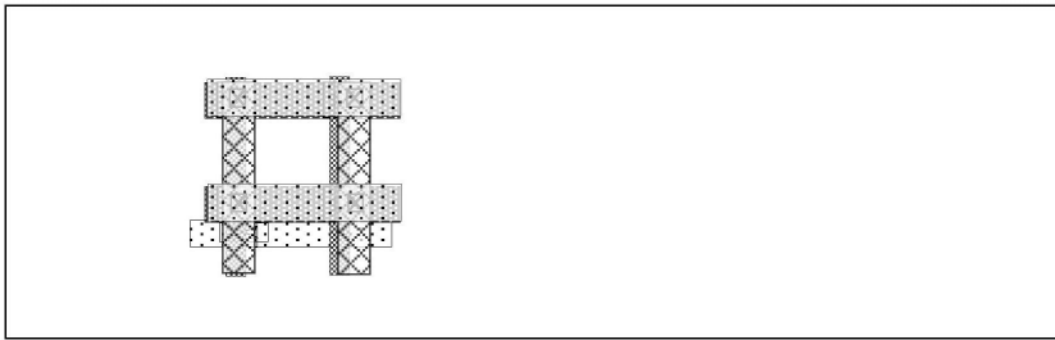


图4

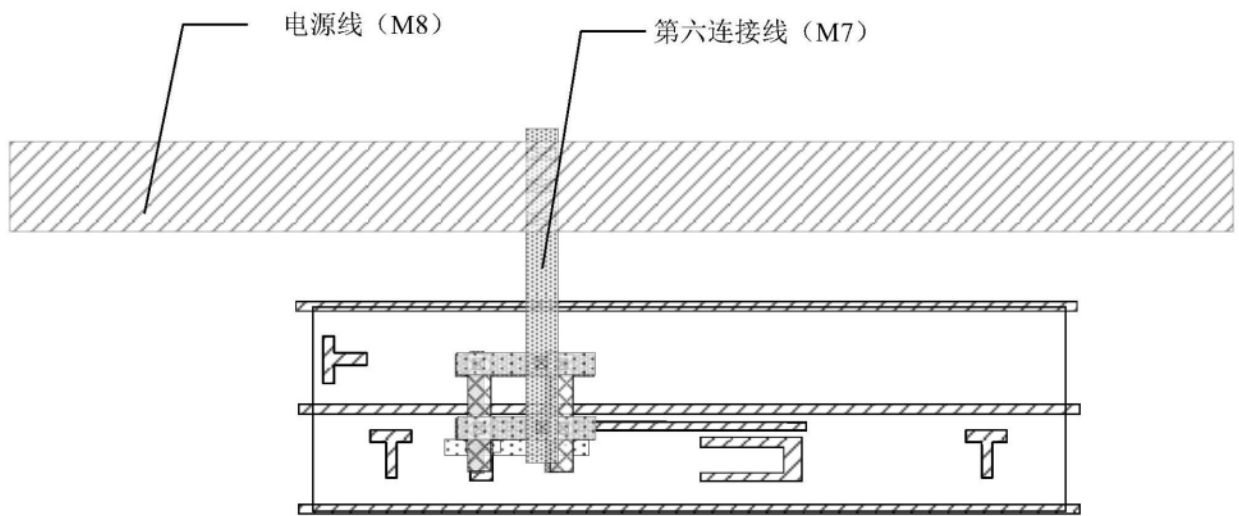


图5

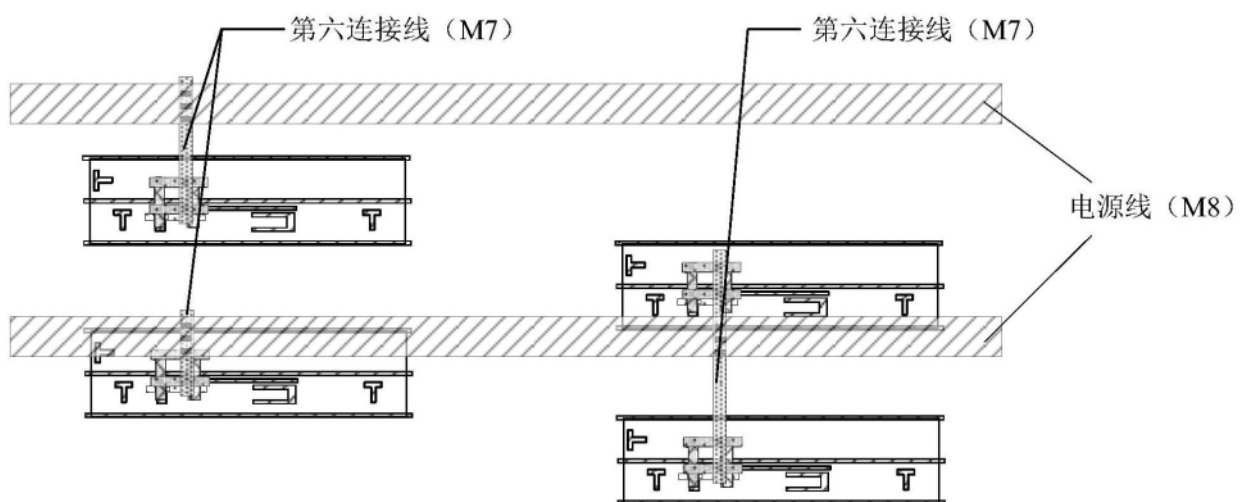


图6

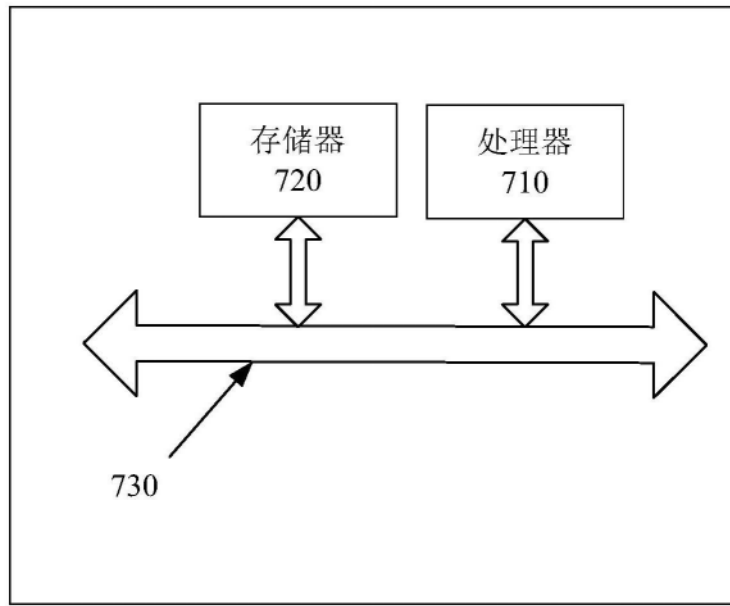


图7