

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4769953号
(P4769953)

(45) 発行日 平成23年9月7日 (2011.9.7)

(24) 登録日 平成23年7月1日 (2011.7.1)

(51) Int.Cl.

G O 6 F 12/00 (2006.01)

F I

G O 6 F 12/00 5 6 4 A

G O 6 F 12/00 5 5 O K

G O 6 F 12/00 5 9 7 D

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2001-585044 (P2001-585044)	(73) 特許権者	511129683
(86) (22) 出願日	平成13年5月15日 (2001.5.15)		ウレンチ アセツ リミテッド ライア
(65) 公表番号	特表2004-511026 (P2004-511026A)		ビリティ カンパニー
(43) 公表日	平成16年4月8日 (2004.4.8)		アメリカ合衆国 19904 デラウェア
(86) 国際出願番号	PCT/US2001/015592		州 ドーバー グリーンツリー ドライブ
(87) 国際公開番号	W02001/088714		160 スイート 101
(87) 国際公開日	平成13年11月22日 (2001.11.22)	(74) 代理人	110001243
審査請求日	平成20年5月12日 (2008.5.12)		特許業務法人 谷・阿部特許事務所
(31) 優先権主張番号	09/572,641	(72) 発明者	カラバトソス、クリス
(32) 優先日	平成12年5月17日 (2000.5.17)		アメリカ合衆国、マサチューセッツ、ウィ
(33) 優先権主張国	米国 (US)		ルミントン、ウエスト ストリート 15
			5、ケントロン インコーポレーテッド
		審査官	鈴木 和樹
			最終頁に続く

(54) 【発明の名称】 マルチブルバンク D I MMにおけるマルチブルアクセスパーサイクル

(57) 【特許請求の範囲】

【請求項 1】

データバスを有するコンピュータメモリシステムであって、データバス上の信号は周期 p 1 を有し、前記システムは、

(a) データ線を有する第 1 のメモリバンクと、
(b) データ線を有する第 2 のメモリバンクと、
(c) 第 1 のメモリバンクに付随する第 1 のクロック信号および第 2 のメモリバンクに付随する第 2 のクロック信号であって、各クロック信号が周期 p 2 を有し、第 2 のクロック信号は第 1 のクロック信号から時間 . D E L T A . T だけ遅延されている第 1 および第 2 のクロック信号と、

(d) 第 1 のクロック信号の各サイクルの始めに開始して時間 . D E L T A . T 1 だけ続くデータバスに第 1 のメモリバンクのデータ線を接続する第 1 の F E T スイッチと、

(e) 第 2 のクロック信号の各サイクルの始めから時間 . D E L T A . T 2 後に開始して時間 . D E L T A . T 3 だけ続くデータバスに第 2 のメモリバンクのデータ線を接続する第 2 の F E T スイッチと、を含み、

. D E L T A . T , . D E L T A . T 1 , . D E L T A . T 2 , および . D E L T A . T 3 は第 1 の F E T スイッチのデータ線および第 2 の F E T スイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項 2】

請求項 1 記載のコンピュータメモリシステムであって、データバス周期 p 1 は各クロッ

ク信号の周期 p_2 の 2 倍であるコンピュータメモリシステム。

【請求項 3】

請求項 2 記載のシステムであって、F E T スイッチはメモリバンクの外部に存在するコンピュータメモリシステム。

【請求項 4】

請求項 3 記載のシステムであって、さらに、マザーボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 の F E T スイッチ、および第 2 の F E T スイッチ はマザーボード上に配置されるシステム。

【請求項 5】

請求項 3 記載のシステムであって、さらに、一つ以上の D I M M ボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 の F E T スイッチ、および第 2 の F E T スイッチ は D I M M ボード上に配置されるシステム。

10

【請求項 6】

請求項 5 記載のシステムであって、第 1 の F E T スイッチはさらに制御入力、データバスに接続された第 1 側、および第 1 のメモリバンクのデータ線に接続された第 2 側を含み、第 2 の F E T スイッチはさらに制御入力、データバスに接続された第 1 側、および第 2 のメモリバンクのデータ線に接続された第 2 側を含むシステム。

【請求項 7】

請求項 1 記載のコンピュータメモリシステムであって、さらに、

(a) データ線を有する第 3 のメモリバンクと、

20

(b) データ線を有する第 4 のメモリバンクと、

(c) 第 3 のメモリバンクに付随する第 3 のクロック信号および第 4 のメモリバンクに付随する第 4 のクロック信号であって、各クロック信号が周期 p_2 を有し、第 3 のクロック信号は第 2 のクロック信号から時間 ΔT だけ遅延され第 4 のクロック信号は第 3 のクロック信号から時間 ΔT だけ遅延されている第 3 および第 4 のクロック信号と、

(d) 第 3 のクロック信号の各サイクルの始めに開始して時間 ΔT_1 だけ続くデータバスに第 3 のメモリバンクのデータ線を接続する第 3 の F E T スイッチと、

(e) 第 3 のクロック信号の各サイクルの始めから時間 ΔT_2 後に開始して時間 ΔT_3 だけ続くデータバスに第 4 のメモリバンクのデータ線を接続する第 4 の F E T スイッチと、

30

を含むコンピュータメモリシステム。

【請求項 8】

データバスを有するコンピュータメモリシステムであって、

(a) データ線を有する第 1 の D D R メモリバンクと、

(b) データ線を有する第 2 の D D R メモリバンクと、

(c) 第 1 の D D R メモリバンクに付随する第 1 のクロック信号および第 2 の D D R メモリバンクに付随する第 2 のクロック信号であって、各クロック信号が周期 p_2 を有し、第 2 のクロック信号は第 1 のクロック信号から時間 ΔT だけ遅延されている第 1 および第 2 のクロック信号と、

40

(d) 第 1 のクロック信号の各サイクルの始めに開始して時間 ΔT_1 だけ続くデータバスに第 1 の D D R メモリバンクのデータ線を接続する第 1 の F E T スイッチと

、

(e) 第 2 のクロック信号の各サイクルの始めから時間 ΔT_2 後に開始して時間 ΔT_3 だけ続くデータバスに第 2 の D D R メモリバンクのデータ線を接続する第 2 の F E T スイッチと、を含み、 ΔT 、 ΔT_1 、 ΔT_2 、および ΔT_3 は第 1 の F E T スイッチのデータ線および第 2 の F E T スイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項 9】

50

請求項 8 記載のコンピュータメモリシステムであって、データバス周期 p 1 は各クロック信号の周期 p 2 の 2 倍であるコンピュータメモリシステム。

【請求項 1 0】

請求項 9 記載のコンピュータメモリシステムであって、F E T スイッチはメモリバンクの外部に存在するコンピュータメモリシステム。

【発明の詳細な説明】

【0 0 0 1】

(発明の分野)

本発明はメモリの基本的クロックレートを増すことなくコンピュータメモリ内のアクセス速度を高めることに関連している。

10

【0 0 0 2】

(従来技術に関する説明)

専門用語

本明細書全体をとおして下記の用語が使用される。

D I M M = D u a l I n l i n e M e m o r y M o d u l e (デュアルインラインメモリモジュール)。

S D R A M = S y n c h r o n o u s D y n a m i c R a n d o m A c c e s s M e m o r y (同期ダイナミックランダムアクセスメモリ)。

D D R = ダブルデータレート。データビット持続時間がクロック周波数の半周期に等しい。基本クロックの一周期内でデータの 2 ビットが使用される。図 1 B 参照。

20

D B R = ダブルバスレート。

S D R = シングルデータレート。

D B F = データビット周波数。ビット数 / 秒 / ピン。x x b i t / s e c / p i n として表わされる。

D R = データレート。データビット持続時間が基本クロックの一周期に等しい。図 1 A 参照。

【0 0 0 3】

定義：ダブルバスレート (D B R)

本文書全体にわたる説明のために、D B RTM (ダブルバスレート) という用語が使用される。ダブルバスレートは B U S システムに出入りするデータレートが B U S に接続された個別の各チップがその動作クロック周波数で送り出すものの二倍であることを意味する。

30

【0 0 0 4】

(従来技術)

メモリサブシステム内のスループットを高めたい要望によりメモリデバイスはより高速で動作することが必要とされている。通常、ある基本周波数で動作するシングルデータレート型 S D R のメモリチップは基本周波数の一周期のデータレート D R を作り出す。1 0 0 M H z の D R は各データビットの持続時間が 1 0 ナノ秒に等しい 1 0 0 M H z 周波数の一周期に等しいことを意味する。D R A M チップから生じるデータビットパルス幅は基本クロックの一周期である。したがって、図 1 A に示すように、基本クロックが 1 0 0 M H z である時に 1 と 0 の間で交番する任意のデータビットの実際の周波数 [M P W 1] は 5 0 M H z である。

40

【0 0 0 5】

今日使用されているメモリチップパッケージング構成に関わることであるが、所望の D A T A B U S 幅を満たすために、S D R A M 等の一群のメモリチップが印刷回路板上と一緒に組み立てられる。(最小バス幅は 1 のクラスタ内の単一 S D R A M から生じる実際のビット数である)。これらの印刷回路板は S I M M , D I M M , S O D I M M , R I M M 、等として知られるいくつかの形で構成される。しかしながら、簡潔にするために、D I M M という用語は以後これらの異なるタイプのいずれかまたは全てを表わすのに使用される。

【0 0 0 6】

50

従来技術の168ピンDIMMモジュール（その設計は任意他のピン数の任意のDIMM、または任意他の名称で知られる任意他のパッケージに適用される）は、現在（JEDEC（Joint Electron Device Engineering Council）委員会で規定されているように）72データビットバス、制御線、アドレス線、電力およびクロックを使用する。JEDEC標準により規定されるこのモジュールは2バンクすなわちロー（row）までのSDRAMチップを収納することができる。システムアーキテクチャに応じて他のバンク構成も使用される。バンクの選択は単一のチップセレクト（CS）線またはチップセレクト線と他の制御線の組合せにより制御される。DIMMモジュールはレジスタまたは非レジスタ構成である。レジスタ構成では、全てのアドレスおよび制御線が最初にレジスタ内にラッチされた後で動作のために選択されるデバイスに提供される。非レジスタ[MPW2]構成では、アドレスおよび制御線はDIMMの入力タブからデバイスに直接配線される。いずれの構成もクロック同期用位相同期ループ（PLL）を有するか、あるいはシステムによりDIMMに提供されるクロックを利用することができる。図1Aに示すように、メモリチップの基本動作周波数に対する100MHzのクロックにより、モジュールは100MHzの最大DRしか発生することができない。クロック周波数が133MHzに高められ、DIMM上のSDRAMデバイスが133MHzで動作すると、最大DRは133MHzに高められる。200MHz DRを達成するためには、SDRAMチップは200MHzの基本周波数で動作しなければならない。SDRAMをより高い周波数で動作させるには開発費、時間およびシリコン速度および処理の改良が必要である。密度と速度は互いに干渉する。密度を増すと、回路に対する多くの配線レベルが必要であるため回路パスにより多くの遅延が導入されて速度は単純に低下する。シリコン内に高速および高密度を実現することも非常に困難となり、場合によっては手が出ないものとなる。

【0007】

100MHzクロックレートで動作するSDRAMデバイスを利用するDIMM[MPW3]の従来技術の設計では、広く使用されている印刷回路板（PCB）物理的性質およびライン幅により容易に設計が実現される[MPW4]。したがって、100MHzの基本クロック周波数によるDIMMメモリモジュールの設計は現在の技術により極めて単純に作り出すことができる。200MHz基本クロック周波数で動作するデバイスを作り出そうとする時に問題が生じる。

【0008】

次に図2に関して、従来技術では二つの同一メモリチップ100、102がクロック入力A104およびクロック入力B106において同じ100MHzクロックにより制御されることが判る。チップAのシングルビット出力106がチップBの対応する出力107に接続されている。任意適所与の時間に一方のチップしか動作することが許されず、他方のチップは出力106、107における内部チップ回路により高インピーダンスに分離される。チップA120のチップセレクト（CS）入力によりチップAはデータにアクセスすることができ、対応する入力121はチップBに対して同じことを行う。このアーキテクチャは従来技術によりDIMMを組み立てるための基礎である。

【0009】

前記した両チップが同じクロックで動作する。ピンD102、107のデータビットはチップAまたはチップBから来る。次に、図2Bについて、チップA104およびチップB105の入力ピンに現れるクロックは100MHzの周波数を有する。典型的なクロックサイクルはt1において正となる信号により開始され、10ナノ秒後にt2で終わる。図2Cとして示す典型的なデータ信号がデータ信号と同期化され、データ“1”状態がt1で開始されてt2で終り、続くデータ“0”がt2で開始されてt3で終わるようにされる。このシステムにより処理される最高帯域幅データ信号は交番する1および0であることに注目しなければならない。やはり、図2Cについて、このようなデータ信号はビット/秒で測定されたデータレートはクロックレートと同じであるが、周波数はクロック周波数の半分であることが判る。

【0010】

その結果、従来技術のシステムのメモリバスに送られる最高データレートDRはメモリチップAまたはメモリチップBが設計により送ることができるデータレートに等しい。

【0011】

JEDECグループはデータの1ビットが基本クロック周波数の半周期に等しい有効性の持続時間を有するアーキテクチャを開発している。この方式はDDR (Double Data Rate) と呼ばれる。このようなSDRAMデバイスにより設計されるDIMMはDDR DIMMと呼ばれる。このようなDDRメモリは現在存在してはいるが、クロック周波数の二倍で動作するメモリチップを必要とする。このような高速メモリチップは高価であり製造が困難である。

10

【0012】

次に、図1Aから図1Cについて、ここで説明されるさまざまな信号の速度を示す。次に、第1のこのような波形について、図1Bに示す従来技術DIMMの典型的なデータバス信号(説明の目的で1ビットのみを示す)と一緒に、100MHzクロックが図1Aに示されている。各データビットはクロック信号の正となるエッジt1と同期して開始される。この波形は従来技術のSDR構成に典型的なものである。

【0013】

それに比べて、従来技術のDDRデータバスはSDR速度の二倍で動作する。図1Cについて、DDRデータ信号の各データビットはクロック信号の正となるエッジt1またはクロック信号の負となるエッジt12で開始される。

20

【0014】

現在、使用されるデバイスは100MHz基本クロック周波数、およびDDRタイプの100MHzデータビット周波数を内蔵している。この説明の目的で、これらのデバイスはSDRAM DDRデバイス(100, 100)と呼ばれる。本発明はSDRAMチップ(100, 100)を利用して400MHz DRおよび200MHzデータビット周波数を作り出すシステムを開示する。このシステムはダブルデータレート/ダブルバスレート(DDR/DBR)システムと呼ばれる。

【0015】

ここで説明される本発明の技術を使用して、400MHzのDR、あるいは200MHz DBFがデータバスにおいて100MHzクロック周波数を使用して作り出される。これに比べて、従来技術を使用して既存のSDRAMデバイスにより達成できる最も速い速度はSDRAMデバイス自体の速度である。しかしながら、ここに記載される技術を使用すれば、SDRであれDDRであれ、既存のSDRAMデバイスはデータバス上にデバイスのDRの二倍を作り出す。図1C-F参照。

30

【0016】

(発明の開示)

SDRメモリチップを使用するDDRメモリアーキテクチャを提供することが本発明の一般的な目的である。DDRメモリチップを組み合わせ4倍速出力を提供することが本発明のもう一つの目的である。

【0017】

本発明の側面に従って、データバスを有するコンピュータメモリシステムはデータ線を有する第1バンクメモリバンク、データ線を有する第2のメモリバンク、および各々が始めを有する多数のサイクルおよび周期pを有するクロック信号を含んでいる。さらに、このシステムは各サイクルの始めに開始して時間p/2だけ続くデータバスに第1のメモリバンクのデータ線を接続する第1のスイッチング手段、および各サイクルの始めからp/2後に開始してその後時間p/2だけ続くデータバスに第2のメモリバンクのデータ線を接続する第2のスイッチング手段を含んでいる。

40

【0018】

本発明の第2の側面に従って、コンピュータメモリシステムはクロック信号に対して位相180°の遅延クロック信号も含んでおり、第2のスイッチング手段は遅延クロック信号

50

に同期化されている。

【 0 0 1 9 】

本発明の第 3 の側面に従って、本システムはマザーボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 のスイッチング手段、および第 2 のスイッチング手段は全てマザーボード上に配置されている。

【 0 0 2 0 】

本発明の第 4 の側面に従って、本システムは一つ以上の D I M M ボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 のスイッチング手段、および第 2 のスイッチング手段は D I M M ボード上に配置されている。

【 0 0 2 1 】

本発明の第 5 の側面に従って、第 1 のスイッチング手段は第 1 の F E T スイッチを含み、第 2 のスイッチング手段は第 2 の F E T スイッチを含んでいる。

【 0 0 2 2 】

本発明の第 6 の側面に従って、第 1 の F E T スイッチは制御入力、データバスが接続された第 1 側、第 1 のメモリバンクのデータ線に接続された第 2 側を含んでいる。さらに、第 2 の F E T スイッチはさらに制御入力を含み、データバスが接続された第 1 側および第 2 のメモリバンクのデータ線に接続された第 2 側を有する。

【 0 0 2 3 】

本発明の第 7 の側面に従って、第 1 のスイッチング手段は第 1 のメモリチップ上で動作する第 1 のデータイネーブル信号を含み、第 2 のスイッチング手段は第 2 のメモリチップ上で動作する第 2 のデータイネーブル信号を含んでいる。

【 0 0 2 4 】

本発明の第 8 の側面に従って、本システムは入力および出力を有する回路も含んでおり、入力はクロック信号および遅延クロック信号に接続され出力はワイヤ長遅延回路、スキュー出力ドライバ遅延回路、カスケード P L L 遅延回路、スキュー出力 P L L 遅延回路、P L L 外部遅延回路、受動素子遅延回路、およびプログラムド遅延線からなるグループから選択される。

【 0 0 2 5 】

本発明の第 9 の側面に従って、データバスを有するコンピュータメモリシステムはデータ線を有する第 1 バンクメモリバンク、データ線を有する第 2 のバンクメモリバンク、および各々が始めおよび周期 p を有する多数のサイクルを有するクロック信号を含んでいる。それは各サイクルの始めに開始して時間 $p / 4$ だけ続き、各サイクルの始めから $p / 2$ 後に再び開始して時間 $p / 4$ だけ続くデータバスに第 1 のメモリバンクのデータ線を接続する第 1 のスイッチング手段も有する。それは、さらに、各サイクルの始めから $p / 4$ 後に開始して時間 $p / 4$ だけ続き、各サイクルの始めから $3 p / 4$ 後に再び開始して時間 $p / 4$ だけ続くデータバスに第 2 のメモリバンクのデータ線を接続する第 2 のスイッチング手段を有する。

【 0 0 2 6 】

(好ましい実施例の説明)

以下の検討において、典型的なコンピュータメモリは 6 4 または 7 2 ビットを有することができることを理解しながら、メモリの 1 ビット動作が示される。シングル 1 ビットの動作はシングルメモリリードまたはライトを構成する 6 4 または 7 2 ビットを含むように外挿することができる。實際上、シングルメモリチップは 8 ビット以上を有し、1 メモリ語を形成するのに 8 または 9 メモリチップが必要である。下記の説明を簡単明瞭にすることを除けば、シングル 1 ビット出力を有するシングルチップが使用される。

【 0 0 2 7 】

次に、図 3 A について、メモリチップ A 1 0 0 および B 1 0 2 がイネーブルされそれらは、共に 1 0 0 M H z で動作する、それぞれのクロックすなわちクロック A 1 0 4 およびクロック B 1 0 6 で動作することを許される。図 3 C に示すように、本例におけるクロック B は他方から半周期だけシフトすなわち遅延される。各データビットの出力において、F

10

20

30

40

50

F E Tスイッチが直列に挿入される。F E Tスイッチ A 1 1 0 はメモリチップ A に対応し、F E Tスイッチ B 1 1 1 はメモリチップ B に対応する。メモリチップ A の出力 1 0 8 は F E Tスイッチ A 1 1 0 の入力に接続されている。F E Tスイッチ A はイネーブル信号 A 1 1 2 により制御される。メモリチップ B の出力は同様に F E Tスイッチ B 1 1 3 によりスイッチされる。F E Tスイッチ A 1 1 6 の出力は F E Tスイッチ B 1 1 4 の出力に接続されている。好ましい実施例では、二つの出力は D I M M のタブに接続され、このタブはより広いデータバスの一部とすることができる。

【 0 0 2 8 】

F E Tスイッチがイネーブルされる時は、スイッチを通るデータバスはまさに無視できる遅延しか信号に与えない。スイッチがディセーブルされる時は、データバスは高インピーダンスであり、信号は其中を進むことができない。下記の例では、データバス上のデータストリームは図 3 B に示すようなものである。図 3 C に示すクロックは $t_3 - t_1$ に等しい周期 p を有する。F E Tスイッチ A の出力を示す図 3 D について、F E Tスイッチ A 1 1 0 が t_1 においてイネーブルされ、 t_2 まで半周期イネーブルされたままとされ、次に t_3 までスイッチオフされる時は、メモリチップ 1 の出力は半周期しかデータバス 1 1 4 , 1 1 6 に接続されない。F E Tスイッチ B の出力を示す図 3 F について、 t_2 で始まる次の半周期において、F E Tスイッチ B がイネーブルされ、 t_3 まで半周期イネーブルされたままとされ、次に半周期スイッチオフされる時は、メモリチップ B の出力は半周期だけデータバス 1 1 4 , 1 1 6 に接続される。プロセスが継続すると、データバスはメモリチップ A とメモリチップ B 間に交互に接続され、各クロック周期 p 内にデータバス上に 2 データビットが生じる。この結果は D D R 標準に従う、すなわち、バス上のデータレートは標準 S D R システムのデータレートの 2 倍である。

【 0 0 2 9 】

D D R 出力を生じる従来技術のデバイスがあるが、本発明はシングルデータレートメモリチップにより D D R オペレーションが遂行される方法を開示する。個別のメモリチップは S D R 速度で動作し続け、クロックサイクル毎に 1 データビット出力である。しかしながら、メモリチップデータ出力の持続時間をクロック周期の半分に低減することにより、残りの半周期を使用して第 2 のメモリチップからデータを出力することが可能となる。F E Tスイッチはサンプリング時間を対応するメモリチップの実際のデータ時間の半分に低減することにより、メモリチップ自体の帯域幅を実際上 2 倍にする。

【 0 0 3 0 】

(第 2 の好ましい実施例)

メモリチップ A および B が設計により D D R 速度で動作し、各々が基本クロックレートに等しいレートで出力データを作り出す場合には、チップ B にさらに $1 / 4$ 周期クロックを加えかつデータバスへのデータをクロック周期の $1 / 4$ だけ有効に維持する F E Tスイッチングを適用することにより、クロックの一周期内に 4 データビットがデータバスに通される。この実施例における F E Tスイッチの出力は図 1 E および図 1 F に示されている。

【 0 0 3 1 】

この実施例は本発明におけるコンポーネントの相互接続を例示する図 3 A を引き続き参照して理解することができる。次に、図 1 A について、システムクロックは $t_2 - t_1$ に等しい周期 p を有する。チップ B に加えられる 90° 移相クロックが図 1 D に示されている。図 1 E はメモリチップ A によるデータバス 1 1 4 , 1 1 6 上へのデータ出力を示す。メモリチップ A の出力 1 0 6 は半周期 $t_1 2 - t_1$ だけデータバスに接続され、メモリチップ B の出力 1 0 7 は時間 $t_1 1 2$ で開始してメモリチップ A の出力と同じ半周期だけ有効であるデータバスに接続される。

【 0 0 3 2 】

図 1 E に示すこの “ 4 倍速 ” 信号の後の説明では、間隔 $t_2 - t_1$ は p (波形の周期) と呼ばれ、信号の T R U E 状態を示すために図に “ 1 ” のマークを付した、直接続く間隔 t_1 は t と呼ばれる。間隔 $t_2 - t_1$ は $p / 2$ と呼ばれる。これらの表記法は図 1 F に関しても使用される。図 1 F の波形は図 1 E のそれに類似しているように見えるが、間隔 p

10

20

30

40

50

/ 4 だけ遅延していることが注目される。

【 0 0 3 3 】

各データビット有効持続時間はデータを受信するデバイスの所要設定および保持時間に対してのみ有用である。シリコン技術速度が増すにつれ、データビットが有効となるのに要する設定および保持時間は減少する。したがって、データビット有効持続時間の一部だけを利用して動作の信頼度に影響を及ぼさず、速度を著しく改善することができる。

【 0 0 3 4 】

前記した例は二つのメモリデバイスにしか扱わなかった。これらのデバイスはモジュールまたはマザーボード上に搭載することができる。メモリチップ以外の他のデバイスもその実際の動作周波数を増すことなくデータバス帯域幅を増すためにこの発明を利用することができる。D I M Mボード上のいくつかのメモリデバイスを使用し、かつF E Tスイッチ接続が各データビットについて図3に示すようにインプリメントされる場合には、全バス幅が広帯域幅データレートで実施される。

10

【 0 0 3 5 】

D I M Mボードを使用するのではなく、D I M M上で使用される構成全体をマザーボード上でインプリメントすることもできる。R A S (R o w A d d r e s s S e l e c t) , C A S (C o l u m n A d d r e s s S e l e c t) , W E (W r i t e E n a b l e) , およびC S (C h i p S e l e c t) 等の制御線の組合せは通常メモリチップ等のデバイスの動作に使用される[M P W 5] である。これらの制御線上の信号は通常1 0 0 M H zクロックの立上り縁によりデバイス内にクロックされる。本発明の第1の好ましい実施例では、各デバイスの出力におけるデータはそのデバイスを制御するクロックの立上り縁を参照する。[M P W 6]

20

【 0 0 3 6 】

図1 Cに示すように、一つのS D R A Mからのデータビットがデータバス上で1 0 ナノ秒持続時間の半分しか有効とされず、後の半分はもう一つのS D R A Mデバイスからの有効なデータのために使用される場合には、2 0 0 M H z データレートD R が作り出される。これは1 0 0 M H zクロックレート、および1 0 0 M H z データレートで動作する通常のS D R A Mにより達成される。

【 0 0 3 7 】

もう一つの方法として、二つのメモリモジュールの出力を多重化するのに二つのF E T スイッチではなく単一F E T が使用される。このような構成では、F E T スイッチは各々が別々のメモリチップ出力に接続された二つの入力と、データバスに接続された一つのF E T 出力を有する。

30

【 0 0 3 8 】

(F E T スイッチの無い別の実施例)

もう一つの実施例では、メモリチップ出力のスイッチングはF E T スイッチを使用せずにメモリチップ自体により行われる。

【 0 0 3 9 】

図4 Aに示すように、この実施例では、二つのS D R A Mメモリチップのデータ出力ピンは一緒にD I M Mボードタブ1 3 0 に接続されている。この接続はマザーボード上またはD I M Mで行うことができる。

40

【 0 0 4 0 】

図4 (c) に示すように、チップB 1 0 2 のクロックが図4 B に示す基本クロックに対して半周期シフトされているものとする。

【 0 0 4 1 】

この実施例では、各S D R A Mメモリチップは対応する出力イネーブル信号1 2 4 , 1 2 6 によりイネーブルされた時に出力ピン1 0 6 , 1 0 7 においてデータビットを有効に保持し、イネーブルされない時は高インピーダンスに戻る。このタイプのデバイスは3 状態デバイスと呼ばれ、論理1 , 論理0 , および高インピーダンス状態とすることができる出力を有する。

50

【 0 0 4 2 】

次に、図 4 D について、メモリチップ A 1 0 1 に対応するデータビットは各周期の前半、時間 t_1 および t_3 間、においてアクティブであることが判る。一方、メモリチップ B 1 0 2 は各サイクルの後半、時間 t_2 および t_3 間、においてアクティブである。

【 0 0 4 3 】

あるいは、各メモリチップは付加制御信号に従ってクロックサイクルの前半または後半にアクティブとなるように制御することができる。

【 0 0 4 4 】

メモリチップが D D R チップである場合には、両メモリチップの出力の持続時間を周期の $1/4$ に低減し一緒にまとめて、図 1 E および図 1 F に示すように、周期の前半または後半にアクティブとなるようにすることができる。このデータ周波数の増加は各 S D R A M チップ内部で達成することができる。S D R A M の出力とデータバスの接続は S D R A M の内部回路または外部出力イネーブル (O E) 制御線により制御される。二つの D D R デバイスが図 4 A に示すように一緒に接続されている場合には、チップは図 5 E に示すように基本クロックの一周期内に 4 データビットを作り出す。基本クロック自体は図 5 A のように見え、 $t_3 - t_1$ に等しい周期 p を有する。

【 0 0 4 5 】

S D R A M チップ内部構成は外部コントロールおよび接続を使用するのではなく、4 データビットが内部発生されるようにすることができる。図 5 B の波形は修正されない D D R チップの出力からの 2 ビット、 t_1 および t_2 間の第 1 データビットおよび t_2 および t_3 間の第 2 データビット、を示している。図 5 C の波形は 2 データビットの持続時間が基本クロック周期の $1/4$ に修正され、第 1 データビットは t_1 および $t_1/2$ 間で生じ、第 2 は $t_1/2$ および t_2 間で生じることを示している。これらのデータビットは周期の前半でしか有効ではない。図 5 D の波形は D D R 修正 2 データビットが基本クロック周期の後半に有効であることを示している、 $t_2 : t_3$ 。したがって、チップが図 4 A のように接続され、かつ両メモリチップ A 1 0 1 および B 1 0 2 が D D R チップであれば、図 4 E に示すように、正味の結果として基本クロックの一周期内に 4 データビットが作り出される。これは入力データストリームおよび出力データストリームの両方について言えることである。

【 0 0 4 6 】

各 S D R A M メモリチップ内部にデータ受信機を含むコントローラがある。図 5 A に示すように、データはこの受信機内に送信されると基本システムクロックと同期されなければならない。コントローラの受信機内へのデータのクロッキングを達成するために、いくつかの方法を利用することができる。図 5 E の波形のデータストリームが S D R A M により発生される場合には、同じ波形のクロックを S D R A M 内部で作り出すことができる。各 S D R A M はこのクロックを使用してデータをそれ自体のレジスタ内にラッチアップして処理することができる。

【 0 0 4 7 】

パッケージング技術内にさらに速度有利性を持たせることができる。通常、ここに記載されているような 2 メモリバンクを含むシステムでは、第 1 のメモリバンクは第 1 のバンクを構成するメモリチップアレイにより構成され、第 2 のメモリバンクは第 2 のバンクを構成するメモリチップアレイにより構成される。しかしながら、本発明に照らしてみれば、単一基板内に二つのこのようなメモリチップの回路を密閉し、一方は第 1 のバンク内で使用され他方は第 2 のバンク内で使用され、単一データバス出力が二つのチップの出力からスイッチされるのが有利である。第 1 および第 2 のメモリバンクチップのデータバス間の距離が実質的に低減されるため、このような構成により従来技術を凌ぐ実質的な速度有利性が提供される。

【 0 0 4 8 】

(位相遅延クロックの無い実施例)

さらにもう一つの実施例では、メモリバンク A および B は共に D D R メモリである。同じ

10

20

30

40

50

基本クロック信号がメモリバンク A およびメモリバンク B の両方を同期させるのに使用される。

【 0 0 4 9 】

各サイクルの始めに、メモリバンク A は基本クロックサイクルの持続時間 $p / 4$ だけ有効な第 1 の内部出力を発生し、サイクルの始めから $p / 2$ 後にやはり持続時間 $p / 4$ だけ続く第 2 の内部出力を発生する。メモリバンク B はサイクルの始めから $p / 4$ 後に開始して基本クロックサイクルの持続時間 $p / 4$ だけ有効な第 3 の内部出力、およびサイクルの始めから $3 p / 4$ に再び開始してやはり持続時間 $p / 4$ だけ続く第 4 の内部出力を発生する。

【 0 0 5 0 】

これらの内部出力がデータバス上に出力される前に、第 1 および第 2 の内部出力が交換され、第 3 および第 4 の内部出力が交換される。その結果、データバス上のデータはクロック周期の前半においてメモリチップ A からのデータビットを含み、クロック周期の後半においてメモリチップ B からのデータビットを含む。

【 0 0 5 1 】

(クロック遅延発生の説明)

本発明に従って使用される S D R A M デバイスまたは任意他のデバイス内で二次クロックを発生するためのいくつかの方法がある。

【 0 0 5 2 】

前記したように、メモリモジュールに供給する主クロックは特定の実施例に応じて半周期、 180° 、または $1 / 4$ 周期、 90° 、移相すなわち遅延される。

【 0 0 5 3 】

高速動作に対して、遅延クロック信号を発生する方法の一つは、いくつかの S D R A M チップを小さな容量性ローディングにより駆動するために同じ位相の多数の出力を有するクロックドライバすなわち位相同期ループ (P L L) を使用することである。簡単な P L L 1 4 0 が図 6 に示されている。

【 0 0 5 4 】

P L L は入力 1 4 0 および出力 1 4 8 を有し、P L L の出力と負荷 (図示せず) との間には固有の時間遅延 $d t 1$ がある。帰還信号 1 4 6 は同一遅延 $d t 1$ を有する。その結果、出力は負荷において見られる信号に位相同期される。

【 0 0 5 5 】

スキュー (s k e w e d) ドライバは一入力と二以上の出力を有し、各出力は入力に対して異なる位相角、すなわち遅延、を有するものとして定義される。

【 0 0 5 6 】

P L L のバリエーションは図 7 に示すスキュー P L L である。スキュー P L L は入力 1 5 2 および二つの別々の出力 1 5 6 および 1 5 8 を有する。同じ位相の多数の出力を有する多様な P L L とは異なり、スキュー P L L は出力 1 5 6 および 1 5 8 間に位相遅延を有し、それは本発明に必要な多数のクロックを駆動するのに使用することができる。

【 0 0 5 7 】

着信クロックを P L L 出力と位相同期させる能力により、いかなる P L L 出力も遅延クロックすなわち移相クロックを発生するのに使用することができる。その出力が第 2 のバンクの S D R A M デバイスを駆動するのに使用される第 2 の P L L を駆動するための遅延クロックを発生するために、移相すなわち遅延クロックを発生する二つの方法が使用される。

【 0 0 5 8 】

P L L の移相すなわち遅延はいくつかの方法で生成することができる。P L L は、入力に対して出力が自動的に遅延されるように、P L L 内部遅延を含むことができる。あるいは、遅延線または回路を二つの P L L 回路間に直列に挿入してカスケード P L L 遅延回路を生成することができる。

【 0 0 5 9 】

10

20

30

40

50

提案される一つの方法はD I M Mにより発生されるクロックを使用してS D R A Mの第1のバンクを駆動することである。D I M M上でクロック遅延が行われる場合には、偏移したクロックを発生するのに必要な遅延を正確に与えるために印刷されたワイヤ長が内蔵される。次に、この偏移したクロックが第2のP L Lを駆動するのに使用される。第2のP L Lの出力はS D R A Mの二つのバンクの中の第2のバンクを駆動するのに使用される遅延クロックである。所要ワイヤ長はシミュレーション、理論的、および試行錯誤方法を介して決定される。

【0060】

遅延クロックがマザーボード上で発生される場合には、D I M Mはやはりマザーボード上に配置された遅延クロックを使用してD I M M上に配置されたP L Lを駆動する。P L Lの出力によりバンクのS D R A Mチップが駆動される。

10

【0061】

第2の位相遅延クロックを生成する他の方法は遅延線チップの使用を含み遅延クロックに必要な予め定められた移相を達成するのに使用することもできる。また、受動および能動回路の組合せを利用して所望の移相を達成することができる。これらは現在市販されているプログラマブル遅延線を含んでいる。これらのデバイスおよび技術は従来技術で既知であり、ここではこれ以上説明しない。

【0062】

(現在利用可能なD I M Mを使用するシステム)

前記したばかりの技術は既存のD I M Mを使用してメモリ速度を高めるのに使用することができる。次に、図8についてこのシステムを理解することができる。この図に示されるコンポーネントは全てマザーボード上に搭載され、D I M MモジュールはD I M Mコネクタ166, 168, 182, および184内に挿入される。

20

【0063】

この最後の実施例では、D I M Mモジュール自体がメモリバンクとなる。D I M Mコネクタ166および168内に挿入されたD I M Mは、それぞれ、第1および第2のメモリバンクに相当するものを形成する。コネクタ166内の第1のD I M Mに出入りするデータは、F E Tスイッチ160によりデータバスにスイッチオンオフされる。同様に、データ170は同じF E Tスイッチ160によりD I M Mコネクタ168内に搭載された第2のD I M Mに対してスイッチされる。位相同期ループ移相ダブラーが互いに直角位相のクロック信号174および176を作り出して第1のD I M Mをイネーブルし、次に第2のD I M Mをイネーブルする。

30

【0064】

P L L回路164により発生されるイネーブル信号180は図3AのF E T E N A 112およびF E T E N B 113に類似した信号を発生して、本実施例における第1のD I M Mおよび第2のD I M Mを交互にイネーブルする。

【0065】

図8には第2セットのD I M Mコネクタ182, 184も示されており、さらに二つのD I M Mを挿入して第3および第4のメモリバンクが生成される。これら二つの付加D I M Mは第1および第2のD I M Mと厳密に同じように動作し、それ自体のF E Tスイッチ178、直角位相クロック信号190および192、等を有する。

40

【0066】

D D R D I M Mが使用される場合には、4倍速メモリシステムが作り出され、各D D R D I M Mは前の実施例におけるD D Rデータバンクの機能を果たす。

【0067】

この実施例はD I M Mを現在利用可能な形で使用する利点を有し、そのため本発明の速度およびアクセス時間の利点を享受するのにマザーボードを製作するだけでよい。

【0068】

(ビット - パッキング技術に対する他の応用)

次に、ここに記載された技術に対する他の応用のリストを示す。このリストは完全なもの

50

ではなく、この技術を他の応用に使用することを排除するものではない。

1. コンピュータメモリサブシステム。
2. モジュールまたはマザーボード上の個別のコンピュータメモリチップの配置。
3. モジュールまたはマザーボード上のフラッシュメモリチップの配置。
4. モジュールまたはマザーボード上のEEPROMメモリチップ、モジュールまたはマザーボード上の個別の論理チップ。
5. 同じまたは異なるソースからのデータ伝送を運ぶデータバスの配置。
6. より高いスイッチング速度を達成するためのデータおよび制御線に対するマイクロプロセッサバスの配置。
7. クロック速度を高めることのない増加した帯域幅に対するCPUバスの多重化。
8. 基本クロック速度を高めることのない増加した帯域幅に対するDSPバスの多重化。
9. 基本クロック速度を高めることなくより高いデータレートを作り出すシリコンレベル上の個別メモリチップ。

10

【0069】

添付された特許請求の範囲に明記された本発明の範囲を逸脱することなく本発明の範囲内で改良および修正を行えることは明らかである。

【0070】

(起訴記録)

本出願は6/22/99に出願された仮出願、出願番号60/141,219および5/17/99に出願された出願番号60/134,511の出願に基づいて優先権を請求する。

20

【図面の簡単な説明】

【図1A】 システムクロック波形を示す図である。

【図1B】 典型的なSDRデータストリームを示す図である。

【図1(c)】 典型的なDDRデータストリームを示す図である。

【図1D】 システムクロックと90°位相がずれた遅延クロックを示す図である。

【図1E】 本発明の一方のメモリバンクから出力される典型的な4倍データレートデータストリームを示す図である。

【図1F】 本発明の他方のメモリバンクから出力される典型的な4倍データレートストリームを示す図である。

30

【図2A】 本発明の最も簡単な実施例を示す図である。

【図2B】 SDRメモリシステム内で使用される典型的なシステムクロックを示す図である。

【図2(c)】 従来技術のデータバス上へのSDR出力を示す図である。

【図3A】 本発明の好ましい実施例の回路図を示す図である。

【図3B】 好ましい実施例のDDRデータストリームを示す図である。

【図3C】 好ましい実施例内で使用されるシステムクロックを示す図である。

【図3D】 好ましい実施例のメモリバンクAの出力を示す図である。

【図3E】 好ましい実施例内で使用される遅延クロックを示す図である。

【図3F】 好ましい実施例のメモリバンクBの出力を示す図である。

40

【図4A】 本発明の別の実施例の回路図を示す。

【図4B】 本発明の別の実施例において使用されるシステムクロックを示す図である。

【図4C】 本発明の別の実施例において使用される遅延クロックを示す図である。

【図4D】 別の実施例のバンクAから出力されるデータストリームを示す図である。

【図4E】 別の実施例のバンクBから出力されるデータストリームを示す図である。

【図5A】 修正されたDBR実施例内で参照とされるシステムクロックを示す図である。

。

【図5B】 DBR出力を示す図である。

【図5(c)】 修正されたDBR実施例内のDBRメモリバンクAの出力を示す図である。

50

【図 5 D】 修正された D B R 実施例内の D B R メモリバンク B の出力を示す図である。

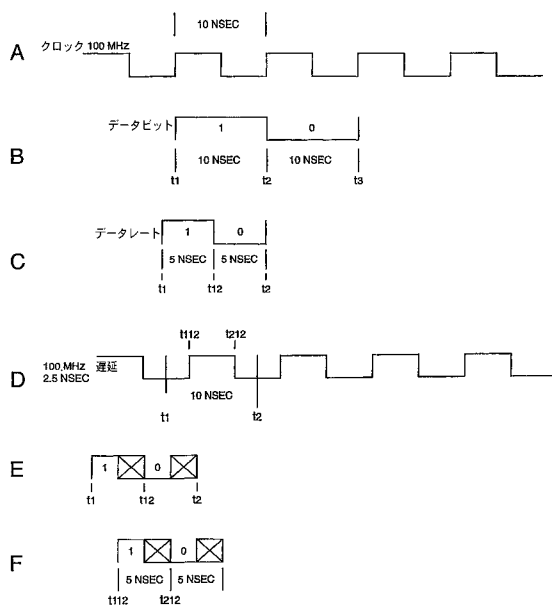
【図 5 E】 修正された D B R 実施例から生じるデータバスデータストリームを示す図である。

【図 6】 位相同期ループ (P L L) を示す図である。

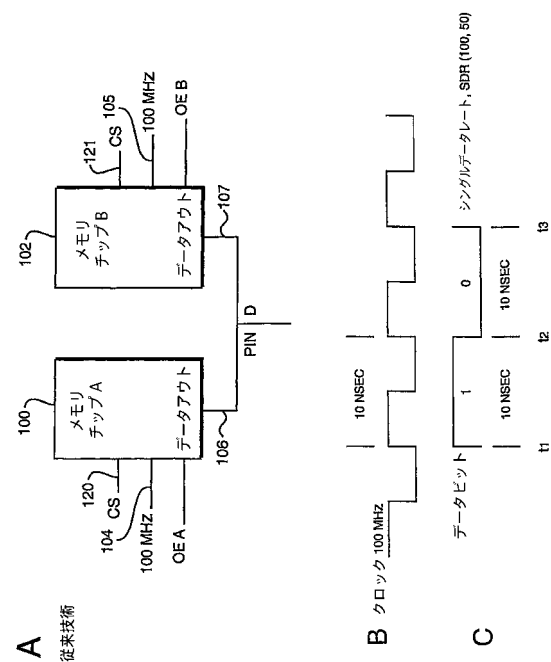
【図 7】 スキュー P L L を示す図である。

【図 8】 現在利用可能な D I M M をメモリバンクとして利用する実施例を示す図である。

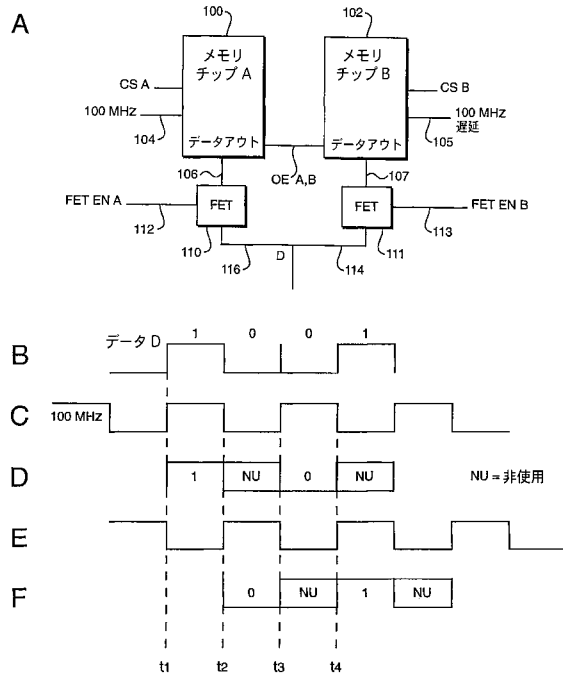
【図 1】



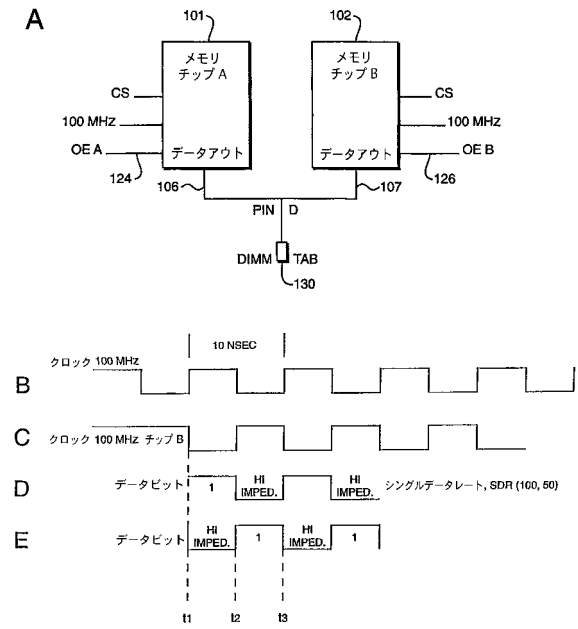
【図 2】



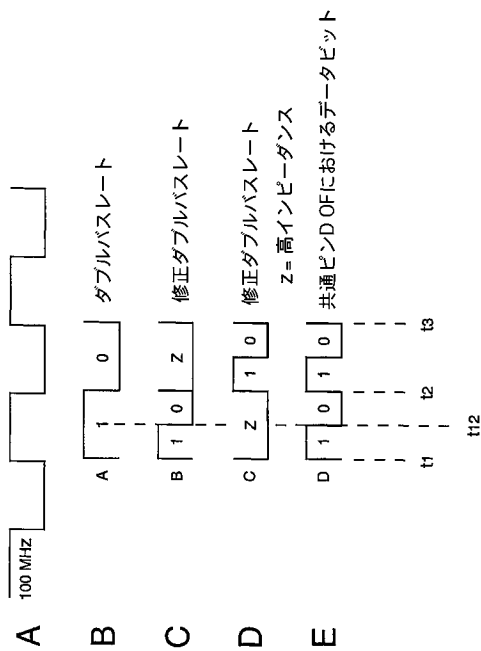
【図 3】



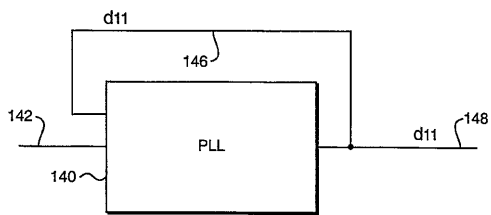
【図 4】



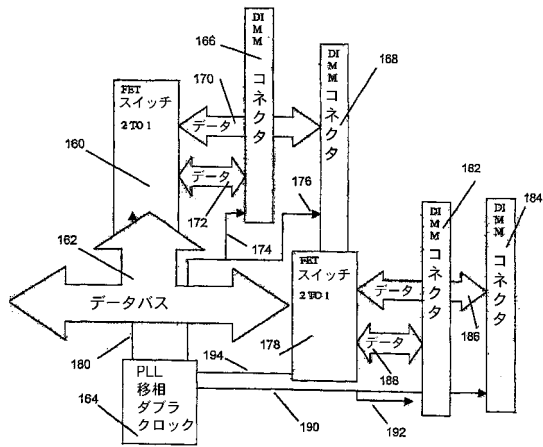
【図 5】



【図 6】



【図 8】



フロントページの続き

(56)参考文献 特開平3 - 113547 (JP, A)

特開平6 - 202933 (JP, A)

特開平7 - 282000 (JP, A)

特開平3 - 269662 (JP, A)

特開平9 - 73781 (JP, A)

特開2000 - 261293 (JP, A)

特開2000 - 48599 (JP, A)

米国特許第566322 (US, A)

新井将之, 米Kentron社, DDRメモリのデータ転送速度を2倍に高める技術を披露, NEONLINE Advanced Device News [online], Nikkei Business Publications, Inc., 2000年11月10日, p. 1, URL, <http://techon.nikkeibp.co.jp/device/010126arai1.html>

(58)調査した分野(Int.Cl., DB名)

G06F 12/00