

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4769953号
(P4769953)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.

G06F 12/00 (2006.01)

F 1

G06F 12/00 564 A
G06F 12/00 550 K
G06F 12/00 597 D

請求項の数 10 (全 16 頁)

(21) 出願番号 特願2001-585044 (P2001-585044)
 (86) (22) 出願日 平成13年5月15日 (2001.5.15)
 (65) 公表番号 特表2004-511026 (P2004-511026A)
 (43) 公表日 平成16年4月8日 (2004.4.8)
 (86) 国際出願番号 PCT/US2001/015592
 (87) 国際公開番号 WO2001/088714
 (87) 国際公開日 平成13年11月22日 (2001.11.22)
 審査請求日 平成20年5月12日 (2008.5.12)
 (31) 優先権主張番号 09/572,641
 (32) 優先日 平成12年5月17日 (2000.5.17)
 (33) 優先権主張国 米国(US)

(73) 特許権者 511129683
 ウレンチ アセツ リミテッド ライア
 ビリティ カンパニー
 アメリカ合衆国 19904 デラウェア
 州 ドーバー グリーンツリー ドライブ
 160 スイート 101
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 (72) 発明者 カラバトソス、クリス
 アメリカ合衆国、マサチューセッツ、ウイ
 ルミントン、ウエスト・ストリート 15
 5、ケントロン インコーポレーテッド

審査官 鈴木 和樹

最終頁に続く

(54) 【発明の名称】マルチブルバンクDIMMにおけるマルチブルアクセスサイクル

(57) 【特許請求の範囲】

【請求項1】

データバスを有するコンピュータメモリシステムであって、データバス上の信号は周期p1を有し、前記システムは、

(a) データ線を有する第1のメモリバンクと、

(b) データ線を有する第2のメモリバンクと、

(c) 第1のメモリバンクに付随する第1のクロック信号および第2のメモリバンクに付随する第2のクロック信号であって、各クロック信号が周期p2を有し、第2のクロック信号は第1のクロック信号から時間.DELTA.Tだけ遅延されている第1および第2のクロック信号と、

(d) 第1のクロック信号の各サイクルの始めに開始して時間.DELTA.T1だけ続くデータバスに第1のメモリバンクのデータ線を接続する第1のFETスイッチと、

(e) 第2のクロック信号の各サイクルの始めから時間.DELTA.T2後に開始して時間.DELTA.T3だけ続くデータバスに第2のメモリバンクのデータ線を接続する第2のFETスイッチと、を含み、

.DELTA.T, .DELTA.T1, .DELTA.T2, および .DELTA.T3は第1のFETスイッチのデータ線および第2のFETスイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項2】

請求項1記載のコンピュータメモリシステムであって、データバス周期p1は各クロック

10

20

ク信号の周期 p 2 の 2 倍であるコンピュータメモリシステム。

【請求項 3】

請求項 2 記載のシステムであって、F E Tスイッチはメモリバンクの外部に存在するコンピュータメモリシステム。

【請求項 4】

請求項 3 記載のシステムであって、さらに、マザーボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 のF E Tスイッチ、および第 2 のF E Tスイッチはマザーボード上に配置されるシステム。

【請求項 5】

請求項 3 記載のシステムであって、さらに、一つ以上のD I M M ボードを含み、遅延クロック信号発生手段、第 1 のメモリバンク、第 2 のメモリバンク、第 1 のF E Tスイッチ、および第 2 のF E TスイッチはD I M M ボード上に配置されるシステム。 10

【請求項 6】

請求項 5 記載のシステムであって、第 1 のF E Tスイッチはさらに制御入力、データバスに接続された第 1 側、および第 1 のメモリバンクのデータ線に接続された第 2 側を含み、第 2 のF E Tスイッチはさらに制御入力、データバスに接続された第 1 側、および第 2 のメモリバンクのデータ線に接続された第 2 側を含むシステム。

【請求項 7】

請求項 1 記載のコンピュータメモリシステムであって、さらに、
 (a) データ線を有する第 3 のメモリバンクと、 20
 (b) データ線を有する第 4 のメモリバンクと、
 (c) 第 3 のメモリバンクに付随する第 3 のクロック信号および第 4 のメモリバンクに付隨する第 4 のクロック信号であって、各クロック信号が周期 p 2 を有し、第 3 のクロック信号は第 2 のクロック信号から時間 . D E L T A . T だけ遅延され第 4 のクロック信号は第 3 のクロック信号から時間 . D E L T A . T だけ遅延されている第 3 および第 4 のクロック信号と、
 (d) 第 3 のクロック信号の各サイクルの始めに開始して時間 . D E L T A . T 1 だけ続くデータバスに第 3 のメモリバンクのデータ線を接続する第 3 のF E Tスイッチと、
 (e) 第 3 のクロック信号の各サイクルの始めから時間 . D E L T A . T 2 後に開始して時間 . D E L T A . T 3 だけ続くデータバスに第 4 のメモリバンクのデータ線を接続する第 4 のF E Tスイッチと、 30
 を含むコンピュータメモリシステム。

【請求項 8】

データバスを有するコンピュータメモリシステムであって、
 (a) データ線を有する第 1 のD D R メモリバンクと、
 (b) データ線を有する第 2 のD D R メモリバンクと、
 (c) 第 1 のD D R メモリバンクに付隨する第 1 のクロック信号および第 2 のD D R メモリバンクに付隨する第 2 のクロック信号であって、各クロック信号が周期 p 2 を有し、第 2 のクロック信号は第 1 のクロック信号から時間 A T だけ遅延されている第 1 および第 2 のクロック信号と、 40
 (d) 第 1 のクロック信号の各サイクルの始めに開始して時間 . D E L T A . T 1 だけ続くデータバスに第 1 のD D R メモリバンクのデータ線を接続する第 1 のF E Tスイッチと、
 (e) 第 2 のクロック信号の各サイクルの始めから時間 . D E L T A . T 2 後に開始して時間 . D E L T A . T 3 だけ続くデータバスに第 2 のD D R メモリバンクのデータ線を接続する第 2 のF E Tスイッチと、を含み、. D E L T A . T , . D E L T A . T 1 , . D E L T A . T 2 , および . D E L T A . T 3 は第 1 のF E Tスイッチのデータ線および第 2 のF E Tスイッチのデータ線が決して同時にデータバスに接続されることのないように選択されるコンピュータメモリシステム。

【請求項 9】

50

20

30

40

50

請求項 8 記載のコンピュータメモリシステムであって、データバス周期 p 1 は各クロック信号の周期 p 2 の 2 倍であるコンピュータメモリシステム。

【請求項 10】

請求項 9 記載のコンピュータメモリシステムであって、F E Tスイッチはメモリバンクの外部に存在するコンピュータメモリシステム。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明はメモリの基本的クロックレートを増すことなくコンピュータメモリ内のアクセス速度を高めることに関連している。

10

【0002】

(従来技術に関する説明)

専門用語

本明細書全体をとおして下記の用語が使用される。

D I M M = D u a l I n l i n e M e m o r y M o d u l e (ディアルインラインメモリモジュール) 。

S D R A M = S y n c h r o n o u s D y n a m i c R a n d o m A c c e s s M e m o r y (同期ダイナミックランダムアクセスメモリ) 。

D D R = ダブルデータレート。データビット持続時間がクロック周波数の半周期に等しい。基本クロックの一周期内でデータの 2 ビットが使用される。図 1 B 参照。

20

D B R = ダブルバスレート。

S D R = シングルデータレート。

D B F = データビット周波数。ビット数 / 秒 / ピン。× × b i t / s e c / p i n として表わされる。

D R = データレート。データビット持続時間が基本クロックの一周期に等しい。図 1 A 参照。

【0003】

定義：ダブルバスレート (D B R)

本文書全体にわたる説明のために、D B RTM (ダブルバスレート) という用語が使用される。ダブルバスレートは B U S システムに出入りするデータレートが B U S に接続された個別の各チップがその動作クロック周波数で送り出すものの二倍であることを意味する。

30

【0004】

(従来技術)

メモリサブシステム内のスループットを高めたい要望によりメモリデバイスはより高速で動作することが必要とされている。通常、ある基本周波数で動作するシングルデータレート型 S D R のメモリチップは基本周波数の一周期のデータレート D R を作り出す。1 0 0 M H z の D R は各データビットの持続時間が 1 0 ナノ秒に等しい 1 0 0 M H z 周波数の一周期に等しいことを意味する。D R A M チップから生じるデータビットパルス幅は基本クロックの一周期である。したがって、図 1 A に示すように、基本クロックが 1 0 0 M H z である時に 1 と 0 の間で交番する任意のデータビットの実際の周波数 [M P W 1] は 5 0 M H z である。

40

【0005】

今日使用されているメモリチップパッケージング構成に関わることであるが、所望の D A T A B U S 幅を満たすために、S D R A M 等の一群のメモリチップが印刷回路板上に一緒に組み立てられる。(最小バス幅は 1 のクラスタ内の単一 S D R A M から生じる実際のビット数である) 。これらの印刷回路板は S I M M , D I M M , S O D I M M , R I M M 、等として知られるいくつかの形で構成される。しかしながら、簡潔にするために、D I M M という用語は以後これらの異なるタイプのいずれかまたは全てを表わすのに使用される。

【0006】

50

従来技術の 168 ピン D I M M モジュール（その設計は任意他のピン数の任意の D I M M 、または任意他の名称で知られる任意他のパッケージに適用される）は、現在（ J E D E C （ Joint Electron Device Engineering Council ）委員会で規定されているように） 72 データビットバス、制御線、アドレス線、電力およびクロックを使用する。 J E D E C 標準により規定されるこのモジュールは 2 バンクすなわちロー（ row ）までの S D R A M チップを収納することができる。システムアーキテクチャに応じて他のバンク構成も使用される。バンクの選択は単一のチップセレクト（ C S ）線またはチップセレクト線と他の制御線の組合せにより制御される。 D I M M モジュールはレジスタまたは非レジスタ構成である。レジスタ構成では、全てのアドレスおよび制御線が最初にレジスタ内にラッチされた後で動作のために選択されるデバイスに提供される。非レジスタ [M P W 2] 構成では、アドレスおよび制御線は D I M M の入力タブからデバイスに直接配線される。いずれの構成もクロック同期用位相同期ループ（ P L L ）を有するか、あるいはシステムにより D I M M に提供されるクロックを利用することができる。図 1 A に示すように、メモリチップの基本動作周波数に対する 100MHz のクロックにより、モジュールは 100MHz の最大 D R しか発生することができない。クロック周波数が 133MHz に高められ、 D I M M 上の S D R A M デバイスが 133MHz で動作すると、最大 D R は 133MHz に高められる。 200MHz D R を達成するためには、 S D R A M チップは 200MHz の基本周波数で動作しなければならない。 S D R A M をより高い周波数で動作させるには開発費、時間およびシリコン速度および処理の改良が必要である。密度と速度は互いに干渉する。密度を増すと、回路に対する多くの配線レベルが必要であるため回路バスにより多くの遅延が導入されて速度は単純に低下する。シリコン内に高速および高密度を実現することも非常に困難となり、場合によっては手が出ないものとなる。

【 0007 】

100MHz クロックレートで動作する S D R A M デバイスを利用する D I M M [M P W 3] の従来技術の設計では、広く使用されている印刷回路板（ P C B ）物理的性質およびライン幅により容易に設計が実現される [M P W 4] 。したがって、 100MHz の基本クロック周波数による D I M M メモリモジュールの設計は現在の技術により極めて単純に作り出すことができる。 200MHz 基本クロック周波数で動作するデバイスを作り出そうとする時に問題が生じる。

【 0008 】

次に図 2 に関して、従来技術では二つの同一メモリチップ 100, 102 がクロック入力 A 104 およびクロック入力 B 106 において同じ 100MHz クロックにより制御されることが判る。チップ A のシングルビット出力 106 がチップ B の対応する出力 107 に接続されている。任意適所与の時間に一方のチップしか動作することが許されず、他方のチップは出力 106, 107 における内部チップ回路により高インピーダンスに分離される。チップ A 120 のチップセレクト（ C S ）入力によりチップ A はデータにアクセスすることができ、対応する入力 121 はチップ B に対して同じことを行う。このアーキテクチャは従来技術により D I M M を組み立てるための基礎である。

【 0009 】

前記した両チップが同じクロックで動作する。ピン D 102, 107 のデータビットはチップ A またはチップ B から来る。次に、図 2 B について、チップ A 104 およびチップ B 105 の入力ピンに現れるクロックは 100MHz の周波数を有する。典型的なクロックサイクルは t 1 において正となる信号により開始され、 10 ナノ秒後に t 2 で終わる。図 2 C として示す典型的なデータ信号がデータ信号と同期化され、データ “ 1 ” 状態が t 1 で開始されて t 2 で終り、続くデータ “ 0 ” が t 2 で開始されて t 3 で終わるようになる。このシステムにより処理される最高帯域幅データ信号は交番する 1 および 0 であることに注目しなければならない。やはり、図 2 C について、このようなデータ信号はビット / 秒で測定されたデータレートはクロックレートと同じであるが、周波数はクロック周波数の半分であることが判る。

10

20

30

40

50

【0010】

その結果、従来技術のシステムのメモリバスに送られる最高データレート D R はメモリチップ A またはメモリチップ B が設計により送ることができるデータレートに等しい。

【0011】

J E D E C グループはデータの 1 ビットが基本クロック周波数の半周期に等しい有効性の持続時間有するアーキテクチャを開発している。この方式は D D R (D o u b l e Data Rate) と呼ばれる。このような S D R A M デバイスにより設計される D I M M は D D R D I M M と呼ばれる。このような D D R メモリは現在存在してはいるが、クロック周波数の二倍で動作するメモリチップを必要とする。このような高速メモリチップは高価であり製造が困難である。

10

【0012】

次に、図 1 A から図 1 C について、ここで説明されるさまざまな信号の速度を示す。次に、第 1 のこのような波形について、図 1 B に示す従来技術 D I M M の典型的なデータバス信号（説明の目的で 1 ビットのみを示す）と一緒に、1 0 0 M H z クロックが図 1 A に示されている。各データビットはクロック信号の正となるエッジ t 1 と同期して開始される。この波形は従来技術の S D R 構成に典型的なものである。

【0013】

それに比べて、従来技術の D D R データバスは S D R 速度の二倍で動作する。図 1 C について、D D R データ信号の各データビットはクロック信号の正となるエッジ t 1 またはクロック信号の負となるエッジ t 1 2 で開始される。

20

【0014】

現在、使用されるデバイスは 1 0 0 M H z 基本クロック周波数、および D D R タイプの 1 0 0 M H z データビット周波数を内蔵している。この説明の目的で、これらのデバイスは S D R A M D D R デバイス (1 0 0 , 1 0 0) と呼ばれる。本発明は S D R A M チップ (1 0 0 , 1 0 0) を利用して 4 0 0 M H z D R および 2 0 0 M H z データビット周波数を作り出すシステムを開示する。このシステムはダブルデータレート / ダブルバスレート (D D R / D B R) システムと呼ばれる。

【0015】

ここで説明される本発明の技術を使用して、4 0 0 M H z の D R 、あるいは 2 0 0 M H z D B F がデータバスにおいて 1 0 0 M H z クロック周波数を使用して作り出される。これに比べて、従来技術を使用して既存の S D R A M デバイスにより達成できる最も速い速度は S D R A M デバイス自体の速度である。しかしながら、ここに記載される技術を使用すれば、S D R であれ D D R であれ、既存の S D R A M デバイスはデータバス上にデバイスの D R の二倍を作り出す。図 1 C - F 参照。

30

【0016】**(発明の開示)**

S D R メモリチップを使用する D D R メモリアーキテクチャを提供することが本発明の一般的な目的である。D D R メモリチップを組み合わせ 4 倍速出力を提供することが本発明のもう一つの目的である。

【0017】

本発明の一側面に従って、データバスを有するコンピュータメモリシステムはデータ線を有する第 1 バンクメモリバンク、データ線を有する第 2 のメモリバンク、および各々が始めを有する多数のサイクルおよび周期 p を有するクロック信号を含んでいる。さらに、このシステムは各サイクルの始めに開始して時間 p / 2 だけ続くデータバスに第 1 のメモリバンクのデータ線を接続する第 1 のスイッチング手段、および各サイクルの始めから p / 2 後に開始してその後時間 p / 2 だけ続くデータバスに第 2 のメモリバンクのデータ線を接続する第 2 のスイッチング手段を含んでいる。

40

【0018】

本発明の第 2 の側面に従って、コンピュータメモリシステムはクロック信号に対して位相 1 8 0 ° の遅延クロック信号も含んでおり、第 2 のスイッチング手段は遅延クロック信号

50

に同期化されている。

【0019】

本発明の第3の側面に従って、本システムはマザーボードを含み、遅延クロック信号発生手段、第1のメモリバンク、第2のメモリバンク、第1のスイッチング手段、および第2のスイッチング手段は全てマザーボード上に配置されている。

【0020】

本発明の第4の側面に従って、本システムは一つ以上のDIMMボードを含み、遅延クロック信号発生手段、第1のメモリバンク、第2のメモリバンク、第1のスイッチング手段、および第2のスイッチング手段はDIMMボード上に配置されている。

【0021】

本発明の第5の側面に従って、第1のスイッチング手段は第1のFETスイッチを含み、第2のスイッチング手段は第2のFETスイッチを含んでいる。

【0022】

本発明の第6の側面に従って、第1のFETスイッチは制御入力、データバスが接続された第1側、第1のメモリバンクのデータ線に接続された第2側を含んでいる。さらに、第2のFETスイッチはさらに制御入力を含み、データバスが接続された第1側および第2のメモリバンクのデータ線に接続された第2側を有する。

【0023】

本発明の第7の側面に従って、第1のスイッチング手段は第1のメモリチップ上で動作する第1のデータタイナブル信号を含み、第2のスイッチング手段は第2のメモリチップ上で動作する第2のデータタイナブル信号を含んでいる。

【0024】

本発明の第8の側面に従って、本システムは入力および出力を有する回路も含んでおり、入力はクロック信号および遅延クロック信号に接続され出力はワイヤ長遅延回路、スキュー出力ドライバ遅延回路、カスケードPLL遅延回路、スキュー出力PLL遅延回路、PLL外部遅延回路、受動素子遅延回路、およびプログラム遅延線からなるグループから選択される。

【0025】

本発明の第9の側面に従って、データバスを有するコンピュータメモリシステムはデータ線を有する第1バンクメモリバンク、データ線を有する第2のバンクメモリバンク、および各々が始めおよび周期 p を有する多数のサイクルを有するクロック信号を含んでいる。それは各サイクルの始めに開始して時間 $p/4$ だけ続き、各サイクルの始めから $p/2$ 後に再び開始して時間 $p/4$ だけ続くデータバスに第1のメモリバンクのデータ線を接続する第1のスイッチング手段も有する。それは、さらに、各サイクルの始めから $p/4$ 後に開始して時間 $p/4$ だけ続き、各サイクルの始めから $3p/4$ 後に再び開始して時間 $p/4$ だけ続くデータバスに第2のメモリバンクのデータ線を接続する第2のスイッチング手段を有する。

【0026】

(好ましい実施例の説明)

以下の検討において、典型的なコンピュータメモリは64または72ビットを有することができるということを理解しながら、メモリの1ビット動作が示される。シングル1ビットの動作はシングルメモリリードまたはライトを構成する64または72ビットを含むように外挿することができる。実際上、シングルメモリチップは8ビット以上を有し、1メモリ語を形成するのに8または9メモリチップが必要である。下記の説明を簡単明瞭にすることを除けば、シングル1ビット出力を有するシングルチップが使用される。

【0027】

次に、図3Aについて、メモリチップA100およびB102がイネーブルされそれらは、共に100MHzで動作する、それぞれのクロックすなわちクロックA104およびクロックB106で動作することを許される。図3Cに示すように、本例におけるクロックBは他方から半周期だけシフトすなわち遅延される。各データビットの出力において、F

10

20

30

40

50

FETスイッチが直列に挿入される。FETスイッチA110はメモリチップAに対応し、FETスイッチB111はメモリチップBに対応する。メモリチップAの出力108はFETスイッチA110の入力に接続されている。FETスイッチAはイネーブル信号A112により制御される。メモリチップBの出力は同様にFETスイッチB113によりスイッチされる。FETスイッチA116の出力はFETスイッチB114の出力に接続されている。好ましい実施例では、二つの出力はDIMMのタブに接続され、このタブはより広いデータバスの一部とすることができます。

【0028】

FETスイッチがイネーブルされる時は、スイッチを通るデータバスはまさに無視できる遅延しか信号に与えない。スイッチがディセーブルされる時は、データバスは高インピーダンスであり、信号はその中を進むことができない。下記の例では、データバス上のデータストリームは図3Bに示すようなものである。図3Cに示すクロックは $t_3 - t_1$ に等しい周期 p を有する。FETスイッチAの出力を示す図3Dについて、FETスイッチA110が t_1 においてイネーブルされ、 t_2 まで半周期イネーブルされたままとされ、次に t_3 までスイッチオフされる時は、メモリチップ1の出力は半周期しかデータバス114, 116に接続されない。FETスイッチBの出力を示す図3Fについて、 t_2 で始まる次の半周期において、FETスイッチBがイネーブルされ、 t_3 まで半周期イネーブルされたままとされ、次に半周期スイッチオフされる時は、メモリチップBの出力は半周期だけデータバス114, 116に接続される。プロセスが継続すると、データバスはメモリチップAとメモリチップB間に交互に接続され、各クロック周期 p 内にデータバス上に2データビットが生じる。この結果はDDR標準に従う、すなわち、バス上のデータレートは標準SDRシステムのデータレートの2倍である。

10

20

30

【0029】

DDR出力を生じる従来技術のデバイスがあるが、本発明はシングルデータレートメモリチップによりDDRオペレーションが遂行される方法を開示する。個別のメモリチップはSDR速度で動作し続け、クロックサイクル毎に1データビット出力である。しかしながら、メモリチップデータ出力の持続時間をクロック周期の半分に低減することにより、残りの半周期を使用して第2のメモリチップからデータを出力することが可能となる。FETスイッチはサンプリング時間を対応するメモリチップの実際のデータ時間の半分に低減することにより、メモリチップ自体の帯域幅を実際上2倍にする。

【0030】

(第2の好ましい実施例)

メモリチップAおよびBが設計によりDDR速度で動作し、各々が基本クロックレートに等しいレートで出力データを作り出す場合には、チップBにさらに1/4周期クロックを加えかつデータバスへのデータをクロック周期の1/4だけ有効に維持するFETスイッチングを適用することにより、クロックの一周期内に4データビットがデータバスに通される。この実施例におけるFETスイッチの出力は図1Eおよび図1Fに示されている。

【0031】

この実施例は本発明におけるコンポーネントの相互接続を例示する図3Aを引き続き参照して理解することができる。次に、図1Aについて、システムクロックは $t_2 - t_1$ に等しい周期 p を有する。チップBに加えられる90°移相クロックが図1Dに示されている。図1EはメモリチップAによるデータバス114, 116上へのデータ出力を示す。メモリチップAの出力106は半周期 $t_{12} - t_1$ だけデータバスに接続され、メモリチップBの出力107は時間 t_{112} で開始してメモリチップAの出力と同じ半周期だけ有効であるデータバスに接続される。

40

【0032】

図1Eに示すこの“4倍速”信号の後の説明では、間隔 $t_2 - t_1$ は p (波形の周期)と呼ばれ、信号のTRUE状態を示すために図に“1”的マークを付した、直接続く間隔 t_1 は t と呼ばれる。間隔 $t_2 - t_1$ は $p/2$ と呼ばれる。これらの表記法は図1Fに関しても使用される。図1Fの波形は図1Eのそれに類似しているように見えるが、間隔 p

50

/ 4だけ遅延していることが注目される。

【0033】

各データビット有効持続時間はデータを受信するデバイスの所要設定および保持時間に対してのみ有用である。シリコン技術速度が増すにつれ、データビットが有効となるのに要する設定および保持時間は減少する。したがって、データビット有効持続時間の一部だけを利用しても動作の信頼度に影響を及ぼさず、速度を著しく改善することができる。

【0034】

前記した例は二つのメモリデバイスにしか扱わなかった。これらのデバイスはモジュールまたはマザーボード上に搭載することができる。メモリチップ以外の他のデバイスもその実際の動作周波数を増すことなくデータバス帯域幅を増すためにこの発明を利用することができる。DIMMボード上のいくつかのメモリデバイスを使用し、かつFETスイッチ接続が各データビットについて図3に示すようにインプリメントされる場合には、全バス幅が広帯域幅データレートで実施される。10

【0035】

DIMMボードを使用するのではなく、DIMM上で使用される構成全体をマザーボード上でインプリメントすることもできる。RAS(Row Address Select) , CAS(Column Address Select) , WE(Write Enable) , およびCS(Chip Select)等の制御線の組合せは通常メモリチップ等のデバイスの動作に使用される[MPW5]である。これらの制御線上の信号は通常100MHzクロックの立上り縁によりデバイス内にクロックされる。本発明の第1の好ましい実施例では、各デバイスの出力におけるデータはそのデバイスを制御するクロックの立上り縁を参照する。20 [MPW6]

【0036】

図1Cに示すように、一つのSDRAMからのデータビットがデータバス上で10ナノ秒持続時間の半分しか有効とされず、後の半分はもう一つのSDRAMデバイスからの有効なデータのために使用される場合には、200MHzデータレートDRが作り出される。これは100MHzクロックレート、および100MHzデータレートで動作する通常のSDRAMにより達成される。

【0037】

もう一つの方法として、二つのメモリモジュールの出力を多重化するのに二つのFETスイッチではなく単一FETが使用される。このような構成では、FETスイッチは各々が別々のメモリチップ出力に接続された二つの入力と、データバスに接続された一つのFET出力を有する。30

【0038】

(FETスイッチの無い別の実施例)

もう一つの実施例では、メモリチップ出力のスイッチングはFETスイッチを使用せずにメモリチップ自体により行われる。

【0039】

図4Aに示すように、この実施例では、二つのSDRAMメモリチップのデータ出力ピンは一緒にDIMMボードタブ130に接続されている。この接続はマザーボード上またはDIMMで行うことができる。40

【0040】

図4(c)に示すように、チップB102のクロックが図4Bに示す基本クロックに対して半周期シフトされているものとする。

【0041】

この実施例では、各SDRAMメモリチップは対応する出力イネーブル信号124, 126によりイネーブルされた時に出力ピン106, 107においてデータビットを有効に保持し、イネーブルされない時は高インピーダンスに戻る。このタイプのデバイスは3状態デバイスと呼ばれ、論理1, 論理0, および高インピーダンス状態とすることができる出力を有する。50

【 0 0 4 2 】

次に、図4Dについて、メモリチップA101に対応するデータビットは各周期の前半、時間t1およびt3間、においてアクティブであることが判る。一方、メモリチップB102は各サイクルの後半、時間t2およびt3間、においてアクティブである。

【 0 0 4 3 】

あるいは、各メモリチップは付加制御信号に従ってクロックサイクルの前半または後半にアクティブとなるように制御することができる。

【 0 0 4 4 】

メモリチップがDDRチップである場合には、両メモリチップの出力の持続時間を周期の1/4に低減し一緒にまとめて、図1Eおよび図1Fに示すように、周期の前半または後半にアクティブとなるようにすることができます。このデータ周波数の増加は各SDRAMチップ内部で達成することができる。SDRAMの出力とデータバスの接続はSDRAMの内部回路または外部出力イネーブル(OE)制御線により制御される。二つのDDRデバイスが図4Aに示すように一緒に接続されている場合には、チップは図5Eに示すように基本クロックの一周期内に4データビットを作り出す。基本クロック自体は図5Aのように見え、t3 - t1に等しい周期pを有する。

10

【 0 0 4 5 】

SDRAMチップ内部構成は外部コントロールおよび接続を使用するのではなく、4データビットが内部発生されるようにすることができます。図5Bの波形は修正されないDDRチップの出力からの2ビット、t1およびt2間の第1データビットおよびt2およびt3間の第2データビット、を示している。図5Cの波形は2データビットの持続時間が基本クロック周期の1/4に修正され、第1データビットはt1およびt12間で生じ、第2はt12およびt2間で生じることを示している。これらのデータビットは周期の前半でしか有効ではない。図5Dの波形はDDR修正2データビットが基本クロック周期の後半に有効であることを示している、t2 : t3。したがって、チップが図4Aのように接続され、かつ両メモリチップA101およびB102がDDRチップであれば、図4Eに示すように、正味の結果として基本クロックの一周期内に4データビットが作り出される。これは入力データストリームおよび出力データストリームの両方について言えることである。

20

【 0 0 4 6 】

30

各SDRAMメモリチップ内部にデータ受信機を含むコントローラがある。図5Aに示すように、データはこの受信機内に送信されると基本システムクロックと同期されなければならない。コントローラの受信機内へのデータのクロッキングを達成するために、いくつかの方法を利用することができます。図5Eの波形のデータストリームがSDRAMにより発生される場合には、同じ波形のクロックをSDRAM内部で作り出すことができる。各SDRAMはこのクロックを使用してデータをそれ自体のレジスタ内にラッチアップして処理することができる。

【 0 0 4 7 】

パッケージング技術内にさらに速度有利性を持たせることができる。通常、ここに記載されているような2メモリバンクを含むシステムでは、第1のメモリバンクは第1のバンクを構成するメモリチップアレイにより構成され、第2のメモリバンクは第2のバンクを構成するメモリチップアレイにより構成される。しかしながら、本発明に照らしてみれば、单一基板内に二つのこのようなメモリチップの回路を密閉し、一方は第1のバンク内で使用され他方は第2のバンク内で使用され、單一データバス出力が二つのチップの出力からスイッチされるのが有利である。第1および第2のメモリバンクチップのデータバス間の距離が実質的に低減されるため、このような構成により従来技術を凌ぐ実質的な速度有利性が提供される。

40

【 0 0 4 8 】

(位相遅延クロックの無い実施例)

さらにもう一つの実施例では、メモリバンクAおよびBは共にDDRメモリである。同じ

50

基本クロック信号がメモリバンク A およびメモリバンク B の両方を同期させるのに使用される。

【 0 0 4 9 】

各サイクルの始めに、メモリバンク A は基本クロックサイクルの持続時間 $p / 4$ だけ有効な第 1 の内部出力を発生し、サイクルの始めから $p / 2$ 後にやはり持続時間 $p / 4$ だけ続く第 2 の内部出力を発生する。メモリバンク B はサイクルの始めから $p / 4$ 後に開始して基本クロックサイクルの持続時間 $p / 4$ だけ有効な第 3 の内部出力、およびサイクルの始めから $3 p / 4$ に再び開始してやはり持続時間 $p / 4$ だけ続く第 4 の内部出力を発生する。

【 0 0 5 0 】

これらの内部出力がデータバス上に出力される前に、第 1 および第 2 の内部出力が交換され、第 3 および第 4 の内部出力が交換される。その結果、データバス上のデータはクロック周期の前半においてメモリチップ A からのデータビットを含み、クロック周期の後半においてメモリチップ B からのデータビットを含む。

【 0 0 5 1 】

(クロック遅延発生の説明)

本発明に従って使用される SDRAM デバイスまたは任意他のデバイス内で二次クロックを発生するためのいくつかの方法がある。

【 0 0 5 2 】

前記したように、メモリモジュールに供給する主クロックは特定の実施例に応じて半周期、 180° 、または $1 / 4$ 周期、 90° 、移相すなわち遅延される。

【 0 0 5 3 】

高速動作に対して、遅延クロック信号を発生する一つの方法は、いくつかの SDRAM チップを小さな容量性ローディングにより駆動するために同じ位相の多数の出力を有するクロックドライバすなわち位相同期ループ (PLL) を使用することである。簡単な PLL 140 が図 6 に示されている。

【 0 0 5 4 】

PLL は入力 140 および出力 148 を有し、PLL の出力と負荷 (図示せず) との間に固有の時間遅延 $d_t 1$ がある。帰還信号 146 は同一遅延 $d_t 1$ を有する。その結果、出力は負荷において見られる信号に位相同期される。

【 0 0 5 5 】

スキュ (skewed) ドライバは一入力と二以上の出力を有し、各出力は入力に対して異なる位相角、すなわち遅延、を有するものとして定義される。

【 0 0 5 6 】

PLL のバリエーションは図 7 に示すスキュ PLL である。スキュ PLL は入力 152 および二つの別々の出力 156 および 158 を有する。同じ位相の多数の出力を有する多様な PLL とは異なり、スキュ PLL は出力 156 および 158 間に位相遅延を有し、それは本発明に必要な多数のクロックを駆動するのに使用することができる。

【 0 0 5 7 】

着信クロックを PLL 出力と位相同期させる能力により、いかなる PLL 出力も遅延クロックすなわち移相クロックを発生するのに使用することができる。その出力が第 2 のバンクの SDRAM デバイスを駆動するのに使用される第 2 の PLL を駆動するための遅延クロックを発生するために、移相すなわち遅延クロックを発生する二つの方法が使用される。

【 0 0 5 8 】

PLL の移相すなわち遅延はいくつかの方法で生成することができる。PLL は、入力に対して出力が自動的に遅延されるように、PLL 内部遅延を含むことができる。あるいは、遅延線または回路を二つの PLL 回路間に直列に挿入してカスケード PLL 遅延回路を生成することができる。

【 0 0 5 9 】

10

20

30

40

50

提案される一つの方法はD I M Mにより発生されるクロックを使用してS D R A Mの第1のバンクを駆動することである。D I M M上でクロック遅延が行われる場合には、偏移したクロックを発生するのに必要な遅延を正確に与えるために印刷されたワイヤ長が内蔵される。次に、この偏移したクロックが第2のP L Lを駆動するのに使用される。第2のP L Lの出力はS D R A Mの二つのバンクの中の第2のバンクを駆動するのに使用される遅延クロックである。所要ワイヤ長はシミュレーション、理論的、および試行錯誤方法を介して決定される。

【 0 0 6 0 】

遅延クロックがマザーボード上で発生される場合には、D I M Mはやはりマザーボード上に配置された遅延クロックを使用してD I M M上に配置されたP L Lを駆動する。10
P L Lの出力によりバンクのS D R A Mチップが駆動される。

【 0 0 6 1 】

第2の位相遅延クロックを生成する他の方法は遅延線チップの使用を含み遅延クロックに必要な予め定められた移相を達成するのに使用することもできる。また、受動および能動回路の組合せを利用して所望の移相を達成することができる。これらは現在市販されているプログラマブル遅延線を含んでいる。これらのデバイスおよび技術は従来技術で既知であり、ここではこれ以上説明しない。

【 0 0 6 2 】

(現在利用可能なD I M Mを使用するシステム)

前記したばかりの技術は既存のD I M Mを使用してメモリ速度を高めるのに使用することができる。次に、図8についてこのシステムを理解することができる。この図に示されるコンポーネントは全てマザーボード上に搭載され、D I M MモジュールはD I M Mコネクタ166, 168, 182, および184内に挿入される。20

【 0 0 6 3 】

この最後の実施例では、D I M Mモジュール自体がメモリバンクとなる。D I M Mコネクタ166および168内に挿入されたD I M Mは、それぞれ、第1および第2のメモリバンクに相当するものを形成する。コネクタ166内の第1のD I M Mに入りするデータは、F E Tスイッチ160によりデータバスにスイッチオンオフされる。同様に、データ170は同じF E Tスイッチ160によりD I M Mコネクタ168内に搭載された第2のD I M Mに対してスイッチされる。位相同期ループ移相ダブラーが互いに直角位相のクロック信号174および176を作り出して第1のD I M Mをイネーブルし、次に第2のD I M Mをイネーブルする。30

【 0 0 6 4 】

P L L回路164により発生されるイネーブル信号180は図3AのF E T E N A 112およびF E T E N B 113に類似した信号を発生して、本実施例における第1のD I M Mおよび第2のD I M Mを交互にイネーブルする。

【 0 0 6 5 】

図8には第2セットのD I M Mコネクタ182, 184も示されており、さらに二つのD I M Mを挿入して第3および第4のメモリバンクが生成される。これら二つの付加D I M Mは第1および第2のD I M Mと厳密に同じように動作し、それ自体のF E Tスイッチ178、直角位相クロック信号190および192、等を有する。40

【 0 0 6 6 】

D D R D I M Mが使用される場合には、4倍速メモリシステムが作り出され、各D D R D I M Mは前の実施例におけるD D Rデータバンクの機能を果たす。

【 0 0 6 7 】

この実施例はD I M Mを現在利用可能な形で使用する利点を有し、そのため本発明の速度およびアクセス時間の利点を享受するのにマザーボードを製作するだけでよい。

【 0 0 6 8 】

(ビット - パッキング技術に対する他の応用)

次に、ここに記載された技術に対する他の応用のリストを示す。このリストは完全なもの50

ではなく、この技術を他の応用に使用することを排除するものではない。

- 1 . コンピュータメモリサブシステム。
- 2 . モジュールまたはマザーボード上の個別のコンピュータメモリチップの配置。
- 3 . モジュールまたはマザーボード上のフラッシュメモリチップの配置。
- 4 . モジュールまたはマザーボード上の E E P R O M メモリチップ、モジュールまたはマザーボード上の個別の論理チップ。
- 5 . 同じまたは異なるソースからのデータ伝送を運ぶデータバスの配置。
- 6 . より高いスイッチング速度を達成するためのデータおよび制御線に対するマイクロプロセッサバスの配置。
- 7 . クロック速度を高めることのない増加した帯域幅に対する C P U バスの多重化。 10
- 8 . 基本クロック速度を高めることのない増加した帯域幅に対する D S P バスの多重化。
- 9 . 基本クロック速度を高めることなくより高いデータレートを作り出すシリコンレベル上の個別メモリチップ。

【 0 0 6 9 】

添付された特許請求の範囲に明記された本発明の範囲を逸脱することなく本発明の範囲内で改良および修正を行えることは明らかである。

【 0 0 7 0 】

(起訴記録)

本出願は 6 / 2 2 / 9 9 に出願された仮出願、出願番号 6 0 / 1 4 1 , 2 1 9 および 5 / 1 7 / 9 9 に出願された出願番号 6 0 / 1 3 4 , 5 1 1 の出願に基づいて優先権を請求する。

20

【 図面の簡単な説明 】

- 【 図 1 A 】 システムクロック波形を示す図である。
 【 図 1 B 】 典型的な S D R データストリームを示す図である。
 【 図 1 (c) 】 典型的な D D R データストリームを示す図である。
 【 図 1 D 】 システムクロックと 90 ° 位相がずれた遅延クロックを示す図である。
 【 図 1 E 】 本発明の一方のメモリバンクから出力される典型的な 4 倍データレートデータストリームを示す図である。
 【 図 1 F 】 本発明の他方のメモリバンクから出力される典型的な 4 倍データレートストリームを示す図である。 30
- 【 図 2 A 】 本発明の最も簡単な実施例を示す図である。
 【 図 2 B 】 S D R メモリシステム内で使用される典型的なシステムクロックを示す図である。

30

- 【 図 2 (c) 】 従来技術のデータバス上への S D R 出力を示す図である。
 【 図 3 A 】 本発明の好ましい実施例の回路図を示す図である。
 【 図 3 B 】 好ましい実施例の D D R データストリームを示す図である。
 【 図 3 C 】 好ましい実施例内で使用されるシステムクロックを示す図である。
 【 図 3 D 】 好ましい実施例のメモリバンク A の出力を示す図である。
 【 図 3 E 】 好ましい実施例内で使用される遅延クロックを示す図である。
 【 図 3 F 】 好ましい実施例のメモリバンク B の出力を示す図である。 40
- 【 図 4 A 】 本発明の別の実施例の回路図を示す。
 【 図 4 B 】 本発明の別の実施例において使用されるシステムクロックを示す図である。
 【 図 4 C 】 本発明の別の実施例において使用される遅延クロックを示す図である。
 【 図 4 D 】 別の実施例のバンク A から出力されるデータストリームを示す図である。
 【 図 4 E 】 別の実施例のバンク B から出力されるデータストリームを示す図である。
 【 図 5 A 】 修正された D B R 実施例内で参照とされるシステムクロックを示す図である。
 【 図 5 B 】 D B R 出力を示す図である。

- 【 図 5 (c) 】 修正された D B R 実施例内の D B R メモリバンク A の出力を示す図である。

50

【図5D】 修正されたD BR実施例内のD BRメモリバンクBの出力を示す図である。

【図5E】 修正されたD BR実施例から生じるデータバスデータストリームを示す図である。

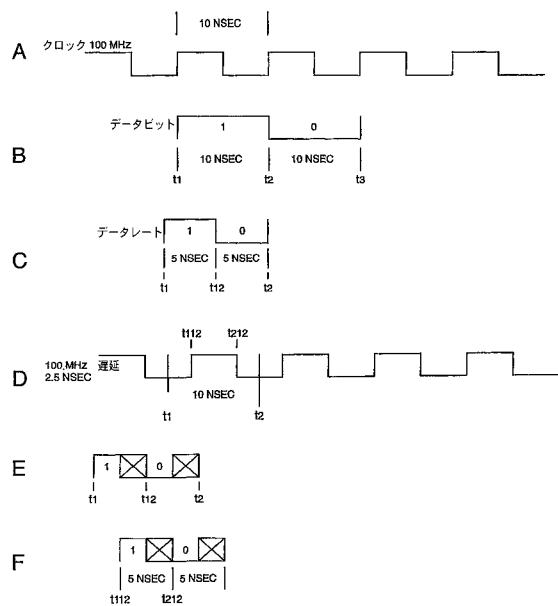
【図6】 位相同期ループ(P LL)を示す図である。

【図7】 スキューピ LLを示す図である。

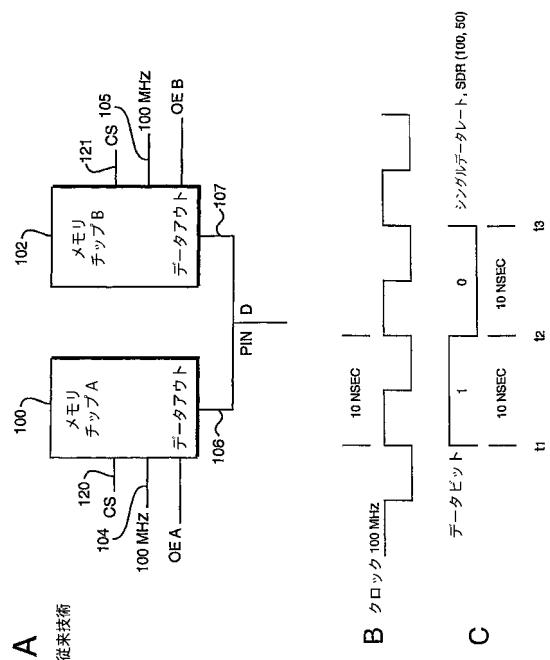
【図8】 現在利用可能なDIMMをメモリバンクとして利用する実施例を示す図である

。

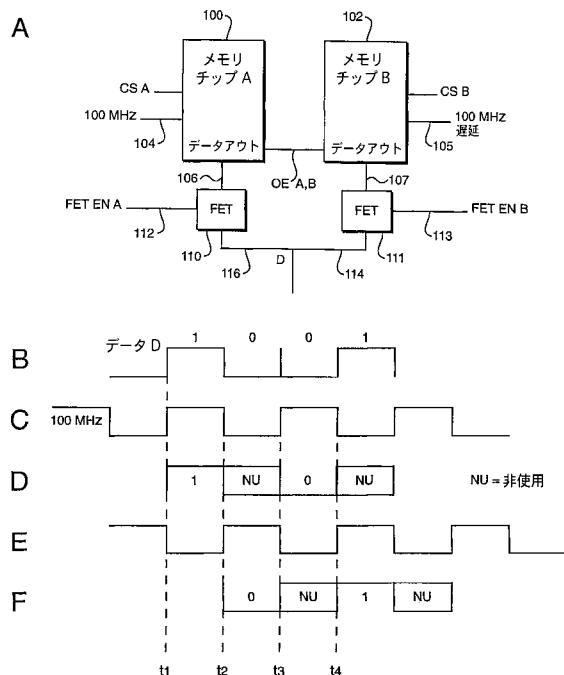
【図1】



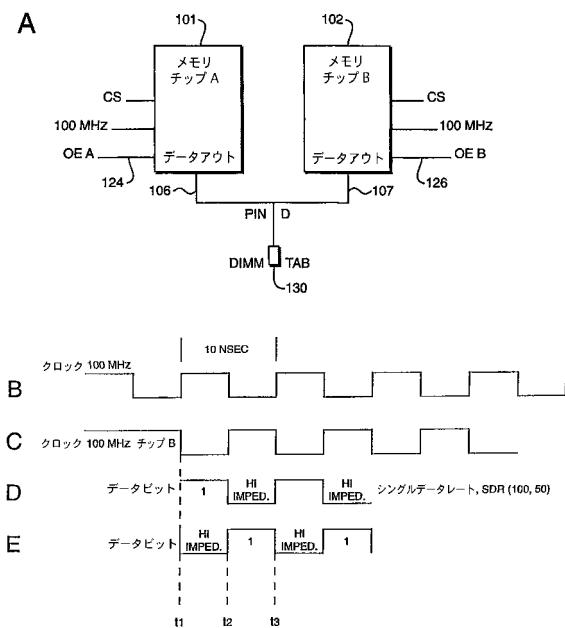
【図2】



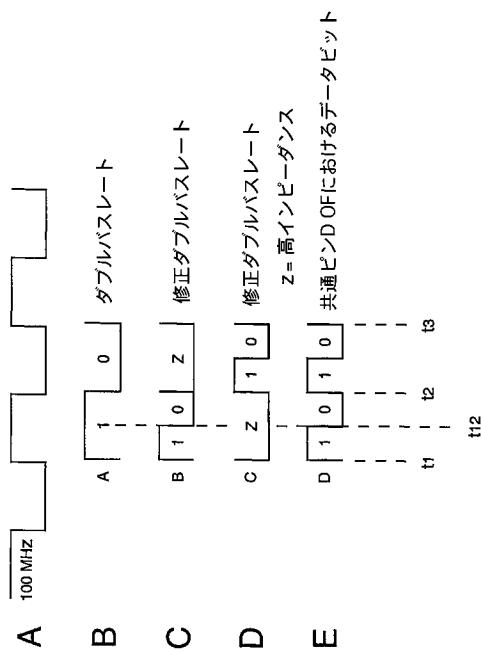
【図3】



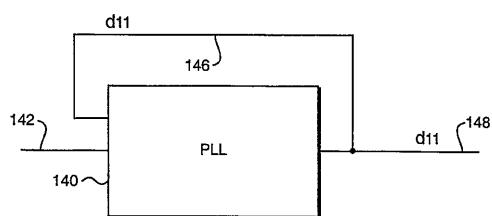
【図4】



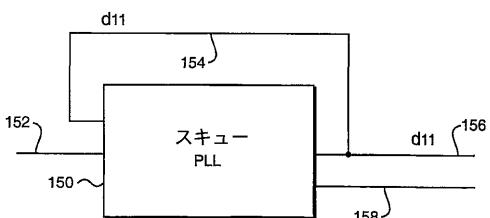
【図5】



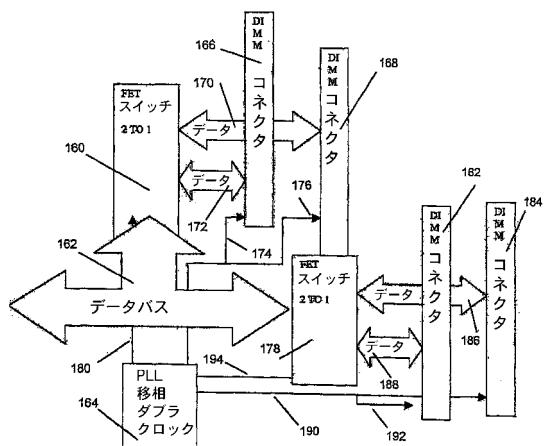
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開平3 - 113547 (JP, A)
特開平6 - 202933 (JP, A)
特開平7 - 282000 (JP, A)
特開平3 - 269662 (JP, A)
特開平9 - 73781 (JP, A)
特開2000 - 261293 (JP, A)
特開2000 - 48599 (JP, A)
米国特許第5666322 (US, A)
新井将之, 米Kentron社, DDRメモリのデータ転送速度を2倍に高める技術を披露, NEONLINE Advanced Device News [online], Nikkei Business Publications, Inc., 2000年11月10日, p. 1, URL, <http://techon.nikkeibp.co.jp/device/010126arai1.html>

(58)調査した分野(Int.Cl., DB名)

G06F 12/00