

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02830033.5

[51] Int. Cl.

H01L 21/44 (2006.01)

H01L 21/48 (2006.01)

H01L 21/50 (2006.01)

H01L 21/331 (2006.01)

H01L 21/30 (2006.01)

H01L 21/46 (2006.01)

[45] 授权公告日 2008年4月23日

[11] 授权公告号 CN 100383936C

[22] 申请日 2002.12.20 [21] 申请号 02830033.5

[86] 国际申请 PCT/US2002/041181 2002.12.20

[87] 国际公布 WO2004/059720 英 2004.7.15

[85] 进入国家阶段日期 2005.6.13

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 H·伯恩哈德·波奇 罗伊·俞

[56] 参考文献

US5229647A 1993.7.20

CN1204154A 1999.1.6

US6444560B1 2002.9.3

US6093969A 2000.7.25

US5424245A 1995.6.13

US4939568A 1990.7.3

Three - dimensional (3D) ICs; a technology platform for integrated systems and opportunities for new polymeric adhesives. R. J. Gutmann, J. Q. Lu, Y. Kwon, et al. Polymers and Adhesives in Microelectronics and Photonics, 2001. First International IEEE Conference. 2001

审查员 曾宇昕

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

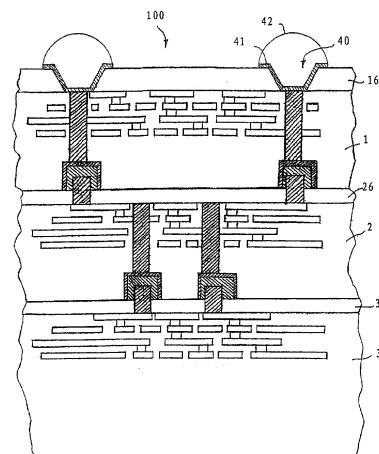
权利要求书 3 页 说明书 9 页 附图 22 页

[54] 发明名称

三维器件制造方法

[57] 摘要

描述了一种用于制造包括多个垂直层叠和互连的晶片三维集成器件的方法。利用如聚酰亚胺的热塑性材料层(26、36)将晶片(1、2、3)键合在一起；通过在晶片中与柱栓(27、37)连接的通孔(12、22)实现电连接。柱栓连接具有大于通孔的横向尺寸的在晶片的前表面的开口(13、23)。另外，在各自的晶片中的通孔不需从晶片的前表面垂直延伸至后表面。在晶片中器件区下面提供且横向延伸的导体(102)可以连接具有在后表面的金属化开口(103)的通孔。因此，通过晶片的导电路径可以引至晶片的器件下面。可以在开口(113)和柱栓(127)之间制造附加的连接以在晶片间形成垂直热传导路径。



1. 一种制造包括多个垂直层叠的和互连的晶片的三维集成器件的方法，该方法包括如下步骤：

提供具有前表面（1a）和后表面（1b）的第一晶片（1），所述第一晶片具有在邻近其所述前表面的区域（1d）中形成的器件；

在所述第一晶片中形成通孔（12）从所述前表面延伸，所述通孔由在所述前表面的横向尺寸（121）表征；

从所述第一晶片在其后表面（1b）去除材料；

在所述第一晶片的后表面中形成开口（13），由此暴露所述通孔，所述开口具有比所述通孔的横向尺寸大的横向尺寸；

在所述开口中形成导电材料层（14）；

提供具有前表面（2a）和后表面（2b）的第二晶片（2），所述第二晶片具有靠近其所述前表面在其中形成的器件；

在所述第二晶片的前表面上形成柱栓（27）；

在所述第二晶片的前表面（2a）上形成键合材料层（26），所述柱栓从其中垂直地凸出；

对准所述柱栓（27）与在所述第一晶片的后表面中的开口（13）；和

利用键合材料层（26）键合所述第二晶片与所述第一晶片，以使所述柱栓与所述通孔电接触。

2. 如权利要求1的所述方法，还包括如下步骤：

在所述第二晶片（2）中形成的第二晶片的通孔（22）从所述第二晶片的前表面延伸，所述第二晶片的通孔由在所述第二晶片的前表面（2a）的横向尺寸（221）表征；

从所述第二晶片在其后表面（2b）去除材料；

在所述第二晶片的后表面（2b）中形成第二晶片的开口（23），由此暴露其中的所述第二晶片的通孔（22），所述第二晶片的开口（23）具有大于所述第二晶片的通孔（22）的所述横向尺寸（221）的横向尺寸；

在所述第二晶片的开口中形成第二晶片的导电材料层（24）；

提供具有前表面（3a）的第三晶片（3），所述第三晶片具有靠近其所述前表面在其中形成的器件；

在所述第三晶片的前表面(3a)上形成第三晶片的柱栓(37);

在所述第三晶片的前表面(3a)上形成键合材料层(36),所述第三晶片的柱栓从其中垂直地凸出;

对准所述第三晶片的柱栓(37)和在所述第二晶片的后表面中的所述第二晶片的开口(23);

利用键合材料层(36)键合所述第三晶片和所述第二晶片,以使第三晶片的所述柱栓(37)与所述第二晶片的通孔(22)、所述第二晶片的柱栓(27)以及所述第一晶片的通孔(12)电接触。

3. 如权利要求1或权利要求2的所述方法,其特征在于所述去除材料的步骤导致所述晶片具有小于20 μm 的厚度。

4. 如权利要求1或权利要求2的所述方法,还包括如下步骤:

利用键合材料层(16)将操作板(15)贴附于所述第一晶片(1)的前表面(1a)。

5. 如权利要求1或权利要求2的所述方法,还包括如下步骤:

在所述第一晶片(1)和所述第二晶片(2)之一中形成导电体(102)且与所述第一晶片(1)和所述第二晶片(2)的所述之一中的通孔(12/22)连接,所述导电体在所述第一晶片(1)和所述第二晶片(2)的所述之一的器件下横向延伸,且其特征在于在所述第一晶片(1)和所述第二晶片(2)的所述之一的后表面中的所述开口(103)依据所述导电体(102)的横向宽度从所述第一晶片(1)和所述第二晶片(2)的所述之一的所述通孔横向地分开。

6. 如权利要求1或权利要求2的所述方法,还包括如下步骤:

在所述第一晶片的后表面中形成附加的开口(113);

在所述附加的开口中形成附加的导电材料层(114);

在所述第二晶片的前表面上形成附加的柱栓(127);和

对准第二晶片的所述附加的柱栓(127)与在所述第一晶片的后表面中的第一晶片的附加的开口(113);

且其特征在于键合所述第二晶片与所述第一晶片的所述步骤形成第二晶片的所述附加的柱栓(127)与第一晶片的所述附加的导电材料层(114)之间的连接用于在所述第二晶片和所述第一晶片之间传导热。

7. 如权利要求6的所述方法,其特征在于所述附加的导电材料层(114)与第一晶片的通孔(12)电绝缘。

8. 如权利要求 2 的所述方法, 还包括如下步骤:

在所述第二晶片的后表面中形成第二晶片的附加的开口;

在所述第二晶片的附加的开口中形成第二晶片的附加的导电材料层;

在所述第三晶片的前表面上形成第三晶片的附加的柱栓; 和

对准第三晶片的所述附加的柱栓与在所述第二晶片的后表面中的第二晶片的附加的开口;

且其特征在于键合所述第三晶片与所述第二晶片的所述步骤形成第三晶片的所述附加的柱栓与第二晶片的所述附加的导电材料层之间的连接用于在所述第三晶片和所述第二晶片之间传导热。

9. 如权利要求 1 或权利要求 2 的所述方法, 其特征在于所述键合材料是热塑性材料。

10. 如权利要求 9 的所述方法, 其特征在于所述热塑性材料是聚酰亚胺。

11. 如权利要求 1 或权利要求 2 的所述方法, 还包括如下步骤:

贴附三维集成的器件 (100) 于多芯片组件 (300)。

12. 如权利要求 1 或权利要求 2 的所述方法, 还包括如下步骤:

利用柱栓-通孔连接, 贴附三维集成的器件 (401) 于具有在其中形成的布线的绝缘层 (450)。

13. 如权利要求 2 的所述方法, 其特征在于所述第一晶片和所述第二晶片具有高速缓冲存储器器件, 而所述第三晶片具有逻辑器件。

14. 如权利要求 2 的所述方法, 其特征在于所述第一晶片、所述第二晶片和所述第三晶片的至少之一包括 MEMS 器件。

三维器件制造方法

技术领域

本发明涉及超大规模集成半导体器件的制造，并且具体地涉及制造三维垂直互连的芯片的方法。

背景技术

微处理器芯片一般包括逻辑单元和高速缓冲存储器。如果以二维(2-D)的图案排列微处理器的逻辑单元和存储器件，芯片物理尺寸上的限制(由大面积芯片的工艺合格率差引起)可能导致高速缓冲存储器的数量上的限制。微处理器的性能因此可能被严重地限制。

为了解决为微处理器提供足够的高速缓冲存储器的问题(更一般的，芯片上2-D不动产(real estate)的问题)，许多的研究者探索制造三维(3-D)集成电路的方法。典型的3-D制造方法包括：在随后减薄至小于20 μm 的晶片上构建器件；提供通过晶片的垂直互连；层叠晶片以使在不同的水平处的晶片之间建立垂直连接；和用合适的材料键合晶片。参见，例如，J.-Q. Lu等，“Fabrication of via-chain test structures for 3D IC technology using dielectric glue bonding on 200 mm wafers”，Materials Research Society ULSI XVII Conference Proceedings 151(2002)；P.Ramm等“Interchip via technology by using copper for vertical system integration”，Materials Research Society Advanced Metallization Conference 159(2002)；和Rahman等，“Thermal analysis of three-dimensional integrated circuits”，IEEE International Interconnect Technology Conference Proceedings 157(2001)。3-D集成的现有技术的显著问题包括(1)对可靠的晶片键合的需求；(2)严格的晶片清洁度和平整度的要求；(3)对可靠的、低电阻晶片间垂直连接的需求；(4)严格的晶片至晶片横向配准(registration)要求；和(5)对通过3-D器件的有效热传导的需求。

在转让给 International Business Machines Corporation 的“Process for making fine pitch connections between devices and structure made by the

process”, U.S.Pat. No.6,444,560 中描述了制造 2-D 芯片至芯片互连的方法,其公开的内容引入如下作为参考。如在该专利中指出的,可以利用布线层和各自的芯片之间的柱栓(stud)/通孔连接,通过聚酰亚胺的布线层连接具有不同的功能和可能具有不同的材料的芯片。期望扩展在该专利中所讨论的技术以获得 3-D 芯片级和晶片级集成。

发明内容

本发明通过提供一种制造包括多个垂直层叠和互连的晶片的三维集成器件的方法解决了上述的问题,其中可以将晶片可靠地键合在一起且可以放松对晶片的平整度和晶片间高精度对准的要求。为了垂直连接第一晶片和第二晶片,在第一晶片中形成通孔从前表面延伸,该通孔通过前表面处的横向尺寸表征。从第一晶片在其后表面处去除材料,减薄晶片至小于 20 μm 。在第一晶片的后表面中形成开口,由此暴露通孔;该开口具有比通孔的横向尺寸大的横向尺寸。在该开口中形成导电材料层。在第二晶片的前表面上形成柱栓和键合材料层,该柱栓从其垂直地凸出。然后柱栓对准第一晶片的后表面中的开口;利用键合材料层键合晶片,以使柱栓与通孔电接触。为了互连三个晶片,第二晶片还提供有从晶片的前表面延伸的通孔,且通过从第二晶片在其后表面处去除材料减薄第二晶片。在第二晶片的后表面中形成开口,由此暴露其中的通孔;该开口具有大于通孔的横向尺寸的横向尺寸。在该开口中形成导电材料层。第三晶片具有键合材料层和在其前表面上形成的柱栓;该柱栓对准第二晶片的后表面中的开口。然后利用键合材料层键合第三晶片和第二晶片,以使第三晶片的柱栓电接触第二晶片的通孔、第二晶片的柱栓以及第一晶片的通孔。

依据本发明,在各自的晶片中的通孔不需垂直地从晶片的前表面延伸至后表面。在晶片中的器件区下面提供且横向延伸的导电体可以将通孔与后表面中的金属化的开口连接。因此,可以在晶片的器件的下面引入通过晶片的电路径。键合层优选为热塑性材料,且具体地可以是聚酰亚胺。这允许晶片以对平整度和清洁度较不严格的要求键合。

附加的开口可以形成于第一晶片的后表面中,以与在第二晶片的前表面上的附加的柱栓连接,其中附加的开口和柱栓与通孔绝缘。这些附加的连接用作晶片间的垂直热传导路径。本发明因此实现了具有晶片间的可靠的电连

接和改进的热传导的 3-D 垂直集成。

附图说明

图 1A-1I 是依据本发明的第一实施例的 3-D 集成器件的制造工艺的步骤的示意图；

图 2A-2F 是依据本发明的第二实施例的 3-D 集成器件的制造工艺的步骤的示意图；

图 3 图示依据本发明的在晶片的器件区之下横向延伸的晶片间的垂直互连；

图 4A-4C 图示同样依据本发明的在 3-D 集成器件中改进热传导的制造工艺；

图 5 图示包括逻辑单元和 3-D 叠层的存储单元的完整的微处理器，依据本发明制造该存储单元，其中以利用 C4 技术的 2-D 互连方案在多芯片组件（MCM）上连接逻辑和存储单元；

图 6 图示包括逻辑单元和 3-D 叠层的存储单元的完整的微处理器，依据本发明制造该存储单元，其中以使用柱栓/通孔连接的 2-D 转移并结合（T&J）的互连方案连接逻辑和存储单元；

图 7 图示包括逻辑单元和存储单元的完整的微处理器，其中依据本发明垂直集成所有的单元。

具体实施方式

依据本发明，具有在其上形成的器件的多个减薄的晶片可以被层叠且垂直互连。在此描述的实施例中，制造并且连接了 3 级层叠；可以理解这只是为了说明的目的，且该方法可以适用于多于或少于三级。3-D 垂直地集成的器件可以以两种方法构建，如下所述。

（1）自顶向下晶片层叠方法

图 1A 显示在靠近晶片的前表面 1a 的晶片的区域 1d 中具有器件和几层高密度互连布线 11（通常为 Cu）的晶片 1 的剖面。在晶片 1 中形成金属化的通孔 12，延伸至器件和横向互连的区域 1d 之下；这些通孔在晶片 1 被减薄后将成为垂直通过连接（through-connection）的部分。一般通过在晶片 1 中蚀刻孔、在孔的侧面和底上形成衬里材料层和用金属（优选为 Cu）填充孔

来形成通孔 12。通孔 12 的深度小于减薄后的晶片 1 的最终厚度；由此，如果减薄后晶片约 $10\mu\text{m}$ 厚，通孔则小于 $10\mu\text{m}$ 深度。必须选择通孔 12 的直径以兼顾热传导和空间问题。大致 $1\mu\text{m}$ 的直径消耗晶片表面上的最小的空间同时提供可接受的通过晶片的热传导；可以使用更小的通孔直径，但是对通过垂直晶片层叠的热传导可能是不足的。

为了说明的方便，显示通孔 12 以均匀的直径直线向下延伸进入器件之下的晶片区域。在实际中，对通孔的尺寸的要求可以在区域 1d 以下显著地放松。与在器件下横向延伸的该通过连接有关的其它方案是可能的，如下更详细地讨论。

为了有利于减薄的晶片的操作，操作板（通常为玻璃）15 被贴附于晶片的前表面 1a。利用优选为聚酰亚胺的热塑性键合材料的层 16 将晶片 1 和板 15 键合在一起。

在操作板 15 贴附于晶片 1 的情况下，通过磨制或抛光后表面 1b 减薄晶片（见图 1B）。晶片 1 的结果的厚度小于 $20\mu\text{m}$ ，优选为大约 $10\mu\text{m}$ 。如图 1B 所示，减薄工艺在暴露通孔 12 的底部之前停止。

然后在晶片的后表面 1b 蚀刻开口 13，暴露通孔 12 的底部（图 1C）。在通孔中的金属可以自己作为该工艺的蚀刻阻挡；可替换地，可以在晶片的另一部分（未被器件占据）提供蚀刻阻挡层以提供该工艺的控制。应注意到开口 13 具有大于相应的通孔 12 的直径的直径。虽然通孔的多种设置是可能的（如下进一步讨论），在后表面 1b 处的开口一般大于在前表面 1a 处的通孔。

然后用金属涂布开口 13 的内表面 14（优选通过溅射）以与相应的通孔 12 的底端接触，以使形成通过晶片 1 的导电路径。应注意到开口 13 具有大于相应的通孔 12 的直径的直径（通常为两倍大）。这是为了有利于与另一晶片的垂直连接。

图 1D 显示了将与晶片 1 垂直集成的第二晶片 2。晶片 2 具有器件和在其上形成的互连布线 21，相似于晶片 1。另外，金属化的通孔 22（通常用铜填充）向下延伸进入晶片 2，通孔 22 具有在表面 2a 的横向的尺寸 221。在晶片 2 的前表面 2a 上沉积聚酰亚胺层 26。在表面 2a 上形成柱栓 27，在层 26 的顶表面的上面延伸通常为 $5\mu\text{m}$ 或更小的距离。柱栓 27 可以由 Ni、Cu、镀 Ni 的 Cu、W 或某些其它金属或金属的组合制成。在柱栓的表面上沉积低熔点合金材料层 28；这有利于在垂直结合晶片 1 和 2 的工艺期间电连接的形

成。合金材料通常为 90/10 Pb/Sn 焊料， $2\mu\text{m}$ 或更薄的厚度。替换的合金材料包括 Au/Sn 和 Sn/Ag。该合金材料可以经受热回流工艺以使层 28 获得圆头形状，如图 1D 所示。这有利于晶片 2 上的柱栓对相应的在晶片 1 上的开口的对准。柱栓从晶片 2 的器件垂直向上延伸电连接，而通孔 22 垂直向下地延伸电连接。

然后利用键合和层压 (lamination) 工艺将晶片 1 (贴附于操作板 15) 贴附于晶片 2。如图 1E 所示，在晶片 2 上的柱栓 27 与晶片 1 上的开口 13 校准，以晶片 1 的后表面 1b 接触聚酰亚胺层 26 的前表面。在充分 (1) 保证晶片 1 和层 26 之间的键合以及 (2) 保证柱栓 27 和金属 14 (由此对通孔 12) 的电接触的温度和压力下进行层叠工艺。依据使用的材料，温度可以在 200°C - 400°C 的范围且压力可以在 10psi - 200psi 的范围。如图 1E 所示，键合和层压工艺导致焊料 28 流动以使焊料或者部分地或者全部地填充开口 13。

应注意开口 13 具有大于柱栓 27 的直径，且由此能容纳相对于晶片 1 的晶片 2 的横向定位的不准确。另外，应注意表面 1b 和 2a 未直接接触，而是在其间具有层 26。聚酰亚胺层 26 具有足够的厚度以覆盖小表面粒子，填充较小的表面缺陷，或容纳在两个晶片的平整度上的不同。因此，层 26 在保证晶片间的可靠的机械键合上具有重要的作用，而柱栓/通孔连接 27-28-14-12 提供可靠的垂直的电连接。

然后减薄晶片 2 (现与晶片 1 键合) 至小于 $20\mu\text{m}$ ，优选为约 $10\mu\text{m}$ 。如图 1F 所示，在晶片 2 的后表面 2b 中形成开口 23，暴露通孔 22 的底部。用金属 24 涂布开口 23 的内部表面 (优选通过如晶片 1 的溅射)，以提供与另一晶片 3 的电连接。

图 1G 图示与晶片 1 和晶片 2 键合的晶片 3 的制备。晶片 3 也具有靠近其前表面的器件和互连布线 31。为了与晶片 2 的后表面电接触，在晶片 3 的前表面 3a 形成柱栓 37。柱栓 37 具有在其表面的合金材料 38，分别相似于晶片 2 上的柱栓 27 和合金材料 28。在表面 3a 上也沉积聚酰亚胺层 36，相似于层 26。在该图示中，晶片 3 是被键合的垂直叠层的最后晶片。因此，晶片 3 未被减薄 (为了提供叠层的机械强度) 且不要求通过晶片的通孔。

图 1H 显示晶片 3 的键合和层叠工艺的结果。柱栓 37 与通孔 22 电接触，作为合金材料 38 填充开口 23 和与金属层 24 键合的结果。聚酰亚胺层 36 与晶片 2 的表面 2b 键合，相似于晶片 1 和晶片 2 之间的层 26。由于未减薄的

晶片 3 为减薄的晶片 1 和 2 提供机械强度, 不再需要操作板 15 且可以在此刻去除操作板 15。这可以通过激光切除方便地完成, 即, 如果板 15 对切除辐射透明, 则可以使用激光切除板 15 和层 16 之间的界面, 由此分离该板。

然后可以使垂直互连的晶片叠层 1-2-3 贴附于外部连接, 如图 1I 所述。图 1I 显示例如使用 C4 技术以连接垂直叠层至在更大的器件中的其它元件。在层 16 中形成开口 40 以暴露晶片 1 的金属化的通孔 12, 然后在开口中沉积金属焊盘 41。然后利用(例如)本技术领域中的已知焊料掩模技术, 在这些焊盘上形成 C4 焊料凸点 42。然后完成的垂直集成的器件 100 可以与多芯片组件(MCM)上的 C4 焊盘等键合。

应注意只是示意性地图示晶片 1、2 和 3 的内部结构, 其实, 这些晶片可以通过不同的方法制造且可以具有不同的功能。例如, 所有三个晶片可以具有高速缓冲存储器器件, 晶片 1 和 2 可以具有存储器而晶片 3 具有逻辑器件, 一个或更多的晶片可以引入微机电系统(MEMS)等。

本发明人已经发现成功的晶片级垂直集成由以下因素保证: (1) 减薄晶片至约 $10\mu\text{m}$ 以最小化在通孔中垂直的热传导问题; (2) 使用聚酰亚胺作为热塑性键合材料以放松晶片平整度和清洁度要求; 和 (3) 使用其中后表面通孔开口显著大于柱栓的柱栓/通孔连接以放松横向配准要求。

(2) 自底而上晶片层叠工艺

在图 2A-2E 中图示在垂直的叠层中键合晶片的替换的工艺。该工艺将对于三个晶片进行详细说明, 但是, 如以上所注, 可以适用于更多或更少的晶片。首先依据图 1A-1C 所示的工艺制备晶片 1, 由此该晶片被减薄至约 $10\mu\text{m}$, 该晶片具有在后表面上具有开口 13 的金属化的通孔 12, 且该晶片具有贴附于具有聚酰亚胺层 16 的前表面的操作板 15。

然后制备具有横向互连布线 51 的第二晶片 5, 如图 2A 所示。晶片 5 具有合金材料 58 的通孔 52 和柱栓 57, 相似于在以上所述的工艺中的晶片 2(对比图 1D)。为晶片 5 提供操作板 55。用聚酰亚胺涂层 56 覆盖板 55, 涂层 56 被构图以容纳柱栓 57。然后晶片 5 与操作板 55 键合, 其允许晶片被减薄(图 2B)。在减薄的晶片的后表面 56 中形成开口 53, 且用前述的金属层 54 涂布其内表面。

由于晶片 1 和 5 每个分别具有操作板 15 和 55, 它们可以被分开地准备、键合与减薄。

如图 2C 所示, 制备具有横向互连布线 61 的第三晶片 6。该晶片具有在其前表面上的聚酰亚胺层 66 和柱栓 67 (相似于如图 1G 所示的晶片 3), 在其表面上具有合金材料 68, 用于使与其它晶片垂直电连接。柱栓 67 从层 66 凸出足够的距离以接触晶片 5 上的金属层 54 (即, 约 $5\mu\text{m}$)。然后晶片 5 和 6 被键合且层压在一起, 如图 2D 所示。由于晶片 6 未减薄, 在键合工艺之后不需要操作板 55 且因此去除操作板 55。在此刻, 减小晶片 5 的前表面 5a 上的层 56 的厚度以暴露柱栓 57 的高度约为 $5\mu\text{m}$ 。然后柱栓 57 可以用于与晶片 1 的金属层 14 的键合。在图 2E 中显示了该键合工艺的结果, 其中层叠的晶片 5 和 6 与晶片 1 结合, 合金材料 58 填充被基本晶片 1 的开口 13, 与金属层 14 电接触且由此与通孔 12 电接触。在晶片 5 和 6 与晶片 1 键合之后, 不再需要操作板 15 且可以去除操作板 15, 由此暴露层 16。然后层 16 可以具有在其中形成的开口 40 和用以与通孔 12 连接而形成的金属焊盘 41 和 C4 焊料凸点 42 (图 2F, 对比图 1I)。

可以理解用于层叠多个减薄的芯片以及引入从芯片至芯片的垂直互连的上述的技术在不增加其面积 (二维) 尺寸的情况下极大地提高芯片容量和功能。这些工艺对于具有相同容量的芯片特别有吸引力, 由于每个减薄和层叠的芯片将具有相同的尺寸。这依次使器件的总体工艺显著地简单且更经济。应注意这些工艺允许晶片级的芯片至芯片互连, 由此当与单一芯片垂直设置、键合和互连的工艺相比时, 制造 3D 芯片的工艺成本显著低。与前述的垂直互连方案不同, 在本发明中的芯片至芯片互连没有沿芯片的侧面进行, 而是直接通过芯片形成。

值得注意的是在层叠的晶片的减小的厚度 (约 $10\mu\text{m}$) 的情况下, 芯片间 (例如在高速缓冲存储单元之间) 的互连长度远小于这样的芯片的 2-D 方案中的长度。这给出除了节省二维空间以外的改进的器件性能的附加的好处。

在图 1A-II 和 2A-2F 中, 为了图示的方便, 显示通孔以均匀的直径直线下延伸通过晶片。对于芯片至芯片的垂直互连不需要具有通过晶片全厚的小直径, 或甚至对于减薄的晶片的 $10\mu\text{m}$ 的厚度。例如, 如图 3 所述, 可以制备晶片 1 具有嵌入其中的大金属区 102。然后垂直的互连可以包括具有小直径 (小于 $1\mu\text{m}$) 的垂直的布线 12 来当其延伸通过晶片的器件区 1d 时节省空间, 和在器件区下面横向延伸且与后表面开口 103 的金属化的内表面连接

的更大的金属区 102。由此依据区 102 的横向的延伸，开口 103 从通孔 12 横向地分开。该方案最小化在器件区中对于垂直的互连所需的空间且同时减少互连的电阻。另外，应注意的是该方案使互连区域直接位于晶片上的器件区之下成为可能（例如，通过直接位于在区域 1d 中的器件之下的开口 103 与另一晶片的互连）。这依次允许在开口 103 的尺寸和位置上的弹性，且由此进一步放松了对于晶片间（在该例子中，在晶片 1 和 2 之间）的精确对准的需求。

晶片间的金属化的垂直连接可以用于热传导和电信号。例如，如图 4A 所示，电路在晶片 1 的器件区下横向地通过以在晶片的后表面 1b 上在电连接开口 13 之间提供附加的空间。在晶片的表面中形成附加的开口 113 且使它们的内表面 114 具有金属的涂层，相似于开口 13 和金属涂层 14。（可以以相同的工艺步骤形成开口 13、113；相似地对于金属涂层 14、114，可以以相同的工艺步骤形成。）附加的开口 113 不形成电连接的一部分，但是作为提供通过晶片叠层的热传导的路径。在晶片 2 的前表面 2a 上形成用低熔点合金材料 128 为帽的附加的柱栓 127，如图 4B 所示。当在上述的工艺中晶片被键合在一起时，柱栓 127 与金属 114 在开口 113 中连接，以形成在晶片 1 和 2 之间的金属化的热传导路径（见图 4C）。如图 4C 所示，柱栓 127 可以或不电连接通孔 22 或柱栓 27。无电信号被传递至晶片 1 的前表面。

虽然在图 4A-4C 中的热传导路径显示为在晶片 1 和 2 之间形成，可以理解在上述的集成工艺的任何一个中（图 1H 所示的在晶片 2 和 3 之间、图 3D 所示的晶片 5 和 6 之间，等等），可以使用该技术以改善在层叠中任意晶片间的热传导。

图 5 图示了具有与芯片（例如逻辑单元）200 横向连接的垂直集成的层叠（例如高速缓冲存储单元）100 的器件 400，使用 C4 与多芯片组件（MCM）300 连接。垂直存储器层叠和逻辑芯片分别具有与 MCM 上的 C4 焊盘 301 键合的 C4 焊料凸点 42 和 242。然后 MCM 300 可以被集成入更大和更复杂的器件。

通过使用柱栓/通孔连接可以实现高速缓冲存储器和逻辑单元之间的靠近的连接，如图 6 所示。依据上述的工艺之一制备高速缓冲存储器单元 401，但在聚酰亚胺层 411 中具有金属化的通孔 420（对比图 1I 和 2F）。在逻辑单元 402 上的聚酰亚胺层 412 中形成相似的通孔。具有互连布线嵌入其中的绝

缘层 450 (低 k 介电材料, 氧化物或聚酰亚胺) 具有在其上形成的柱栓 422 以配准通孔的位置。在操作板 (未显示) 上可以构建层 450, 然后使单元 401 和 402 与柱栓 422 对准。在其中柱栓 422 与通孔中的金属焊盘 421 连接的键合工艺之后, 从表面 450b 去除操作板。单元 401 和 402 的间隙 403 可以用合适的材料 (例如聚酰亚胺) 填充用于增加机械稳定性。然后组合器件 (现包括存储单元 401、逻辑单元 402 和互连层 450) 可以具有在表面 450b 上形成的 C4 焊盘 451 和 C4 焊料凸点 452, 以产生器件的外部连接。

可替换地, 在引入高速缓冲存储器和逻辑单元的器件中, 两者可以被集成为垂直叠层, 如图 7 所示。组合的器件 500 包括与高速缓冲存储器芯片 501 和 502 集成的逻辑单元 510。在该方案中, 逻辑单元 510 位于层叠的顶部, 在那里它最容易去除过量的热。

可以理解在图 5-7 中单元 100、200、401、402、500 不需要只是逻辑和/或存储器件, 且实际上可以为不同的任何器件。因此, 利用本发明的工艺在 3-D 集成器件中可以容易地组合不同的器件技术。

工艺应用

本发明一般适用于其中需要器件的高面积密度的半导体器件结构。本发明具体地适用于需要大高速缓冲存储容量的芯片, 其由于中间掩模 (reticle) 尺寸限制或由于有限的工艺合格率不能用现有方法制造。

虽然以具体的实施例描述了本发明, 考虑到以前的描述, 可以发现对于本领域的技术人员, 不同的替换、润饰和改变是显而易见的。因此, 本发明意在包括所有这样的落在本发明和所附的权利要求的范围和精神内的替换、润饰和改变。

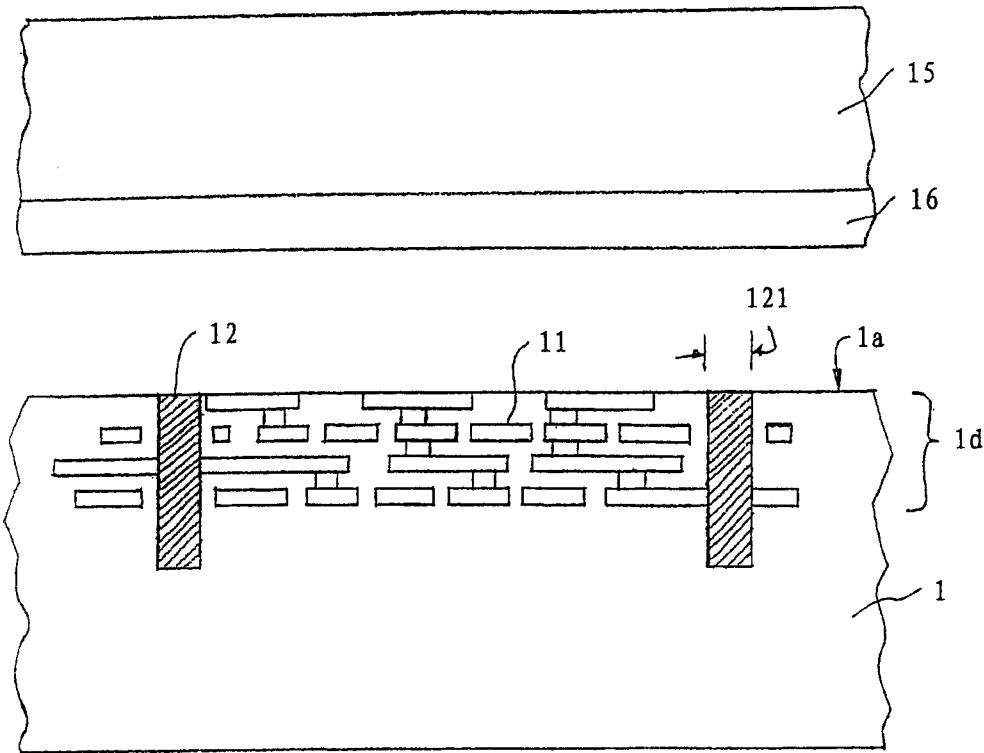


图 1A

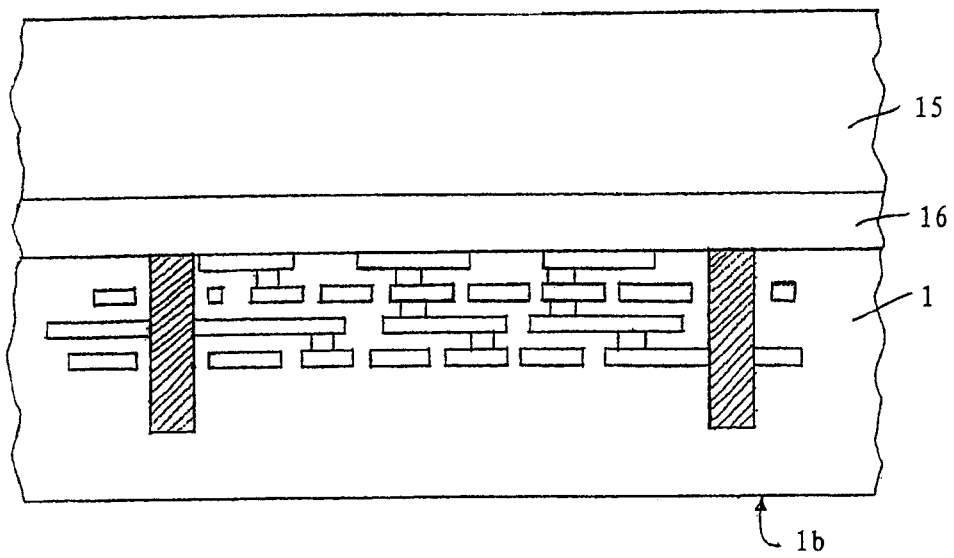


图 1B

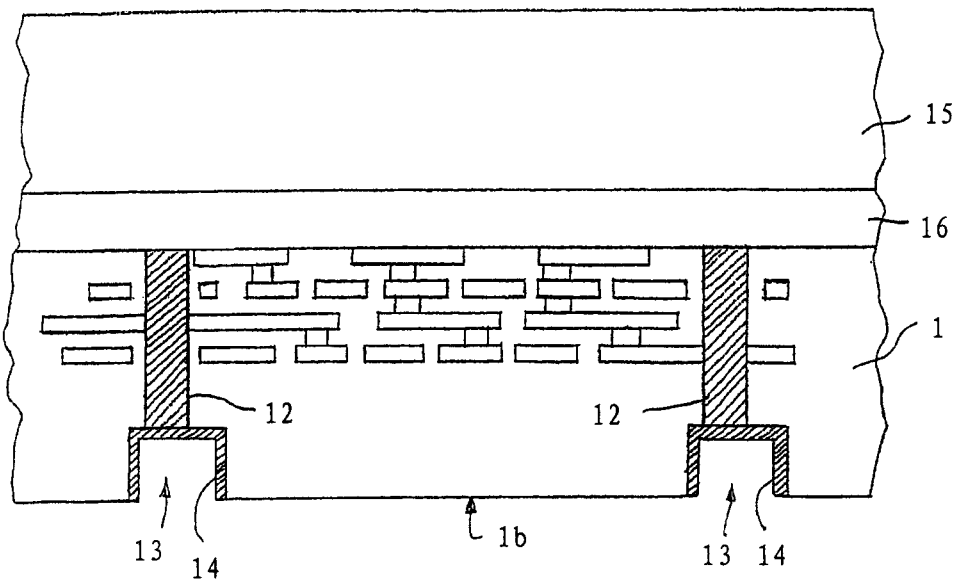


图 1C

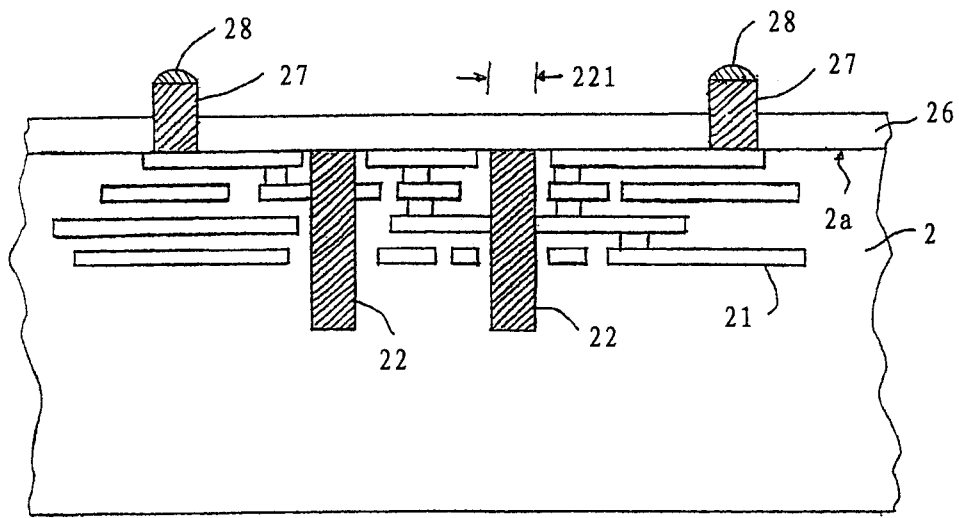


图 1D

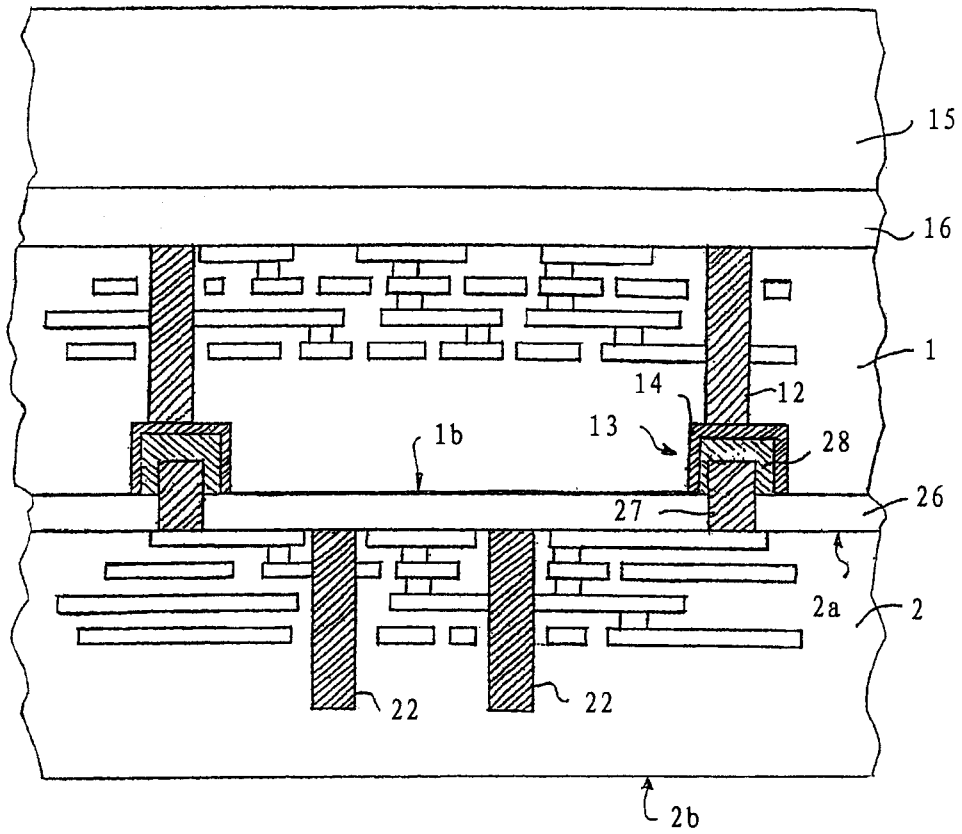


图 1E

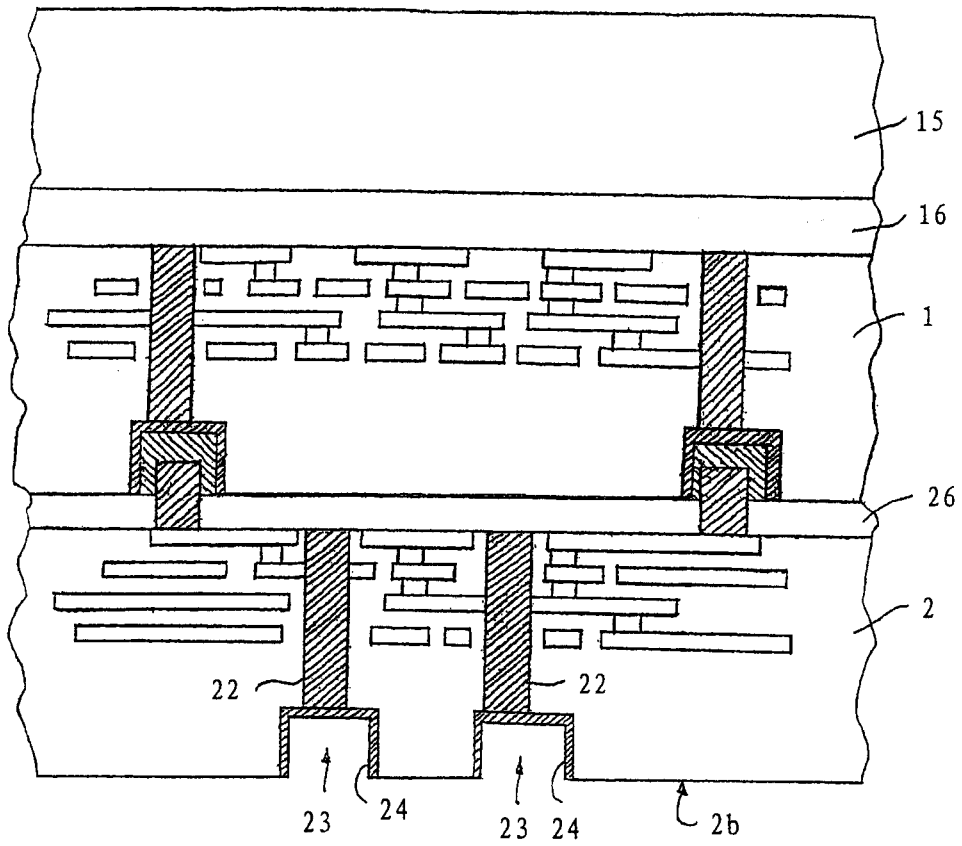


图 1F

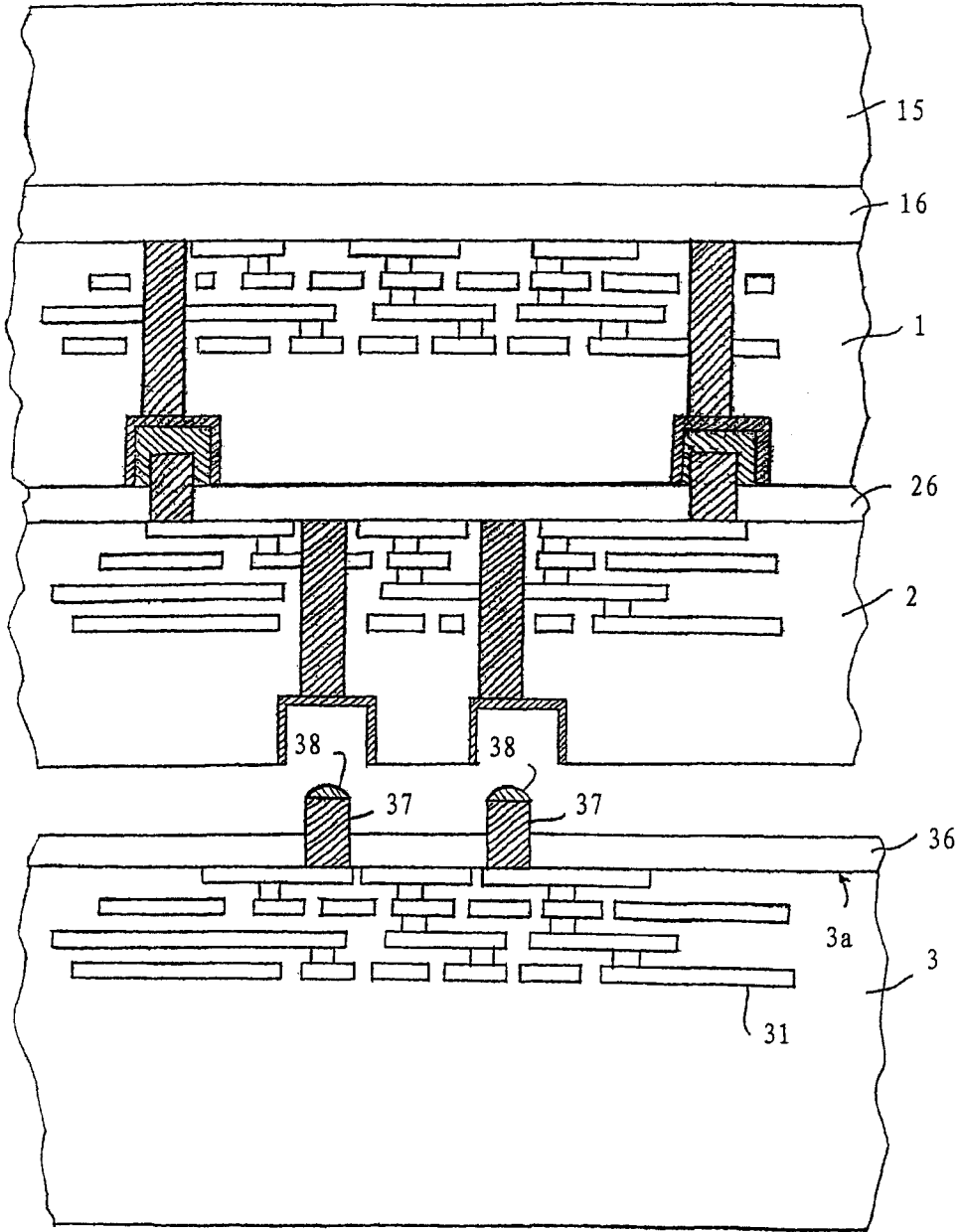


图 1G

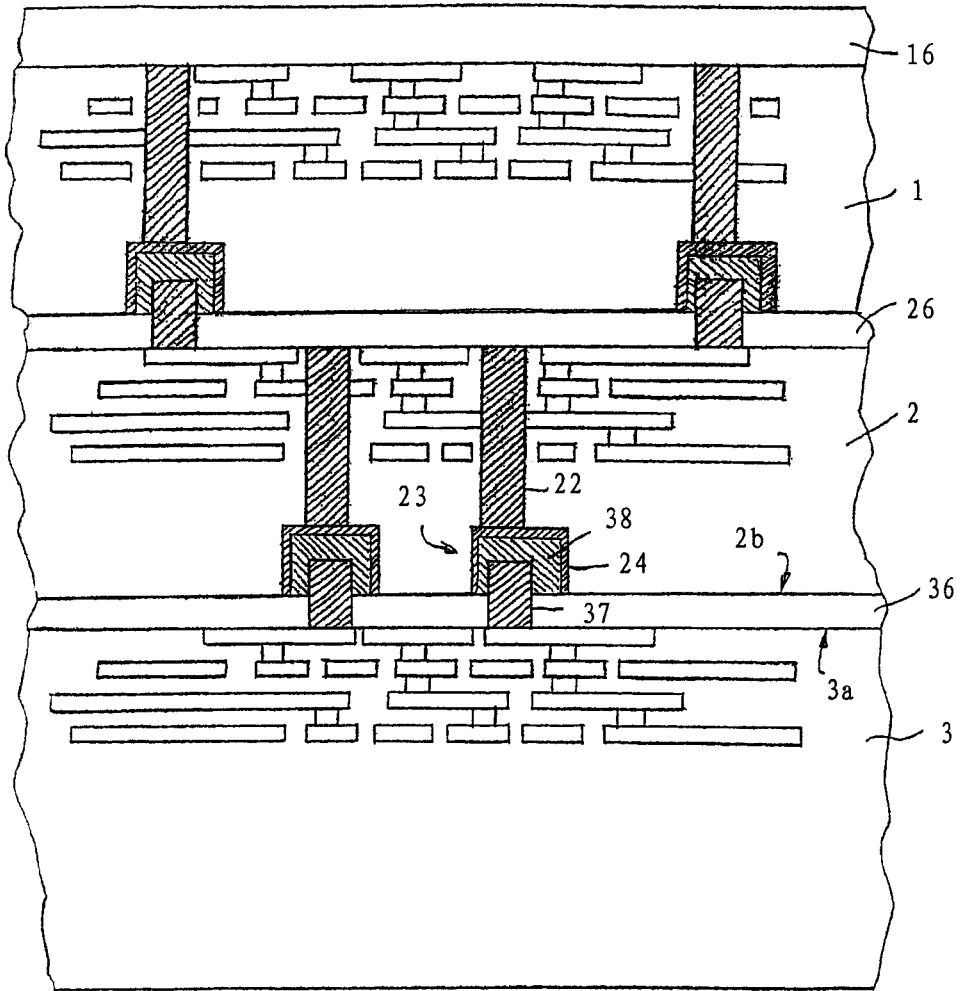


图 1H

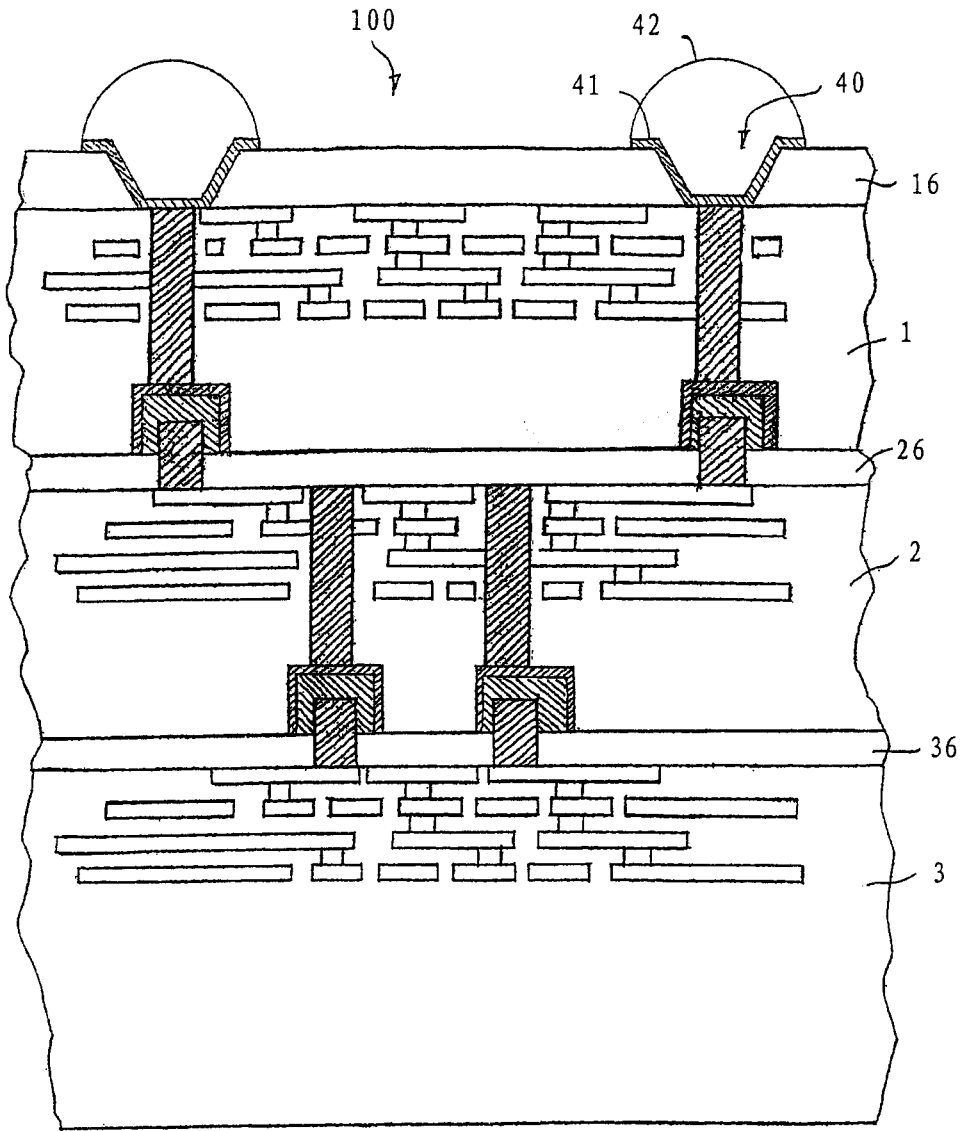


图 11

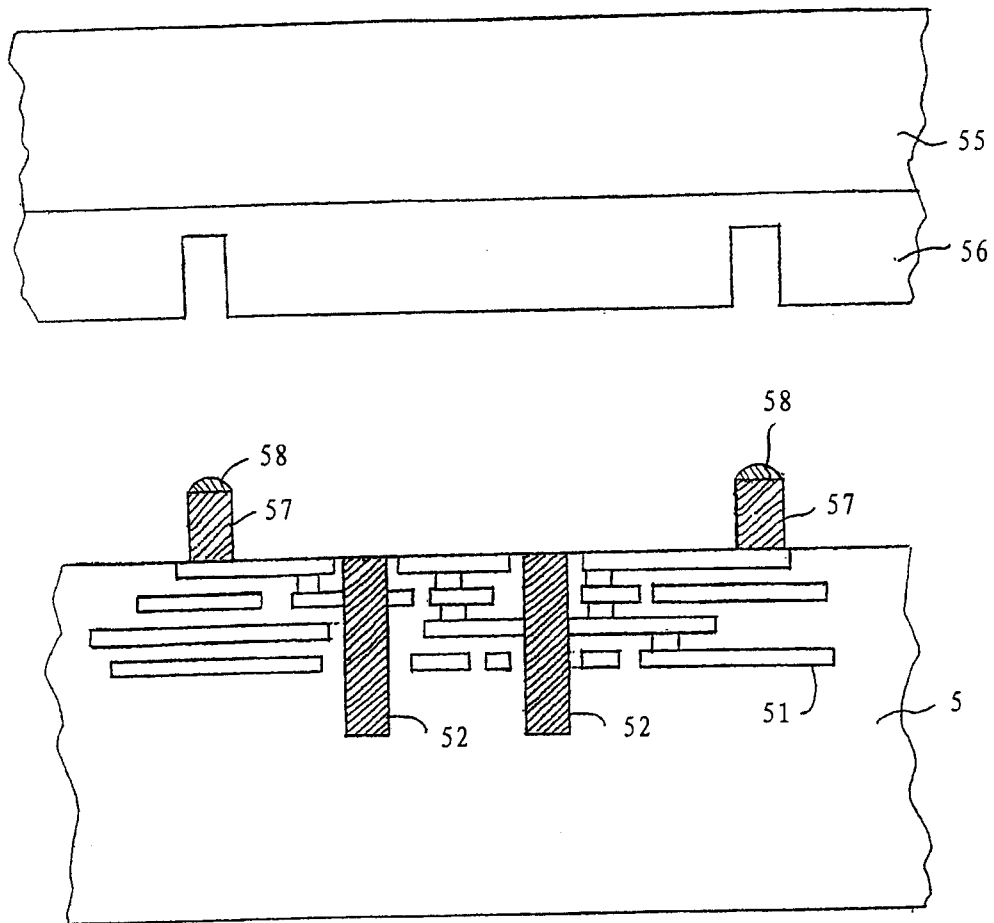


图 2A

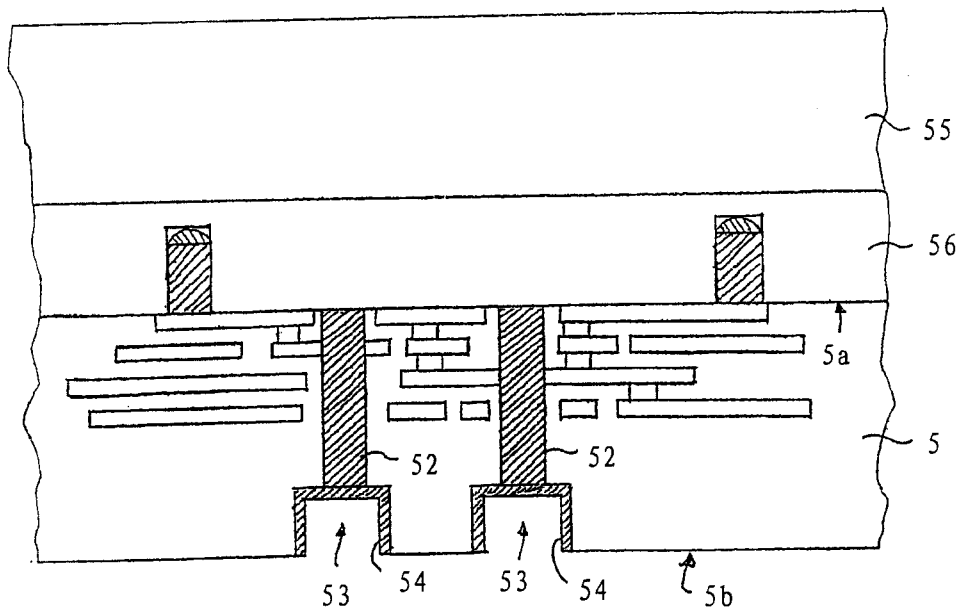


图 2B

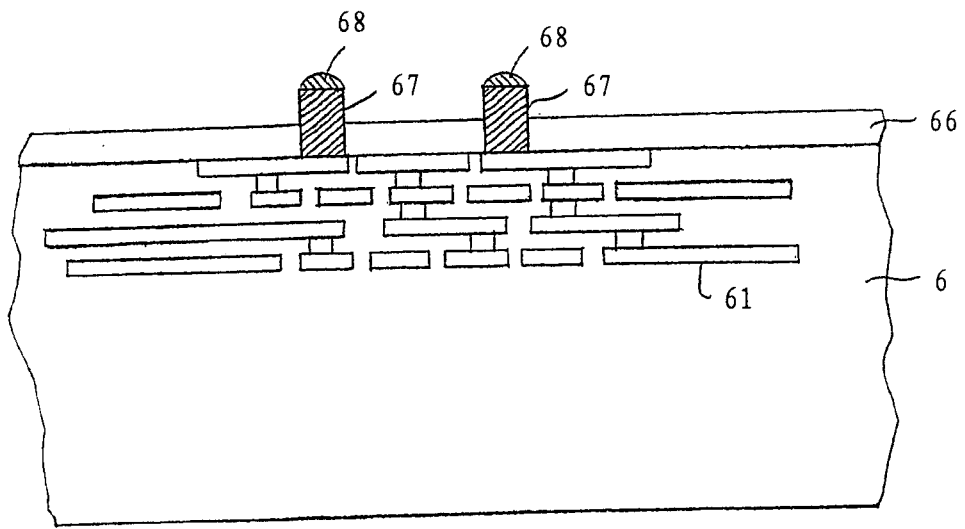


图 2C

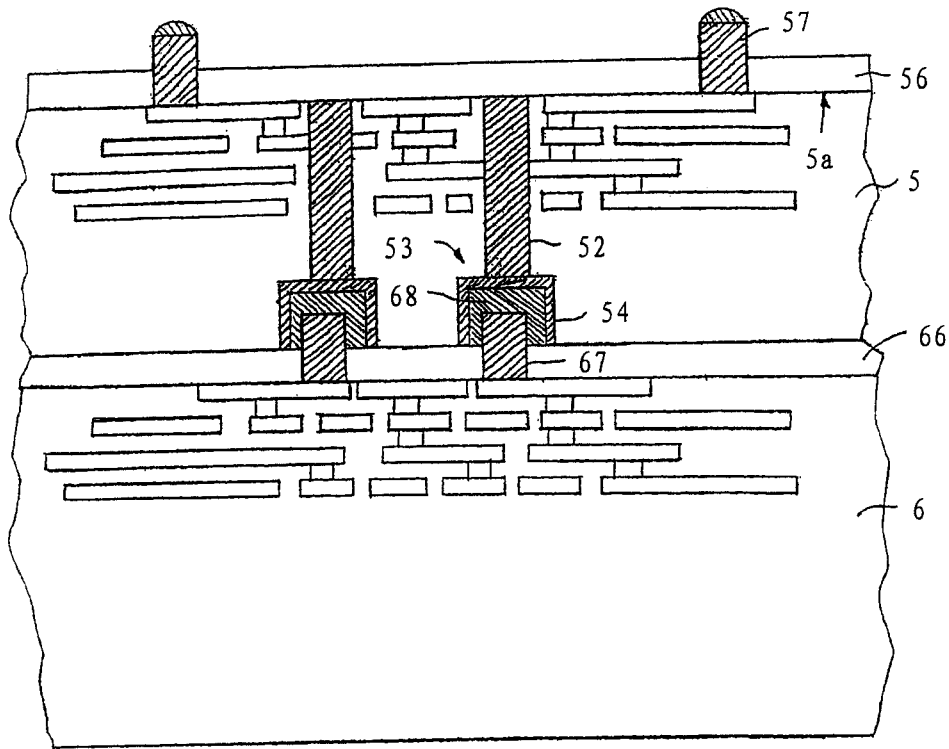


图 2D

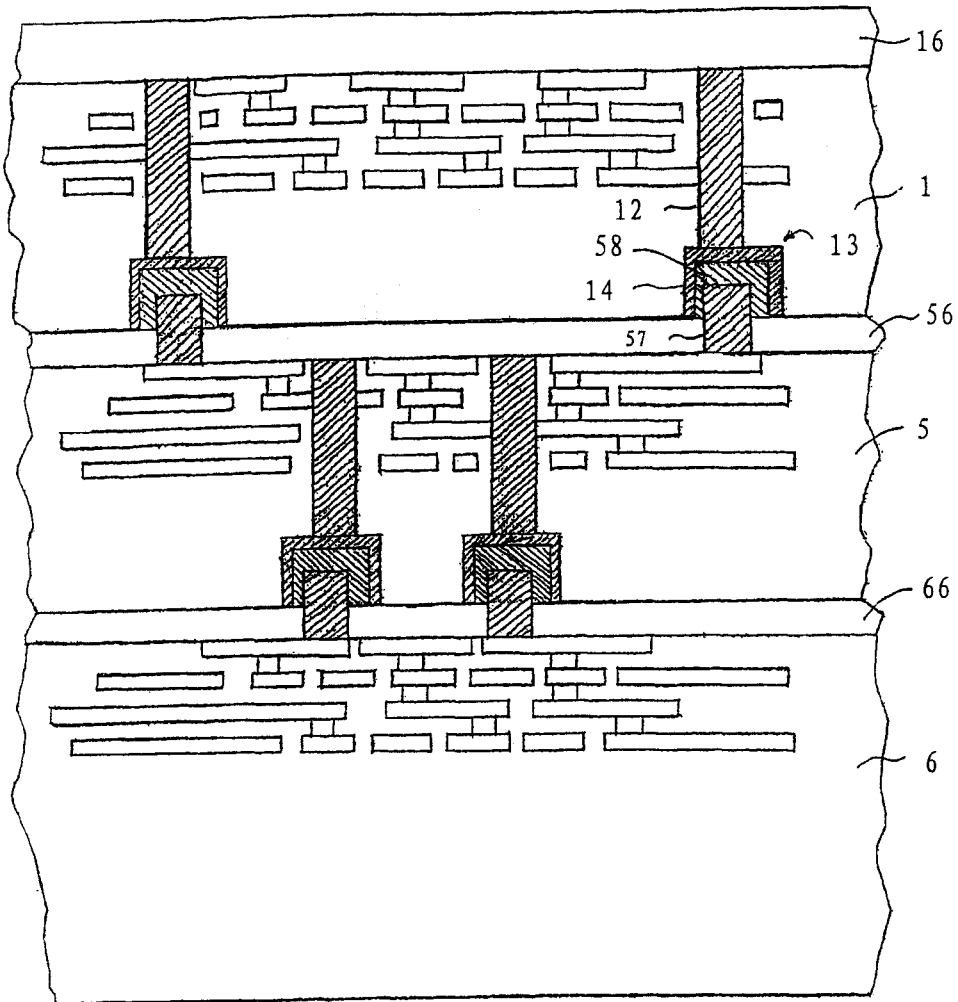


图 2E

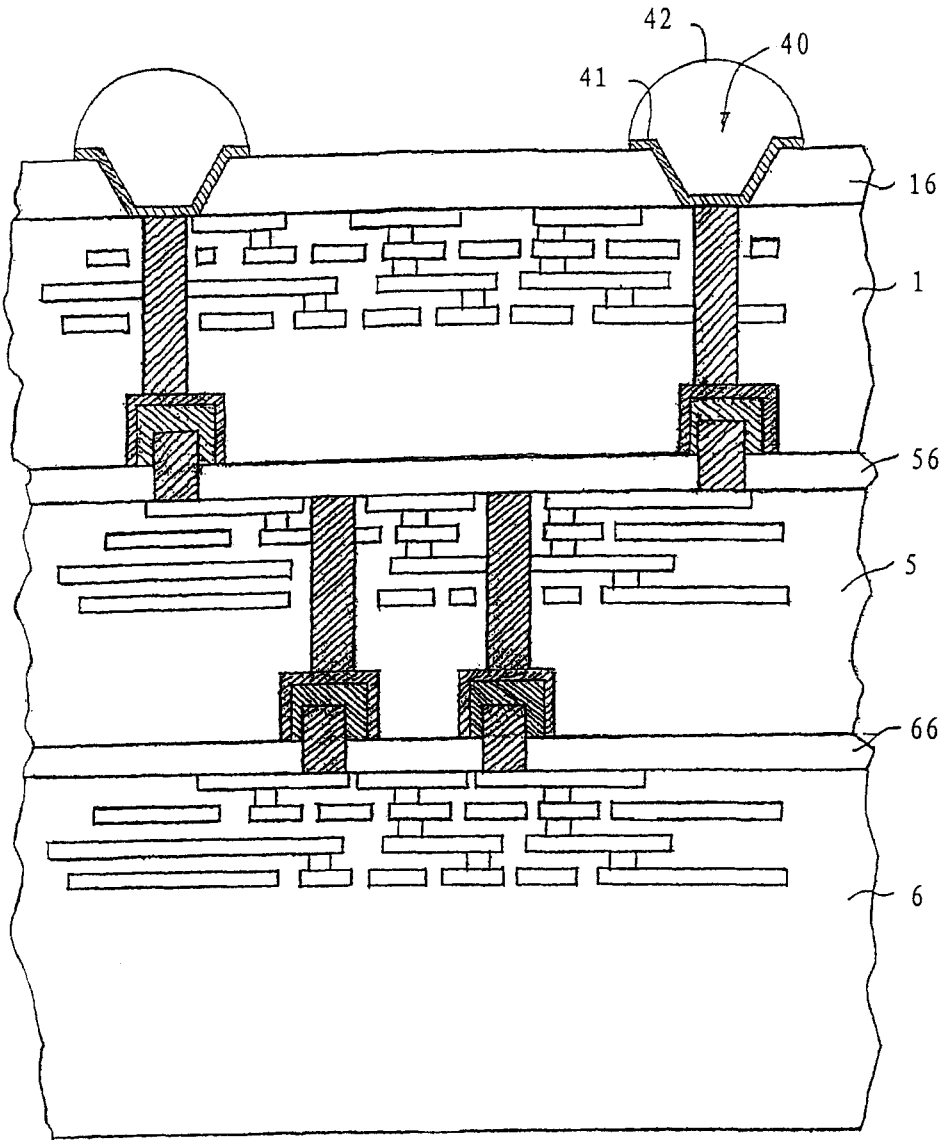


图 2F

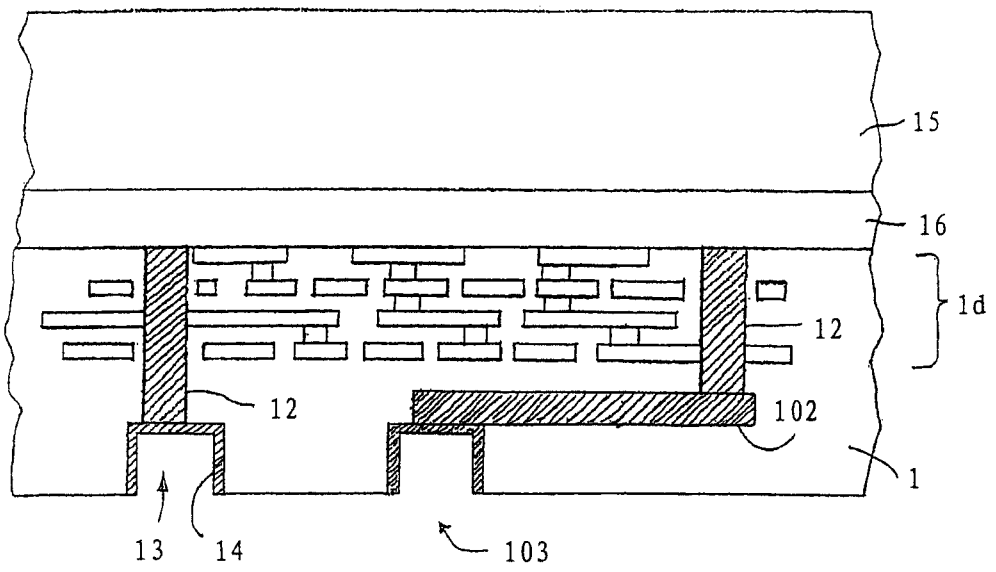


图 3

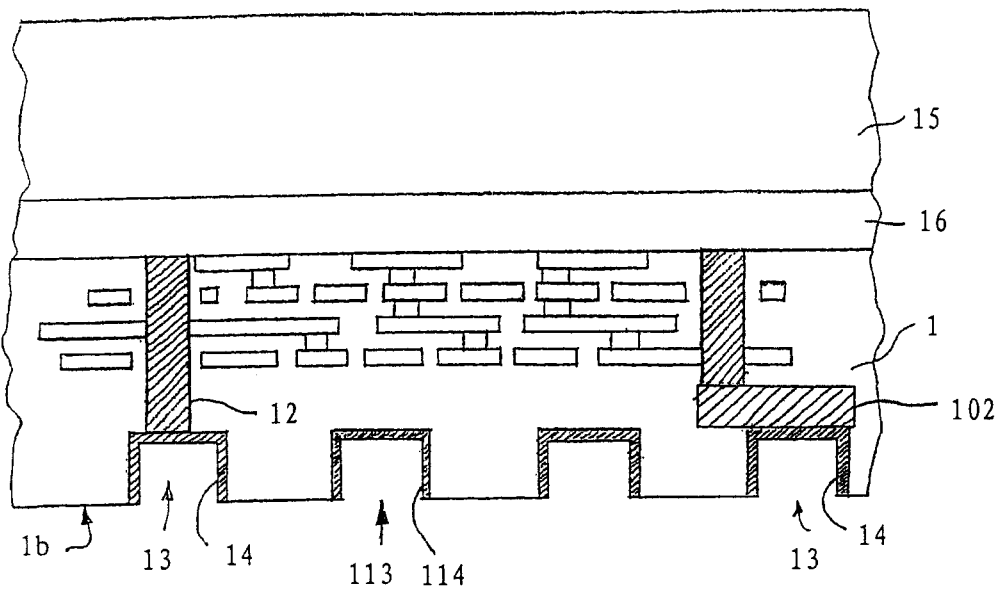


图 4A

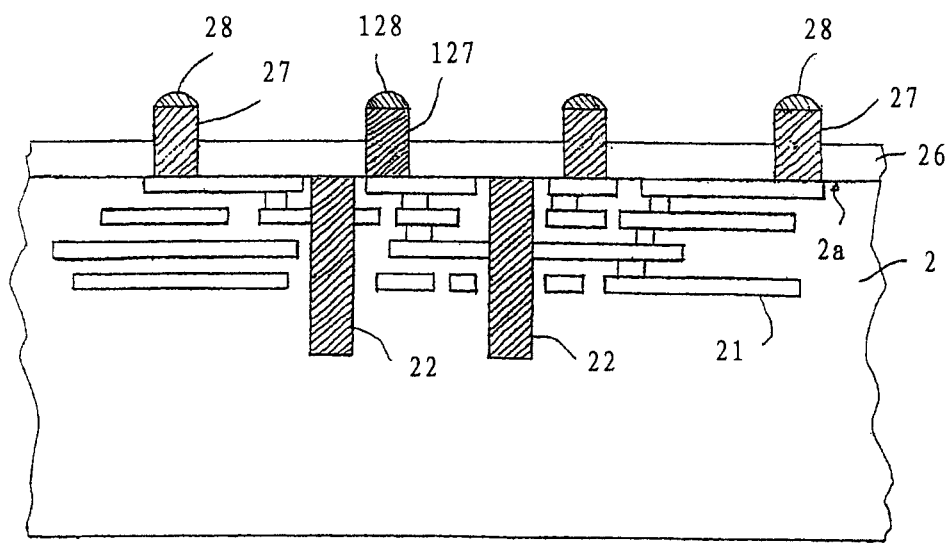


图 4B

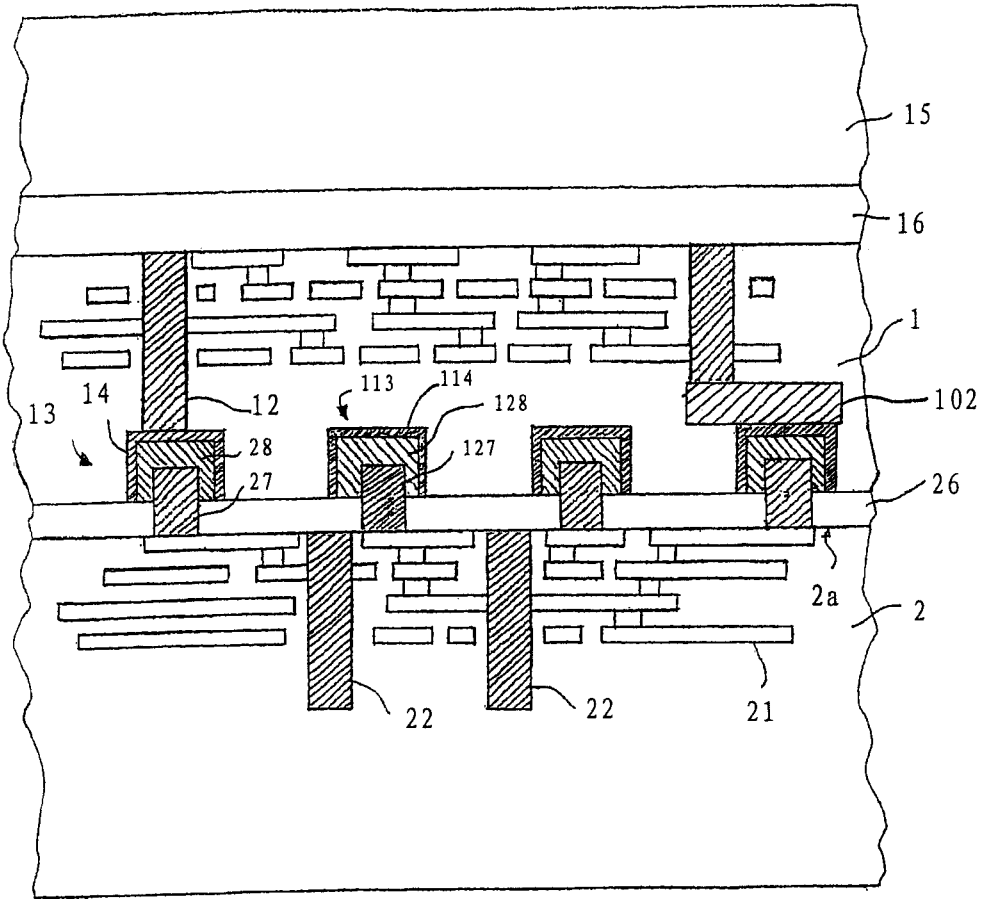


图 4C

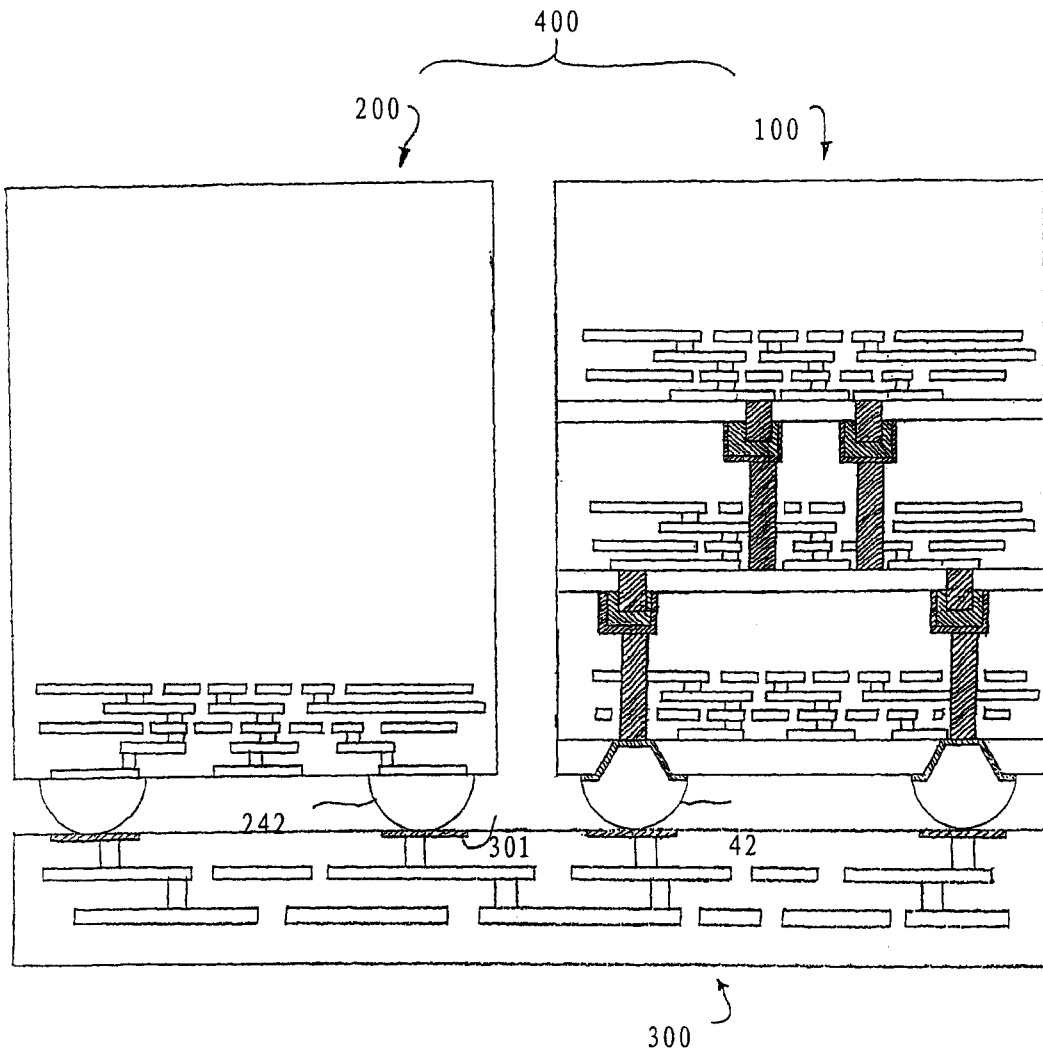


图 5

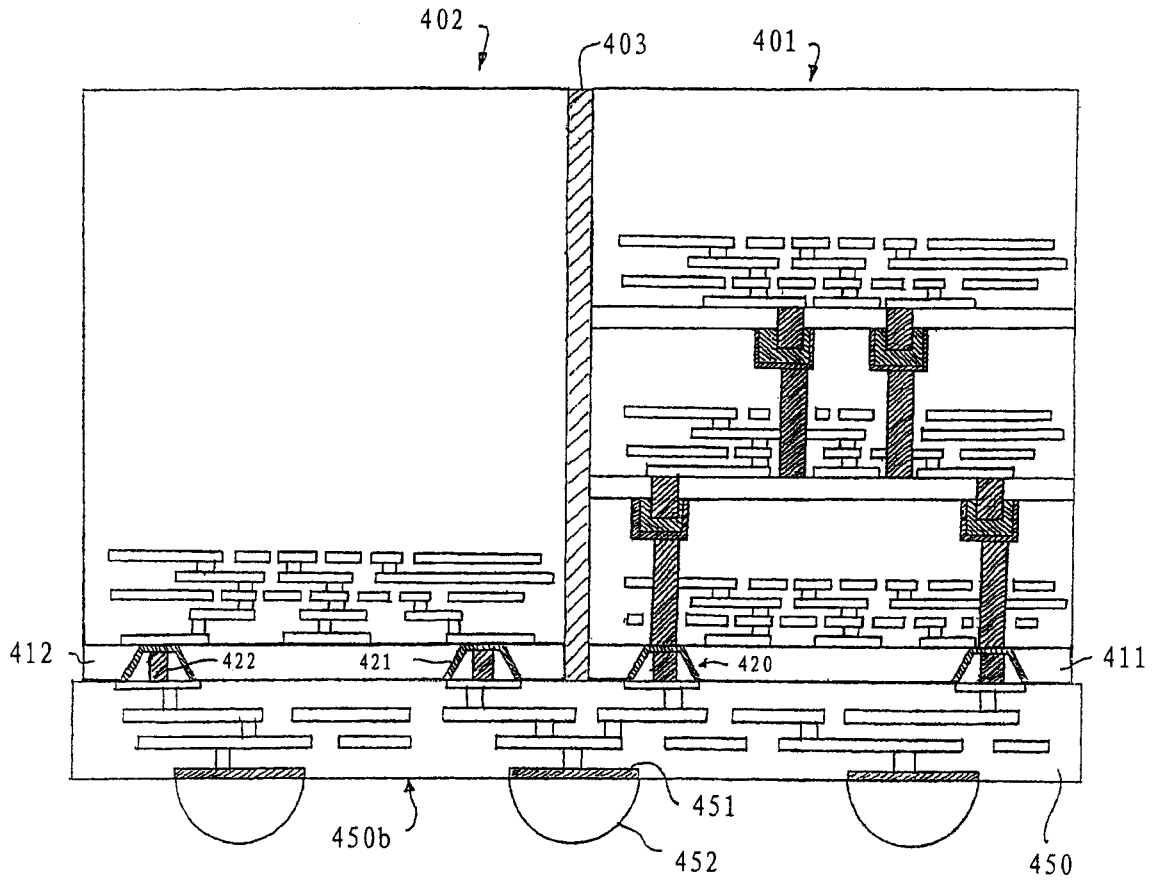


图 6

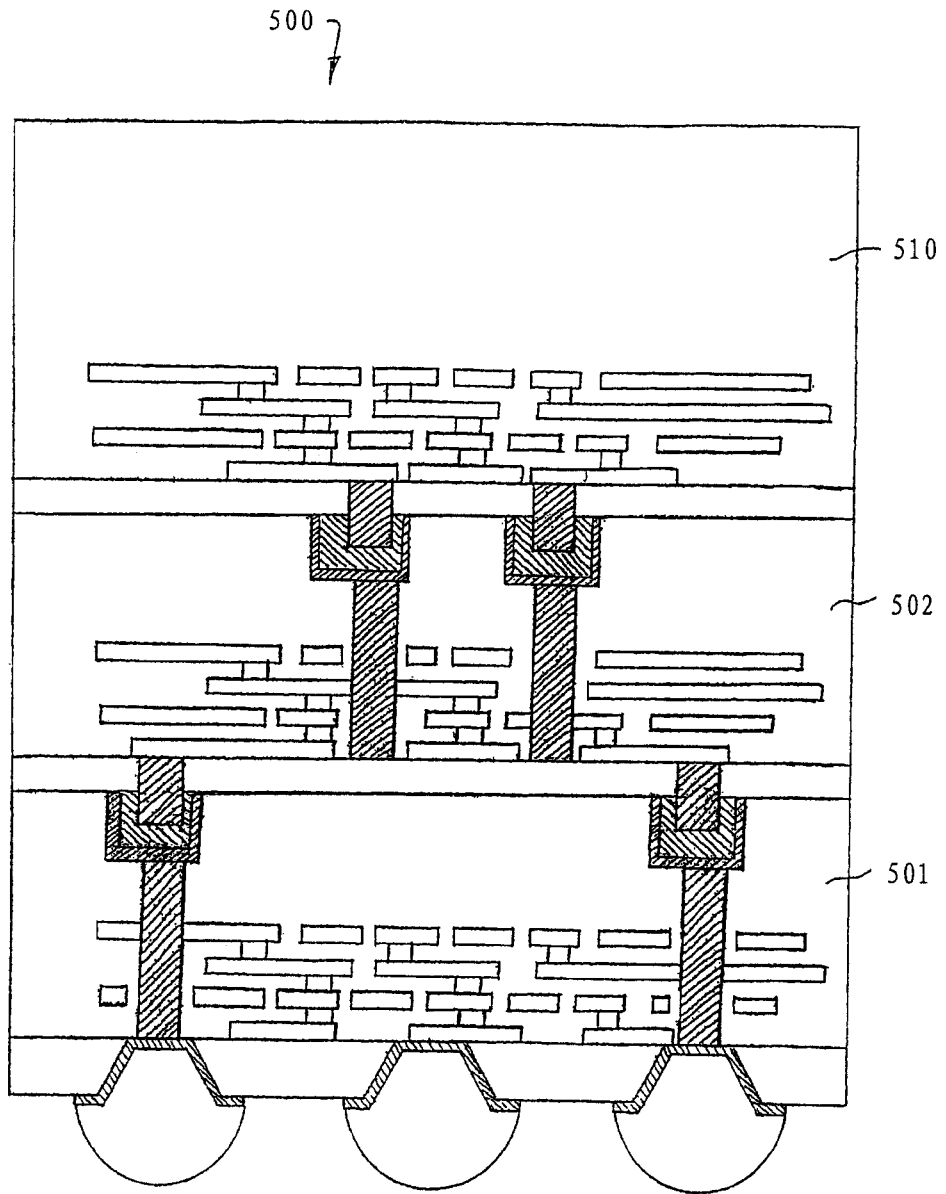


图 7