(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3717227号

(P3717227)

(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]　F I

H01L 21/822　H01L 27/04　H

H01L 27/04　H01L 29/78　623Z

H01L 29/786

請求項の数 5　(全 19 頁)

(21)出願番号　特願平8-76305

(22)出願日　平成8年3月29日(1996.3.29)

(65)公開番号　特開平9-270492

(43)公開日　平成9年10月14日(1997.10.14)

審査請求日　平成15年3月24日(2003.3.24)

前置審査

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】入力／出力保護回路

(57)【特許請求の範囲】

【請求項１】

端子と内部回路との間に接続され絶縁層上に形成される入力／出力保護回路であって、

前記絶縁層上に形成された第１導電型の半導体膜と、

前記半導体膜内に形成され前記端子に接続された第１導電型の複数の第１の導電領域と、

前記半導体膜内に形成され電源線に接続された第２導電型の複数の第２の導電領域とを備え、

前記第１および第２の導電領域は、マトリックスに配置され、前記マトリックスの行方向において交互に配置される、入力／出力保護回路。

【請求項２】

前記第１および第２の導電領域は、さらに前記マトリックスの列方向において交互に配置される、請求項１に記載の入力／出力保護回路。

【請求項３】

前記半導体膜と前記第１および第２の導電領域との界面は丸い、請求項１に記載の入力／出力保護回路。

【請求項４】

端子と内部回路との間に接続され絶縁層上に形成される入力／出力保護回路であって、

第１の電源線に接続され前記絶縁層上に形成された第１導電型の第１の導電領域と、

前記第１の導電領域に伸びる第１のコンタクトホールを有し前記第１の導電領域上に形

成された第１の絶縁膜と、
　前記端子に接続され前記第１のコンタクトホールを通して前記第１の導電領域と接触し、前記第１の絶縁膜上および前記絶縁層上に形成された第２導電型の第１の導電膜とを備える入力／出力保護回路。
【請求項５】
　第２の電源線に接続され前記絶縁層上に形成された第２導電型の第２の導電領域と、
　前記第２の導電領域に伸びる第２のコンタクトホールを有し前記第２の導電領域上に形成された第２の絶縁膜と、
　前記端子に接続され前記第２のコンタクトホールを通して前記第２の導電領域と接触し、前記第２の絶縁膜上および前記絶縁層上に形成された第１導電型の第２の導電膜とをさらに備える、請求項４に記載の入力／出力保護回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は入力／出力保護回路に関し、さらに詳しくは、ＳＯＩ（Silicon-on Insulator）型電界効果トランジスタを用いた半導体装置における入力／出力保護回路に関する。
【０００２】
【従来の技術】
バルクシリコン基板上のＭＯＳデバイスの場合はサージをｐ－ｎ接合を通して基板に放電することができるが、絶縁層上にＭＯＳトランジスタなどを形成したＳＯＩデバイスの場合は基板が絶縁層によって電気的に分離されているのでサージを基板に放電することができない。特に、ソース領域およびドレイン領域が埋込酸化膜（絶縁層）まで達する薄膜ＳＯＩ構造では縦方向の接合が存在しないので、サージは横方向に放電する必要がある。このため、サージはダイオードまたはＭＯＳトランジスタを通して横方向に電源線または接地線に放電されることになる。
【０００３】
図１７は、従来の入力保護回路の一例を示す回路図である。図１７を参照して、この入力保護回路は入力端子３０と内部回路３１との間に接続され、突入抵抗３６、内部抵抗３７、ダイオード３８および３９を備える。
【０００４】
図１８は、内部回路３１の典型的な一例であるインバータを示す回路図である。図１８を参照して、このインバータはＰチャネルＭＯＳトランジスタ４４およびＮチャネルＭＯＳトランジスタ４５を含む。この例では、図１７に示された保護回路はインバータの入力ノード７２に接続され、これにより入力端子３０を通して与えられるサージからインバータを保護する。
【０００５】
一方、保護回路はインバータの出力ノード７３に接続されてもよい。このとき、保護回路は出力ノード７３を通して与えられるサージからインバータを保護するので、出力保護回路と呼ばれる。以下、入力保護回路および出力保護回路を総称して入力／出力保護回路と呼ぶ。
【０００６】
次に、図１７に示された入力／出力保護回路の動作を説明する。静電気によるサージが入力端子３０を通して与えられると、まず突入抵抗３６がサージを遅延させてダイオード３８および３９への急激な進入を防止する。突入抵抗３６を通過したサージは信号線７１に与えられ、さらにダイオード３８によって電源線３２にまたはダイオード３９によって接地線３３に速やかに放電される。ここで、内部抵抗３７はサージを内部回路３１の方向に流すのではなく、ダイオード３８および３９の方向へ流すものである。
【０００７】
たとえば正の高電圧サージが与えられると、ダイオード３９のｐ－ｎ接合は降伏し、サージは接地線３３に放電される。これと同時にダイオード３８は順方向にバイアスされ、サ

ージは電源線３２に放電される。他方、負の高電圧サージが与えられると、ダイオード３８のｐ－ｎ接合が降伏し、サージが接地線３２に放電される。これと同時にダイオード３９が順方向にバイアスされ、サージが接地線３３に放電される。なお、入力端子３０に与えられる通常の入力信号は信号線７１を経由してそのまま内部回路３１に伝達される。

【０００８】

【発明が解決しようとする課題】

このような入力／出力保護回路のサージ耐性は一般に素子の微細化に伴って低下する傾向にある。また、微細化に伴ってＳＯＩ構造が採用される傾向もある。したがって、ＳＯＩ構造の半導体装置においてはより高いサージ耐性を備えた入力／出力保護回路が必要とされる。

【０００９】

それゆえに、この発明の主たる目的はサージ耐性の高い入力／出力保護回路を提供することである。

【００１０】

【課題を解決するための手段】

この発明の１つの局面に従うと、端子と内部回路との間に接続され絶縁層上に形成される入力／出力保護回路は、第１導電型の半導体膜と、第１導電型の複数の第１の導電領域と、第２導電型の複数の第２の導電領域とを備える。第１導電型の半導体膜は、絶縁層上に形成される。第１導電型の複数の第１の導電領域は、半導体膜内に形成され端子に接続される。第２導電型の複数の第２の導電領域は、半導体膜内に形成され電源線に接続される。そして、第１および第２の導電領域は、マトリックスに配置され、マトリックスの行方向において交互に配置される。

【００１１】

上記第１および第２の導電領域は、さらにマトリックスの列方向において交互に配置される。

【００１２】

上記半導体膜と第１および第２の導電領域との界面は丸い。

【００１５】

この発明のさらにもう１つの局面に従うと、端子と内部回路との間に接続され絶縁層上に形成される入力／出力保護回路は、第１導電型の第１の導電領域と、第１の絶縁膜と、第２導電型の第１の導電膜とを備える。第１導電型の第１の導電領域は、第１の電源線に接続され絶縁層上に形成される。第１の絶縁膜は、第１の導電領域に伸びる第１のコンタクトホールを有し第１の導電領域上に形成される。第２導電型の第１の導電膜は、端子に接続され第１のコンタクトホールを通して第１の導電領域と接触し、第１の絶縁膜上および絶縁層上に形成される。

【００１６】

入力／出力保護回路は、第２導電型の第２の導電領域と、第２の絶縁膜と、第１導電型の第２の導電膜とをさらに備える。第２導電型の第２の導電領域は、第２の電源線に接続され絶縁層上に形成される。第２の絶縁膜は、第２の導電領域に伸びる第２のコンタクトホールを有し第２の導電領域上に形成される。第１導電型の第２の導電膜は、端子に接続され第２のコンタクトホールを通して第２の導電領域と接触し、第２の絶縁膜上および絶縁層上に形成される。

【００２４】

【発明の実施の形態】

この発明の実施の形態を説明する前に、まずこの発明の理解を容易にするためにこの発明の前提となる入力／出力保護回路の例を図１９～図２２を参照して説明する。なお、図中同一符号は同一または相当部分を示す。

【００２５】

図１９に示された入力／出力保護回路は、図１７に示された従来の入力／出力保護回路のダイオード３８および３９の代わりに、ＰチャネルＭＯＳトランジスタ３４およびＮチャ

ネルＭＯＳトランジスタ３５を備える。ＰチャネルＭＯＳトランジスタ３４のゲート電極３４ａは電源線３２に接続されるので、通常ＰチャネルＭＯＳトランジスタ３４はオフ状態になる。ＮチャネルＭＯＳトランジスタ３５のゲート電極３５ａは接地線３３に接続されるので、通常ＮチャネルＭＯＳトランジスタ３５もまたオフ状態にある。

【００２６】

この入力／出力保護回路において、たとえば正の高電圧サージが与えられると、ＮチャネルＭＯＳトランジスタ３５中のｐ－ｎ接合が降伏し、これによりサージは接地線３３に速やかに放電される。これと同時にＰチャネルＭＯＳトランジスタ３４はオンになるので、サージは電源線３２に速やかに放電される。他方、負の高電圧サージが与えられると、ＰチャネルＭＯＳトランジスタ３４中のｐ－ｎ接合が降伏し、これによりサージが電源線３２に速やかに放電される。これと同時にＮチャネルＭＯＳトランジスタ３５はオンになるので、サージは接地線３３に速やかに放電される。

【００２７】

図２０は、図１９に示された入力／出力保護回路の構造を示す平面図である。図２１は、図２０中のＸＸＩ－ＸＸＩ線に沿った断面図である。図２０および２１を参照して、シリコン基板１上には絶縁層である埋込酸化膜２を挟んでシリコン薄膜３が形成されている。シリコン薄膜３は島状に分離されている。シリコン薄膜３には、10^{17}／cm^3 程度の不純物（ＰチャネルＭＯＳトランジスタ３４ではｎ型、ＮチャネルＭＯＳトランジスタ３５ではｐ型）が導入された基板領域３４ｅ，３５ｅと、基板領域３４ｅ，３５ｅを挟んで10^{20}／cm^3 程度の不純物（ＰチャネルＭＯＳトランジスタ３４ではｐ型、ＮチャネルＭＯＳトランジスタ３５ではｎ型）が導入されたドレイン領域３４ｂ，３５ｂおよびソース領域３４ｃ，３５ｃとが形成されている。シリコン薄膜３上にはゲート絶縁膜３４ｄ，３５ｄを挟んでゲート電極３４ａ，３５ａが形成されている。さらに、これらの上に層間絶縁膜１１が形成されている。ドレイン領域３４ｂ，３５ｂおよびソース領域３４ｃ，３５ｃの上の層間絶縁膜１１にはコンタクトホール１２が形成されている。層間絶縁膜１１上にはアルミニウム配線１３，１４，１５が形成される。電源線３２を構成するアルミニウム配線１５はコンタクトホール１２を通してＰチャネルＭＯＳトランジスタ３４のソース領域３４ｃに接続される。信号線７１を構成するアルミニウム配線１４はコンタクトホール１２および１２をそれぞれ通してＰチャネルＭＯＳトランジスタ３４のドレイン領域３４ｂとＮチャネルＭＯＳトランジスタ３５のドレイン領域３５ｂとに接続される。接地線３３を構成するアルミニウム配線１３はコンタクトホール１２を通してＮチャネルＭＯＳトランジスタ３５のソース領域３５ｃに接続される。

【００２８】

入力端子３０と信号線７１との間には突入抵抗３６が形成される。内部回路３１へ接続するための内部回路接続配線４２と信号線７１との間には内部抵抗３７が形成される。突入抵抗３６および内部抵抗３７はシリコン薄膜またはゲート電極と同じ層に形成される。また、ＰチャネルＭＯＳトランジスタ３４のゲート電極３４ａはゲート電位固定配線４０を介して電源線３２に接続され、ＮチャネルＭＯＳトランジスタ３５のゲート電極３５ａはゲート電位固定配線４１を介して接地線３３に接続される。したがって、ＰチャネルＭＯＳトランジスタ３４およびＮチャネルＭＯＳトランジスタ３５はそれぞれオフ状態になっている。

【００２９】

このような構造を有する入力／出力保護回路においては、正の高電圧サージが与えられるとＮチャネルＭＯＳトランジスタ３５中のｐ－ｎ接合（基板領域３５ｅとドレイン領域３５ｂとにより構成される）が降伏するが、ゲート電極３５ａが接地線３３に接続されているため、ゲート絶縁膜３５ｄにも高電圧が与えられ、これにより図２１中にＰＡで示される部分の絶縁性が破壊される恐れがある。他方、負の高電圧サージが与えられるとＰチャネルＭＯＳトランジスタ３４中のｐ－ｎ接合（ドレイン領域３４ｂと基板領域３４ｅとにより構成される）が降伏するが、ゲート電極３４ａが電源線３２に接続されているため、ゲート絶縁膜３４ｄにも高電圧が与えられ、これにより図２１中にＰＢで示される部分の

絶縁性が破壊される恐れがある。このような絶縁破壊はサージ耐性を低下させることとなる。

【００３０】

一方、図２２は、図１７に示された従来の入力／出力保護回路の構造の一例を示す断面図である。ここでは、ゲートダイオード（ゲートコントロールダイオード）３８，３９が用いられている。したがって、図２１中のp^+型ソース領域３４ｃの代わりに10^{20}／cm^3程度のｎ型不純物が導入されたn^+型カソード領域３８ｃが形成され、また、図２１中のn^+型ソース領域３５ｃの代わりに10^{20}／cm^3程度のｐ型不純物が導入されたp^+型アノード領域３９ｂが形成されている。そのため、アノード領域３８ｂおよびカソード領域３８ｅ，３８ｃがダイオードを構成し、アノード領域３９ｂ，３９ｅおよびカソード領域３９ｃもまたダイオードを構成する。

【００３１】

このような構造を有する入力／出力保護回路において、正の高電圧サージが与えられるとゲートダイオード３９中のｐ－ｎ接合（アノード領域３９ｅとカソード領域３９ｃとにより構成される）が降伏するが、ゲート電極３９ａが接地線３３に接続されているため、ゲート酸化膜３９ｄにも高電圧が与えられ、これにより図２２中にＰＣで示される部分の絶縁性が破壊される恐れがある。他方、負の高電圧サージが与えられるとゲートダイオード３８中のｐ－ｎ接合（アノード領域３８ｂとカソード領域３８ｅとにより構成される）が降伏するが、ゲート電極３８ａが電源線３２に接続されているため、ゲート絶縁膜３８ｄにも高電圧が与えられ、これにより図２２中にＰＤで示される部分の絶縁性が破壊される恐れがある。このような絶縁性の破壊は上記ＭＯＳトランジスタを用いた入力／出力保護回路と同様に、サージ耐性を低下させることとなる。

【００３２】

以下の実施の形態はこのような問題点を解決するためになされたもので、高電圧サージ印加時におけるゲート絶縁膜の破壊を防止することにより入力／出力保護回路のサージ耐性を向上させることを目的とする。

【００３３】

［実施の形態１］

図１は、この発明の実施の形態１による入力／出力保護回路の構成を示す回路図である。図１を参照して、この入力／出力保護回路は、突入抵抗３６、内部抵抗３７、ＰチャネルＭＯＳトランジスタ３４およびＮチャネルＭＯＳトランジスタ３５を備える。入力端子３０は突入抵抗３６および内部抵抗３７を介して内部回路３１に接続される。ＰチャネルＭＯＳトランジスタ３４は、電源線３２に接続されたソースと、信号線７１に接続されたドレインと、フローティング状態にあるゲート電極３４ａとを有する。ＮチャネルＭＯＳトランジスタ３５は、接地線３３に接続されたソースと、信号線７１に接続されたドレインと、フローティング状態にあるゲート電極３５ａとを有する。内部回路３１は、たとえば図１８に示されるようなＣＭＯＳインバータから構成される。この実施の形態１による入力／出力保護回路は、ＭＯＳトランジスタ３４，３５のゲート電極３４ａ，３５ａがフローティング状態にある点で図１９に示された入力／出力保護回路と異なる。

【００３４】

図２は、図１に示された入力／出力保護回路の構造を示す平面図である。図３は、図２中のＩＩＩ－ＩＩＩ線に沿った断面図である。図２および３を参照して、この入力／出力保護回路は絶縁層である埋込酸化膜２上に形成される。内部回路（図示せず）もまた埋込酸化膜２上に形成される。埋込酸化膜２はシリコン基板１上に形成される。シリコン薄膜３が埋込酸化膜２上に形成され、かつ島状に分離される。シリコン薄膜３上にはゲート絶縁膜３４ｄ，３５ｄが形成され、さらにゲート絶縁膜３４ｄ，３５ｄ上にはゲート電極３４ａ，３５ａが形成される。ＰチャネルＭＯＳトランジスタ３４のためのシリコン薄膜３はn^-型基板領域３４ｅとp^+型ソース領域３４ｃとp^+型ドレイン領域３４ｂとから構成される。より具体的には、基板領域３４ｅには10^{17}／cm^3程度のｎ型不純物が導入され、ソース領域３４ｃおよびドレイン領域３４ｂには10^{20}／cm^3程度のｐ型不純物が

導入される。基板領域３４ｅはゲート電極３４ａの下に位置する。ソース領域３４ｃは基板領域３４ｅの一方側に隣接する。ドレイン領域３４ｂは基板領域３４ｅの当該他方側に隣接する。

【００３５】

ＮチャネルＭＯＳトランジスタのためのシリコン薄膜３はp^-型基板領域３５ｅとn^+型ソース領域３５ｃとn^+型ドレイン領域３５ｂとから構成される。より具体的には、基板領域３５ｅには10^{17}／cm^3程度のｐ型不純物が導入され、ソース領域３５ｃには10^{20}／cm^3程度のｎ型不純物が導入され、ドレイン領域３５ｂには10^{20}／cm^3程度のｎ型不純物が導入される。基板領域３５ｅはゲート電極３５ａの下に位置する。ソース領域３５ｃは基板領域３５ｅの一方側に隣接する。ドレイン領域３５ｂは基板領域３５ｅの当該他方側に隣接する。

【００３６】

なお、ｐ型不純物はゲート電極３４ａをマスクとしてソース領域３４ｃおよびドレイン領域３４ｂに同時に導入される。ｎ型不純物はゲート電極３５ａをマスクとしてソース領域３５ｃおよびドレイン領域３５ｂに同時に導入される。

【００３７】

ゲート電極３４ａ，３５ａおよびシリコン薄膜３上には層間絶縁膜１１が形成され、層間絶縁膜１１にはソース領域３４ｃ，３５ｃおよびドレイン領域３４ｂ，３５ｂに達するコンタクトホール１２が形成される。層間絶縁膜１１上にはアルミニウム配線１３，１４，１５が形成される。したがって、電源線３２を構成するアルミニウム配線１５はコンタクトホール１２を通してＰチャネルＭＯＳトランジスタ３４のソース領域３４ｃに接触する。信号線７１を構成するアルミニウム配線１４はコンタクトホール１２および１２をそれぞれ通してＰチャネルＭＯＳトランジスタ３４のドレイン領域３４ｂとＮチャネルＭＯＳトランジスタ３５のドレイン領域３５ｂとに接触する。接地線３３を構成するアルミニウム配線１３はコンタクトホール１２を通してＮチャネルＭＯＳトランジスタ３５のソース領域３５ｃに接触する。その結果、ＰチャネルＭＯＳトランジスタ３４のソース領域３４ｃは電源線３２に接続され、そのドレイン領域３４ｂは入力端子３０に接続される。ＮチャネルＭＯＳトランジスタ３５のソース領域３５ｃは接地線３３に接続され、そのドレイン領域３５ｂは入力端子３０に接続される。

【００３８】

突入抵抗３６は入力端子３０と信号線１４との間に形成される。内部抵抗３７は信号線７１と内部回路接続配線４２との間に形成される。突入抵抗３６および内部抵抗３７は、シリコン薄膜、またはゲート電極３４ａ，３５ａと同じ層により形成される。突入抵抗３６の幅は内部抵抗３７の幅よりも広い。そのため、突入抵抗３６の電流密度が低減され、その結果、突入抵抗３６がＭＯＳトランジスタ３４，３５へ流れ込む大電流によって破壊されることはない。また、ＰチャネルＭＯＳトランジスタ３４のゲート電極３４ａは電源線３２などの他の配線に接続されていない。ＮチャネルＭＯＳトランジスタ３５のゲート電極３５ａは接地線３３などの他の配線に接続されていない。したがって、ゲート電極３４ａおよび３５ａはともにフローティング状態にある。

【００３９】

このように実施の形態１は、ゲート電極３４ａ，３５ａがフローティング状態にある点で図２０および２１に示された構造と異なる。

【００４０】

ところで、ゲート電極３４ａ，３５ａがフローティング状態にあると容量結合による影響を受けやすい。したがって、ゲート電位はドレイン電位の変化に伴って若干ドレイン電位側へシフトする。そのため、通常どおり入力信号が入力端子３０から信号線７１を介して内部回路３１に与えられると、ＭＯＳトランジスタ３４および３５がともに僅かにオンになり、これにより電源線３２から接地線３３へ直流電流が流れる恐れがある。そこで、このような直流電流を低減することにより消費電力の増加を抑えるため、基板領域３４ｅ，３５ｅの不純物濃度は内部回路中のＭＯＳトランジスタ（たとえば図１８の４４，４５な

ど）の基板領域の不純物濃度よりも高く設定されるのが好ましい。たとえば内部回路中のＭＯＳトランジスタの基板領域の不純物濃度が１×１０^{17}／$ｃｍ^{3}$ 程度の場合は、基板領域３４ｅ，３５ｅの不純物濃度が１０^{18}／$ｃｍ^{3}$ よりも大きく、すなわち２倍以上に設定されるのが好ましい。

【００４１】

また、ＭＯＳトランジスタ３４，３５のしきい値電圧を高く設定するために、ゲート電極材料の仕事関数差による実効ゲート電圧の印加を避ける必要がある。たとえば内部回路中のＮチャネルＭＯＳトランジスタのゲート電極の材料にｎ型ポリシリコンが用いられる場合は、入力／出力保護回路中のＮチャネルＭＯＳトランジスタ３５のゲート電極３５ａの材料にｐ型ポリシリコンが用いられるのが好ましい。他方、内部回路中のＰチャネルＭＯＳトランジスタのゲート電極の材料にｐ型ポリシリコンが用いられる場合は、入力／出力保護回路中のＰチャネルＭＯＳトランジスタ３４のゲート電極３４ａの材料にｎ型ポリシリコンが用いられるのが好ましい。このことは、入力／出力保護回路では基板領域３４ｅ，３５ｅと同じ導電型のポリシリコンをゲート電極３４ａ，３５ａの材料に用い、入力／出力保護回路以外の内部回路では基板領域と逆の導電型のポリシリコンをゲート電極の材料に用いることを意味する。これにより、入力／出力保護回路中のＭＯＳトランジスタ３４，３５のしきい値電圧は約１Ｖ増加するので、電源線３２から接地線３３に流れる直流電流を防止することができる。

【００４２】

次に、このような構成を有する入力／出力保護回路の動作を説明する。入力端子３０から与えられたサージは突入抵抗３６を通過して信号線７１に到達する。したがって、正の高電圧サージが与えられると、ＮチャネルＭＯＳトランジスタ３５の基板領域３５ｅおよびドレイン領域３５ｂによって構成されるｐ－ｎ接合が降伏し、これによりサージがＮチャネルＭＯＳトランジスタ３５によって接地線３３へ放電される。このとき、ゲート電極３５ａは接地線３３に接続されずフローティング状態にあるので、高電圧がゲート絶縁膜３５ｄに与えられることはなく、図３中にＰＡで示される部分の絶縁性が破壊されることはない。他方、負の高電圧サージが与えられると、ＰチャネルＭＯＳトランジスタ３４のドレイン領域３４ｂおよび基板領域３４ｅによって構成されるｐ－ｎ接合が降伏し、これによりサージがＰチャネルＭＯＳトランジスタ３４によって電源線３２に放電される。このとき、ゲート電極３４ａは電源線３２に接続されずフローティング状態にあるので、高電圧がゲート絶縁膜３４ｄに与えられることはなく、図３中にＰＢで示される部分の絶縁性が破壊されることはない。その結果、この入力／出力保護回路のサージ耐性は大幅に向上する。

【００４３】

なお、基板領域３４ｅ，３５ｅは電気的に固定されてもよいが、ドレイン降伏が起こりやすいように電気的にフローティング状態にある方が望ましい。

【００４４】

［実施の形態２］

図４は、この発明の実施の形態２による入力／出力保護回路の構成を示す回路図である。図４を参照して、この入力／出力保護回路は、図１中のＭＯＳトランジスタ３４および３５の代わりにダイオード３８および３９を備える。図４に示された回路図は図１７に示された従来の回路図と異なるところはない。

【００４５】

図５は、図４に示された入力／出力保護回路の構造を示す断面図である。この入力／出力保護回路では図５に示されるように、図３中のソース領域３４ｃおよび３５ｃの代わりに$ｎ^{+}$ 型カソード領域３８ｃおよび$ｐ^{+}$ 型アノード領域３９ｂが形成される。ダイオード３８のためのシリコン薄膜３は、$ｎ^{-}$ 型カソード領域３８ｅと$ｎ^{+}$ 型カソード領域３８ｃと$ｐ^{+}$ 型アノード領域３８ｂとから構成される。カソード領域３８ｅはゲート電極３８ａの下に位置する。カソード領域３８ｃはカソード領域３８ｅの一方側に隣接し、電源線３２に接続される。アノード領域３８ｂはカソード領域３８ｅの当該他方側に隣接し、入力端

子３０に接続される。ダイオード３９のためのシリコン薄膜３はｐ$^-$型アノード領域３９ｅとｐ$^+$型アノード領域３９ｂとｎ$^+$型カソード領域３９ｃとから構成される。アノード領域３９ｅはゲート電極３９ａの下に位置する。アノード領域３９ｂはアノード領域３９ｅの一方側に隣接し、接地線３３に接続される。カソード領域３９ｃはアノード領域３９ｅの当該他方側に隣接し、入力端子３０に接続される。ゲート電極３８ａはいずれの配線にも接続されることなく電気的にフローティング状態にある。ゲート電極３９ａもまたいずれの配線にも接続されることなく電気的にフローティング状態にある。

【００４６】

したがって、この実施の形態２による入力／出力保護回路は、ゲート電極３８ａ，３９ａがフローティング状態にある点で図２２に示された構造と異なる。

【００４７】

このような構造を有する入力／出力保護回路において、正の高電圧サージが与えられるとダイオード３９のアノード領域３９ｅおよびカソード領域３９ｃによって構成されるｐ－ｎ接合が降伏し、サージがダイオード３９によって接地線３３に放電される。しかしながら、ゲート電極３９ａは接地線３３など他の配線に接続されずフローティング状態にあるので、図５中にＰＣで示される部分の絶縁性が破壊されることはない。他方、負の高電圧サージが与えられるとダイオード３８のアノード領域３８ｂおよびカソード領域３８ｅによって構成されるｐ－ｎ接合が降伏し、サージがダイオード３８によって電源線３２に放電される。しかしながら、ゲート電極３８ａは電源線３２など他の配線に接続されずフローティング状態にあるので、図５中にＰＤで示される部分の絶縁性が破壊されることはない。その結果、この入力／出力保護回路のサージ耐性は向上する。

【００４８】

なお、この入力／出力保護回路においても上記実施の形態１と同様に、カソード領域３８ｅおよびアノード領域３９ｅの不純物濃度は入力／出力保護回路以外の内部回路中のＭＯＳトランジスタの基板領域の不純物濃度よりも高く設定されるのが好ましい。また、内部回路中のＮチャネルＭＯＳトランジスタのゲート電極の材料にｎ型ポリシリコンを用いた場合は入力／出力保護回路中のダイオード３９のゲート電極３９ａの材料にｐ型ポリシリコンを用いるのが好ましい。また、内部回路中のＰチャネルＭＯＳトランジスタのゲート電極の材料にｐ型ポリシリコンを用いた場合は入力／出力保護回路中のダイオード３８のゲート電極３８ａの材料にｎ型ポリシリコンを用いるのが好ましい。さらに、カソード領域３８ｅおよびアノード領域３９ｅは電気的に固定されていてもよいが、ドレイン降伏が起きやすいように電気的にフローティング状態にある方が望ましい。

【００４９】

［実施の形態３］

図６は、この発明の実施の形態３による入力／出力保護回路の構造を示す断面図である。図７は、図６の入力／出力保護回路によってサージから保護されるゲートアレイ（内部回路）の構造を示す平面図である。図８は、図７中のＶＩＩＩ－ＶＩＩＩ線に沿った断面図である。

【００５０】

一般にＳＯＩ構造を有するＭＯＳトランジスタではその基板領域が電気的にフローティング状態となるが、図７および８に示されたゲートアレイはＰチャネルＭＯＳトランジスタ４４の基板領域６は電源電位に固定され、ＮチャネルＭＯＳトランジスタ４５の基板領域６は接地電位に固定される。

【００５１】

図７および８に示されるように、ＰチャネルＭＯＳトランジスタ４４のためのシリコン薄膜３およびＮチャネルＭＯＳトランジスタ４５のためのシリコン薄膜３が埋込酸化膜２上に形成されている。図上左側のＰチャネルＭＯＳトランジスタ４４の基板領域６はボディ領域７７を介して図上右側のＰチャネルＭＯＳトランジスタ４４の基板領域６に接続されている。他方、図上左側のＮチャネルＭＯＳトランジスタ４５の基板領域６はボディ領域７７を介して図上右側のＮチャネルＭＯＳトランジスタ４５の基板領域６に接続されてい

る。各ボディ領域７７上には厚いゲート絶縁膜を介在してフィールドシールド分離用のゲート電極１６が形成されている。各基板領域６上にはフィールドシールド用のゲート絶縁膜よりも薄いゲート絶縁膜を介在してゲート電極５が形成されている。

【００５２】

フィールドシールド用のゲート電極１６には所定間隔置きに開口部が形成されている。ＰチャネルＭＯＳトランジスタ４４側のボディ領域７７はその開口部中に形成されたコンタクトホール７８を通してアルミニウム配線１５から構成される電源線３２に接続される。他方、ＮチャネルＭＯＳトランジスタ４５側のボディ領域７７はその開口部内に形成されたコンタクトホール７８を通してアルミニウム配線１３から構成される接地線３３に接続される。また、ＰチャネルＭＯＳトランジスタ４４側のゲート電極１６はコンタクトホール７９を通して電源線３２に接続される。他方、ＮチャネルＭＯＳトランジスタ４５側のゲート電極１６はコンタクトホール７９を通して接地線３３に接続される。

【００５３】

したがって、各ゲート電極１６はその両側のＭＯＳトランジスタ４４または４５を互いにフィールドシールド法によって分離する。しかしながら、ＰチャネルＭＯＳトランジスタ４４の基板領域６はボディ領域７７を介して電源線３２に接続されるので、電源電位に固定される。他方、ＮチャネルＭＯＳトランジスタ４５の基板領域６はボディ領域７７を介して接地線３３に接続されるので、接地電位に固定される。その他、フィールドシールド分離を用いたゲートアレイの構造は特開平７－９４７５４号公報に詳細に開示されているので、ここではこれを引用により援用する。

【００５４】

このような構造を有するゲートアレイではＭＯＳトランジスタ４４，４５の基板領域６が電気的に固定されるので、その動作特性が安定となる。

【００５５】

一方、このようなゲートアレイを保護するための入力／出力保護回路では図６に示されるように、基板領域３４ｅ，３５ｅ上にフィールドシールド分離用のゲート絶縁膜と同じ層のゲート絶縁膜３４ｇ，３５ｇが形成されている。さらに、ゲート絶縁膜３４ｇ，３５ｇ上にはフィールドシールド分離用のゲート電極１６と同じ層のゲート電極３４ｆ，３５ｆが形成されている。ゲート電極３４ｆおよび３５ｆはともにフローティング状態にある。したがって、この実施の形態３による入力／出力保護回路は、ゲート絶縁膜３４ｇ，３５ｇが図５中のゲート絶縁膜３８ｄ，３９ｄよりも厚い点で図５に示された構造と異なる。

【００５６】

たとえば０．３５μｍルールに従って設計されたゲートアレイではＭＯＳトランジスタのゲート絶縁膜は７０Å程度と非常に薄くされる。そのため、ゲートアレイ中のＭＯＳトランジスタのゲート絶縁膜と同じ層で入力／出力保護回路中のＭＯＳトランジスタのゲート絶縁膜を形成すると、そのゲート絶縁膜の耐圧が低くなる。他方、フィールドシールド分離用のゲート絶縁膜は５００Å程度と厚くされる。そのため、このフィールドシールド分離用のゲート絶縁膜と同じ層で入力／出力保護回路中のＭＯＳトランジスタ３４，３５のゲート絶縁膜３４ｇ，３５ｇを形成すると、ゲート絶縁膜３４ｇ，３５ｇの耐圧が高くなる。通常、絶縁耐圧は膜厚に比例するため、この場合は絶縁耐圧を７倍程度まで向上させることができる。その結果、この入力／出力保護回路のサージ耐性も向上する。

【００５７】

図６ではゲート電極３４ｆおよび３５ｆはともにフローティング状態にあるが、図２１に示された構造と同様にゲート電極３４ｆが電源線３２に接続され、ゲート電極３５ｆが接地線３３に接続されていてもよい。この場合、図６のようにゲート電極３４ｆ，３５ｆがフローティング状態にある場合よりもサージ耐性は低下するが、図２１に示された構造よりもサージ耐性は向上する。

【００５８】

ここではサージ放電用にＭＯＳトランジスタ３４，３５が用いられているが、これらの代わりに上記実施の形態２と同様にゲートダイオードが用いられていてもよい。すなわち、

ゲートダイオードのゲート電極をフィールドシールド分離用のゲート電極と同じ層で形成してもよい。
一般にシリコン薄膜３の抵抗値は低く、またＭＯＳトランジスタ用のゲート電極はその抵抗値を下げるためにシリサイド化される場合が多い。そのため、ポリシリコンとチタンシリサイドとの積層構造を有するゲート電極（典型的なシート抵抗は２Ω）で突入抵抗３６または内部抵抗３７を形成するとその抵抗値を適宜設定することは困難である。これに対し、一般にポリシリコンの単層構造を有するフィールドシールド分離用のゲート電極（典型的なシート抵抗は２０Ω）で突入抵抗３６または内部抵抗３７を形成するとその抵抗値を適宜設定することは容易である。

【００５９】

［実施の形態４］
図９は、この発明の実施の形態４による入力／出力保護回路の構造を示す平面図である。図１０は、図９中のＸ－Ｘ線に沿った断面図である。この実施の形態４は、入力／出力保護回路におけるダイオードのｐ－ｎ接合面積を増加させることを目的とする。

【００６０】

図９に示されるように、電源線３２側のシリコン薄膜３は、1×10^{17}／cm^3 程度のｐ型不純物が導入されたp^- 型領域６４と、1×10^{20}／cm^3 程度のｎ型不純物が導入された複数のn^+ 型領域６１と、1×10^{20}／cm^3 程度のｐ型不純物が導入された複数のp^+ 型領域６２とを含む。n^+ 型領域６１およびp^+ 型領域６２はマトリックスに配置される。n^+ 型領域６１は各奇数列において一直線に配置され、p^+ 型領域６２は各偶数列において一直線に配置される。したがって、n^+ 型領域６１およびp^+ 型領域６２は各行において交互に配置される。すべてのn^+ 型領域６１はその上に形成されたコンタクトホール１２を通して電源線３２と共通に接続される。すべてのp^+ 型領域６２はその上に形成されたコンタクトホール１２を通して信号線７１と共通に接続される。

【００６１】

他方、接地線３３側のシリコン薄膜３は、1×10^{17}／cm^3 程度のｎ型不純物が導入されたn^- 型領域６３と、1×10^{20}／cm^3 程度のｎ型不純物が導入された複数のn^+ 型領域６１と、1×10^{20}／cm^3 程度のｐ型不純物が導入された複数のp^+ 型領域６２とを含む。n^+ 型領域６１およびp^+ 型領域６２もまたマトリックスに配置される。n^+ 型領域６１は各偶数列において一直線に配置され、p^+ 型領域６２は各奇数列において一直線に配置される。したがって、n^+ 型領域６１およびp^+ 型領域６２は各行において交互に配置される。すべてのn^+ 型領域６１はその上に形成されたコンタクトホール１２を通して信号線７１と共通に接続される。すべてのp^+ 型領域６２はその上に形成されたコンタクトホール１２を通して接地線３３と共通に接続される。

【００６２】

このような構造を有する入力／出力保護回路の等価回路は図４と同様である。すなわち、p^- 型領域６４と複数のn^+ 型領域６１とが図４中のダイオード３８を構成し、複数のp^+ 型領域６２とn^- 型領域６３とが図４中のダイオード３９を構成する。

【００６３】

この入力／出力保護回路では、電源線３２側のシリコン薄膜３にp^- 型領域６４が形成されているため、このp^- 型領域６４がダイオード３８と信号線７１との間に接続された実効的な抵抗として機能する。また、接地線３３側のシリコン薄膜３にはn^- 型領域６３が形成されているため、このn^- 型領域６３は信号線７１とダイオード３９との間に接続された実効的な抵抗として機能する。したがって、サージがダイオード３８，３９のｐ－ｎ接合に急激に与えられるのが防止される。

【００６４】

上記実施の形態４によれば、サージ放電用のダイオードがゲート電極を有していないため、ゲート絶縁膜が高電圧によって破壊されることはなく、その結果、サージ耐性の低下が防止される。

【００６５】

［実施の形態５］
図１１は、この発明の実施の形態５による入力／出力保護回路の構造を示す平面図である。この入力／出力保護回路は、n^+型領域６１およびp^+型領域６２が交互に配置されている点で図９に示された構造と異なる。すなわち、n^+型領域６１およびp^+型領域６２は各行においても各列においても交互に配置される。
【００６６】
上記実施の形態５によれば、n^+型領域６１およびp^+型領域６２が交互に配置とされているため、電流経路が分散され、それにより電流密度が低減される。その結果、サージ耐性が向上する。
【００６７】
［実施の形態６］
図１２は、この発明の実施の形態６による入力／出力保護回路の構造を示す平面図である。この入力／出力保護回路は、n^+型領域６１およびp^+型領域６２が円形にされている点で図９に示された構造と異なる。図９に示されるような方形の領域６１，６２では角部に電界が集中し、サージ耐性が低下しやすい。これに対し、図１２に示されるような円形の領域６１，６２では一部に電界が集中することはない。その結果、サージ耐性が向上する。なお、領域６１，６２を完全な円形にする必要は必ずしもなく、要するに、領域６３，６４と領域６１，６２との間の界面が丸くされていればよい。したがって、図９に示されるような方形の領域６１，６２の角を丸めたものでもよい。
【００６８】
［実施の形態７］
図１３は、内部回路およびこの発明の実施の形態７による入力／出力保護回路の構造を示す断面図である。図１４は、図１３に示された入力／出力保護回路を示す平面図である。
【００６９】
図１３に示されるように、内部回路は埋込酸化膜２上に形成されたＮチャネルＭＯＳトランジスタ４５を含む。ＮチャネルＭＯＳトランジスタ４５は、埋込酸化膜２上に形成されたシリコン薄膜３と、シリコン薄膜３上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極５とから構成される。シリコン薄膜３はp^-型基板領域６とｎ型ドレイン領域７とｎ型ソース領域８とから構成される。ＮチャネルＭＯＳトランジスタ４５は層間絶縁膜１１で覆われている。ドレイン領域７およびソース領域８上の層間絶縁膜１１にはそれぞれコンタクトホール１２が形成されている。ドレイン領域７およびソース領域８には、高濃度のｎ型不純物が導入されたn^+型コンタクト領域７５がそれぞれ形成されている。層間絶縁膜１１上に形成されたアルミニウム配線１３はそれぞれコンタクトホール１２を介してドレイン領域７中のコンタクト領域７５およびソース領域８０のコンタクト領域７５に接触している。
【００７０】
一方、図１３および１４に示されるように入力／出力保護回路では、シリコン薄膜３は形成されていない。その代わりに層間絶縁膜１１および埋込酸化膜２を貫通してｐ型シリコン基板まで達する複数のコンタクトホール７４がマトリックスに形成されている。シリコン基板１内のコンタクトホール７４の下部には高濃度のｎ型不純物が導入された複数のn^+型コンタクト領域７７が形成されている。したがって、ｐ型シリコン基板１と複数のn^+型コンタクト領域７７とは複数のダイオードを構成している。層間絶縁膜１１上に形成されたアルミニウム配線１４を構成する信号線７１はそれぞれコンタクトホール７４を通してコンタクト領域７７に接触している。
【００７１】
信号線７１は突入抵抗３６を介して入力端子３０に接続されるとともに、内部抵抗３７を介して内部回路に接続されている。また、シリコン基板１は接地されている。したがって、この入力／出力保護回路は、信号線７１と接地ノードとの間に接続されたダイオードと、突入抵抗３６と、内部抵抗３７とを含む。
【００７２】

ここで、コンタクトホール１２および７４は層間絶縁膜１１内に同時に形成される。また、コンタクト領域７５および７７は、コンタクトホール１２および７４が形成された後にｎ型不純物を導入することによって同時に形成される。さらに、アルミニウム配線１３および１４は層間絶縁膜１１上に同時に形成される。

【００７３】

このような構造を有する入力／出力保護回路において、入力端子３０から突入抵抗３６を通して信号線７１に正の高電圧サージが与えられると、シリコン基板１およびコンタクト領域７７から構成されるｐ－ｎ接合が降伏し、これによりサージがシリコン基板１に放電される。

【００７４】

この実施の形態７によれば、シリコン基板１がダイオードのアノード領域として用いられているため、ダイオードによる占有面積が低減される。また、これらのダイオードはゲート電極を有していないため、ゲート絶縁膜の絶縁性が破壊されることはなく、その結果、サージ耐性が低下することはない。

【００７５】

［実施の形態８］

図１５は、この発明の実施の形態８による入力／出力保護回路の構造を示す平面図である。図１６は、図１５中のＸＶＩ－ＸＶＩ線に沿った断面図である。

【００７６】

図１５および１６に示されるように、この入力／出力保護回路は、アノード領域３８ｆがゲート絶縁膜３８ｄに形成されたコンタクトホール７６を通してカソード領域３８ｅに接触している点とカソード領域３９ｆがゲート絶縁膜３９ｄに形成されたコンタクトホール７６を通してアノード領域３９ｅと接触している点とにおいて図５に示された構造と異なる。より具体的には、ゲート絶縁膜３８ｄおよび３９ｄはそれぞれカソード領域３８ｅおよびアノード領域３９ｅを覆うように形成される。カソード領域３８ｅおよびアノード領域３９ｅ上のゲート絶縁膜３８ｄおよび３９ｄにはそれぞれコンタクトホール７６および７６が形成される。さらに、ゲート絶縁膜３８ｄおよび埋込酸化膜２上にアノード領域３８ｆが形成され、このアノード領域３８ｆはコンタクトホール７６を通してカソード領域３８ｅに接触する。他方、ゲート絶縁膜３９ｄおよび埋込酸化膜２上にカソード領域３９ｆが形成され、このカソード領域３９ｆはコンタクトホール７６を通常してアノード領域３９ｅに接触する。

【００７７】

ここで、カソード領域３８ｅ中には1×10^{17}／cm^3 程度のｎ型不純物が導入されている。アノード領域３８ｆは、1×10^{20}／cm^3 程度のｐ型不純物が導入されたp^+ 型ポリシリコン膜から形成される。他方、アノード領域３９ｅ中には1×10^{17}／cm^3 程度のｐ型不純物が導入されている。カソード領域３９ｆは、1×10^{20}／cm^3 程度のｎ型不純物が導入されたn^+ 型ポリシリコン膜から形成される。したがって、アノード領域３８ｆおよびカソード領域３８ｅは入力端子３０および電源線３２の間に接続されたダイオードを構成する。他方、アノード領域３９ｅおよびカソード領域３９ｆは接地線３３および入力端子３０の間に接続されたダイオードを構成する。このような構造を有する入力／出力保護回路の等価回路は図４に示されたものと同じである。

【００７８】

この実施の形態８によれば、サージ放電用のダイオードはゲート電極を有していないため、ゲート絶縁膜３８ｄ，３９ｄの絶縁性が破壊されることはなく、その結果、サージ耐性が低下することはない。

【００７９】

［その他の実施の形態］

上述した実施の形態では、主に電源線および接地線の両側にトランジスタまたはダイオードが設けられているが、いずれか一方側のみにトランジスタまたはダイオードが設けられていてもよい。また、電源線側にダイオード接続されたＮチャネルＭＯＳトランジスタが

設けられ、かつ接地線側にダイオード接続されたＰチャネルＭＯＳトランジスタが設けられてもよい。さらに、トランジスタとダイオードとの組合せにより入力／出力保護回路を構成してもよい。

【００８０】

【発明の効果】

以上のようにこの発明によれば、第１の電源線側に設けられた第１のＭＯＳ素子の第１のゲート電極がフローティング状態にあるため、高電圧サージが与えられても第１のゲート絶縁膜の絶縁性が破壊されることはなく、その結果、サージ耐性が向上する。

【００８１】

また、第２の電源線側に設けられた第２のＭＯＳ素子の第２のゲート電極もまたフローティング状態にあるため、高電圧サージが与えられても第２のゲート絶縁膜の絶縁性が破壊されることはなく、その結果、サージ耐性がさらに向上する。

【００８２】

また、第１のＭＯＳ素子の第１のゲート電極が内部回路におけるフィールドシールド法のためのゲート電極と同じ層に形成されているため、第１のＭＯＳ素子の第１のゲート絶縁膜は内部回路のＭＯＳトランジスタのゲート絶縁膜よりも厚くなり、その結果、サージ耐性が向上する。

【００８３】

また、第１のＭＯＳ素子がＭＯＳトランジスタであるため、サージはより確実に第１の電源線に放電される。

【００８４】

また、第１のＭＯＳ素子の基板領域の不純物濃度が内部回路におけるＭＯＳトランジスタの基板領域の不純物濃度よりも高いため、第１のＭＯＳ素子のしきい値電圧が高くなり、その結果、第１のＭＯＳ素子を通して直流電流が不用意に流れることはない。

【００８５】

また、第１のＭＯＳ素子の基板領域もまたフローティング状態にあるため、ドレイン降伏が起きやすくなり、その結果、サージ耐性が向上する。

【００８６】

また、第１のＭＯＳ素子がゲートダイオードであるため、サージはより確実に第１の電源線に放電される。

【００８７】

また、ゲートダイオードの第１の導電領域の不純物濃度が内部回路におけるＭＯＳトランジスタの基板領域の不純物濃度よりも高いため、しきい値電圧が高くなり、その結果、ゲートダイオードを通して直流電流が不用意に流れることはない。

【００８８】

また、内部回路におけるＰチャネルＭＯＳトランジスタのゲート電極がｐ型ポリシリコンからなる場合は入力／出力保護回路におけるＰチャネルＭＯＳトランジスタの第１のゲート電極がｎ型ポリシリコンからなり、あるいは内部回路におけるＮチャネルＭＯＳトランジスタのゲート電極がｎ型ポリシリコンからなる場合は入力／出力保護回路におけるＮチャネルＭＯＳトランジスタの第１のゲート電極がｐ型ポリシリコンからなるため、ＭＯＳトランジスタまたはゲートダイオードを通して直流電流が不用意に流れることはない。

【００８９】

また、複数のダイオードが半導体膜内に形成されているため、ｐ－ｎ接合の総面積が増加し、その結果、サージ耐性が向上する。

【００９０】

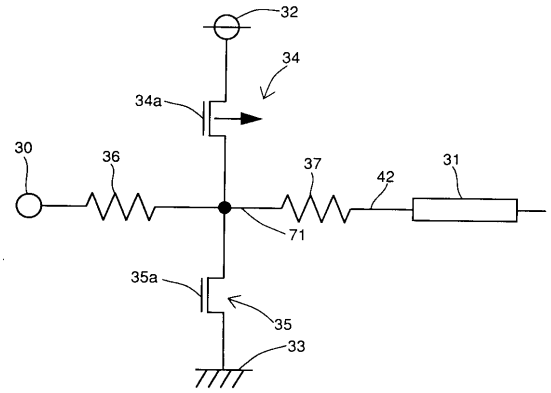
また、第１および第２の導電領域が交互に配置されているため、電流密度が低減され、その結果、サージ耐性がさらに向上する。

【００９１】

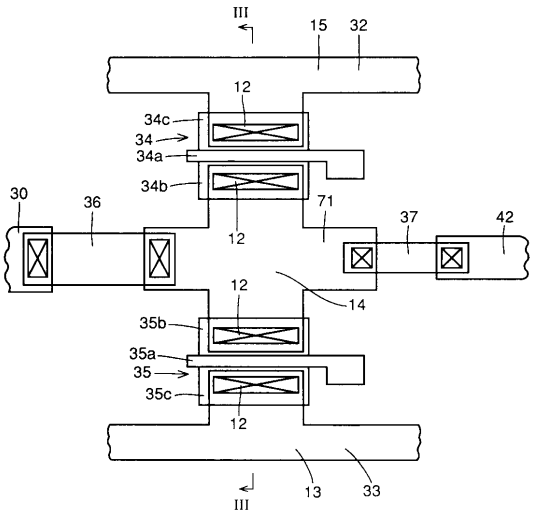
また、第１の半導体膜と第１および第２の導電領域との間の界面が丸くされているため、電界が集中することはなく、その結果、サージ耐性がさらに向上する。

【００９２】
また、半導体基板と半導体基板の主面に形成された導電領域とがダイオードを構成するため、このダイオードはゲート電極を有さず、その結果、サージ耐性が向上する。しかも、ダイオードによる占有面積が低減される。
【００９３】
また、第２導電型の導電膜がコンタクトホールを通して第１導電型の導電領域に接触し、第２導電型の導電膜と第１導電型の導電領域とがダイオードを構成するため、このダイオードはゲート電極を有さず、その結果、サージ耐性が向上する。
【図面の簡単な説明】
【図１】　この発明の実施の形態１による入力／出力保護回路の構成を示す回路図である。
【図２】　図１中の入力／出力保護回路の構造を示す平面図である。
【図３】　図２中のＩＩＩ－ＩＩＩ線に沿った断面図である。
【図４】　この発明の実施の形態２による入力／出力保護回路の構成を示す回路図である。
【図５】　図４中の入力／出力保護回路の構造を示す断面図である。
【図６】　この発明の実施の形態３による入力／出力保護回路の構造を示す断面図である。
【図７】　図６中の入力／出力保護回路によって保護されるゲートアレイの構造を示す平面図である。
【図８】　図７中のＶＩＩＩ－ＶＩＩＩ線に沿った断面図である。
【図９】　この発明の実施の形態４による入力／出力保護回路の構造を示す平面図である。
【図１０】　図９中のＸ－Ｘ線に沿った断面図である。
【図１１】　この発明の実施の形態５による入力／出力保護回路の構造を示す平面図である。
【図１２】　この発明の実施の形態６による入力／出力保護回路の構造を示す平面図である。
【図１３】　この発明の実施の形態７による入力／出力保護回路およびそれにより保護される内部回路の構造を示す断面図である。
【図１４】　図１３中の入力／出力保護回路の構造を示す平面図である。
【図１５】　この発明の実施の形態８による入力／出力保護回路の構造を示す平面図である。
【図１６】　図１５中のＸＶＩ－ＸＶＩ線に沿った断面図である。
【図１７】　従来の入力保護回路の構成を示す回路図である。
【図１８】　図１７中の入力保護回路によって保護される内部回路の一例を示す回路図である。
【図１９】　この発明に関連する入力／出力保護回路の構成を示す回路図である。
【図２０】　図１９中の入力／出力保護回路の構造を示す平面図である。
【図２１】　図２０中のＸＸＩ－ＸＸＩ線に沿った断面図である。
【図２２】　この発明に関連する入力／出力保護回路の他の構造を示す断面図である。
【符号の説明】
１　シリコン基板、２　埋込酸化膜、３　シリコン薄膜、３４　ＰチャネルＭＯＳトランジスタ、３５　ＮチャネルＭＯＳトランジスタ、３８，３９　ダイオード、３４ａ，３５ａ，３８ａ，３９ａ，３４ｆ，３５ｆ　ゲート電極、３４ｄ，３５ｄ，３８ｄ，３９ｄ，３４ｇ，３５ｇ　ゲート絶縁膜、３４ｅ，３５ｅ基板領域、３４ｃ，３５ｃ　ソース領域、３４ｂ，３５ｂ　ドレイン領域、３０入力端子、３２　電源線、３３　接地線、３８ｂ，３９ｂ，３９ｅ，３８ｆアノード領域、３９ｃ，３８ｅ，３８ｃ，３９ｆ　カソード領域、１６　フィールドシールド用ゲート電極、６１　n^+ 型領域、６２　p^+ 型領域、７７　n^+ 型領域、７４，７６　コンタクトホール。

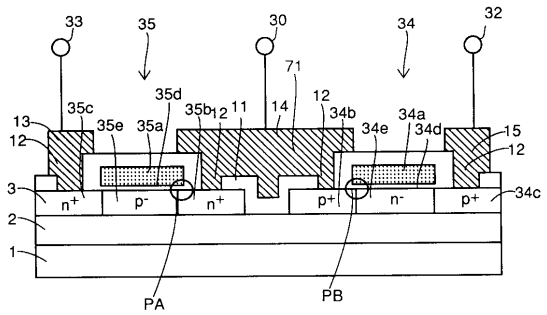
【図１】



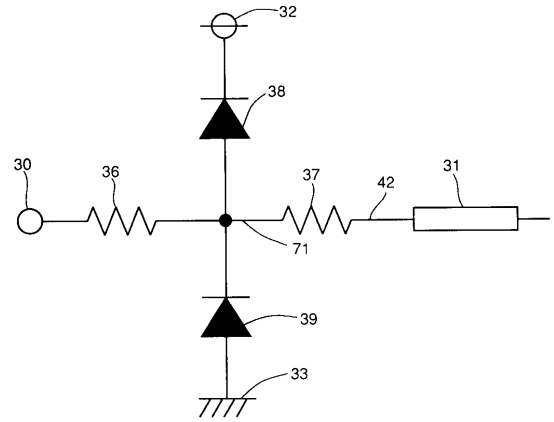
【図２】



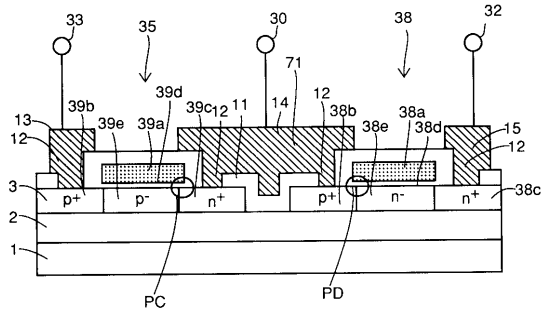
【図３】



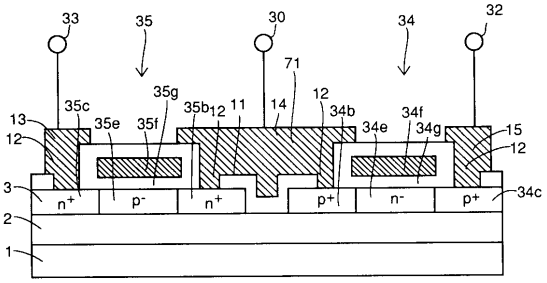
【図４】



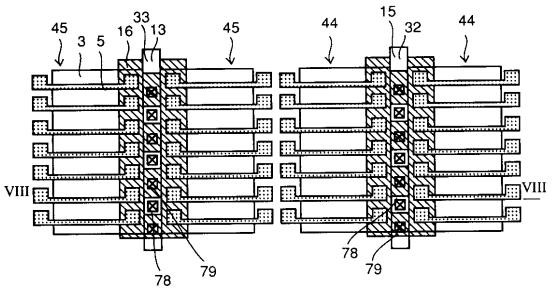
【図５】



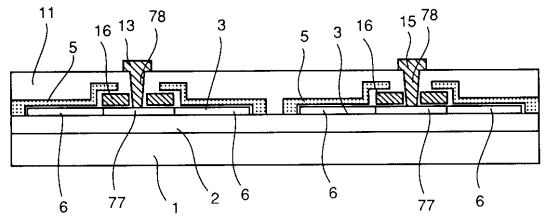
【図６】



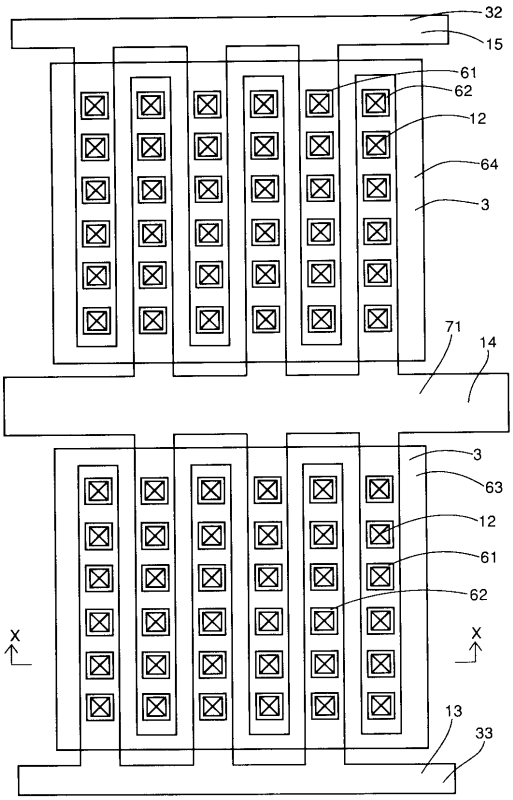
【図７】



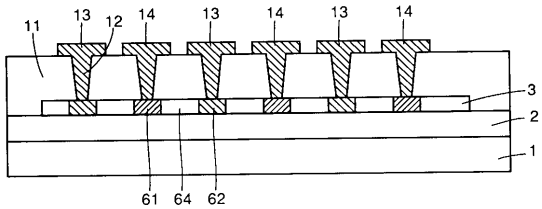
【図８】


11
5
16
13
78
3
5
3
16
15
78
6
77
1
2
6
6
77
6

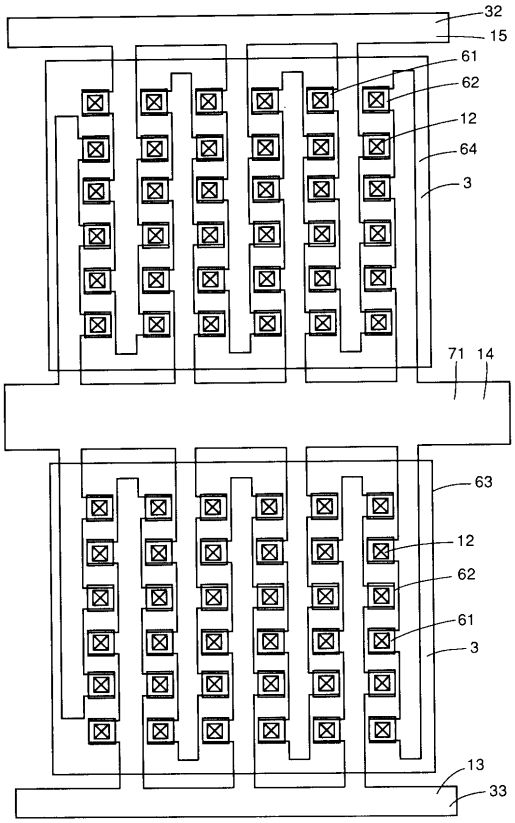
【図９】


32
15
61
62
12
64
3
71
14
3
63
12
61
62
X
X
13
33

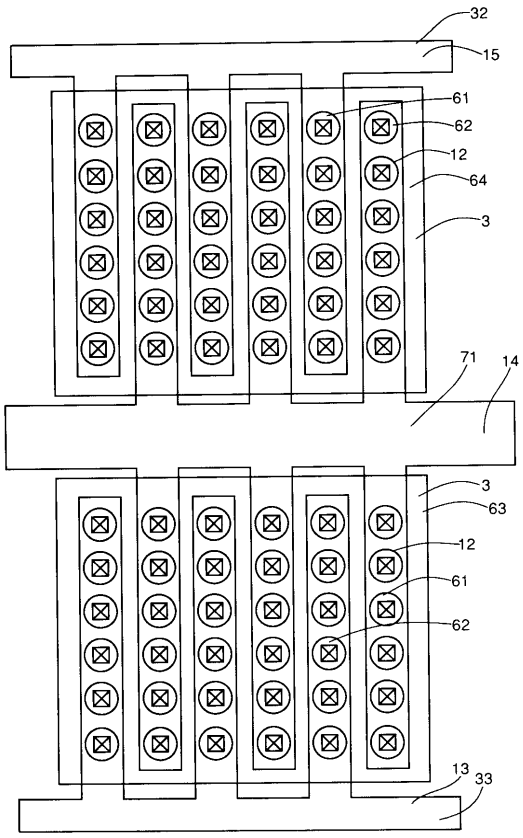
【図１０】


11
13
12
14
13
14
13
14
3
2
1
61
64
62

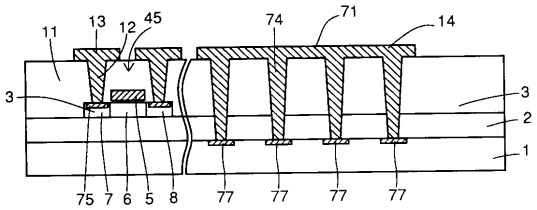
【図１１】


32
15
61
62
12
64
3
71
14
63
12
62
61
3
13
33

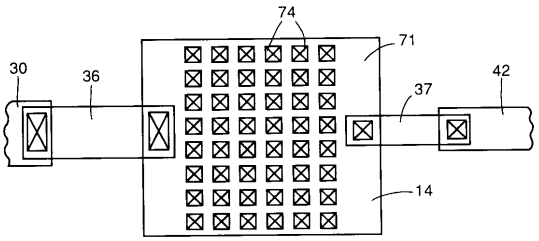
【図１２】



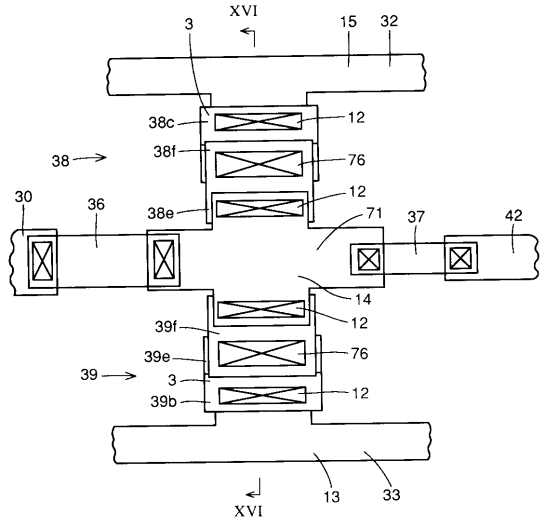
【図１３】



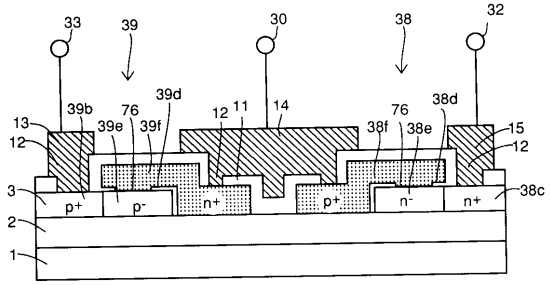
【図１４】



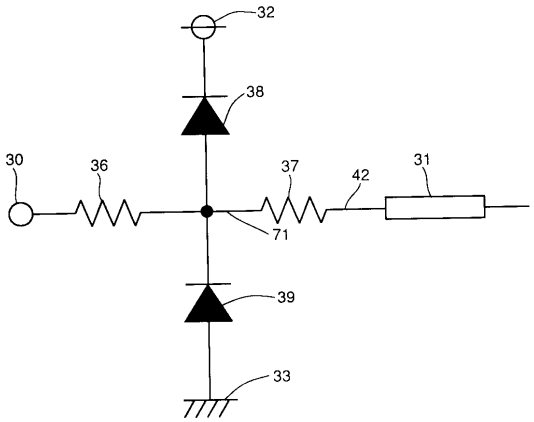
【図１５】



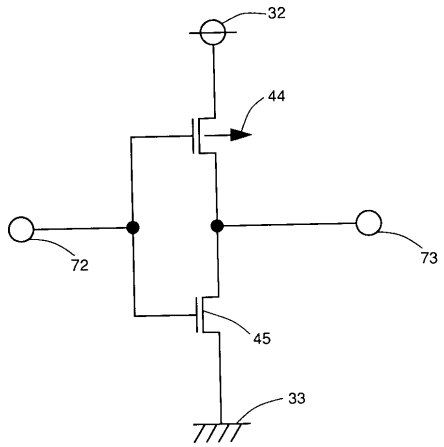
【図１６】



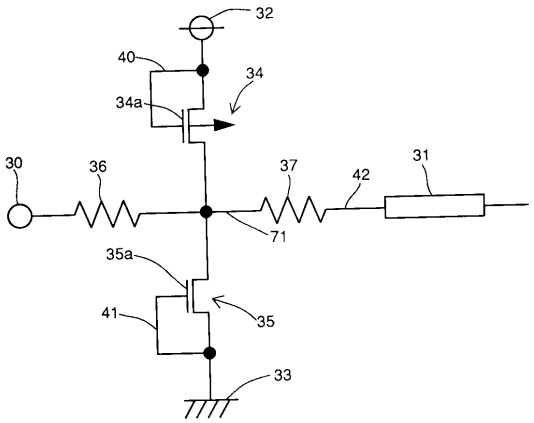
【図１７】



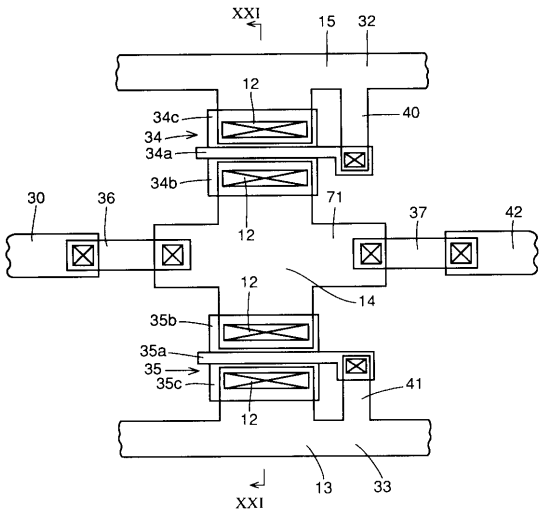
【図１８】



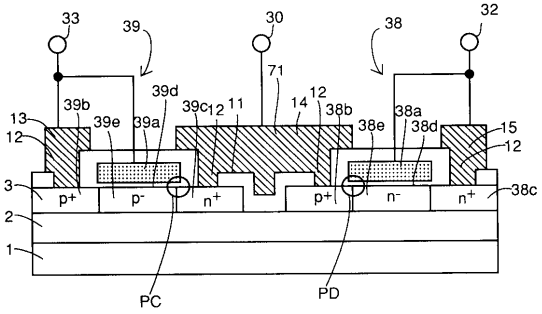
【図１９】



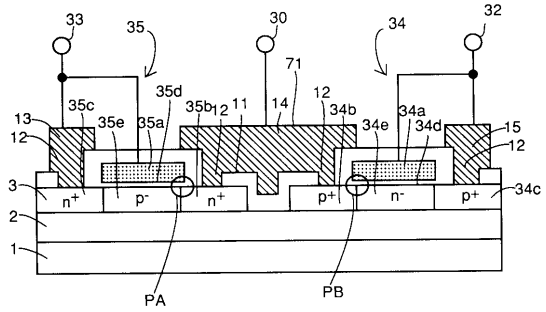
【図２０】



【図２２】



【図２１】



フロントページの続き

(72)発明者　山口　泰男
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　佐藤　広利
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　井上　靖朗
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　岩松　俊明
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　棚田　一也

(56)参考文献　米国特許第５０６００３７（ＵＳ，Ａ）
特開平０７－３３５８９４（ＪＰ，Ａ）
特開平０７－２７３３２２（ＪＰ，Ａ）
特開平０４－３４５０６４（ＪＰ，Ａ）
特開平０４－２４１４５２（ＪＰ，Ａ）
国際公開第９５／０２２８４２（WO，Ａ１）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H01L 21/822
H01L 27/04
H01L 29/786