

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-201211  
(P2013-201211A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.

H01L 29/786 (2006.01)  
H01L 21/336 (2006.01)  
H01L 21/365 (2006.01)

F 1

H01L 29/78  
H01L 29/78  
H01L 21/365618B  
626C

テーマコード(参考)

5F045  
5F110

審査請求 未請求 請求項の数 13 O L (全 16 頁)

(21) 出願番号

特願2012-67662 (P2012-67662)

(22) 出願日

平成24年3月23日 (2012.3.23)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100118290

弁理士 吉井 正明

(74) 代理人 100094363

弁理士 山本 孝久

(72) 発明者 横関 弥樹博

東京都港区港南1丁目7番1号 ソニー株式会社内

F ターム(参考) 5F045 AA12 AB28 AC11 AD04 AD08  
AE17 BB16 CA05 CA15 HA16

最終頁に続く

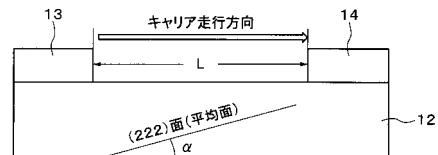
(54) 【発明の名称】薄膜トランジスタ、薄膜トランジスタの製造方法および電子機器

## (57) 【要約】

【課題】移動度が高く、特性のばらつきも少なく、信頼性も高い結晶系酸化物半導体を用いた薄膜トランジスタおよびその製造方法を提供する。

【解決手段】薄膜トランジスタは、ピックスバイト構造を有する結晶系酸化物半導体(例えば  $\text{In}_2\text{O}_3$  )からなるチャネル層12を有する。チャネル層12の金属原子のみが配列した結晶面である(222)面とキャリア走行方向とは互いにほぼ平行である。(222)面とキャリア走行方向とのなす平均角度は0°以上25°以下である。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を有し、上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行である薄膜トランジスタ。

**【請求項 2】**

上記チャネル層におけるキャリアの移動度が $30 \text{ cm}^2 / \text{V s}$ 以上である請求項1記載の薄膜トランジスタ。

**【請求項 3】**

上記(222)面と上記キャリア走行方向とがなす平均角度が $0^\circ$ 以上 $25^\circ$ 以下である請求項2記載の薄膜トランジスタ。10

**【請求項 4】**

上記ビックスバイト構造を有する結晶系酸化物半導体が $\text{In}_2\text{O}_3$ である請求項3記載の薄膜トランジスタ。

**【請求項 5】**

上記ビックスバイト構造を有する結晶系酸化物半導体に不純物がドープされている請求項1記載の薄膜トランジスタ。

**【請求項 6】**

基板上に上記チャネル層、ゲート絶縁膜およびゲート電極が順次積層された構造を有する請求項1記載の薄膜トランジスタ。20

**【請求項 7】**

上記チャネル層はアモルファス絶縁膜を介して上記基板上に設けられている請求項6記載の薄膜トランジスタ。

**【請求項 8】**

上記ゲート絶縁膜は $\text{Al}_2\text{O}_3$ 膜である請求項1記載の薄膜トランジスタ。

**【請求項 9】**

基板上にゲート電極、ゲート絶縁膜および上記チャネル層が順次積層された構造を有する請求項1記載の薄膜トランジスタ。

**【請求項 10】**

基板上に、ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を、上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行となるように形成する工程を有する薄膜トランジスタの製造方法。30

**【請求項 11】**

少なくとも酸素を含む雰囲気において上記チャネル層を形成する請求項10記載の薄膜トランジスタの製造方法。

**【請求項 12】**

上記基板上にアモルファス絶縁膜を介して上記チャネル層を形成する請求項11記載の薄膜トランジスタの製造方法。

**【請求項 13】**

ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を有し、上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行である薄膜トランジスタを有する電子機器。40

**【発明の詳細な説明】****【技術分野】****【0001】**

本開示は、薄膜トランジスタ、薄膜トランジスタの製造方法および電子機器に関し、特に、結晶系酸化物半導体を用いた薄膜トランジスタおよびその製造方法ならびにこの薄膜トランジスタを用いた各種の電子機器に関する。

**【背景技術】****【0002】**

50

近年、ディスプレイの大型化、ハイフレームレート化が急速に進んでいる。さらに、最近では、3次元（3D）ディスプレイの開発競争も始まっている。こうした中、ディスプレイの画素スイッチング素子として用いられる薄膜トランジスタ（TFT：Thin Film Transistor）の高性能化が必要不可欠となってきている。

#### 【0003】

特に、上記のTFTとして広く使われている、水素化アモルファスシリコン（a-Si：H）をチャネル層に用いたa-Si：H TFTの性能は限界に近づいているため、次世代のTFT材料の開発が盛んに行われている（非特許文献1参照。）。その中で、有望な材料として透明アモルファス酸化物半導体（TAOS：Transparent Amorphous Oxide Semiconductor）材料、取り分けインジウム（In）系TAOSが注目されている。TAOSは、低温で成膜することができ、かつ成膜後にレーザアニール工程などが必要ないことから、安価で大面積に適した材料であることがわかっている。実際に、最近では、37インチ液晶ディスプレイ（LCD）や12.1インチ有機ELディスプレイなどにTAOS TFTを用いることが、開発段階ではあるものの報告されている（非特許文献2、3参照。）。

10

#### 【0004】

しかしながら、このTAOSTFTを実用化するためには、信頼性向上が必要不可欠である。すなわち、TAOSでは、構成原子である酸素（O）が抜けやすいことが問題となっている。TAOSからなるチャネル層からOが抜け、O欠損が発生すると、キャリア濃度が変動するため、しきい値電圧（V<sub>th</sub>）のシフトなどの特性変動が生じることがわかっている。さらに、移動度についても、高精細化やハイフレームレート化が進むことから、TAOSで得られている~10 cm<sup>2</sup> / Vsを超えて30 cm<sup>2</sup> / Vs以上の高移動度が要求され始めている。

20

#### 【0005】

これらの問題を解決するために、In系TAOS膜の成膜後のアニール処理やIn系TAOS膜上への保護膜の形成などの手法が採用されている。しかしながら、これらの手法では、TFTの特性変動を完全に抑制することは難しい。基本的には、In系TAOS膜における不安定な結合を極力なくすことが必要不可欠であると考えられている。また、移動度の向上については、InGaZnO以外の材料などが探索されている。

30

#### 【0006】

最近、TFTのチャネル層にInZnOやInGaZnO<sub>4</sub>などの結晶系材料を用いることが報告されている（特許文献1、2参照。）。このような結晶系材料を用いたTFTでは、特性のばらつきが、TAOSTFTに比べて低減することが期待される。その理由は、In<sub>2</sub>O<sub>3</sub>系材料などでは5s軌道によりキャリアの伝導が決まるため、粒界散乱などの影響が少ないためであると考えられている（非特許文献4参照。）。しかしながら、TFTの特性のばらつきは、完全に抑えられていないのが現状である。

#### 【先行技術文献】

#### 【特許文献】

#### 【0007】

【特許文献1】特開2008-311342号公報

40

【特許文献2】特開2011-142310号公報

#### 【非特許文献】

#### 【0008】

【非特許文献1】細野秀雄、固体物理 9, Vol.44, No.523, p.621(2009)

【非特許文献2】J.K.Jeong et al., Soc. Inf. Display Digest 39, 1(2008)

【非特許文献3】M.-C. Hung et al., TAOS 2010

【非特許文献4】透明導電膜の技術、日本学術振興会透明酸化物光電子材料第166委員会

#### 【発明の概要】

#### 【発明が解決しようとする課題】

50

## 【0009】

そこで、本開示が解決しようとする課題は、移動度が高く、特性のばらつきも少なく、信頼性も高い結晶系酸化物半導体を用いた薄膜トランジスタおよびその製造方法を提供することである。

## 【0010】

本開示が解決しようとする他の課題は、上記のような優れた薄膜トランジスタを用いた高性能の電子機器を提供することである。

## 【課題を解決するための手段】

## 【0011】

上記課題を解決するために、本開示は、

10

ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を有し、

上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行である薄膜トランジスタである。

## 【0012】

また、本開示は、

基板上に、ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を、上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行となるように形成する工程を有する薄膜トランジスタの製造方法である。

## 【0013】

また、本開示は、

20

ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を有し、

上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行である薄膜トランジスタを有する電子機器である。

## 【0014】

本開示において、ビックスバイト(bixbyte)構造を有する結晶系酸化物半導体は、C型希土類酸化物構造(C-type rare earth structure)、すなわち酸化スカンジウム構造(scandium oxide structure)を有し、不純物がドープされたものであってもよい。この結晶系酸化物半導体は、ビックスバイト構造を有する各種の酸化物材料( $M_2O_3$ で表される組成を有する。Mは金属。)の中から必要に応じて選ばれる。このような酸化物材料は、具体的には、例えば、 $Dy_2O_3$ 、 $Er_2O_3$ 、 $Eu_2O_3$ 、 $Gd_2O_3$ 、 $Ho_2O_3$ 、 $In_2O_3$ 、 $La_2O_3$ 、 $Lu_2O_3$ 、- $Mn_2O_3$ 、 $Nd_2O_3$ 、 $Pr_2O_3$ 、 $Sc_2O_3$ 、 $Sm_2O_3$ 、 $Tb_2O_3$ 、 $Tl_2O_3$ 、 $Tm_2O_3$ 、 $Y_2O_3$ 、 $Yb_2O_3$ などである。これらの酸化物材料に不純物がドープされたものとしては、例えば、 $Ti$ がドープされた $In_2O_3$ ( $In_2O_3$ : $Ti$ )、 $Sn$ がドープされた $In_2O_3$ (ITO)、 $Nd$ がドープされた $Y_2O_3$ ( $Y_2O_3$ : $Nd$ )などが挙げられる。この結晶系酸化物半導体は多結晶または単結晶である。この結晶系酸化物半導体からなるチャネル層の(222)面は金属原子のみが配列した結晶面である。

30

## 【0015】

チャネル層におけるキャリアの移動度は、好適には $30\text{ cm}^2/\text{Vs}$ 以上であり、その場合、チャネル層の(222)面とキャリア走行方向とがなす平均角度は、 $30\text{ cm}^2/\text{Vs}$ 以上の移動度が得られるように選ばれる。ここで、平均角度とは、結晶系酸化物半導体が多結晶である場合には、各結晶粒の結晶方位が互いに異なり、(222)面とキャリア走行方向とがなす角度が結晶粒毎に異なるため、結晶粒間でこの角度の平均を取ることを意味する。結晶系酸化物半導体が多結晶である場合、結晶面が結晶粒間でほぼ一致していれば、各結晶粒の結晶軸が面内で回転してずれっていても、結晶粒界においてキャリアの伝導に関係する金属-金属結合(例えば、In-In結合)が形成されやすいと考えられる。結晶系酸化物半導体が単結晶である場合、平均角度は、この単結晶の金属原子のみが配列した結晶面とキャリア走行方向とがなす角度である。(222)面とキャリア走行方向とがなす平均角度は、好適には例えば $0^\circ$ 以上 $25^\circ$ 以下、より好適には $0^\circ$ 以上 $10^\circ$ 以下である。

40

50

## 【0016】

薄膜トランジスタは、基板上にチャネル層、ゲート絶縁膜およびゲート電極が順次積層された構造を有するトップゲート型であっても、ゲート電極、ゲート絶縁膜およびチャネル層が順次積層された構造を有するボトムゲート型であってもよい。トップゲート型の薄膜トランジスタでは、好適には、チャネル層は、アモルファス絶縁膜、好適には均一組成で不純物も含まないアモルファス絶縁膜を介して基板上に設けられる。このアモルファス絶縁膜の材料としては、 $Al_xO_x$  ( $x$ は例えば1.2以上1.8以下)、 $Ga_xO_x$  ( $x$ は例えば1.2以上1.8以下)、 $Y_xO_x$  ( $x$ は例えば1.2以上1.8以下)、 $La_xO_x$  ( $x$ は例えば1.2以上1.8以下)などの酸化物を用いることができるほか、 $AlN$ などの窒化物などを用いてもよい。このアモルファス絶縁膜の代りにワイドバンドギャップの結晶膜、好適には均一組成で不純物も含まない結晶膜を用いてもよい。この結晶膜の材料としては、例えば、 $Al_2O_3$ 、 $Ga_2O_3$ 、 $Y_2O_3$ 、 $La_2O_3$ 、 $AlN$ などを用いることができる。また、チャネル層上に設けられるゲート絶縁膜は、アモルファスであっても結晶性であってもよく、その材料も $SiO_x$  ( $x$ は例えば1.8以上2.2以下。 $SiO_2$ も含まれる。)、 $SiN_x$  ( $x$ は例えば1.1以上1.6以下。 $Si_3N_4$ も含まれる。)、 $Al_xO_x$  ( $x$ は例えば1.2以上1.8以下。 $Al_2O_3$ も含まれる。)などや他のワイドバンドギャップ材料であってもよいが、好適には、アモルファスの $SiO_x$ 膜、 $SiN_x$ 膜、 $AlO_x$ 膜などが用いられる。

10

## 【0017】

薄膜トランジスタの製造に用いる基板は、結晶系酸化物半導体の形成やその他のプロセスの温度に耐えられる限り、基本的にはどのようなものであってもよく、必要に応じて選ばれる。この基板は透明基板であっても不透明基板であってもよい。透明基板の材料は必要に応じて選ばれるが、例えば、石英、サファイア、ガラスなどの透明無機材料や各種の透明プラスチックなどが挙げられる。フレキシブルな透明基板としては透明プラスチック基板が用いられる。透明プラスチックとしては、例えば、ポリエチレンテレフタラート、ポリエチレンナフタラート、ポリカーボネート、ポリスチレン、ポリエチレン、ポリプロピレン、ポリフェニレンスルフィド、ポリフッ化ビニリデン、アセチルセルロース、ブロム化フェノキシ、アラミド類、ポリイミド類、ポリスチレン類、ポリアリレート類、ポリスルホン類、ポリオレフィン類などが挙げられる。不透明基板としては例えばシリコン基板が用いられる。

20

## 【0018】

上記の薄膜トランジスタの製造方法においては、結晶系酸化物半導体からなるチャネル層の形成時に結晶化を促進するために、好適には、少なくとも酸素を含む雰囲気においてチャネル層を形成する。また、チャネル層を形成した後に結晶化をより促進するために、好適には少なくとも酸素を含む雰囲気においてアニールを行うようにしてよい。また、トップゲート型の薄膜トランジスタを製造する場合には、良好な結晶配向のチャネル層を形成するために、好適には、基板上にアモルファス絶縁膜、好適には単一組成のアモルファス絶縁膜を形成した後、その上に連続的にチャネル層を形成する。また、好適には、このチャネル層上にゲート絶縁膜として、 $SiO_x$ 膜もしくは $AlO_x$ 膜を形成する。

30

## 【0019】

電子機器は、薄膜トランジスタを一つまたは二つ以上用いる各種の電子機器であってよく、携帯型のものと据え置き型のものとの双方を含み、機能や用途も問わない。電子機器の具体例を挙げると、液晶ディスプレイや有機ELディスプレイなどのディスプレイ、カメラ、携帯電話、モバイル機器、パーソナルコンピュータ、ゲーム機器、車載機器、家庭電気製品、工業製品などである。

40

## 【0020】

上述のように、チャネル層の金属原子のみが配列した結晶面である(222)面とキャリア走行方向とが互いにほぼ平行であることにより、その(222)面内でキャリアの伝導が高速で行われ、キャリアの移動度の大幅な向上を図ることができる。また、チャネル層がビックスバイト構造を有する結晶系酸化物半導体からなるため、薄膜トランジスタの

50

特性のばらつきを極めて小さく抑えることができ、信頼性も高い。

【発明の効果】

【0021】

本開示によれば、移動度が高く、特性のばらつきも少なく、信頼性も高い結晶系酸化物半導体を用いた薄膜トランジスタを得ることができる。そして、この優れた薄膜トランジスタを用いることにより、高性能の電子機器などを実現することができる。

【図面の簡単な説明】

【0022】

【図1】第1の実施の形態による薄膜トランジスタを示す断面図である。

【図2】第1の実施の形態による薄膜トランジスタにおけるチャネル層の(222)面とキャリア走行方向とのなす角度を説明するための略線図である。 10

【図3】第2の実施の形態による薄膜トランジスタを示す断面図である。

【図4】 $\text{In}_2\text{O}_3$ 膜の結晶性の評価に用いた試料を示す断面図である。

【図5】 $\text{In}_2\text{O}_3$ 膜のX線回折を行った結果を示す略線図である。

【図6】 $\text{In}_2\text{O}_3$ 結晶の結晶構造を示す略線図である。

【図7】 $\text{In}_2\text{O}_3$ 結晶のIn原子のみが配列した(222)面内の電子伝導を説明するための略線図である。

【図8】 $\text{In}_2\text{O}_3$ 膜の高分解能透過型電子顕微鏡像を示す図面代用写真である。

【図9】 $\text{In}_2\text{O}_3$ 膜の(222)面とキャリア走行方向とのなす平均角度と移動度との関係を示す略線図である。 20

【図10】 $\text{In}_2\text{O}_3$  : Ti膜のX線回折を行った結果を示す略線図である。

【発明を実施するための形態】

【0023】

以下、発明を実施するための形態(以下「実施の形態」とする)について説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態(薄膜トランジスタおよびその製造方法)

2. 第2の実施の形態(薄膜トランジスタおよびその製造方法)

【0024】

1. 第1の実施の形態

【薄膜トランジスタ】

図1は第1の実施の形態による薄膜トランジスタを示す。この薄膜トランジスタはトップゲート型である。 30

【0025】

図1に示すように、この薄膜トランジスタにおいては、基板11上に、ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層12が設けられている。このチャネル層12の両端部にまたがるようにソース電極13およびドレイン電極14がこのチャネル層12にオーミック接触して設けられている。チャネル層12とこれらのソース電極13およびドレイン電極14とを覆うようにゲート絶縁膜15が設けられている。このゲート絶縁膜15上にゲート電極16が設けられている。そして、このゲート電極16を覆うようにパッシベーション膜17が設けられている。 40

【0026】

基板11としては、例えば、既に挙げたものの中から、薄膜トランジスタの用途などに応じて適宜選ばれる。

【0027】

チャネル層12においては、このチャネル層12を構成するビックスバイト構造を有する結晶系酸化物半導体の金属原子のみが配列した結晶面である(222)面とキャリア走行方向とが互いにほぼ平行になっている。具体的には、例えば、この(222)面とキャリア走行方向との平均角度が0°以上25°以下になっている。ここで、キャリア走行方向は、この例ではチャネル層12の面に平行な方向である。チャネル層12の厚さは、この薄膜トランジスタに要求される性能などに応じて適宜決められる。チャネル層12を構

成するビックスバイト構造を有する結晶系酸化物半導体としては、例えば、既に挙げたものの中から必要に応じて選ばれる。図2に、チャネル層12の(222)面とキャリア走行方向とのなす平均角度<sup>10</sup>を示す。チャネル層12は、好適には、アモルファス絶縁膜を介して基板11上に設けられる。このアモルファス絶縁膜としては、好適には、均一組成で不純物も含まないアモルファス絶縁膜、例えば $\text{AlO}_x$ 膜や $\text{GaO}_x$ 膜などが用いられる。

#### 【0028】

ソース電極13、ドレイン電極14およびゲート電極16を構成する材料としては、例えば、白金(Pt)、金(Au)、パラジウム(Pd)、クロム(Cr)、モリブデン(Mo)、ニッケル(Ni)、アルミニウム(Al)、銀(Ag)、タンタル(Ta)、タンゲステン(W)、銅(Cu)、チタン(Ti)、インジウム(In)、錫(Sn)などの金属、これらの金属を含む各種の合金、不純物がドープされた多結晶シリコンなどの各種の導電性物質が挙げられる。ソース電極13およびドレイン電極14を構成する材料としては、従来公知の導電性金属酸化物を用いてもよい。この導電性金属酸化物は、具体的には、例えば、ITO、酸化スズ( $\text{SnO}_2$ )、酸化亜鉛( $\text{ZnO}$ )などである。ソース電極13、ドレイン電極14およびゲート電極16は、これらの物質からなる二種以上の層の積層構造とすることもできる。チャネル長方向のゲート電極16の幅(ゲート長)やソース電極13とドレイン電極16との間の距離(図2に示すチャネル長L)は、この薄膜トランジスタに要求される特性などに応じて適宜選ばれる。

#### 【0029】

ゲート絶縁膜15を構成する材料としては、従来公知の材料を用いることができ、必要に応じて選ばれる。このゲート絶縁膜15を構成する材料は、具体的には、例えば、 $\text{SiO}_x$ 、 $\text{SiN}_x$ 、 $\text{AlO}_x$ などであるが、これに限定されるものではない。特に、この場合、チャネル層12は結晶系酸化物半導体からなるため、アモルファス酸化物半導体膜を用いた従来のTFTでは用いることが難しかった $\text{AlO}_x$ 膜をゲート絶縁膜15として用いることができる。すなわち、アモルファス酸化物半導体膜を成膜する際には、成膜時のプラズマダメージや成膜時の昇温などによりOが膜外に抜け出てしまうため、成膜後のO<sub>2</sub>を含む雰囲気でのアニールによってしきい値電圧を調整する必要がある。このため、酸素や水分を通しにくい $\text{AlO}_x$ 膜をゲート絶縁膜に用いることは難しかった。これに対し、結晶系酸化物半導体膜の成膜時には、プラズマや昇温などによりOが膜外に抜け出していくにくいため、 $\text{AlO}_x$ 膜をゲート絶縁膜15として用いることができる。このようにゲート絶縁膜15として $\text{AlO}_x$ 膜を用いることにより、チャネル層12に酸素や水分が到達して吸着するのを防止することができる。このため、チャネル層12に対する水分などの吸着による薄膜トランジスタの特性劣化を防止することができ、薄膜トランジスタの長期信頼性の向上を図ることができる。このゲート絶縁膜15の厚さは、この薄膜トランジスタに要求される性能などに応じて適宜選ばれる。

#### 【0030】

パッシベーション膜17を構成する材料としては、従来公知の材料を用いることができ、必要に応じて選ばれる。このパッシベーション膜17を構成する材料は、具体的には、例えば、二酸化シリコン( $\text{SiO}_2$ )、窒化シリコン( $\text{Si}_3\text{N}_4$ などの $\text{SiN}_x$ )、リンシリケートガラス(PSG)、ホウ素シリケートガラス(BSG)、ホウ素リンシリケートガラス(BPSG)などであるが、これに限定されるものではない。パッシベーション膜17の厚さは必要に応じて選ばれる。

#### 【0031】

##### [薄膜トランジスタの製造方法]

図1に示すように、まず、基板11上に、ビックスバイト構造を有する結晶系酸化物半導体を成長させてチャネル層12を形成する。この後、必要に応じてこのチャネル層12をリソグラフィーおよびエッチングにより所定形状にパターニングする。結晶系酸化物半導体の成長方法としては、従来公知の方法を用いることができ、適宜選ばれる。この成長方法としては、具体的には、例えば、パルスレーザー堆積(PLD:Pulsed Laser Depos

10

20

30

40

50

ition)法、スパッタリング法、真空蒸着法、化学気相成長(CVD:Chemical Vapor Deposition)法などを用いることができる。成長温度は、成長させる結晶系酸化物半導体や基板11の耐熱温度などに応じて適宜選ばれるが、一般的には室温以上1000以下である。特に、基板11としてガラス基板を用いる場合には、一般的には室温以上400以下である。この結晶系酸化物半導体には必要に応じて不純物がドープされる。この場合、この結晶系酸化物半導体の結晶化状態は、不純物の種類および濃度によって制御することが可能である。また、チャネル層12の結晶配向を制御する観点からは、好適には、チャネル層12を形成する前に、基板11上に完全にアモルファスになるアモルファス絶縁膜を成膜し、続いて、そのアモルファス絶縁膜の表面を大気に晒すことなくその上にチャネル層12を形成する。これは、チャネル層12を形成する基板11の表面に水分や不純物などが存在すると、チャネル層12の形成時にそれが核となって互いに配向が異なる結晶粒が形成されやすく、部分的に結晶化が促進され、配向を均一に揃えることが難しくなってしまうことから、これを防止するためである。このアモルファス絶縁膜としては、好適には、例えばAlO<sub>x</sub>やGaO<sub>x</sub>などの均一組成で不純物も含まない材料からなるものが用いられる。これは、組成が不均一あるいは不純物が含まれているアモルファス絶縁膜では、組成が不均一な部分あるいは不純物が核となって互いに配向が異なる結晶粒が形成されやすく、部分的に結晶化が促進され、配向を均一に揃えることが難しくなってしまうことから、これを防止するためである。

10

## 【0032】

次に、ソース電極13およびドレイン電極14の材料となる導電膜を形成した後、この導電膜をリソグラフィーおよびエッティングにより所定形状にパターニングしてソース電極13およびドレイン電極14を形成する。この導電膜の形成方法としては、従来公知の方法を用いることができ、適宜選ばれるが、具体的には、例えば、PLD法、スパッタリング法、真空蒸着法、CVD法などを用いることができる。

20

## 【0033】

次に、全面にゲート絶縁膜15を形成する。このゲート絶縁膜15の形成方法としては、従来公知の方法を用いることができ、適宜選ばれるが、具体的には、例えば、スパッタリング法、真空蒸着法、CVD法などを用いることができる。

## 【0034】

次に、全面にゲート電極16の材料となる導電膜を形成した後、この導電膜をリソグラフィーおよびエッティングにより所定形状にパターニングしてゲート電極16を形成する。この導電膜の形成方法としては、従来公知の方法を用いることができ、適宜選ばれるが、具体的には、例えば、PLD法、スパッタリング法、真空蒸着法などを用いることができる。

30

## 【0035】

次に、全面にパッシベーション膜17を形成する。このパッシベーション膜17の形成方法としては、従来公知の方法を用いることができ、適宜選ばれるが、具体的には、例えば、スパッタリング法、真空蒸着法、CVD法などを用いることができる。

## 【0036】

以上により、目的とするトップゲート型の薄膜トランジスタが製造される。

40

## 【0037】

以上のように、この第1の実施の形態によれば、チャネル層12を構成するピックスバイト構造を有する結晶系酸化物半導体の金属原子のみが配列した結晶面である(222)面とキャリア走行方向とが互いにほぼ平行、具体的には、例えば、この(222)面とキャリア走行方向との平均角度が0°以上25°以下になっている。このため、この薄膜トランジスタの移動度として、例えば30cm<sup>2</sup>/Vs以上の高い移動度を得ることができる。また、チャネル層12は結晶系酸化物半導体からなるため、この薄膜トランジスタの特性のばらつきを小さくすることができ、信頼性の向上を図ることもできる。

## 【0038】

2. 第2の実施の形態

50

## [薄膜トランジスタ]

図3は第2の実施の形態による薄膜トランジスタを示す。この薄膜トランジスタはボトムゲート型である。

## 【0039】

図3に示すように、この薄膜トランジスタにおいては、基板11上にゲート電極16が設けられている。このゲート電極16を覆うようにゲート絶縁膜15およびチャネル層12が順次設けられている。このチャネル層12を覆うようにパッシベーション膜17が設けられている。このパッシベーション膜17の所定部分には開口17a、17bが設けられている。そして、開口17aを通してソース電極13がチャネル層12とオーミック接觸して設けられ、開口17bを通してドレイン電極14がチャネル層12とオーミック接觸して設けられている。

10

## 【0040】

この薄膜トランジスタの上記以外のことは、第1の実施の形態による薄膜トランジスタと同様である。

## 【0041】

## [薄膜トランジスタの製造方法]

図3に示すように、まず、基板11上にゲート電極16を形成する。

## 【0042】

次に、こうしてゲート電極16を形成した基板11の全面にビックスバイト構造を有する結晶系酸化物半導体を成長させてチャネル層12を形成する。

20

## 【0043】

次に、チャネル層12の全面にゲート絶縁膜12を形成する。

## 【0044】

次に、ゲート絶縁膜12の全面にパッシベーション膜17を形成する。

## 【0045】

次に、リソグラフィーおよびエッティングによりパッシベーション膜17の所定部分を除去して開口17a、17bを形成する。

## 【0046】

次に、パッシベーション膜17の開口17a、17bを通じてそれぞれソース電極13およびドレイン電極14を形成する。

30

## 【0047】

以上により、目的とするボトムゲート型の薄膜トランジスタを製造する。

## 【0048】

この第2の実施の形態によれば、ボトムゲート型の薄膜トランジスタにおいて、第1の実施の形態と同様な利点を得ることができる。

## 【0049】

## 実施例1

第2の実施の形態に対応する実施例1について説明する。

## 【0050】

以下のようにしてボトムゲート型の薄膜トランジスタを製造した。

40

## 【0051】

ガラス基板上に、このガラス基板との界面の影響を無視するために厚さ100nmのSiO<sub>2</sub>膜を成膜した。

## 【0052】

次に、このSiO<sub>2</sub>膜上にゲート電極を形成するための厚さ100nmのMo膜を成膜した後、このMo膜をリソグラフィーおよびエッティングにより所定形状にパターニングしてゲート電極を形成した。

## 【0053】

次に、このゲート電極を覆うように全面に、ゲート絶縁膜として厚さ300nmのSiO<sub>2</sub>膜を形成した。

50

## 【0054】

次に、この $\text{SiO}_2$ 膜の全面にPLD装置により、酸素( $\text{O}_2$ )雰囲気においてチャネル層として厚さ400nmの $\text{In}_2\text{O}_3$ 膜を成膜した。 $\text{In}_2\text{O}_3$ 膜の成膜は、室温において酸素圧力を8Paとして行った。後述のように、この成膜条件で $\text{In}_2\text{O}_3$ 膜を成膜することにより、成膜時に結晶化を促進することができた。

## 【0055】

次に、 $\text{In}_2\text{O}_3$ 膜の結晶化をより促進するために、酸素雰囲気において、400、1時間の結晶化アニールを行った。

## 【0056】

次に、 $\text{In}_2\text{O}_3$ 膜を覆うように全面にパッシベーション膜として厚さ500nmの $\text{SiO}_2$ 膜を成膜した。

## 【0057】

次に、この $\text{SiO}_2$ 膜の所定部分をエッチング除去して開口を形成し、さらにソース電極およびドレイン電極形成用の金属膜を真空蒸着法により成膜し、この金属膜をリソグラフィーおよびエッチングにより所定形状にパターニングしてソース電極およびドレイン電極を形成した。

## 【0058】

以上のようにしてボトムゲート型の薄膜トランジスタを製造した。

## 【0059】

PLD法により成膜した $\text{In}_2\text{O}_3$ 膜の酸素圧力による結晶化の程度の変化を調べた。すなわち、図4に示すように、c面サファイア基板21上に、雰囲気中の酸素圧力を2Pa、8Pa、12Pa、16Paの4水準に変化させてPLD装置により室温において厚さ400nmの $\text{In}_2\text{O}_3$ 膜22を成膜し、この $\text{In}_2\text{O}_3$ 膜22の結晶化の程度をX線回折により調べた。その結果を図5に示す。図5の横軸は回折角2θ、縦軸は強度である。ここで、 $\text{In}_2\text{O}_3$ 膜22を成膜する基板としてc面サファイア基板31を用いた理由は、単結晶基板であるc面サファイア基板31のシャープなピーク(図5に示すSap(006))を基準とすることにより、X線回折測定のアライメント精度の向上を図り、 $\text{In}_2\text{O}_3$ 膜22の結晶化状態を詳細に調べるためにある。図5より、酸素圧力が8Paの時に、 $\text{In}_2\text{O}_3$ 膜22の(222)面によるピークの半値幅が最も狭くなること、言い換えると $\text{In}_2\text{O}_3$ 膜32の結晶化が最も進んでいることが分かった。これが、 $\text{In}_2\text{O}_3$ 膜の成膜時の雰囲気の酸素圧力を8Paとした理由である。

10

20

30

## 【0060】

図6に $\text{In}_2\text{O}_3$ 結晶の構造を示す。 $\text{In}_2\text{O}_3$ 結晶の(222)面は、金属原子であるIn原子が面状に配列している結晶面である。図6中、大きい球がIn原子、小さい球がO原子である。図7に $\text{In}_2\text{O}_3$ 中の電子( $e^-$ )の伝導モデルを示す。 $\text{In}_2\text{O}_3$ はZnOなどと異なり、 $s p^3$ 混成軌道ではなく、In原子同士の5s軌道の重なりで電子伝導が行われることが知られている(非特許文献4参照。)。この機構が、In系酸化物半導体がアモルファスでも高移動度が得られる原因であると考えられている。

## 【0061】

$\text{In}_2\text{O}_3$ 膜の(222)面とキャリア走行方向との角度を変えたときの $\text{In}_2\text{O}_3$ 膜の断面透過型電子顕微鏡像(断面TEM像)を図8Aおよび図8Bに示す。ただし、 $\text{In}_2\text{O}_3$ 膜の厚さは20nmである。図8Aおよび図8BにはHall(ホール)移動度の評価結果も示す。 $\text{In}_2\text{O}_3$ 膜の(222)面の間隔は約0.3nmである。図8Aに示す場合においては、 $\text{In}_2\text{O}_3$ 膜の(222)面とキャリア走行方向とが互いにほとんど平行になっており、このときのHall移動度は $64.6 \text{ cm}^2 / \text{Vs}$ と非常に大きい。なお、 $\text{In}_2\text{O}_3$ 膜は、TEMの視野範囲(2~4μm程度)の大部分の領域で、(222)面がキャリア走行方向とほとんど平行になるように配向していることが確認されている。一方、図8Bに示す場合においては、 $\text{In}_2\text{O}_3$ 膜の(222)面とキャリア走行方向とは互いに約70°と大きな角度をなし、このときのHall移動度は $22.0 \text{ cm}^2 / \text{Vs}$ と小さい。このことから、 $\text{In}_2\text{O}_3$ 膜において高移動度を得るために、 $\text{In}_2$

40

50

$\text{O}_3$  膜の(222)面をキャリア走行方向に対して平行な方向に近づけることが有効であることがわかる。

【0062】

図9に、 $\text{In}_2\text{O}_3$  膜の(222)面とキャリア走行方向とがなす平均角度による移動度の変化を示す。ただし、 $\text{In}_2\text{O}_3$  膜の厚さは20nmである。図9より、 $30\text{ cm}^2/\text{Vs}$  以上の高移動度を実現するためには、平均角度を0°以上25°以下にする必要があることがわかる。

【0063】

実施例2

第2の実施の形態に対応する実施例2について説明する。

10

【0064】

実施例2においては、PLD装置のターゲットとして、Tiを1重量%含有する $\text{In}_2\text{O}_3$  からなるターゲットを用い、 $\text{In}_2\text{O}_3$  にTiを添加した $\text{In}_2\text{O}_3:\text{Ti}$  膜をPLD法により成膜したことを除いて、実施例1と同様にして薄膜トランジスタを製造した。

【0065】

PLD法により成膜した $\text{In}_2\text{O}_3:\text{Ti}$  膜の結晶化の程度をX線回折により調べた。その結果を図10に示す。実施例1と同様に、 $\text{In}_2\text{O}_3:\text{Ti}$  膜を成膜する基板としてc面サファイア基板を用いた。図10より、半値幅が狭い(222)面によるピークが観察されており、 $\text{In}_2\text{O}_3:\text{Ti}$  膜は(222)面が膜面にほとんど平行になるように配向していることがわかる。また、この $\text{In}_2\text{O}_3:\text{Ti}$  膜の移動度は $58\text{ cm}^2/\text{Vs}$  と大きかった。

20

【0066】

以上、実施の形態および実施例について具体的に説明したが、本技術は、上述の実施の形態および実施例に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。

【0067】

例えば、上述の実施の形態および実施例において挙げた数値、構造、形状、材料、プロセスなどはあくまでも例に過ぎず、必要に応じてこれらと異なる数値、構造、形状、材料、プロセスなどを用いてもよい。

30

【0068】

なお、本技術は以下のような構成も取ることができる。

(1) ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を有し、上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行である薄膜トランジスタ。

(2) 上記チャネル層におけるキャリアの移動度が $30\text{ cm}^2/\text{Vs}$  以上である前記(1)に記載の薄膜トランジスタ。

(3) 上記(222)面と上記キャリア走行方向とがなす平均角度が0°以上25°以下である前記(1)または(2)に記載の薄膜トランジスタ。

(4) 上記ビックスバイト構造を有する結晶系酸化物半導体が $\text{In}_2\text{O}_3$  である前記(1)から(3)のいずれか一項に記載の薄膜トランジスタ。

40

(5) 上記ビックスバイト構造を有する結晶系酸化物半導体に不純物がドープされている前記(1)から(4)のいずれか一項に記載の薄膜トランジスタ。

(6) 基板上に上記チャネル層、ゲート絶縁膜およびゲート電極が順次積層された構造を有する前記(1)から(5)のいずれか一項に記載の薄膜トランジスタ。

(7) 上記チャネル層はアモルファス絶縁膜を介して上記基板上に設けられている前記(1)から(5)のいずれか一項に記載の薄膜トランジスタ。

(8) 上記ゲート絶縁膜は $\text{Al}_2\text{O}_3$  膜である前記(1)から(7)のいずれか一項に記載の薄膜トランジスタ。

(9) 基板上にゲート電極、ゲート絶縁膜および上記チャネル層が順次積層された構造を有する前記(1)から(5)のいずれか一項に記載の薄膜トランジスタ。

50

(10) 基板上に、ビックスバイト構造を有する結晶系酸化物半導体からなるチャネル層を、上記チャネル層の(222)面とキャリア走行方向とが互いにほぼ平行となるように形成する工程を有する薄膜トランジスタの製造方法。

(11) 少なくとも酸素を含む雰囲気において上記チャネル層を形成する前記(10)に記載の薄膜トランジスタの製造方法。

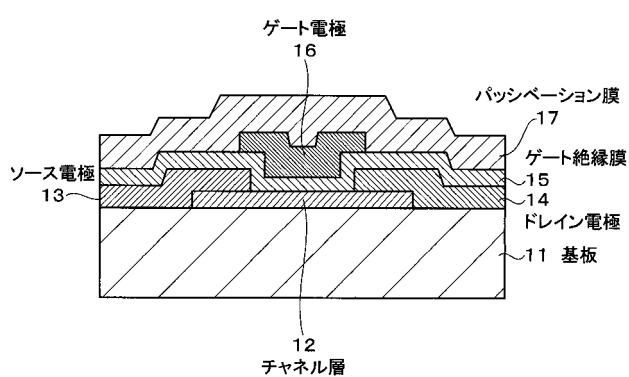
(12) 上記基板上にアモルファス絶縁膜を介して上記チャネル層を形成する前記(10)または(11)に記載の薄膜トランジスタの製造方法。

【符号の説明】

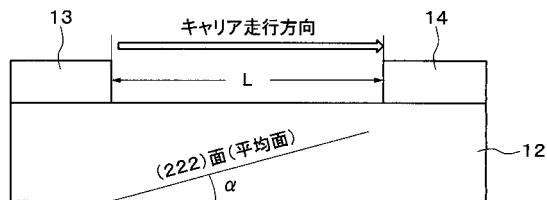
【0069】

11...基板、12...チャネル層、13...ソース電極、14...ドレイン電極、15...ゲート絶縁膜、16...ゲート電極、17...パッシベーション膜 10  
ト絶縁膜、18...ゲート電極、19...パッシベーション膜

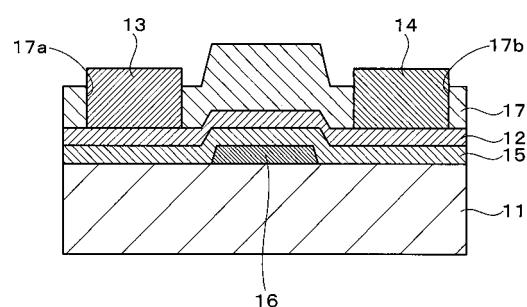
【図1】



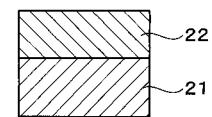
【図2】



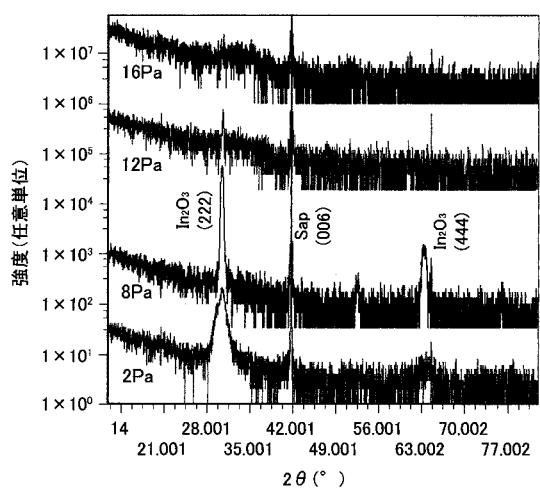
【図3】



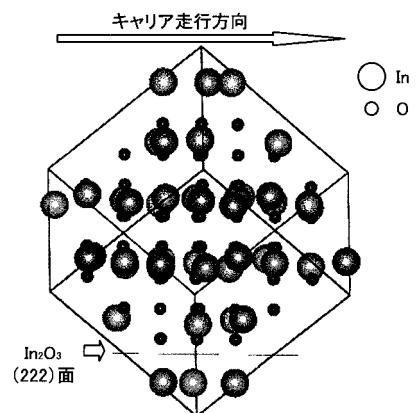
【図4】



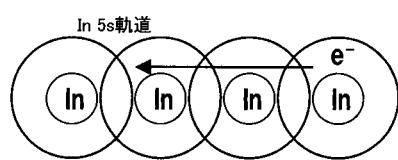
【図5】



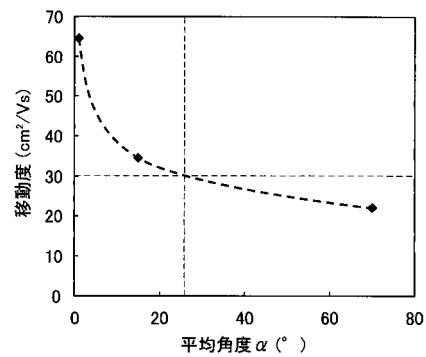
【図6】



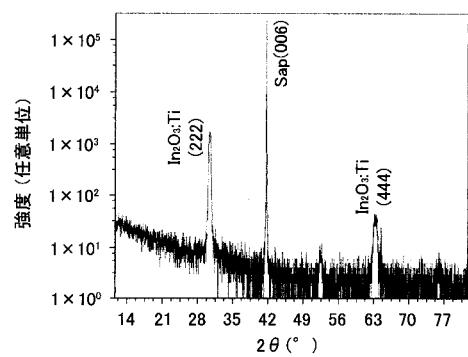
【図7】



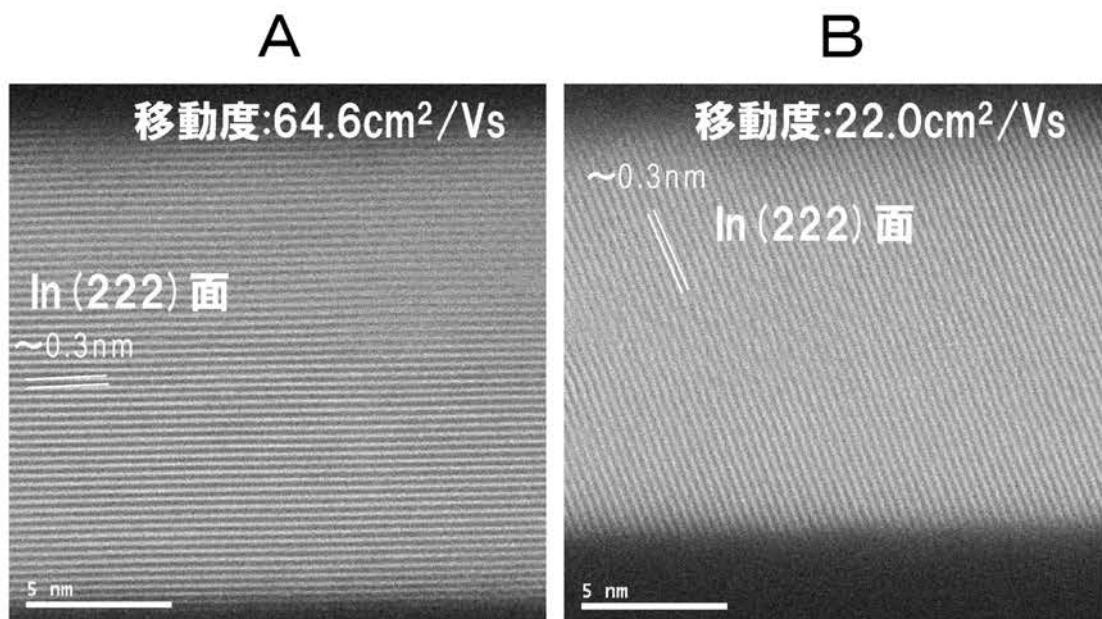
【図9】



【図10】



【図 8】



---

フロントページの続き

F ターム(参考) 5F110 AA01 BB01 CC01 CC07 DD01 DD02 DD03 DD04 DD12 DD13  
EE02 EE03 EE04 EE06 EE09 EE14 EE42 EE43 EE44 FF01  
FF02 FF03 FF27 FF28 FF29 GG01 GG06 GG13 GG17 GG24  
GG33 GG42 GG43 GG44 GG57 HK02 HK03 HK04 HK06 HK07  
HK21 HK32 HK33 HK34 HL02 HL03 HL04 HL06 HL07 HL11  
HL22 HL23 HL24 NN04 NN23 NN24 NN25 NN26 NN33 NN34  
NN35 PP01 PP10 PP13