

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成27年12月10日(2015.12.10)

【公開番号】特開2013-175263(P2013-175263A)

【公開日】平成25年9月5日(2013.9.5)

【年通号数】公開・登録公報2013-048

【出願番号】特願2013-3386(P2013-3386)

【国際特許分類】

G 11 C 11/4074 (2006.01)

【F I】

G 11 C 11/34 3 5 4 F

【手続補正書】

【提出日】平成27年10月19日(2015.10.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部から印加される第1電源電圧によって駆動され、第1電圧を受信してクランプ電圧を発生させるクランプ調節部と、

前記第1電源電圧より高い第2電源電圧によって駆動され、前記クランプ電圧を受信して基準電圧を発生させるレベル増幅部と、を具備することを特徴とする基準電圧発生部。

【請求項2】

前記基準電圧発生部は、DRAMに含まれ、

前記クランプ電圧は、前記DRAM内メモリセルデータのリストア動作を保証する最小限の電圧レベルを有するように設定されることを特徴とする請求項1に記載の基準電圧発生部。

【請求項3】

前記クランプ調節部は、

前記第1電源電圧によって駆動され、前記第1電圧と第1ノード電圧とを比較し、第2ノード電圧を出力する第1比較部と、

前記第1電源電圧によって駆動され、前記第2ノード電圧に応答し、前記クランプ電圧を出力する第1スイッチング部と、

前記第1電圧のレベルと同一である前記第1ノード電圧を出力し、前記クランプ電圧のレベルを調節する第1レベル調節部と、を具備することを特徴とする請求項1に記載の基準電圧発生部。

【請求項4】

前記第1スイッチング部は、

前記第1電源電圧がそのソースに連結され、前記第2ノードがそのゲートに連結され、前記クランプ電圧がそのドレインに連結されるPMOSトランジスタであることを特徴とする請求項3に記載の基準電圧発生部。

【請求項5】

前記第1レベル調節部は、

前記クランプ電圧と前記第2ノードとの間に連結される第1抵抗と、

前記第2ノードと接地電圧との間に連結される第2抵抗と、を具備することを特徴とする請求項3に記載の基準電圧発生部。

【請求項 6】

前記レベル増幅部は、

前記第2電源電圧によって駆動され、前記クランプ電圧と第3ノード電圧とを比較し、第4ノード電圧を出力する第2比較部と、

前記第2電源電圧によって駆動され、前記第4ノード電圧に応答し、前記基準電圧を出力する第2スイッチング部と、

前記クランプ電圧のレベルと同一である前記第3ノード電圧を出力し、前記基準電圧のレベルを調節する第2レベル調節部と、を具備することを特徴とする請求項1に記載の基準電圧発生部。

【請求項 7】

前記第2スイッチング部は、

前記第2電源電圧がそのソースに連結され、前記第4ノードがそのゲートに連結され、前記基準電圧がそのドレインに連結されるPMOSトランジスタであることを特徴とする請求項6に記載の基準電圧発生部。

【請求項 8】

前記第2レベル調節部は、

前記基準電圧と前記第3ノードとの間に連結される第3抵抗と、

前記第3ノードと接地電圧との間に連結される第4抵抗と、を具備することを特徴とする請求項6に記載の基準電圧発生部。

【請求項 9】

前記基準電圧発生部は、

前記第1電源電圧を入力され、チャージ・ポンピング動作を介して、前記第2電源電圧を出力するチャージ・ポンピング部をさらに具備することを特徴とする請求項1に記載の基準電圧発生部。

【請求項 10】

前記基準電圧発生部は、

前記第1電源電圧より高い第3電源電圧を入力され、前記第3電源電圧を電圧降下させ、前記第2電源電圧を出力する電圧降下部をさらに具備することを特徴とする請求項1に記載の基準電圧発生部。

【請求項 11】

外部から第1外部電源電圧が印加されるDRAMにおいて、

前記第1外部電源電圧より高い第2電源電圧によって駆動され、第1電圧と第1ノード電圧とを比較し、第2ノード電圧を発生させる比較部と、

前記第2電源電圧によって駆動され、前記第2ノード電圧に応答し、基準電圧を出力するスイッチング部と、

前記第1電圧のレベルと同一である前記第1ノードの電圧が前記第1電圧のレベルに収斂されるように出力し、前記基準電圧のレベルを調節するレベル調節部と、を具備し、

前記第1電圧は、前記DRAM内メモリセルデータのリストア動作を保証する電圧レベルを有するように設定されることを特徴とするDRAM。

【請求項 12】

前記第1電圧は、前記DRAM内メモリセルデータのリストア動作を保証する最小限の電圧レベルを有するように設定されることを特徴とする請求項11に記載のDRAM。

【請求項 13】

前記スイッチング部は、

前記第2電源電圧がそのソースに連結され、前記第2ノードがそのゲートに連結され、前記基準電圧がそのドレインに連結されるPMOSトランジスタであることを特徴とする請求項11に記載のDRAM。

【請求項 14】

前記レベル調節部は、

前記基準電圧と前記第1ノードとの間に連結される第1抵抗と、

前記第1ノードと接地電圧との間に連結される第2抵抗と、を具備することを特徴とする請求項11に記載のDRAM。

【請求項15】

外部から第1外部電源電圧が印加されるDRAMにおいて、

前記第1外部電源電圧と接地電圧とを電圧分配してクランプ電圧を発生させる電圧分配部と、

前記第1電源電圧より高い第2電源電圧によって駆動され、前記クランプ電圧を受信して基準電圧を発生させるレベル増幅部と、を具備し、

前記クランプ電圧は、前記DRAM内メモリセルデータのリストア動作を保証する最小限の電圧レベルを有するように設定されることを特徴とするDRAM。

【請求項16】

電圧分配部は、

前記第1電源電圧と前記クランプ電圧との間に連結される第1抵抗と、

前記クランプ電圧と前記接地電圧との間に連結される第2抵抗と、を具備することを特徴とする請求項15に記載のDRAM。

【請求項17】

前記レベル増幅部は、

前記第2電源電圧によって駆動され、クランプ電圧と第1ノード電圧とを比較し、第2ノード電圧を出力する比較部と、

前記第2電源電圧によって駆動され、前記第2ノード電圧に応答し、前記基準電圧を出力するスイッチング部と、

前記クランプ電圧のレベルと同一である前記第1ノード電圧を出力し、前記基準電圧のレベルを調節するレベル調節部と、を具備することを特徴とする請求項15に記載のDRAM。

【請求項18】

前記スイッチング部は、

前記第2電源電圧がそのソースに連結され、前記第2ノードがそのゲートに連結され、前記基準電圧がそのドレインに連結されるPMOSトランジスタであることを特徴とする請求項17に記載のDRAM。

【請求項19】

前記レベル調節部は、

前記基準電圧と前記第1ノードとの間に連結される第1抵抗と、

前記第1ノードと接地電圧との間に連結される第2抵抗と、を具備することを特徴とする請求項17に記載のDRAM。

【請求項20】

外部電圧源と基準電圧源とに連結され、前記外部電圧源から入力される外部電圧と、前記基準電圧源から入力される基準電圧とを基に決定される調節された電圧を出力する電圧調節部と、

前記電圧調節部と第2電圧源とに連結され、前記電圧調節部から出力される前記調節された電圧と、前記第2電圧源に入力される電圧とを基に決定される增幅された調節基準電圧を出力する增幅部と、を具備し、

前記外部電圧源から前記電圧調節部に入力される電圧は、前記第2電圧源から前記增幅部に入力される前記電圧より低いことを特徴とする基準電圧発生部。

【請求項21】

前記第2電圧源は、外部電圧源であることを特徴とする請求項20に記載の基準電圧発生部。

【請求項22】

前記基準電圧発生部は、

前記增幅された調節基準電圧が、前記電圧調節部から出力される前記調節された電圧より高く、前記基準電圧と同一であることを特徴とする請求項20に記載の基準電圧発生部

。

【請求項 2 3】

前記電圧調節部は、

前記外部電圧によって駆動され、前記基準電圧と第1ノード電圧とを比較し、第2ノード電圧を出力する第1比較部と、

前記外部電圧によって駆動され、前記第2ノード電圧に応答し、前記調節された電圧を出力する第1スイッチング部と、

前記基準電圧のレベルに収斂するレベルを有する前記第1ノード電圧を出力する第1レベル調節部と、を具備することを特徴とする請求項 2 0 に記載の基準電圧発生部。