

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6069404号
(P6069404)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl.

F 1

H01L 29/786	(2006.01)	H01L	29/78	618G
H01L 21/336	(2006.01)	H01L	29/78	618B
G02F 1/1368	(2006.01)	H01L	29/78	618E
H01L 51/50	(2006.01)	H01L	29/78	618C
H05B 33/14	(2006.01)	H01L	29/78	619A

請求項の数 4 (全 61 頁) 最終頁に続く

(21) 出願番号 特願2015-88089 (P2015-88089)
 (22) 出願日 平成27年4月23日 (2015.4.23)
 (62) 分割の表示 特願2015-3134 (P2015-3134)
 の分割
 原出願日 平成22年2月26日 (2010.2.26)
 (65) 公開番号 特開2015-167242 (P2015-167242A)
 (43) 公開日 平成27年9月24日 (2015.9.24)
 審査請求日 平成27年5月6日 (2015.5.6)
 (31) 優先権主張番号 特願2009-45536 (P2009-45536)
 (32) 優先日 平成21年2月27日 (2009.2.27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 秋元 健吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極と、ゲート絶縁膜と、酸化物半導体層と、絶縁性酸化物を有する酸化物半導体層と、ソース電極と、ドレイン電極と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる領域に、チャネル形成領域を有し、

前記ソース電極は、前記酸化物半導体層と電気的に接続され、

前記ドレイン電極は、前記酸化物半導体層と電気的に接続され、

前記絶縁性酸化物を有する酸化物半導体層は、前記ソース電極と、前記酸化物半導体層との間の第1の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記ドレイン電極と、前記酸化物半導体層との間の第2の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記第1の領域及び第2の領域よりも膜厚の薄い、第3の領域を有し、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記酸化物半導体層は、ナノクリスタルを有し、

前記絶縁性酸化物は、酸化シリコンを有し、

前記絶縁性酸化物を有する酸化物半導体層は、非晶質構造を有する、ことを特徴とする半導体装置。

【請求項 2】

10

20

ゲート電極と、ゲート絶縁膜と、酸化物半導体層と、絶縁性酸化物を有する酸化物半導体層と、ソース電極と、ドレイン電極と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる領域に、チャネル形成領域を有し、

前記ソース電極は、前記酸化物半導体層と電気的に接続され、

前記ドレイン電極は、前記酸化物半導体層と電気的に接続され、

前記絶縁性酸化物を有する酸化物半導体層は、前記ソース電極と、前記酸化物半導体層との間の第1の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記ドレイン電極と、前記酸化物半導体層との間の第2の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記第1の領域及び第2の領域よりも膜厚の薄い、第3の領域を有し、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記酸化物半導体層は、1nm～10nmの結晶粒を有し、

前記絶縁性酸化物は、酸化シリコンを有し、

前記絶縁性酸化物を有する酸化物半導体層は、非晶質構造を有する、ことを特徴とする半導体装置。

【請求項3】

ゲート電極と、ゲート絶縁膜と、酸化物半導体層と、絶縁性酸化物を有する酸化物半導体層と、ソース電極と、ドレイン電極と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる領域に、チャネル形成領域を有し、

前記ソース電極は、前記酸化物半導体層と電気的に接続され、

前記ドレイン電極は、前記酸化物半導体層と電気的に接続され、

前記絶縁性酸化物を有する酸化物半導体層は、前記ソース電極と、前記酸化物半導体層との間の第1の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記ドレイン電極と、前記酸化物半導体層との間の第2の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記第1の領域及び第2の領域よりも膜厚の薄い、第3の領域を有し、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記酸化物半導体層は、ナノクリスタルを有し、

前記絶縁性酸化物を有する酸化物半導体層は、Inと、Gaと、Znと、Siとを有し、

前記絶縁性酸化物を有する酸化物半導体層は、結晶又は結晶粒を有さない、ことを特徴とする半導体装置。

【請求項4】

ゲート電極と、ゲート絶縁膜と、酸化物半導体層と、絶縁性酸化物を有する酸化物半導体層と、ソース電極と、ドレイン電極と、を有し、

前記酸化物半導体層は、前記ゲート絶縁膜を介して、前記ゲート電極と重なる領域に、チャネル形成領域を有し、

前記ソース電極は、前記酸化物半導体層と電気的に接続され、

前記ドレイン電極は、前記酸化物半導体層と電気的に接続され、

前記絶縁性酸化物を有する酸化物半導体層は、前記ソース電極と、前記酸化物半導体層との間の第1の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記ドレイン電極と、前記酸化物半導体層との間の第2の領域を有し、

前記絶縁性酸化物を有する酸化物半導体層は、前記第1の領域及び第2の領域よりも膜厚の薄い、第3の領域を有し、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

10

20

30

40

50

前記酸化物半導体層は、1 nm ~ 10 nmの結晶粒を有し、
 前記絶縁性酸化物は、酸化シリコンを有し、
 前記絶縁性酸化物を有する酸化物半導体層は、結晶又は結晶粒を有さない、ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いる半導体装置と、該半導体装置を用いた表示装置及びそれらの作製方法に関する。

【背景技術】

10

【0002】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透光性を有する電極材料として用いられている。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1乃至4、非特許文献1）。

【0004】

20

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $InGaO_3 (ZnO)_m$ (m : 自然数) は、In、Ga 及び Zn を有する多元系酸化物半導体として知られている（非特許文献2乃至4）。

【0005】

そして、上記のような In - Ga - Zn 系酸化物で構成される酸化物半導体は薄膜トランジスタのチャネル層として適用可能であることが確認されている（特許文献5、非特許文献5及び6）。

【0006】

従来、アクティブマトリクス型液晶ディスプレイの各画素に設けられる薄膜トランジスタ (TFT) には、アモルファスシリコンや多結晶シリコン用いられてきたが、これらシリコン材料に代わって、上記のような金属酸化物半導体を用いて薄膜トランジスタを作製する技術が注目されている。例えば、金属酸化物半導体膜として酸化亜鉛、In - Ga - Zn - O 系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献6及び特許文献7で開示されている。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

40

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【特許文献6】特開2007-123861号公報

【特許文献7】特開2007-96055号公報

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cilleissen, J. B. Giesbers, R. P. Weening, and R. M. Wolff, 「A ferroelectric transparent thin-film trans-

50

sistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650 - 3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350」、J. Solid State Chem.、1991、Vol. 93, p. 298 - 315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds, In₂O₃(ZnO)_m(m = 3, 4, and 5), InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m(m = 7, 8, 9, and 16) in the In₂O₃-ZnGa₂O₄-ZnO System」、J. Solid State Chem.、1995、Vol. 116, p. 170 - 178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO₃(ZnO)_m(m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317 - 327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488 - 492

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様は、酸化物半導体層を用いた薄膜トランジスタにおいて、該薄膜トランジスタのしきい値電圧のばらつきを低減し、電気特性を安定させることを課題の1つとする。また、本発明の一態様は、酸化物半導体層を用いた薄膜トランジスタにおいて、オフ電流を低減し、電気特性を安定させることを課題とする。また本発明の一態様は、該酸化物半導体層を用いた薄膜トランジスタを有する表示装置を提供することを課題とする。

【課題を解決するための手段】

【0010】

上記課題を解決するため、酸化物半導体層を用いた薄膜トランジスタにおいて、酸化物半導体層の上に絶縁性酸化物を含む酸化物半導体層を積層し、酸化物半導体層とソース電極層又はドレイン電極層とが絶縁性酸化物を含む酸化物半導体層を介して接触するように薄膜トランジスタを形成する。

【0011】

本発明の一態様は、ゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に酸化物半導体層と、酸化物半導体層上に絶縁性酸化物を含む酸化物半導体層と、絶縁性酸化物を含む酸化物半導体層上にソース電極層及びドレイン電極層とを有し、酸化物半導体層上の絶縁性酸化物を含む酸化物半導体層は、アモルファス構造であり、絶縁性酸化物を含む酸化物半導体層とソース電極層及びドレイン電極層とは電気的に接続することを特徴とする半導体装置である。

【0012】

本発明の他の一態様は、ゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁

10

20

30

40

50

層上に酸化物半導体層と、酸化物半導体層上に絶縁性酸化物を含む酸化物半導体層と、絶縁性酸化物を含む酸化物半導体層上にn型の導電型を有するバッファ層と、バッファ層上にソース電極層及びドレイン電極層とを有し、酸化物半導体層上の絶縁性酸化物を含む酸化物半導体層は、アモルファス構造であり、バッファ層の導電率は、酸化物半導体層の導電率より高く、絶縁性酸化物を含む酸化物半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電気的に接続することを特徴とする半導体装置である。

【0013】

なお、絶縁性酸化物は、酸化シリコンであることが好ましい。また、絶縁性酸化物を含む酸化物半導体層は、 SiO_2 を0.1重量パーセント以上30重量パーセント以下含ませたターゲットを用いたスパッタ法により形成されることが好ましい。¹⁰ また、酸化物半導体層、及び絶縁性酸化物を含む酸化物半導体層は、インジウム、スズまたは亜鉛のうち少なくとも一つを含むことが好ましい。また、バッファ層は、酸化物半導体からなる非単結晶膜を用いることが好ましい。

【0014】

また、酸化物半導体層は、ソース電極層とドレイン電極層の間に、ソース電極層及びドレイン電極層と重なる領域よりも膜厚の薄い領域を有していてもよい。また、ソース電極層とドレイン電極層の間の絶縁性酸化物を含む酸化物半導体層がエッチングされ、酸化物半導体層が露出されていてもよい。また、酸化物半導体層の上に無機材料からなるチャネル保護層を有していてもよい。また、ゲート電極層のチャネル方向の幅が絶縁性酸化物を含む酸化物半導体層及び酸化物半導体層のチャネル方向の幅より広くてもよい。また、絶縁性酸化物を含む酸化物半導体層の端部の下に空洞が形成されていてもよい。また、酸化物半導体層の端部が絶縁性酸化物を含む酸化物半導体層によって覆われていてもよい。²⁰

【0015】

本発明の他の一態様は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に、第1の酸化物半導体膜をスパッタ法によって成膜し、第1の酸化物半導体膜上に、 SiO_2 を含ませたターゲットを用いたスパッタ法によって酸化シリコンを含む第2の酸化物半導体膜を成膜し、第1の酸化物半導体膜及び第2の酸化物半導体膜をエッチングして酸化物半導体層と島状の第2の酸化物半導体膜を形成し、島状の第2の酸化物半導体膜の上に導電層を成膜し、島状の第2の酸化物半導体膜と導電層をエッチングして絶縁性酸化物を含む酸化物半導体層とソース電極層及びドレイン電極層を形成し、 SiO_2 を含ませたターゲットは、 SiO_2 を0.1重量パーセント以上30重量パーセント以下含むことを特徴とする半導体装置の作製方法である。³⁰

【0016】

本発明の他の一態様は、基板上にゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に、第1の酸化物半導体膜をスパッタ法によって成膜し、第1の酸化物半導体膜をエッチングして酸化物半導体層を形成し、酸化物半導体層上に、 SiO_2 を含ませたターゲットを用いたスパッタ法によって酸化シリコンを含む第2の酸化物半導体膜を成膜し、第2の酸化物半導体膜をエッチングして、酸化物半導体層を覆うように島状の第2の酸化物半導体膜を形成し、島状の第2の酸化物半導体膜の上に導電層を成膜し、島状の第2の酸化物半導体膜と導電層をエッチングして絶縁性酸化物を含む酸化物半導体層とソース電極層及びドレイン電極層を形成し、 SiO_2 を含ませたターゲットは、 SiO_2 を0.1重量パーセント以上30重量パーセント以下含むことを特徴とする半導体装置の作製方法である。⁴⁰

【0017】

なお、 SiO_2 を含ませたターゲットは、 SiO_2 を1重量パーセント以上10重量パーセント以下含むことが好ましい。また、第1の酸化物半導体膜及び第2の酸化物半導体膜が、インジウム、スズまたは亜鉛のうち少なくとも一つを含むことが好ましい。また、第1の酸化物半導体膜及び第2の酸化物半導体膜をウェットエッチングすることで、第1の酸化物半導体膜をサイドエッチングし、絶縁性酸化物を含む酸化物半導体層の端部の下に空洞を形成してもよい。また、酸化物半導体層におけるソース電極層とドレイン電極層の

10

20

30

40

50

間の領域に、ソース電極層及びドレイン電極層と重なる領域よりも膜厚の薄い領域を設けてよい。

【0018】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0019】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

10

【0020】

本発明の一態様によれば、酸化物半導体層を用いた薄膜トランジスタにおいて、酸化物半導体層の上に絶縁性酸化物を含む酸化物半導体層を積層し、酸化物半導体層とソース電極層又はドレイン電極層とが絶縁性酸化物を含む酸化物半導体層を介して接触するように薄膜トランジスタを形成することによって、該薄膜トランジスタのしきい値電圧のばらつきを低減し、電気特性を安定させることができる。また、本発明の一態様によれば、オフ電流を低減することもできる。

【0021】

該薄膜トランジスタを表示装置の画素部及び駆動回路部に用いることによって、電気特性が安定した信頼性の高い表示装置を提供することができる。

20

【図面の簡単な説明】

【0022】

【図1】本発明の一態様に係る半導体装置を説明する図。

【図2】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図3】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図4】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図5】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図6】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図7】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図8】本発明の一態様に係る半導体装置を説明する図。

30

【図9】本発明の一態様に係る半導体装置を説明する図。

【図10】本発明の一態様に係る半導体装置を説明する図。

【図11】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図12】本発明の一態様に係る半導体装置を説明する図。

【図13】本発明の一態様に係る半導体装置を説明する図。

【図14】半導体装置のプロック図を説明する図。

【図15】信号線駆動回路の構成を説明する図。

【図16】信号線駆動回路の動作を説明するタイミングチャート。

【図17】信号線駆動回路の動作を説明するタイミングチャート。

【図18】シフトレジスタの構成を説明する図。

40

【図19】図18に示すフリップフロップの接続構成を説明する図。

【図20】本発明の一態様に係る半導体装置の画素等価回路を説明する図。

【図21】本発明の一態様に係る半導体装置を説明する図。

【図22】本発明の一態様に係る半導体装置を説明する図。

【図23】本発明の一態様に係る半導体装置を説明する図。

【図24】本発明の一態様に係る半導体装置を説明する図。

【図25】電子ペーパーの使用形態の例を説明する図。

【図26】電子書籍の一例を示す外観図。

【図27】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図28】遊技機の例を示す外観図。

50

【図29】携帯電話機の一例を示す外観図。

【図30】本発明の一態様に係る半導体装置を説明する図。

【図31】本発明の一態様に係る半導体装置を説明する図。

【図32】本発明の一態様に係る半導体装置を説明する図。

【図33】本発明の一態様に係る半導体装置を説明する図。

【図34】本発明の一態様に係る半導体装置を説明する図。

【図35】本発明の一態様に係る半導体装置の作製方法を説明する図。

【図36】シミュレーションに用いた薄膜トランジスタの構造を説明する図。

【図37】シミュレーションで求めた薄膜トランジスタのしきい値電圧を示す図。

【図38】シミュレーションで求めた薄膜トランジスタの飽和移動度を示す図。 10

【発明を実施するための形態】

【0023】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0024】

(実施の形態1) 20

本実施の形態では、薄膜トランジスタの構造について、図1を用いて説明する。

【0025】

本実施の形態のボトムゲート構造の薄膜トランジスタを図1に示す。図1(A)は断面図であり、図1(B)は平面図である。図1(A)は、図1(B)における線A1-A2の断面図となっている。

【0026】

図1に示す薄膜トランジスタには、基板100上にゲート電極層101が設けられ、ゲート電極層101上にゲート絶縁層102が設けられ、ゲート絶縁層102上に酸化物半導体層106が設けられ、酸化物半導体層106上に絶縁性酸化物を含む酸化物半導体層103が設けられ、絶縁性酸化物を含む酸化物半導体層103上にソース電極層又はドレイン電極層105a、105bが設けられている。 30

【0027】

ゲート電極層101は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タンゲステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成する。アルミニウムや銅などの低抵抗導電性材料で形成するのが望ましいが、耐熱性が低い、または腐食しやすいという問題点があるので耐熱性導電性材料と組み合わせて用いるのが好ましい。耐熱性導電性材料としては、モリブデン、チタン、クロム、タンタル、タンゲステン、ネオジム、スカンジウム等を用いる。

【0028】 40

例えば、ゲート電極層101の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。三層の積層構造としては、タンゲステン層または窒化タンゲステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した構造とすることが好ましい。

【0029】

酸化物半導体層106としては、In-Ga-Zn-O系、In-Sn-Zn-O系、Ga-Sn-Zn-O系、In-Zn-O系、Sn-Zn-O系、In-Sn-O系、Ga 50

- Zn - O 系、In - O 系、Sn - O 系または Zn - O 系の酸化物半導体からなる非単結晶膜が好ましい。

【0030】

本明細書中で、In - Ga - Zn - O 系の酸化物半導体とは、少なくとも In、Ga 及び Zn を含む酸化物半導体のことである。また、In - Sn - Zn - O 系の酸化物半導体とは、少なくとも In、Sn 及び Zn を含む酸化物半導体のことである。また、Ga - Sn - Zn - O 系の酸化物半導体とは、少なくとも Ga、Sn 及び Zn を含む酸化物半導体のことである。また、In - Zn - O 系の酸化物半導体とは、少なくとも In 及び Zn を含む酸化物半導体のことである。また、Sn - Zn - O 系の酸化物半導体とは、少なくとも Sn 及び Zn を含む酸化物半導体のことである。また、In - Sn - O 系の酸化物半導体とは、少なくとも In 及び Sn を含む酸化物半導体のことである。また、Ga - Zn - O 系の酸化物半導体とは、少なくとも Ga 及び Zn を含む酸化物半導体のことである。また、In - O 系の酸化物半導体とは、少なくとも In を含む酸化物半導体のことである。また、Sn - O 系の酸化物半導体とは、少なくとも Sn を含む酸化物半導体のことである。また、Zn - O 系の酸化物半導体とは、少なくとも Zn を含む酸化物半導体のことである。また、上記酸化物半導体中には、Fe、Ni、Mn 又は Co から選ばれた一又は複数の金属元素が含まれていてもよい。10

【0031】

また、酸化物半導体層 106 は、必ずしも非晶質（アモルファス）構造である必要はなく、内部に結晶粒（ナノクリスタル）を含む場合もある。結晶粒（ナノクリスタル）は直径 1 nm ~ 10 nm、代表的には 2 nm ~ 4 nm 程度である。なお、結晶状態は、X 線回折（XRD : X-ray diffraction）の分析により評価するものとする。20

【0032】

酸化物半導体層 106 の膜厚は、10 nm ~ 300 nm とし、好ましくは 20 nm ~ 100 nm とする。

【0033】

絶縁性酸化物を含む酸化物半導体層 103 としては、In - Ga - Zn - O 系、In - Sn - Zn - O 系、Ga - Sn - Zn - O 系、In - Zn - O 系、Sn - Zn - O 系、In - Sn - O 系、Ga - Zn - O 系、In - O 系、Sn - O 系または Zn - O 系の酸化物半導体からなる非単結晶膜に絶縁性酸化物を含ませたものが好ましい。ここで、絶縁性酸化物としては、酸化シリコンが好ましい。また、絶縁性酸化物には窒素を加えてよい。30

【0034】

また、絶縁性酸化物を含む酸化物半導体層 103 は、非晶質（アモルファス）構造である。なお、酸化物半導体層 106 と同様に結晶状態は、X 線回折（XRD : X-ray diffraction）の分析により評価するものとする。

【0035】

さらに、絶縁性酸化物を含む酸化物半導体層 103 はスパッタ法で形成し、ターゲットとして、SiO₂ を 0.1 重量パーセント以上 30 重量パーセント以下、好ましくは 1 重量パーセント以上 10 重量パーセント以下含ませたものを用いるのが好ましい。

【0036】

絶縁性酸化物を含む酸化物半導体層 103 に酸化シリコンのような絶縁性酸化物を含めることにより、該絶縁性酸化物を含む酸化物半導体層 103 の結晶化を抑制し、非晶質構造とすることができる。絶縁性酸化物を含む酸化物半導体層 103 の結晶化を抑制し、非晶質構造とすることにより、薄膜トランジスタの特性のばらつきを低減し、安定化することが可能となる。また、300 乃至 600 の熱処理を行っても、絶縁性酸化物を含む酸化物半導体層 103 の結晶化又は微結晶粒の生成を防ぐことができる。40

【0037】

絶縁性酸化物を含む酸化物半導体層 103 は、非晶質構造をとつており、内部に結晶又は結晶粒を含まないので、導電性が低減されている。よつて、酸化物半導体層 106 と、ソース電極層又はドレイン電極層 105a、105b との間に、非晶質構造をとる絶縁性酸50

化物を含む酸化物半導体層 103 を介することによって薄膜トランジスタのしきい値電圧のばらつきを低減し、電気特性を安定させることができる。また、オフ電流を低減することもできる。

【0038】

絶縁性酸化物を含む酸化物半導体層 103 の膜厚は、10 nm ~ 300 nm とし、好みくは 20 nm ~ 100 nm とする。また、絶縁性酸化物を含む酸化物半導体層 103 は、ソース電極層又はドレイン電極層 105a、105b の間に、ソース電極層又はドレイン電極層 105a、105b と重なる領域よりも膜厚の薄い領域を有してもよい。

【0039】

ソース電極層又はドレイン電極層 105a、105b は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いることができる。アルミニウムや銅などの低抵抗導電性材料で形成するのが望ましいが、耐熱性が低い、または腐食しやすいという問題点があるので耐熱性導電性材料と組み合わせて用いるのが好ましい。耐熱性導電性材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いる。

【0040】

例えば、第 1 の導電層及び第 3 の導電層に耐熱性導電性材料であるチタンを用い、第 2 の導電層に低抵抗であるネオジムを含むアルミニウム合金を用いる、3 層構造とするのが好み。このような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。なお、これに限られることはなく、単層構造としてもよいし、2 層構造としてもよいし、4 層以上の構造としてもよい。

【0041】

次に、酸化物半導体層 106 の上に絶縁性酸化物を含む酸化物半導体層 103 を積層した薄膜トランジスタの効果について、計算機シミュレーションの結果を基に説明する。ここでは、バックチャネルに発生するキャリアによる、薄膜トランジスタのしきい値電圧の変化について検証を行う。なお本明細書中で、バックチャネルとは、薄膜トランジスタの活性層における、ソース電極層又はドレイン電極層と重なっていない部分で、ゲート電極層及びゲート絶縁層とは逆側の部分のことである。

【0042】

図 36 (A) 乃至 図 36 (C) に計算モデルとして用いた薄膜トランジスタの構造を示す。各薄膜トランジスタは、ゲート電極層 601 と、ゲート電極層 601 の上に設けられたゲート絶縁層 602 と、ゲート絶縁層 602 の上に設けられた、酸化物半導体からなる活性層と、活性層の上に設けられたソース電極層又はドレイン電極層 605a、605b によって構成される。各薄膜トランジスタのチャネル長は 10 μm、チャネル幅は 100 μm とした。ゲート電極層 601 は、膜厚 100 nm のタングステンを想定し、仕事関数を 4.6 eV と仮定した。また、ゲート絶縁層 602 は、膜厚 100 nm の酸化窒化シリコンを想定し、誘電率を 4.1 と仮定した。また、ソース電極層又はドレイン電極層 605a、605b は、膜厚 100 nm のチタンを想定し、仕事関数を 4.3 eV と仮定した。

【0043】

ここで、酸化物半導体は、酸素欠損や水素の侵入によって、余剰なキャリアを形成することが知られている。薄膜トランジスタのバックチャネルは、ソース電極層又はドレイン電極層 605a、605b をエッティングする際のプラズマダメージにより、酸素欠損が生じやすく、余剰なキャリアが発生しやすい。また、大気中や層間膜からの水素の侵入によって、バックチャネルに余剰なキャリアが発生することもあり得る。よって、各薄膜トランジスタのバックチャネルに、エッティングや成膜などの工程による酸素欠損や水素の侵入により発生したキャリア（電子）を設定した。

【0044】

図 36 (A) に示す構造 A の薄膜トランジスタは、単層の酸化物半導体層 606 からなる活性層を有する。酸化物半導体層 606 は、膜厚 50 nm の In - Ga - Zn - O 系非單

10

20

30

40

50

結晶膜を想定し、電子真性移動度は $20 \text{ cm}^2 / \text{Vs}$ 、バンドギャップ (E_g) は 3.05 eV 、電子親和力 (ϕ) は 4.3 eV と仮定した。

【0045】

図36(B)に示す構造Bの薄膜トランジスタは、酸化物半導体層616と酸化物半導体層616上に形成された絶縁性酸化物を含む酸化物半導体層613の積層構造の活性層を有する。絶縁性酸化物を含む酸化物半導体層613は、膜厚25nmの、酸化シリコンを含むIn-Ga-Zn-O系非単結晶膜を想定し、電子真性移動度は $2 \text{ cm}^2 / \text{Vs}$ と仮定した。酸化シリコンを含むことによって、In-Ga-Zn-O系非単結晶膜の電子真性移動度は低下するものとする。酸化物半導体層616は、膜厚25nmのIn-Ga-Zn-O系非単結晶膜を想定し、電子真性移動度は $20 \text{ cm}^2 / \text{Vs}$ と仮定した。絶縁性酸化物を含む酸化物半導体層613及び酸化物半導体層616とともに、バンドギャップ (E_g) は 3.05 eV 、電子親和力 (ϕ) は 4.3 eV 、と仮定した。
10

【0046】

図36(C)に示す構造Cの薄膜トランジスタは、酸化物半導体層626と酸化物半導体層626上に形成された絶縁性酸化物を含む酸化物半導体層623の積層構造の活性層を有する。ただし、構造Cの絶縁性酸化物を含む酸化物半導体層623は、構造Bの絶縁性酸化物を含む酸化物半導体層613より、多くの酸化シリコンを含有する。絶縁性酸化物を含む酸化物半導体層623は、膜厚25nmの、酸化シリコンを含むIn-Ga-Zn-O系非単結晶膜を想定し、電子真性移動度は $0.2 \text{ cm}^2 / \text{Vs}$ と仮定した。構造Bより多くの酸化シリコンを含むことによって、In-Ga-Zn-O系非単結晶膜の電子真性移動度は構造Bより低下するものとする。酸化物半導体層626は、膜厚25nmのIn-Ga-Zn-O系非単結晶膜を想定し、電子真性移動度は $20 \text{ cm}^2 / \text{Vs}$ と仮定した。絶縁性酸化物を含む酸化物半導体層623及び酸化物半導体層626とともに、バンドギャップ (E_g) は 3.05 eV 、電子親和力 (ϕ) は 4.3 eV 、と仮定した。
20

【0047】

上記の各薄膜トランジスタのバックチャネルの表面から5nmの深さに、エッティングや成膜などの工程による酸素欠損や水素の侵入により発生したキャリア(電子)をキャリア密度 $5 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $2.5 \times 10^{17} \text{ cm}^{-3}$ 、 $5 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \times 10^{18} \text{ cm}^{-3}$ で設定し、各キャリア密度におけるしきい値電圧を計算機シミュレーションにより算出した。
30

【0048】

なお、上記のモデルの計算には、Silvaco Data Systems Inc. 製のデバイスシミュレーションソフト「Atlas」を用いた。オフ電流の計算については、バンド間トンネリングモデルを使用した。

【0049】

図36(A)乃至図36(C)に示す各構造の薄膜トランジスタのしきい値電圧の、バックチャネルのキャリア密度依存性を図37に示す。図37において、縦軸は各構造の薄膜トランジスタのしきい値電圧 ($V_{th} [V]$) を示し、横軸は、各構造の活性層のバックチャネルに発生するキャリアの濃度 (cm^{-3}) を示している。

【0050】

本計算では、薄膜トランジスタのしきい値電圧 ($V_{th} [V]$) を、ゲート電圧 ($V_g [V]$) を横軸、ドレン電流の平方根 ($I_d^{1/2}$) を縦軸にプロットしたグラフにおいて、 $I_d^{1/2}$ の傾きが最大となる接線と V_g 軸との接点で定義する。
40

【0051】

図37に示すように、構造Aの薄膜トランジスタは、バックチャネルのキャリア密度が増加するにつれて、しきい値電圧の絶対値も増加している。バックチャネルのキャリア密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に対して、構造Aのしきい値電圧は3V近くシフトしている。

【0052】

構造Aと比較すると、活性層が酸化物半導体層616と絶縁性酸化物を含む酸化物半導体
50

層 6 1 3 との積層構造である構造 B は、バックチャネルのキャリア密度に対するしきい値電圧の絶対値の増加が小さくなっている。バックチャネルのキャリア密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に対して、構造 B のしきい値電圧は 1 V 以下しかシフトしていない。

【 0 0 5 3 】

構造 B より、絶縁性酸化物を含む酸化物半導体層 6 2 3 が多くの酸化シリコンを含む構造 C は、バックチャネルのキャリア密度に対するしきい値電圧の絶対値の増加が、構造 B よりさらに小さくなっている。バックチャネルのキャリア密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に対して、構造 C のしきい値電圧は 0.5 V 程度しかシフトしていない。
10

【 0 0 5 4 】

また、図 3 6 (A) 乃至図 3 6 (C) に示す各構造の薄膜トランジスタの飽和移動度の、バックチャネルのキャリア密度依存性を図 3 8 に示す。縦軸は各構造の薄膜トランジスタの飽和移動度 ($\mu_{FE} (sat) [cm^2/Vs]$) を示し、横軸は、図 3 7 と同様である。

【 0 0 5 5 】

図 3 8 より、構造 B 、構造 C の薄膜トランジスタは、構造 A のトランジスタとほぼ同程度の飽和移動度を有していることが分かる。よって、電子真性移動度の低い絶縁性酸化物を含む酸化物半導体層を積層して、バックチャネルのキャリアによるしきい値電圧の変化を低減しても、薄膜トランジスタの飽和移動度及びオン電流を維持することができる。
20

【 0 0 5 6 】

以上より、薄膜トランジスタの活性層を、絶縁性酸化物を含む酸化物半導体層と酸化物半導体層との積層構造にすることによって、薄膜トランジスタの飽和移動度を下げる事なく、バックチャネルのキャリアによるしきい値電圧の変化を低減できることが示された。よって、絶縁性酸化物を含む酸化物半導体層と酸化物半導体層との積層した活性層を有する薄膜トランジスタを画像表示装置の画素部に用いることで、スイッチングトランジスタのしきい値電圧のばらつきを低減し、各画素間の輝度のばらつきを低減することができる。
。

【 0 0 5 7 】

また、図 1 (A) 及び図 1 (B) に示す逆スタガ型構造の薄膜トランジスタに限らず、図 1 2 (A) 及び図 1 2 (B) に示すように、絶縁性酸化物を含む酸化物半導体層 1 0 3 の上にチャネル保護層 1 0 4 が設けられた逆スタガ型構造の薄膜トランジスタとしてもよい。なお、図 1 2 (A) は、図 1 2 (B) における線 A 1 - A 2 の断面図である。チャネル保護層 1 0 4 としては、プラズマ C V D 法や熱 C V D 法などの気相成長法やスパッタリング法で成膜された無機材料（酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。絶縁性酸化物を含む酸化物半導体層 1 0 3 の上にチャネル保護層 1 0 4 を設ける構造とすることによって、絶縁性酸化物を含む酸化物半導体層 1 0 3 のチャネル形成領域に対する製作工程におけるダメージ（絶縁性酸化物を含む酸化物半導体層 1 0 3 形成におけるエッティングのプラズマや、エッティング剤による膜減りや、酸化など）を防ぐことができる。よって、薄膜トランジスタの信頼性を向上させることができる。なお、図 1 2 (A) 及び図 1 2 (B) に示す薄膜トランジスタは、絶縁性酸化物を含む酸化物半導体層 1 0 3 の上に形成されているチャネル保護層 1 0 4 以外は、図 1 に示す薄膜トランジスタと同じ構造をとっており、図面の符号も図 1 に示す薄膜トランジスタと同一のものを用いている。
30

【 0 0 5 8 】

また、図 1 (A) 及び図 1 (B) に示す逆スタガ構造の薄膜トランジスタでは、ゲート電極層 1 0 1 のチャネル方向の幅が、絶縁性酸化物を含む酸化物半導体層 1 0 3 及び酸化物半導体層 1 0 6 のチャネル方向の幅よりも広い構造となっているが、本実施の形態に示す薄膜トランジスタはこれに限られるものではない。図 3 0 (A) 及び図 3 0 (B) に示すように、絶縁性酸化物を含む酸化物半導体層 1 0 3 及び酸化物半導体層 1 0 6 のチャネル
40

方向の幅より、ゲート電極層のチャネル方向の幅が狭いゲート電極層 201 を用いてもよい。なお、図 30 (A) は、図 30 (B) における線 A1 - A2 の断面図である。このような構造をとることによって、ゲート電極層 201 と、ソース電極層又はドレイン電極層 105a、105b との距離が広がるので、ソース電極層又はドレイン電極層 105a、105b から酸化物半導体層 106 に直接流れるオフ電流を低減することができる。よって薄膜トランジスタの信頼性向上を図ることができる。なお、図 30 (A) 及び図 30 (B) に示す薄膜トランジスタは、ゲート電極層 201 を除き、図 1 (A) 及び図 1 (B) に示す薄膜トランジスタと対応する部位に関して図面の符号も図 1 (A) 及び図 1 (B) に示す薄膜トランジスタと同一のものを用いている。

【0059】

10

また、図 1 (A) 及び図 1 (B) に示す逆スタガ型構造の薄膜トランジスタでは、酸化物半導体層 106 と、ソース電極層又はドレイン電極層 105a、105b とが、酸化物半導体層 106 の端部において直接接触しているが、本実施の形態に示す薄膜トランジスタはこれに限られるものではない。図 31 (A) 及び図 31 (B) に示すように、絶縁性酸化物を含む酸化物半導体層 103 に対して酸化物半導体層 106 の面積が小さく、絶縁性酸化物を含む酸化物半導体層 103 の端部の下に空洞 210 が形成されるような構造としてもよい。空洞 210 は、酸化物半導体層 106、絶縁性酸化物を含む酸化物半導体層 103、ソース電極層又はドレイン電極層 105a、105b 及びゲート絶縁層 102 に囲まれるように形成される。なお、酸化物半導体層 106 上にソース電極層又はドレイン電極層 105a、105b が設けられていない部分では、ソース電極層又はドレイン電極層 105a、105b の代わりに薄膜トランジスタ上の保護絶縁層が空洞 210 を形成する。空洞 210 は、酸化物半導体層 106 より絶縁性酸化物を含む酸化物半導体層 103 の方がウェットエッチングに対するエッチングレートが小さいことを利用して容易に形成することができる。このような構造をとることによって、酸化物半導体層 106 と、ソース電極層又はドレイン電極層 105a、105b とが直接接触することがなくなるので、ソース電極層又はドレイン電極層 105a、105b から酸化物半導体層 106 の端部に直接流れるオフ電流を低減することができる。よって、薄膜トランジスタの信頼性向上を図ることができる。なお、図 31 (A) 及び図 31 (B) に示す薄膜トランジスタは、絶縁性酸化物を含む酸化物半導体層 103 の端部の下に空洞 210 が形成されていること以外は、図 1 に示す薄膜トランジスタと同じ構造をとっており、図面の符号も図 1 に示す薄膜トランジスタと同一のものを用いている。

【0060】

20

また、図 32 (A) 及び図 32 (B) に示すように、酸化物半導体層 226 の端部が絶縁性酸化物を含む酸化物半導体層 223 によって覆われるような構造としてもよい。なお、図 32 (A) は、図 32 (B) における線 A1 - A2 の断面図である。このような構造をとることによって、酸化物半導体層 226 と、ソース電極層又はドレイン電極層 105a、105b とが直接接触することがなくなるので、ソース電極層又はドレイン電極層 105a、105b から酸化物半導体層 226 の端部に直接流れるオフ電流を低減することができる。よって、薄膜トランジスタの信頼性向上を図ることができる。なお、図 32 (A) 及び図 32 (B) に示す薄膜トランジスタは、酸化物半導体層 226 の端部が絶縁性酸化物を含む酸化物半導体層 223 によって覆われていること以外は、図 1 に示す薄膜トランジスタと同じ構造をとっており、図面の符号も図 1 に示す薄膜トランジスタと同一のものを用いている。

【0061】

30

また、図 1 (A) 及び図 1 (B) に示す逆スタガ構造の薄膜トランジスタでは、ソース電極層又はドレイン電極層 105a、105b の間に絶縁性酸化物を含む酸化物半導体層 103 が形成され、酸化物半導体層 106 が覆われているが、本実施の形態に示す薄膜トランジスタはこれに限られるものではない。図 33 (A) 及び図 33 (B) に示すように、ソース電極層又はドレイン電極層 105a、105b の間の絶縁性酸化物を含む酸化物半導体層をエッチングして絶縁性酸化物を含む酸化物半導体層 233a、233b を形成し

40

50

、酸化物半導体層 106 が露出されるような構造としてもよい。なお、図 33(A)は、図 33(B)における線 A1-A2 の断面図である。また、酸化物半導体層 106 は、絶縁性酸化物を含む酸化物半導体層 233a、233b の間に、絶縁性酸化物を含む酸化物半導体層 233a、233b と重なる領域よりも膜厚の薄い領域を有していてもよい。このような構造をとることによって、絶縁性酸化物を含む酸化物半導体層 233a、233b より、一般的に導電性が高い酸化物半導体層 106 のみにチャネル形成領域を形成することができる。よって、薄膜トランジスタの信頼性向上を図ることができる。なお、図 33(A)及び図 33(B)に示す薄膜トランジスタは、絶縁性酸化物を含む酸化物半導体層 233a、233b がソース電極側とドレイン電極側に分離されていること以外は、図 1 に示す薄膜トランジスタと同じ構造をとっている。図面の符号も図 1 に示す薄膜トランジスタと同一のものを用いている。
10

【0062】

以上のような構成とすることで、酸化物半導体層の上に絶縁性酸化物を含む酸化物半導体層を積層し、酸化物半導体層とソース電極層又はドレイン電極層とが絶縁性酸化物を含む酸化物半導体層を介して接触するように薄膜トランジスタを形成し、該薄膜トランジスタのしきい値電圧のばらつきを低減し、電気特性を安定させることができる。また、オフ電流を低減することもできる。

【0063】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができる。また、本実施の形態で示した構成同士を適宜組み合わせて用いることができる。
20

【0064】

(実施の形態 2)

本実施の形態では、実施の形態 1 で示した薄膜トランジスタを含む表示装置の作製工程について、図 2 乃至図 9 を用いて説明する。図 2 と図 3 は断面図で、図 4 乃至図 7 は平面図となっており、図 4 乃至図 7、図 9 に示す線 A1-A2 及び線 B1-B2 は、図 2 及び図 3 の断面図 A1-A2、B1-B2 に対応している。

【0065】

まず、基板 100 を準備する。基板 100 は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 100 の大きさは、320 mm × 400 mm、370 mm × 470 mm、550 mm × 650 mm、600 mm × 720 mm、680 mm × 880 mm、730 mm × 920 mm、1000 mm × 1200 mm、1100 mm × 1250 mm、1150 mm × 1300 mm、1500 mm × 1800 mm、1900 mm × 2200 mm、2160 mm × 2460 mm、2400 mm × 2800 mm、又は 2850 mm × 3050 mm 等を用いることができる。
30

【0066】

また基板 100 上に下地膜として絶縁膜を形成してもよい。下地膜としては、CVD 法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜を単層または積層で形成すればよい。基板 100 としてガラス基板のような可動イオンを含有する基板を用いる場合、下地膜として窒化シリコン膜、窒化酸化シリコン膜などの窒素を含有する膜を用いることで、可動イオンが酸化物半導体層に侵入することを防ぐことができる。

【0067】

次に、ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121 を形成するための導電膜をスパッタ法や真空蒸着法で基板 100 全面に成膜する。次いで、
40
50

フォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121）を形成する。このとき段切れ防止のために、少なくともゲート電極層 101 の端部にテーパー形状が形成されるようにエッチングするのが好ましい。この段階での断面図を図 2 (A) に示した。なお、この段階での平面図が図 4 に相当する。

【0068】

ゲート電極層 101 を含むゲート配線と容量配線 108、端子部の第 1 の端子 121 は、実施の形態 1 で示した導電性材料を用いて単層又は積層で形成することができる。

【0069】

ここで、ゲート電極層 101 のチャネル方向の幅が、後の工程で作製する絶縁性酸化物を含む酸化物半導体層 103 及び酸化物半導体層 106 のチャネル方向の幅より狭くなるようにゲート電極層 101 を形成してもよい。このようにゲート電極層 101 を形成することによって、図 30 (A) 及び図 30 (B) に示すような薄膜トランジスタを形成することができる。図 30 に示すような薄膜トランジスタでは、ゲート電極層 201 と、ソース電極層又はドレイン電極層 105a、105b との距離が広がるので、ソース電極層又はドレイン電極層 105a、105b から酸化物半導体層 106 に直接流れるオフ電流を低減することができる。

【0070】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に成膜する。ゲート絶縁層 102 は CVD 法やスパッタ法などを用い、膜厚を 50 ~ 250 nm とする。

【0071】

例えば、ゲート絶縁層 102 として CVD 法やスパッタ法により酸化シリコン膜を用い、100 nm の厚さで形成する。勿論、ゲート絶縁層 102 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0072】

また、ゲート絶縁層 102 として、有機シランガスを用いた CVD 法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル (TEOS : 化学式 Si(OCH₃)₄)、テトラメチルシラン (TMS : 化学式 Si(CH₃)₄)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン (SiH(OCH₃)₃)、トリスジメチルアミノシラン (SiH(N(CH₃)₂)₃) 等のシリコン含有化合物を用いることができる。

【0073】

また、ゲート絶縁層 102 として、アルミニウム、イットリウム、又はハフニウムの酸化物、窒化物、酸化窒化物、又は窒化酸化物の一種又はそれらの化合物を少なくとも 2 種以上含む化合物を用いることもできる。

【0074】

なお、本明細書において、酸化窒化物とは、その組成として、窒素原子よりも酸素原子の数が多い物質のことを指し、窒化酸化物とは、その組成として、酸素原子よりも窒素原子の数が多い物質のことを指す。例えば、酸化窒化シリコン膜とは、その組成として、窒素原子よりも酸素原子の数が多く、ラザフォード後方散乱法 (RBS : Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS : Hydrogen Forward Scattering) を用いて測定した場合に、濃度範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 1.5 原子%、シリコンが 2.5 ~ 3.5 原子%、水素が 0.1 ~ 1.0 原子% の範囲で含まれるものという。また、窒化酸化シリコン膜とは、その組成として、酸素原子よりも窒素原子の数が多く、RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が 5 ~ 30 原子%、窒素が 2.0 ~ 5.5 原子%、シリコンが 2.5 ~ 3.5 原子%、水素が 1.0 ~ 3.0 原子% の範囲で含まれるものと

10

20

30

40

50

いう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を 100 原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0075】

なお、酸化物半導体層 106 を形成するための酸化物半導体膜を成膜する前に、基板 100 が設置されたチャンバー内にアルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。また、逆スパッタを行うことにより、ゲート絶縁層 102 表面の平坦性を向上させることもできる。
逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、N₂Oなどを加えた雰囲気で行ってもよい。また、アルゴン雰囲気にC₁₂、C_F₄などを加えた雰囲気で行ってもよい。逆スパッタ処理後、大気に曝すことなく第 1 の酸化物半導体膜を成膜することによって、ゲート絶縁層 102 と、酸化物半導体層 106 との界面にゴミや水分が付着するのを防ぐことができる。

【0076】

次に、ゲート絶縁層 102 上に酸化物半導体層 106 を形成するための第 1 の酸化物半導体膜を、スパッタ法を用いてアルゴンなどの希ガスと酸素ガスの雰囲気下で成膜する。このとき、アルゴンなどの希ガスの流量の比率を酸素ガスの流量の比率より大きくして成膜する、または、酸素ガスを用いず、アルゴンなどの希ガスのみの雰囲気下で成膜することによって、酸化物半導体層 106 の導電率を向上させることができる。第 1 の酸化物半導体膜としては、実施の形態 1 で示した酸化物半導体を用いることができる。例えば具体的な条件例としては、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲット (In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1) を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、成膜ガス Ar : O₂ = 30 : 15 (sccm)、成膜温度を室温としてスパッタ成膜を行う。また、ターゲットとしては、In₂O₃ を含む直径 8 インチの円盤上にペレット状の Ga₂O₃ と ZnO を配置するようにしてもよい。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。また、第 1 の酸化物半導体膜の膜厚は、10 nm ~ 300 nm とし、好ましくは 20 nm ~ 100 nm とする。

【0077】

次いで第 1 の酸化物半導体膜上に、大気に曝すことなく、絶縁性酸化物を含む酸化物半導体層 103 を形成するための第 2 の酸化物半導体膜を、スパッタ法を用いてアルゴンなどの希ガスと酸素ガスの雰囲気下で成膜する。ここで、絶縁性酸化物としては、酸化シリコンが好ましい。このとき、酸素ガスの流量の比率を大きくして成膜することによって、絶縁性酸化物を含む酸化物半導体層 103 の導電率を低減させることができる。第 2 の酸化物半導体膜としては、実施の形態 1 で示した酸化物半導体を用いることができる。第 2 の酸化物半導体膜を成膜する際、SiO₂ を 0.1 重量パーセント以上 30 重量パーセント以下、好ましくは 1 重量パーセント以上 10 重量パーセント以下含ませた酸化物半導体ターゲットを用いるのが好ましい。例えば、具体的な条件例としては、SiO₂ を 2 重量パーセントの割合で含ませた直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲット (In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1) を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、成膜ガス Ar : O₂ = 30 : 15 (sccm)、成膜温度を室温としてスパッタ成膜を行う。また、ターゲットとしては、In₂O₃ を含む直径 8 インチの円盤上にペレット状の SiO₂、Ga₂O₃ 及び ZnO を配置するようにしてもよい。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。また、第 2 の酸化物半導体膜の膜厚は、10 nm ~ 300 nm とし、好ましくは 20 nm ~ 100 nm とする。

【0078】

第 2 の酸化物半導体膜に酸化シリコンのような絶縁性酸化物を含ませることにより、成膜

10

20

30

40

50

される酸化物半導体をアモルファス化することが容易となる。また、酸化物半導体を熱処理した場合に、結晶化してしまうのを抑制することができる。

【 0 0 7 9 】

第1の酸化物半導体膜及び第2の酸化物半導体膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【 0 0 8 0 】

スパッタ法にはスパッタ用電源に高周波電源を用いるR Fスパッタ法と、D Cスパッタ法があり、さらにパルス的にバイアスを与えるパルスD Cスパッタ法もある。R Fスパッタ法は主に絶縁膜を成膜する場合に用いられ、D Cスパッタ法は主に金属膜を成膜する場合に用いられる。10

【 0 0 8 1 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 0 8 2 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるE C Rスパッタ法を用いるスパッタ装置がある。

【 0 0 8 3 】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。20

【 0 0 8 4 】

次に、フォトリソグラフィ工程を行い、レジストマスクを形成し、第1の酸化物半導体膜及び第2の酸化物半導体膜をエッチングする。エッチングには、クエン酸やシュウ酸などの有機酸をエッチャントとして用いることができる。ここでは、ITO 07N（関東化学社製）を用いたウェットエッチングにより、不要な部分を除去して第1の酸化物半導体膜及び第2の酸化物半導体膜を島状にし、酸化物半導体層106及び絶縁性酸化物を含む酸化物半導体層111を形成する。酸化物半導体層106及び絶縁性酸化物を含む酸化物半導体層111の端部をテーパー状にエッチングすることで、段差形状による配線の段切れを防ぐことができる。この段階での断面図を図2(B)に示した。なお、この段階での平面図が図5に相当する。30

【 0 0 8 5 】

ここで、酸化シリコンのような絶縁性酸化物を含む第2の酸化物半導体膜は、第1の酸化物半導体膜よりウェットエッチングに対するエッチングレートが小さい。第1の酸化物半導体膜と第2の酸化物半導体膜を積層してウェットエッチングを行うと、第1の酸化物半導体膜は、第2の酸化物半導体膜より大きくサイドエッチングが進行することになる。よって、図31に示す薄膜トランジスタと同様に、酸化物半導体層106の端部は、絶縁性酸化物を含む酸化物半導体層111の端部と比較して抉れた形状になり、絶縁性酸化物を含む酸化物半導体層111の端部の下に空洞210が形成される。これにより、後の工程で、ソース電極層又はドレイン電極層105a、105bを形成する際に、該ソース電極層又はドレイン電極層105a、105bと酸化物半導体層106の端部が接触しないようにすることができ、該ソース電極層又はドレイン電極層105a、105bと酸化物半導体層106の端部との間で直接電流が流れるのを防ぐことができる。40

【 0 0 8 6 】

また、本実施の形態では、第1の酸化物半導体膜と第2の酸化物半導体膜を積層して成膜した後で、フォトリソグラフィ工程によって酸化物半導体層106と絶縁性酸化物を含む酸化物半導体層111を形成したが、本実施の形態はこれに限られるものではない。第1の酸化物半導体膜を成膜して、フォトリソグラフィにより酸化物半導体層106を形成し50

、それから第2の酸化物半導体膜を成膜して、フォトリソグラフィにより絶縁性酸化物を含む酸化物半導体層111を形成してもよい。このとき図32に示すように、絶縁性酸化物を含む酸化物半導体層111(絶縁性酸化物を含む酸化物半導体層223)で酸化物半導体層106(酸化物半導体層226)を覆うような構造とする。これにより、後の工程で、ソース電極層又はドレイン電極層105a、105bを形成する際に、該ソース電極層又はドレイン電極層105a、105bと酸化物半導体層226の端部が接触しないようにすることができ、該ソース電極層又はドレイン電極層105a、105bと酸化物半導体層226の端部との間で直接電流が流れるのを防ぐことができる。

【0087】

なお、ここでのエッティングは、ウェットエッティングに限定されずドライエッティングを用いてもよい。ドライエッティングに用いるエッティング装置としては、反応性イオンエッティング法(RIE法)を用いたエッティング装置や、ECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma)などの高密度プラズマ源を用いたドライエッティング装置を用いることができる。また、ICPエッティング装置と比べて広い面積に渡って一様な放電が得られやすいドライエッティング装置としては、上部電極を接地させ、下部電極に13.56MHzの高周波電源を接続し、さらに下部電極に3.2MHzの低周波電源を接続したECCP(Enhanced Capacitively Coupled Plasma)モードのエッティング装置がある。このECCPモードのエッティング装置であれば、例えば基板として、第10世代の一辺が3mを超えるサイズの基板を用いる場合にも対応することができる。

【0088】

次いで、フォトリソグラフィ工程を行い、レジストマスクを形成し、エッティングによりゲート絶縁層102の不要な部分を除去してゲート電極層101と同じ材料の配線や電極層に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路部において、ゲート電極層とソース電極層或いはドレイン電極層とが直接接するダイオード接続が形成された薄膜トランジスタや、端子部のゲート配線と電気的に接続する端子を形成する場合にコンタクトホールを形成する。

【0089】

次に、絶縁性酸化物を含む酸化物半導体層111及びゲート絶縁層102上に金属材料からなる導電膜112をスパッタ法や真空蒸着法で成膜する。この段階での断面図を図2(C)に示した。

【0090】

導電膜112の材料としては、実施の形態1で示した導電性材料を用いて単層又は積層で形成することができる。例えば導電膜112は、第1の導電層及び第3の導電層が耐熱性導電性材料であるチタンからなり、第2の導電層がネオジムを含むアルミニウム合金からなるような構成としてもよい。導電膜112をこのような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。

【0091】

次に、フォトリソグラフィ工程を行い、レジストマスク131を形成し、エッティングにより不要な部分を除去してソース電極層又はドレイン電極層105a、105b、絶縁性酸化物を含む酸化物半導体層103及び接続電極120を形成する。この際のエッティング方法としてウェットエッティングまたはドライエッティングを用いる。例えば、導電膜112として第1の導電層及び第3の導電層にチタンを、第2の導電層にネオジムを含むアルミニウム合金を用いる場合には、過酸化水素水又は加熱塩酸、またはフッ化アンモニウムを含む硝酸水溶液をエッチャントに用いてウェットエッティングすることができる。例えば、KSMF 240(関東化学社製)を用いて、第1の導電層乃至第3の導電層からなる導電膜112を一括でエッティングすることができる。このエッティング工程において、絶縁性酸化物を含む酸化物半導体層111の露出領域も一部エッティングされ、ソース電極層又はドレイン電極層105a、105bの間に、ソース電極層又はドレイン電極層105a、1

10

20

30

40

50

05 b と重なる領域よりも膜厚の薄い領域を有する、絶縁性酸化物を含む酸化物半導体層 103 となる。よって絶縁性酸化物を含む酸化物半導体層 103 及び酸化物半導体層 106 のチャネル形成領域は絶縁性酸化物を含む酸化物半導体層 103 の膜厚の薄い領域と重なることになる。

【0092】

図 3 (A)においては、導電膜 112 及び絶縁性酸化物を含む酸化物半導体層 111 のエッティングを、一度に行うことができるため、ソース電極層又はドレイン電極層 105a、105b 及び絶縁性酸化物を含む酸化物半導体層 103 の端部は一致し、連続的な構造とすることが可能である。またウェットエッティングを用いるために、エッティングが等方的に行われ、ソース電極層又はドレイン電極層 105a、105b の端部はレジストマスク 131 より後退している。以上の工程で絶縁性酸化物を含む酸化物半導体層 103 及び酸化物半導体層 106 をチャネル形成領域とする薄膜トランジスタ 170 を作製することができる。この段階での断面図を図 3 (A)に示した。なお、この段階での平面図が図 6 に相当する。

【0093】

このとき、導電膜 112 及び絶縁性酸化物を含む酸化物半導体層 111 だけでなく、酸化物半導体層 106 までエッティングを行ってもよい。このようにして図 33 (A)及び図 33 (B)に示すように、ソース電極層又はドレイン電極層 105a、105b 及び絶縁性酸化物を含む酸化物半導体層 233a、233b を形成してもよい。このエッティング工程において、酸化物半導体層 106 の露出領域も一部エッティングされ、絶縁性酸化物を含む酸化物半導体層 233a、233b の間に、絶縁性酸化物を含む酸化物半導体層 233a、233b と重なる領域よりも膜厚の薄い領域を有する酸化物半導体層 106 となる。よって酸化物半導体層 106 のチャネル形成領域は酸化物半導体層 106 の膜厚の薄い領域と重なることになる。このような構造をとることによって、絶縁性酸化物を含む酸化物半導体層 233a、233b より、一般的に導電性が高い酸化物半導体層 106 のみにチャネル形成領域を形成することができるので、絶縁性酸化物を含む酸化物半導体層 233a、233b によるオフ電流の低減に加えて、S 値(サブスレッショルド係数)の改善を図ることができる。

【0094】

また、このフォトリソグラフィ工程において、ソース電極層又はドレイン電極層 105a、105b と同じ材料である第 2 の端子 122 を端子部に残す。なお、第 2 の端子 122 はソース配線(ソース電極層又はドレイン電極層 105a、105b を含むソース配線)と電気的に接続されている。

【0095】

また、端子部において、接続電極 120 は、ゲート絶縁層 102 に形成されたコンタクトホールを介して端子部の第 1 の端子 121 と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

【0096】

上述のフォトリソグラフィ工程においては、導電膜 112 を島状にエッティングする工程とソース電極層又はドレイン電極層 105a、105b を形成する工程とで、2 枚のマスクを用いる必要がある。しかし、多階調(高階調)マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化を図ることができる。多階調マスクを用いるフォトリソグラフィ工程について、図 35 を用いて説明する。

【0097】

まず、図 2 (A)の状態から、上述の方法でゲート絶縁層 102、第 1 の酸化物半導体膜、第 2 の酸化物半導体膜及び導電膜 112 を形成し、透過した光が複数の強度となる多階調(高階調)マスクを用いた露光によって、図 35 (A)に示すような複数の異なる膜厚の領域を有するレジストマスク 132 を導電膜 112 上に形成する。レジストマスク 13

2は、ゲート電極層101の一部と重畳する領域に膜厚の薄い領域を有する。次に、レジストマスク132を用いて、第1の酸化物半導体膜、第2の酸化物半導体膜及び導電膜112をエッティングして島状に加工し、酸化物半導体層106、絶縁性酸化物を含む酸化物半導体層143、導電層115及び第2の端子124を形成する。この段階での断面図が図35(A)に相当する。

【0098】

それから、レジストマスク132をアッシングして、レジストマスク131を形成する。レジストマスク131は、図35(B)に示すように、アッシングにより面積が縮小し、厚さが薄くなり、膜厚の薄い領域のレジストは除去される。

【0099】

最後にレジストマスク131を用いて、絶縁性酸化物を含む酸化物半導体層143、導電層115、及び第2の端子124をエッティングし、絶縁性酸化物を含む酸化物半導体層103、ソース電極層又はドレイン電極層105a、105b及び第2の端子122を形成する。レジストマスク131が縮小されたことによって、絶縁性酸化物を含む酸化物半導体層103、ソース電極層又はドレイン電極層105a、105b及び第2の端子122の端部もエッティングされる。この段階での断面図が図35(B)に相当する。なお、第1の端子121については、後の工程で保護絶縁層107を成膜した後、ゲート絶縁層102及び保護絶縁層107をエッティングしてコンタクトホールを形成し、透明導電膜を成膜してFPCと接続する。以上のようにして、多階調マスクを用いて薄膜トランジスタ170を作製することができる。

10

【0100】

次に、レジストマスク131を除去した後、200～600、代表的には250～500の熱処理(光アニールも含む)を行うことが好ましい。ここでは炉に入れ、大気雰囲気下で350、1時間の熱処理を行う。この熱処理により絶縁性酸化物を含む酸化物半導体層103及び酸化物半導体層106の原子レベルの再配列が行われる。また、絶縁性酸化物を含む酸化物半導体層103は、酸化シリコンのような絶縁性酸化物を含んでいるために、この熱処理による結晶化を避けることができ、非晶質構造を維持することができる。なお、熱処理を行うタイミングは、絶縁性酸化物を含む酸化物半導体層103の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

20

【0101】

さらに、露出している絶縁性酸化物を含む酸化物半導体層103のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができます。また、ラジカル処理を行うことにより、絶縁性酸化物を含む酸化物半導体層103のエッティングによるダメージを回復することができる。ラジカル処理はO₂、N₂O雰囲気下で、好ましくはN₂、He又はArのいずれかに酸素を含む雰囲気下で行うことが好ましい。また、上記雰囲気にCl₂、CF₄を加えた雰囲気下でラジカル処理を行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

30

【0102】

次いで、薄膜トランジスタ170を覆う保護絶縁層107を形成する。保護絶縁層107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。

40

【0103】

次に、フォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層107のエッティングによりソース電極層又はドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッティングにより第2の端子122に達するコンタクトホール127、接続電極120に達するコンタクトホール126も形成する。この段階での断面図を図3(B)に示す。

【0104】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料として

50

は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3 - \text{ZnO}$) を用いても良い。

【0105】

次に、フォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

【0106】

また、このフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び保護絶縁層107を誘電体として、容量配線108と画素電極層110とで保持容量が形成される。

10

【0107】

また、このフォトリソグラフィ工程において、第1の端子121及び第2の端子122上をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第1の端子121と直接接続された接続電極120上に形成された透明導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

【0108】

次いで、レジストマスクを除去する。この段階での断面図を図3(C)に示す。なお、この段階での平面図が図7に相当する。

20

【0109】

また、図8(A1)、図8(A2)は、この段階でのゲート配線端子部の断面図及び平面図をそれぞれ図示している。図8(A1)は図8(A2)中のC1-C2線に沿った断面図に相当する。図8(A1)において、保護絶縁層154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図8(A1)において、端子部では、ゲート配線と同じ材料で形成される第1の端子151と、ソース配線と同じ材料で形成される接続電極153とがゲート絶縁層152を介して重なり直接接して導通させている。また、接続電極153と透明導電膜155が保護絶縁層154に設けられたコンタクトホールを介して直接接して導通させている。

30

【0110】

また、図8(B1)、及び図8(B2)は、ソース配線端子部の断面図及び平面図をそれぞれ図示している。また、図8(B1)は図8(B2)中のD1-D2線に沿った断面図に相当する。図8(B1)において、保護絶縁層154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図8(B1)において、端子部では、ゲート配線と同じ材料で形成される電極156が、ソース配線と電気的に接続される第2の端子150の下方にゲート絶縁層152を介して重なる。電極156は第2の端子150とは電気的に接続しておらず、電極156を第2の端子150と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子150は、保護絶縁層154のコンタクトホールを介して透明導電膜155と電気的に接続している。

40

【0111】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宣決定すれば良い。

【0112】

こうしてボトムゲート型のnチャネル型薄膜トランジスタである薄膜トランジスタ170を有する画素部、保持容量を完成させることができる。そして、これらを個々の画素に対

50

応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このようないくつかの基板をアクティブマトリクス基板と呼ぶ。

【0113】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電気的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電気的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

10

【0114】

また、本実施の形態は、図7の画素構成に限定されず、図7とは異なる平面図の例を図9に示す。図9では容量配線を設けず、画素電極層と隣り合う画素のゲート配線と保護絶縁層及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第3の端子は省略することができる。なお、図9において、図7と同じ部分には同じ符号を用いて説明する。

【0115】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

20

【0116】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0117】

また、垂直同期周波数を通常の1.5倍以上、好ましくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0118】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED(発光ダイオード)光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

30

【0119】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

40

【0120】

本実施の形態で得られるnチャネル型のトランジスタは、酸化物半導体層をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0121】

また、発光表示装置を作製する場合、有機発光素子の一方の電極(カソードとも呼ぶ)は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従

50

つて、端子部には、電源供給線と電気的に接続する第5の端子を設ける。

【0122】

以上のように、酸化物半導体層を用いた薄膜トランジスタにおいて、酸化物半導体層の上に絶縁性酸化物を含む酸化物半導体層を積層し、酸化物半導体層とソース電極層又はドレイン電極層とが絶縁性酸化物を含む酸化物半導体層を介して接触するように薄膜トランジスタを形成することによって、該薄膜トランジスタのしきい値電圧のばらつきを低減し、電気特性を安定させることができる。また、オフ電流を低減することもできる。

【0123】

該薄膜トランジスタを表示装置の画素部及び駆動回路部に用いることによって、電気特性が高く信頼性のよい表示装置を提供することができる。

10

【0124】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0125】

(実施の形態3)

本実施の形態では、実施の形態1で示した薄膜トランジスタとは異なる形状の薄膜トランジスタについて図10を用いて説明する。

【0126】

本実施の形態のボトムゲート構造の薄膜トランジスタを図10に示す。図10に示す薄膜トランジスタには、基板100上にゲート電極層101が設けられ、ゲート電極層101上にゲート絶縁層102が設けられ、ゲート絶縁層102上に酸化物半導体層106が設けられ、酸化物半導体層106上に絶縁性酸化物を含む酸化物半導体層103が設けられ、絶縁性酸化物を含む酸化物半導体層103上にバッファ層301a、301bが設けられ、バッファ層301a、301b上にソース電極層又はドレイン電極層105a、105bが設けられている。つまり、図10に示す薄膜トランジスタは、実施の形態1において、図1で示した薄膜トランジスタの絶縁性酸化物を含む酸化物半導体層103とソース電極層又はドレイン電極層105a、105bとの間にバッファ層301a、301bを設けた薄膜トランジスタである。

20

【0127】

ソース領域又はドレイン領域として機能するバッファ層301a、301bとしては、酸化物半導体層106と同様に、In-Ga-Zn-O系、In-Sn-Zn-O系、Ga-Sn-Zn-O系、In-Zn-O系、Sn-Zn-O系またはZn-O系の酸化物半導体からなる非単結晶膜を用いて形成するのが好ましい。また、ソース領域又はドレイン領域として機能するバッファ層301a、301bとしては、窒素を含ませたIn-Ga-Zn-O系、窒素を含ませたGa-Zn-O系、窒素を含ませたZn-O-N系または窒素を含ませたSn-Zn-O-N系の酸化物半導体からなる非単結晶膜を用いてもよい。本実施の形態では、バッファ層301a、301bとして、In-Ga-Zn-O系の酸化物半導体からなる非単結晶膜を用いる。ただし、バッファ層301a、301bはn型の導電型を有し、その導電率は、絶縁性酸化物を含む酸化物半導体層103の導電率より高くなるようにする。また、バッファ層301a、301bは、少なくともアモルファス成分を含んでいるものとし、非晶質構造の中に結晶粒(ナノクリスタル)を含む場合もある。結晶粒(ナノクリスタル)は直径1nm~10nm、代表的には2nm~4nm程度である。

30

40

【0128】

バッファ層301a、301bに用いる酸化物半導体膜は、スパッタ法を用いてアルゴンなどの希ガスと酸素ガスの雰囲気下で成膜する。このとき、アルゴンなどの希ガスの流量の比率を酸素ガスの流量の比率より大きくして成膜する、または、酸素ガスを用いず、アルゴンなどの希ガスのみの雰囲気下で成膜することによって、酸化物半導体層106の導電率を向上させることができる。具体的な条件例としては、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1)を用いて、成膜温度を300℃、成膜圧力を10⁻³Pa、成膜時間(露光時間)を10秒、成膜速度を0.1nm/sの条件下で成膜する。

50

)を用いて、基板とターゲットとの距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、成膜ガスAr:O₂=50:1(ccm)、成膜温度を室温としてスパッタ成膜を行う。

【0129】

バッファ層301a、301bに用いる酸化物半導体膜の膜厚は、5nm乃至20nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。

【0130】

以上のように、バッファ層301a、301bを設けることにより、酸化物半導体層と、ソース電極層又はドレイン電極層105a、105bとの間で、ショットキー接合よりも熱的安定性を向上させることができ、薄膜トランジスタの動作特性を安定させることができる。また、導電性がよいので高いドレイン電圧でも良好な移動度を保持することができる。

10

【0131】

なお、本実施の形態の薄膜トランジスタのバッファ層301a、301b以外の構造と材料については、実施の形態1を参照されたい。

【0132】

本実施の形態の薄膜トランジスタの作製工程は、実施の形態2で示した薄膜トランジスタの作製工程とほぼ同様である。まず、実施の形態2で示した方法で、絶縁性酸化物を含む酸化物半導体層103を形成するための酸化物半導体膜まで成膜し、連続してバッファ層301a、301bを形成するための酸化物半導体膜を、上記の方法を用いてスパッタ成膜する。次に、フォトリソグラフィ工程によって、絶縁性酸化物を含む酸化物半導体層111及び酸化物半導体層106と同様に、バッファ層301a、301bを形成するための酸化物半導体膜を島状にエッチングし、酸化物半導体膜302を形成する(図11(A)参照)。それから、実施の形態2で示した方法で、導電膜112の成膜まで行う(図11(B)参照)。次に、フォトリソグラフィ工程によって、ソース電極層又はドレイン電極層105a、105b、絶縁性酸化物を含む酸化物半導体層103と同様に、酸化物半導体膜302をエッチングして、バッファ層301a、301bを形成する(図11(C)参照)。以降の工程は実施の形態2と同様である。

20

【0133】

30

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるところとする。

【0134】

(実施の形態4)

本実施の形態では、実施の形態1で示したボトムゲート型薄膜トランジスタを2つ用いてインバータ回路について図34を用いて説明する。

【0135】

画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つのnチャネル型TFTを組み合わせてインバータ回路を形成する場合、エンハンスマント型トランジスタとデプレッション型トランジスタとを組み合わせて形成する場合(以下、EDMOS回路という)と、エンハンスマント型TFT同士で形成する場合(以下、EEMOS回路という)がある。なお、nチャネル型TFTのしきい値電圧が正の場合は、エンハンスマント型トランジスタと定義し、nチャネル型TFTのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

40

【0136】

画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスマント型トランジスタを用いて画素電極への電圧印加のオンオフを切り替える。この画素部に配置するエンハンスマント型トランジスタは、酸化物半導体を用いている

。

50

【 0 1 3 7 】

駆動回路のインバータ回路の断面構造を図34(A)に示す。なお、図34(A)では、第1の薄膜トランジスタ430a及び第2の薄膜トランジスタ430bとして図30に示す構造の逆スタガ型薄膜トランジスタを用いている。しかし、本実施の形態で示すインバータ回路に用いることができる薄膜トランジスタは、この構造に限られるものではない。

【 0 1 3 8 】

図34(A)に示す第1の薄膜トランジスタ430aは、基板400上に第1のゲート電極層401aが設けられ、第1のゲート電極層401a上にゲート絶縁層402が設けられ、ゲート絶縁層402上に第1の酸化物半導体層406aが設けられ、第1の酸化物半導体層406a上に第1の絶縁性酸化物を含む酸化物半導体層403aが設けられ、第1の絶縁性酸化物を含む酸化物半導体層403a上に第1配線405a及び第2配線405bが設けられている。同様に、第2の薄膜トランジスタ430bも、基板400上に第2のゲート電極層401bが設けられ、第2のゲート電極層401b上にゲート絶縁層402が設けられ、ゲート絶縁層402上に第2の酸化物半導体層406bが設けられ、第2の酸化物半導体層406b上に第2の絶縁性酸化物を含む酸化物半導体層403bが設けられ第2の絶縁性酸化物を含む酸化物半導体層403b上に第2配線405b及び第3配線405cが設けられている。ここで、第2配線405bは、ゲート絶縁層402に形成されたコンタクトホール404を介して第2のゲート電極層401bと直接接続する。なお、各部の構造や材料は先の実施の形態に示す薄膜トランジスタを参照にされたい。

【 0 1 3 9 】

第1配線405aは、接地電位の電源線(接地電源線)である。この接地電位の電源線は、負の電圧V_{DL}が印加される電源線(負電源線)としてもよい。第3配線405cは、正の電圧V_{DD}が印加される電源線(正電源線)である。

【 0 1 4 0 】

図34(A)に示すように、第1の絶縁性酸化物を含む酸化物半導体層403aと第2の絶縁性酸化物を含む酸化物半導体層403bの両方に電気的に接続する第2配線405bは、ゲート絶縁層402に形成されたコンタクトホール404を介して第2の薄膜トランジスタ430bの第2のゲート電極層401bと直接接続する。直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。第2のゲート電極層401bと第2配線405bを他の導電膜、例えば透明導電膜を介して接続する場合に比べて、コンタクトホールの数の低減、コンタクトホールの数の低減による駆動回路の占有面積の縮小を図ることができる。

【 0 1 4 1 】

また、駆動回路のインバータ回路の上面図を図34(C)に示す。図34(C)において、鎖線Z1-Z2で切断した断面が図34(A)に相当する。

【 0 1 4 2 】

また、EDMOS回路の等価回路を図34(B)に示す。図34(A)及び図34(C)示す回路接続は、図34(B)に相当し、第1の薄膜トランジスタ430aをエンハンスマント型のnチャネル型トランジスタとし、第2の薄膜トランジスタ430bをデプレッション型のnチャネル型トランジスタとする例である。

【 0 1 4 3 】

同一基板上にエンハンスマント型のnチャネル型トランジスタとデプレッション型のnチャネル型トランジスタとを作製する方法は、例えば、第1の絶縁性酸化物を含む酸化物半導体層403a及び第1の酸化物半導体層406aと、第2の絶縁性酸化物を含む酸化物半導体層403b及び第2の酸化物半導体層406bとを異なる材料や異なる成膜条件を用いて作製する。また、酸化物半導体層の上下にゲート電極を設けてしきい値制御を行い、一方のTFTがノーマリーオンとなるようにゲート電極に電圧をかけ、もう一方のTFTがノーマリーオフとなるようにしてEDMOS回路を構成してもよい。

【 0 1 4 4 】

また、EDMOS回路だけではなく、第1の薄膜トランジスタ430a及び第2の薄膜ト

10

20

30

40

50

ランジスタ 430b をエンハンスメント型の n チャネル型トランジスタとすることで、 EEMOS 回路を作製することもできる。その場合、第 2 配線 405b と第 2 のゲート電極層 401b を接続する代わりに第 3 配線 405c と第 2 のゲート電極層 401b を接続する。

【 0145 】

本実施の形態で用いる薄膜トランジスタは、酸化物半導体層の上に絶縁性酸化物を含む酸化物半導体層を積層し、酸化物半導体層とソース電極層又はドレイン電極層とが絶縁性酸化物を含む酸化物半導体層を介して接触するように薄膜トランジスタを形成することによって、該薄膜トランジスタのしきい値電圧のばらつきを低減し、電気特性を安定させることができる。また、オフ電流を低減することもできる。よって、本実施の形態に示すインバータ回路の回路特性を向上させることができる。10

【 0146 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることする。

【 0147 】

(実施の形態 5)

本実施の形態では、半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【 0148 】

画素部に配置する薄膜トランジスタは、実施の形態 2 に従って形成する。また、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、 n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。20

【 0149 】

半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図 14 (A) に示す。図 14 (A) に示す表示装置は、基板 5300 上に表示素子を備えた画素を複数有する画素部 5301 と、各画素を選択する走査線駆動回路 5302 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5303 とを有する。

【 0150 】

画素部 5301 は、信号線駆動回路 5303 から列方向に伸張して配置された複数の信号線 S1 ~ Sm (図示せず。) により信号線駆動回路 5303 と接続され、走査線駆動回路 5302 から行方向に伸張して配置された複数の走査線 G1 ~ Gn (図示せず。) により走査線駆動回路 5302 と接続され、信号線 S1 ~ Sm 並びに走査線 G1 ~ Gn に対応してマトリクス状に配置された複数の画素 (図示せず。) を有する。そして、各画素は、信号線 Sj (信号線 S1 ~ Sm のうちいずれか一) 、走査線 Gi (走査線 G1 ~ Gn のうちいずれか一) と接続される。30

【 0151 】

また、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタは、 n チャネル型 TFT であり、 n チャネル型 TFT で構成する信号線駆動回路について図 15 を用いて説明する。40

【 0152 】

図 15 に示す信号線駆動回路は、ドライバ IC 5601 、スイッチ群 5602_1 ~ 5602_M 、第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 及び配線 5621_1 ~ 5621_M を有する。スイッチ群 5602_1 ~ 5602_M それぞれは、第 1 の薄膜トランジスタ 5603a 、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を有する。

【 0153 】

ドライバ IC 5601 は第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 及び配線 5621_1 ~ 5621_M に接続される。そして、スイッチ群 5602_1 ~ 5602_M それぞれは、第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 50

3 及びスイッチ群 5 6 0 2 _ 1 ~ 5 6 0 2 _ M それぞれに対応した配線 5 6 2 1 _ 1 ~ 5 6 2 1 _ M に接続される。そして、配線 5 6 2 1 _ 1 ~ 5 6 2 1 _ M それぞれは、第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、3 つの信号線（信号線 S m - 2、信号線 S m - 1、信号線 S m (m = 3 M)）に接続される。例えば、J 列目の配線 5 6 2 1 _ J (配線 5 6 2 1 _ 1 ~ 配線 5 6 2 1 _ M のうちいずれか一) は、スイッチ群 5 6 0 2 _ J が有する第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線 S j - 2、信号線 S j - 1、信号線 S j (j = 3 J) に接続される。

【0154】

10

なお、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 には、それぞれ信号が入力される。

【0155】

なお、ドライバ IC 5 6 0 1 は、単結晶半導体を用いて形成されていることが望ましい。さらに、スイッチ群 5 6 0 2 _ 1 ~ 5 6 0 2 _ M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5 6 0 1 とスイッチ群 5 6 0 2 _ 1 ~ 5 6 0 2 _ M とは F P C などを介して接続するとよい。又は画素部と同一の基板上に貼り合わせなどによって、単結晶半導体層を設け、ドライバ IC 5 6 0 1 を形成してもよい。

【0156】

20

次に、図 15 に示した信号線駆動回路の動作について、図 16 のタイミングチャートを参照して説明する。なお、図 16 のタイミングチャートは、i 行目の走査線 G i が選択されている場合のタイミングチャートを示している。さらに、i 行目の走査線 G i の選択期間は、第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 に分割されている。さらに、図 15 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 16 と同様の動作をする。

【0157】

なお、図 16 のタイミングチャートは、J 列目の配線 5 6 2 1 _ J が第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線 S j - 2、信号線 S j - 1、信号線 S j に接続される場合について示している。

30

【0158】

なお、図 16 のタイミングチャートは、i 行目の走査線 G i が選択されるタイミング、第 1 の薄膜トランジスタ 5 6 0 3 a のオン・オフのタイミング 5 7 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b のオン・オフのタイミング 5 7 0 3 b、第 3 の薄膜トランジスタ 5 6 0 3 c のオン・オフのタイミング 5 7 0 3 c 及び J 列目の配線 5 6 2 1 _ J に入力される信号 5 7 2 1 _ J を示している。

【0159】

40

なお、配線 5 6 2 1 _ 1 ~ 配線 5 6 2 1 _ M には第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 において、それぞれ別のビデオ信号が入力される。例えば、第 1 のサブ選択期間 T 1 において配線 5 6 2 1 _ J に入力されるビデオ信号は信号線 S j - 2 に入力され、第 2 のサブ選択期間 T 2 において配線 5 6 2 1 _ J に入力されるビデオ信号は信号線 S j - 1 に入力され、第 3 のサブ選択期間 T 3 において配線 5 6 2 1 _ J に入力されるビデオ信号は信号線 S j に入力される。さらに、第 1 のサブ選択期間 T 1、第 2 のサブ選択期間 T 2 及び第 3 のサブ選択期間 T 3 において、配線 5 6 2 1 _ J に入力されるビデオ信号をそれぞれ Data_j - 2、Data_j - 1、Data_j とする。

【0160】

図 16 に示すように、第 1 のサブ選択期間 T 1 において第 1 の薄膜トランジスタ 5 6 0 3 a がオンし、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 _ J に入力される Data_j - 2 が、第 1 の薄膜

50

トランジスタ 5603a を介して信号線 Sj - 2 に入力される。第 2 のサブ選択期間 T2 では、第 2 の薄膜トランジスタ 5603b がオンし、第 1 の薄膜トランジスタ 5603a 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621_J に入力される Data_j_1 が、第 2 の薄膜トランジスタ 5603b を介して信号線 Sj - 1 に入力される。第 3 のサブ選択期間 T3 では、第 3 の薄膜トランジスタ 5603c がオンし、第 1 の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621_J に入力される Data_j が、第 3 の薄膜トランジスタ 5603c を介して信号線 Sj に入力される。

【0161】

以上のことから、図 15 の信号線駆動回路は、1 ゲート選択期間を 3 つに分割することで、1 ゲート選択期間中に 1 つの配線 5621 から 3 つの信号線にビデオ信号を入力することができる。したがって、図 15 の信号線駆動回路は、ドライバ IC 5601 が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約 1 / 3 にすることができる。接続数が約 1 / 3 になることによって、図 15 の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0162】

なお、図 15 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0163】

例えば、3 つ以上のサブ選択期間それぞれにおいて 1 つの配線から 3 つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1 ゲート選択期間を 4 つ以上のサブ選択期間に分割すると、1 つのサブ選択期間が短くなる。したがって、1 ゲート選択期間は、2 つ又は 3 つのサブ選択期間に分割されることが望ましい。

【0164】

別の例として、図 17 のタイミングチャートに示すように、1 つの選択期間をプリチャージ期間Tp、第1のサブ選択期間T1、第2のサブ選択期間T2、第3の選択期間T3に分割してもよい。さらに、図 17 のタイミングチャートは、i 行目の走査線 Gi が選択されるタイミング、第1の薄膜トランジスタ 5603a のオン・オフのタイミング 5803a、第2の薄膜トランジスタ 5603b のオン・オフのタイミング 5803b、第3の薄膜トランジスタ 5603c のオン・オフのタイミング 5803c 及び J 列目の配線 5621_J に入力される信号 5821_J を示している。図 17 に示すように、プリチャージ期間Tpにおいて第1の薄膜トランジスタ 5603a、第2の薄膜トランジスタ 5603b 及び第3の薄膜トランジスタ 5603c がオフする。このとき、配線 5621_J に入力されるプリチャージ電圧 Vp が第1の薄膜トランジスタ 5603a、第2の薄膜トランジスタ 5603b 及び第3の薄膜トランジスタ 5603c を介してそれぞれ信号線 Sj - 2、信号線 Sj - 1、信号線 Sj に入力される。第1のサブ選択期間T1において第1の薄膜トランジスタ 5603a がオンし、第2の薄膜トランジスタ 5603b 及び第3の薄膜トランジスタ 5603c がオフする。このとき、配線 5621_J に入力される Data_j - 2 が、第1の薄膜トランジスタ 5603a を介して信号線 Sj - 2 に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ 5603b がオンし、第1の薄膜トランジスタ 5603a 及び第3の薄膜トランジスタ 5603c がオフする。このとき、配線 5621_J に入力される Data_j - 1 が、第2の薄膜トランジスタ 5603b を介して信号線 Sj - 1 に入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ 5603c がオンし、第1の薄膜トランジスタ 5603a 及び第2の薄膜トランジスタ 5603b がオフする。このとき、配線 5621_J に入力される Data_j が、第3の薄膜トランジスタ 5603c を介して信号線 Sj に入力される。

【0165】

以上のことから、図 17 のタイミングチャートを適用した図 15 の信号線駆動回路は、サ

10

20

30

40

50

ブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図17において、図16と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0166】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号（CLK）及びスタートパルス信号（SP）が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。10

【0167】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図18及び図19を用いて説明する。

【0168】

図18にシフトレジスタの回路構成を示す。図18に示すシフトレジスタは、フリップフロップ5701_1～5701_nという複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。20

【0169】

図18のシフトレジスタの接続関係について説明する。1段目のフリップフロップ5701_1は、第1の配線5711、第2の配線5712、第4の配線5714、第5の配線5715、第7の配線5717_1、及び第7の配線5717_2と接続される。また、2段目のフリップフロップ5701_2は、第3の配線5713、第4の配線5714、第5の配線5715、第7の配線5717_1、第7の配線5717_2及び第7の配線5717_3と接続される。

【0170】

同様に、i段目のフリップフロップ5701_i（フリップフロップ5701_1～5701_nのうちいずれか一）は、第2の配線5712又は第3の配線5713の一方、第4の配線5714、第5の配線5715、第7の配線5717_i-1、第7の配線5717_i、及び第7の配線5717_i+1と接続される。ここで、iが奇数の場合には、i段目のフリップフロップ5701_iは第2の配線5712と接続され、iが偶数である場合には、i段目のフリップフロップ5701_iは第3の配線5713と接続されることになる。30

【0171】

また、n段目のフリップフロップ5701_nは、第2の配線5712又は第3の配線5713の一方、第4の配線5714、第5の配線5715、第7の配線5717_n-1、第7の配線5717_n、及び第6の配線5716と接続される。40

【0172】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0173】

次に、図18に示すフリップフロップの詳細について、図19を用いて説明する。図19に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ50

5577 及び第 8 の薄膜トランジスタ 5578 を有する。なお、第 1 の薄膜トランジスタ 5571、第 2 の薄膜トランジスタ 5572、第 3 の薄膜トランジスタ 5573、第 4 の薄膜トランジスタ 5574、第 5 の薄膜トランジスタ 5575、第 6 の薄膜トランジスタ 5576、第 7 の薄膜トランジスタ 5577 及び第 8 の薄膜トランジスタ 5578 は、n チャネル型トランジスタであり、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

【0174】

また、図 19 に示すフリップフロップは、第 1 の配線 5501、第 2 の配線 5502、第 3 の配線 5503、第 4 の配線 5504、第 5 の配線 5505、及び第 6 の配線 5506 を有する。

10

【0175】

ここでは全ての薄膜トランジスタは、エンハンスマント型の n チャネル型トランジスタとする例を示すが、特に限定されず、例えば、デプレッション型の n チャネル型トランジスタを用いても駆動回路を駆動させることもできる。

【0176】

次に、図 19 に示すフリップフロップの接続構成について、以下に示す。

【0177】

第 1 の薄膜トランジスタ 5571 の第 1 の電極（ソース電極またはドレイン電極の一方）が第 4 の配線 5504 に接続され、第 1 の薄膜トランジスタ 5571 の第 2 の電極（ソース電極またはドレイン電極の他方）が第 3 の配線 5503 に接続される。

20

【0178】

第 2 の薄膜トランジスタ 5572 の第 1 の電極が第 6 の配線 5506 に接続され、第 2 の薄膜トランジスタ 5572 の第 2 の電極が第 3 の配線 5503 に接続される。

【0179】

第 3 の薄膜トランジスタ 5573 の第 1 の電極が第 5 の配線 5505 に接続され、第 3 の薄膜トランジスタ 5573 の第 2 の電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続され、第 3 の薄膜トランジスタ 5573 のゲート電極が第 5 の配線 5505 に接続される。

【0180】

第 4 の薄膜トランジスタ 5574 の第 1 の電極が第 6 の配線 5506 に接続され、第 4 の薄膜トランジスタ 5574 の第 2 の電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続され、第 4 の薄膜トランジスタ 5574 のゲート電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続される。

30

【0181】

第 5 の薄膜トランジスタ 5575 の第 1 の電極が第 5 の配線 5505 に接続され、第 5 の薄膜トランジスタ 5575 の第 2 の電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続され、第 5 の薄膜トランジスタ 5575 のゲート電極が第 1 の配線 5501 に接続される。

【0182】

第 6 の薄膜トランジスタ 5576 の第 1 の電極が第 6 の配線 5506 に接続され、第 6 の薄膜トランジスタ 5576 の第 2 の電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続され、第 6 の薄膜トランジスタ 5576 のゲート電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続される。

40

【0183】

第 7 の薄膜トランジスタ 5577 の第 1 の電極が第 6 の配線 5506 に接続され、第 7 の薄膜トランジスタ 5577 の第 2 の電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続され、第 7 の薄膜トランジスタ 5577 のゲート電極が第 2 の配線 5502 に接続される。

【0184】

第 8 の薄膜トランジスタ 5578 の第 1 の電極が第 6 の配線 5506 に接続され、第 8 の

50

薄膜トランジスタ 5578 の第 2 の電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続され、第 8 の薄膜トランジスタ 5578 のゲート電極が第 1 の配線 5501 に接続される。

【0185】

なお、第 1 の薄膜トランジスタ 5571 のゲート電極、第 4 の薄膜トランジスタ 5574 のゲート電極、第 5 の薄膜トランジスタ 5575 の第 2 の電極、第 6 の薄膜トランジスタ 5576 の第 2 の電極及び第 7 の薄膜トランジスタ 5577 の第 2 の電極の接続箇所をノード 5543 とする。さらに、第 2 の薄膜トランジスタ 5572 のゲート電極、第 3 の薄膜トランジスタ 5573 の第 2 の電極、第 4 の薄膜トランジスタ 5574 の第 2 の電極、第 6 の薄膜トランジスタ 5576 のゲート電極及び第 8 の薄膜トランジスタ 5578 の第 2 の電極の接続箇所をノード 5544 とする。10

【0186】

なお、第 1 の配線 5501、第 2 の配線 5502、第 3 の配線 5503 及び第 4 の配線 5504 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5505 を第 1 の電源線、第 6 の配線 5506 を第 2 の電源線と呼んでもよい。

【0187】

i 段目のフリップフロップ 5701_iにおいて、図 19 中の第 1 の配線 5501 と、図 18 中の第 7 の配線 5717_{i-1} が接続される。また、図 19 中の第 2 の配線 5502 と、図 18 中の第 7 の配線 5717_{i+1} が接続される。また、図 19 中の第 3 の配線 5503 と、第 7 の配線 5717_i が接続される。さらに、図 19 中の第 6 の配線 5506 と、第 5 の配線 5715 が接続される。20

【0188】

i が奇数の場合、図 19 中の第 4 の配線 5504 は、図 18 中の第 2 の配線 5712 と接続され、 i が偶数の場合、図 18 中の第 3 の配線 5713 と接続される。また、図 19 中の第 5 の配線 5505 と、図 18 中の第 4 の配線 5714 が接続される。

【0189】

ただし、1 段目のフリップフロップ 5701₁において、図 19 中の第 1 の配線 5501 は図 18 中の第 1 の配線 5711 に接続される。また、 n 段目のフリップフロップ 5701_nにおいて、図 19 中の第 2 の配線 5502 は図 18 中の第 6 の配線 5716 に接続される。30

【0190】

また、信号線駆動回路及び走査線駆動回路を実施の形態 1 乃至実施の形態 3 に示す n チャネル型 TFT のみで作製することも可能である。実施の形態 1 乃至実施の形態 3 に示す n チャネル型 TFT はトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 1 乃至実施の形態 3 に示す n チャネル型 TFT は In-Ga-Zn-O 系非単結晶膜に代表される酸化物半導体層を用いることで、寄生容量が低減されるため、周波数特性 (f 特性と呼ばれる) が高い。例えば、実施の形態 1 乃至実施の形態 3 に示す n チャネル型 TFT を用いた走査線駆動回路は、高速に動作させることができるために、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することができる。40

【0191】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

【0192】

また、半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図14(B)に示す。

【0193】

図14(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【0194】

図14(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

10

【0195】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

20

【0196】

なお、図14(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

30

【0197】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至実施の形態3に示すnチャネル型TFTのみで作製することも可能である。

40

【0198】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0199】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示す

50

るものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0200】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

【0201】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。10

【0202】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至実施の形態3の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0203】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。20

【0204】

以上により、半導体装置として信頼性の高い表示装置を作製することができる。

【0205】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるところとする。

【0206】

（実施の形態6）30
実施の形態1乃至実施の形態3に示す薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、実施の形態1乃至実施の形態3に示す薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0207】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（E l e c t r o L u m i n e s c e n c e）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。40

【0208】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッティングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0209】

50

20

30

40

50

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0210】

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図22を用いて説明する。図22(A1)(A2)は、第1の基板4001上に形成された実施の形態1乃至実施の形態3で示したIn-Ga-Zn-O系非単結晶膜を代表とする酸化物半導体層を用いる信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図22(B)は、図22(A1)(A2)のM-Nにおける断面図に相当する。

10

【0211】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

20

【0212】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図22(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図22(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0213】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図22(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

30

【0214】

薄膜トランジスタ4010、4011は、実施の形態1乃至実施の形態3に示す、In-Ga-Zn-O系非単結晶膜を代表とする酸化物半導体層を用いる信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0215】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0216】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PV

50

F(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0217】

また4035は絶縁膜を選択的にエッティングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0218】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10μs~100μsと短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0219】

なお本実施の形態は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0220】

また、本実施の形態の液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0221】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1乃至実施の形態3で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層(絶縁層4020、絶縁層4021)で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

30

【0222】

保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

40

【0223】

さらに、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0224】

また、保護膜を形成した後に、酸化物半導体層のアニール(300~400)を行つてもよい。

50

【0225】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0226】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、またはアリール基のうち少なくとも1種を有していてもよい。10

【0227】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンドルコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、酸化物半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0228】

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。20

【0229】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550 nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 cm以下であることが好ましい。30

【0230】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0231】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0232】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。40

【0233】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0234】

また図22においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。50

【0235】

図23は、実施の形態1乃至実施の形態3に示すTFTを適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0236】

図23は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。10

【0237】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。20

【0238】

以上により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0239】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるることとする。

【0240】**(実施の形態7)**

本実施の形態では、実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置として電子ペーパーの例を示す。

【0241】

図13は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1乃至実施の形態3で示す薄膜トランジスタを適用することができる。

【0242】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。40

【0243】

基板580と基板596との間に封止される薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層583、584、585に形成する開口で接しており電気的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている(図13参照。)。本実施の形態においては、第1の電極層587が画素電極に相当し、第2の電50

極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電気的に接続される。実施の形態 1 乃至実施の形態 3 に示すいずれか一の共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共に電位線とを電気的に接続することができる。

【 0244】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 $10 \mu\text{m} \sim 20 \mu\text{m}$ 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。10

【 0245】

以上により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【 0246】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。20

【 0247】

(実施の形態 8)

本実施の形態では、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタを適用した半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【 0248】

有機 EL 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。30

【 0249】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。40

【 0250】

図 20 は、本発明の一態様を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【 0251】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは、実施の形態 1 乃至実施の形態 3 で示した、In-Ga-Zn-O 系非単結晶膜を代表とする酸化物半導体層をチャネル形成領域に用いる n チャネル型のトランジスタを、1 つ50

の画素に2つ用いる例を示す。

【0252】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電気的に接続される。10

【0253】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。20

【0254】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0255】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧 + 駆動用トランジスタ6402のV_{th}）以上の電圧をかける。30

【0256】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせてことで、図20と同じ画素構成を用いることができる。

【0257】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧 + 駆動用トランジスタ6402のV_{th}以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、順方向しきい値電圧よりも大きい。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。40

【0258】

なお、図20に示す画素構成は、これに限定されない。例えば、図20に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0259】

次に、発光素子の構成について、図21を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図21(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1乃至実施の形態3で示す薄膜トランジスタと同様に作製でき、In-Ga-Z50

n-O系非単結晶膜を代表とする酸化物半導体層を用いる信頼性の高い薄膜トランジスタである。

【0260】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一態様に係る画素構成はどの射出構造の発光素子にも適用することができる。

【0261】

上面射出構造の発光素子について図21(A)を用いて説明する。

10

【0262】

図21(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図21(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電気的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

20

【0263】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図21(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0264】

次に、下面射出構造の発光素子について図21(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図21(B)では、駆動用TFT7011と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図21(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでも良い。陽極7015は光を透過する必要はないが、図21(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

40

【0265】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図21(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0266】

50

次に、両面射出構造の発光素子について、図21(C)を用いて説明する。図21(C)では、駆動用TFT7021と電気的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図21(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するA1を、陰極7023として用いることができる。そして発光層7024は、図21(A)と同様に、単数の層で構成されても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図21(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0267】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図21(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0268】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0269】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電気的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

20

【0270】

なお本実施の形態で示す半導体装置は、図21に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0271】

次に、実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図24を用いて説明する。図24(A)は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図24(B)は、図24(A)のH-Iにおける断面図に相当する。

30

【0272】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506によって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

【0273】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図24(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0274】

薄膜トランジスタ4509、4510は、実施の形態1乃至実施の形態3に示す、In-Zn-O系非単結晶膜を代表とする酸化物半導体層を用いる信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

50

【0275】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0276】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。10

【0277】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0278】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

【0279】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b20、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0280】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0281】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

【0282】

発光素子4511からの光の取り出し方向に位置する、第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。30

【0283】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材4507として窒素を用いた。

【0284】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板又は円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。40

【0285】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図24の構成に限定されない。50

【0286】

以上により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0287】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができる」ととする。

【0288】**（実施の形態9）**

実施の形態1乃至実施の形態3に示す薄膜トランジスタを適用した半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図25、図26に示す。

10

【0289】

図25（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0290】

また、図25（B）は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

20

【0291】

また、図26は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

30

【0292】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図26では表示部2705）に文章を表示し、左側の表示部（図26では表示部2707）に画像を表示することができる。

【0293】

また、図26では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングディバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

40

【0294】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

50

【0295】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるのこととする。

【0296】**(実施の形態10)**

実施の形態1乃至実施の形態3に示す薄膜トランジスタを用いた半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。10

【0297】

図27(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することができる。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0298】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行なうことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。20

【0299】

なお、テレビジョン装置9600は、受信機やモ뎀などを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモ뎀を介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0300】

図27(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することができる、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。30

【0301】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0302】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0303】

図28(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図28(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振

4050

動、あるいは赤外線を測定する機能を含むもの)、マイクロフォン 9889) 等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明の一態様に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 28(A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 28(A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0304】

図 28(B) は大型遊技機であるスロットマシン 9900 の一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本発明の一態様に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。10

【0305】

図 29(A) は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、スピーカ 1005、マイク 1006 などを備えている。

【0306】

図 29(A) に示す携帯電話機 1000 は、表示部 1002 を指などで触ることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1002 を指などで触ることにより行うことができる。20

【0307】

表示部 1002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0308】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面のほとんどにキーボードまたは番号ボタンを表示させが好ましい。30

【0309】

また、携帯電話機 1000 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き(縦か横か)を判断して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。

【0310】

また、画面モードの切り替えは、表示部 1002 を触れること、又は筐体 1001 の操作ボタン 1003 の操作により行われる。また、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。40

【0311】

また、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0312】

表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触ることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0313】

10

20

30

40

50

図29(B)も携帯電話機の一例である。図29(B)の携帯電話機は、筐体9411に、表示部9412、及び操作ボタン9413を含む表示装置9410と、筐体9401に操作ボタン9402、外部入力端子9403、マイク9404、スピーカ9405、及び着信時に発光する発光部9406を含む通信装置9400とを有しており、表示機能を有する表示装置9410は電話機能を有する通信装置9400と矢印の2方向に脱着可能である。よって、表示装置9410と通信装置9400の短軸同士を取り付けることも、表示装置9410と通信装置9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置9400より表示装置9410を取り外し、表示装置9410を単独で用いることもできる。通信装置9400と表示装置9410とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

10

【0314】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるることとする。

【符号の説明】

【0315】

100	基板	
101	ゲート電極層	
102	ゲート絶縁層	
103	絶縁性酸化物を含む酸化物半導体層	20
104	チャネル保護層	
105 a	ソース電極層又はドレイン電極層	
105 b	ソース電極層又はドレイン電極層	
106	酸化物半導体層	
107	保護絶縁層	
108	容量配線	
110	画素電極層	
111	絶縁性酸化物を含む酸化物半導体層	
112	導電膜	
115	導電層	30
120	接続電極	
121	端子	
122	端子	
123	接続電極	
124	端子	
125	コンタクトホール	
126	コンタクトホール	
127	コンタクトホール	
128	透明導電膜	
129	透明導電膜	40
131	レジストマスク	
132	レジストマスク	
143	絶縁性酸化物を含む酸化物半導体層	
150	端子	
151	端子	
152	ゲート絶縁層	
153	接続電極	
154	保護絶縁層	
155	透明導電膜	
156	電極	50

1 7 0	薄膜トランジスタ	
2 0 1	ゲート電極層	
2 1 0	空洞	
2 2 3	絶縁性酸化物を含む酸化物半導体層	
2 2 6	酸化物半導体層	
2 3 3 a	絶縁性酸化物を含む酸化物半導体層	
2 3 3 b	絶縁性酸化物を含む酸化物半導体層	
3 0 1 a	バッファ層	
3 0 2	酸化物半導体膜	
4 0 0	基板	10
4 0 1 a	第1のゲート電極層	
4 0 1 b	第2のゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3 a	第1の絶縁性酸化物を含む酸化物半導体層	
4 0 3 b	第2の絶縁性酸化物を含む酸化物半導体層	
4 0 4	コンタクトホール	
4 0 5 a	第1配線	
4 0 5 b	第2配線	
4 0 5 c	第3配線	
4 0 6 a	第1の酸化物半導体層	20
4 0 6 b	第2の酸化物半導体層	
4 3 0 a	第1の薄膜トランジスタ	
4 3 0 b	第2の薄膜トランジスタ	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 4	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	30
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
6 0 1	ゲート電極層	
6 0 2	ゲート絶縁層	
6 0 5 a	ソース電極層又はドレイン電極層	
6 0 6	酸化物半導体層	40
6 1 3	絶縁性酸化物を含む酸化物半導体層	
6 1 6	酸化物半導体層	
6 2 3	絶縁性酸化物を含む酸化物半導体層	
6 2 6	酸化物半導体層	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	50

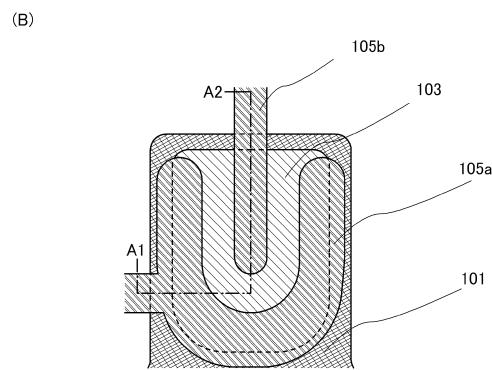
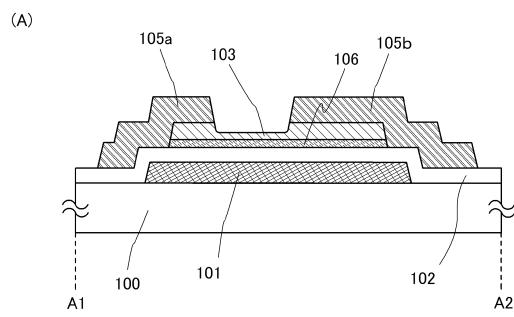
1 0 0 6	マイク	
2 6 0 0	TFT 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	10
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	20
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	30
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	FPC	
4 0 1 9	異方性導電膜	40
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	50

4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	10
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	20
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 5 0 1	配線	
5 5 0 2	配線	
5 5 0 3	配線	
5 5 0 4	配線	
5 5 0 5	配線	
5 5 0 6	配線	
5 5 4 3	ノード	
5 5 4 4	ノード	30
5 5 7 1	第1の薄膜トランジスタ	
5 5 7 2	第2の薄膜トランジスタ	
5 5 7 3	第3の薄膜トランジスタ	
5 5 7 4	第4の薄膜トランジスタ	
5 5 7 5	第5の薄膜トランジスタ	
5 5 7 6	第6の薄膜トランジスタ	
5 5 7 7	第7の薄膜トランジスタ	
5 5 7 8	第8の薄膜トランジスタ	
5 6 0 1	ドライバIC	
5 6 0 2	スイッチ群	40
5 6 0 3 a	第1の薄膜トランジスタ	
5 6 0 3 b	第2の薄膜トランジスタ	
5 6 0 3 c	第3の薄膜トランジスタ	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	
5 7 0 1	フリップフロップ	
5 7 0 3 a	タイミング	
5 7 0 3 b	タイミング	50

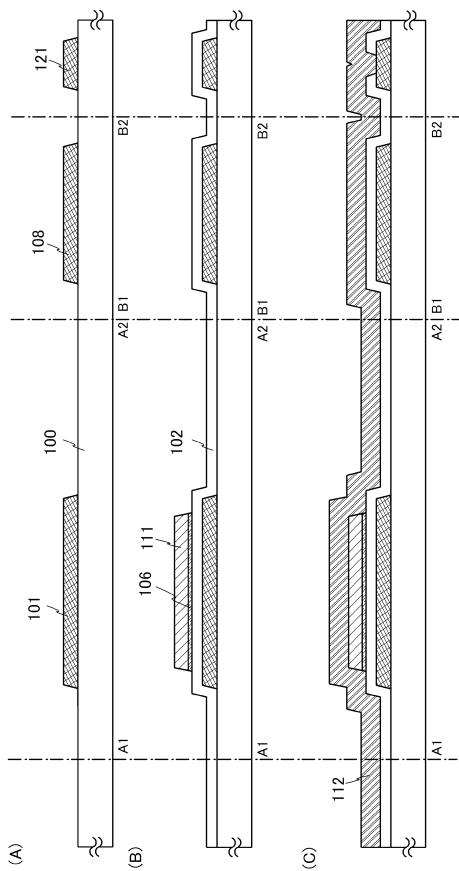
5 7 0 3 c	タイミング	
5 7 1 1	配線	
5 7 1 2	配線	
5 7 1 3	配線	
5 7 1 4	配線	
5 7 1 5	配線	
5 7 1 6	配線	
5 7 1 7	配線	
5 7 2 1	信号	
5 8 0 3 a	タイミング	10
5 8 0 3 b	タイミング	
5 8 0 3 c	タイミング	
5 8 2 1	信号	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	20
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	TFT	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	陰極	30
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	駆動用 TFT	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	40
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	50

9 4 1 3	操作ボタン
9 6 0 0	テレビジョン装置
9 6 0 1	筐体
9 6 0 3	表示部
9 6 0 5	スタンド
9 6 0 7	表示部
9 6 0 9	操作キー
9 6 1 0	リモコン操作機
9 7 0 0	デジタルフォトフレーム
9 7 0 1	筐体
9 7 0 3	表示部
9 8 8 1	筐体
9 8 8 2	表示部
9 8 8 3	表示部
9 8 8 4	スピーカ部
9 8 8 5	入力手段（操作キー）
9 8 8 6	記録媒体挿入部
9 8 8 7	接続端子
9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E D ランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部

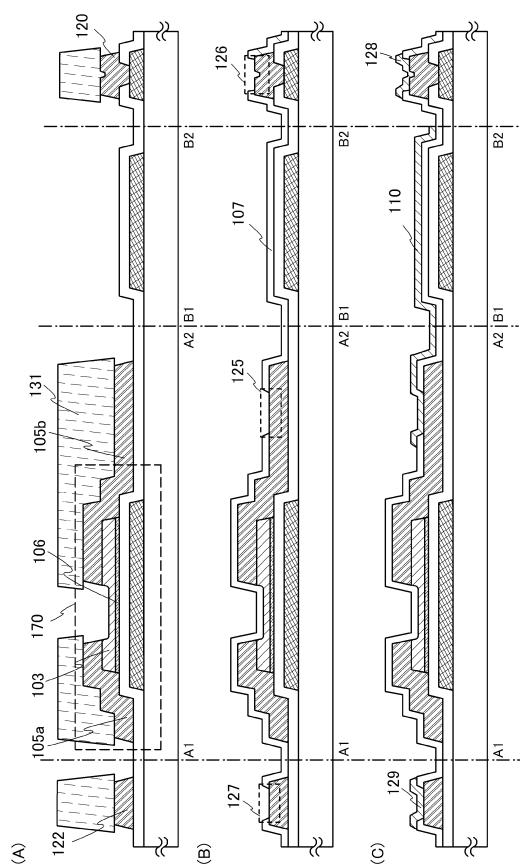
【図1】



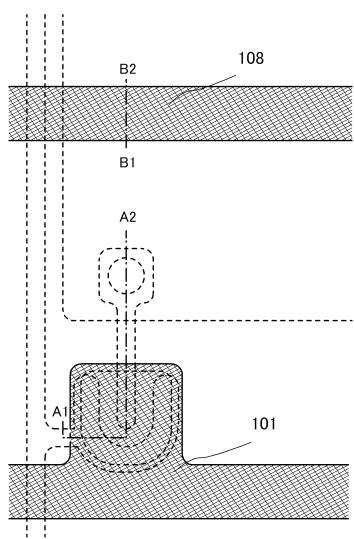
【図2】



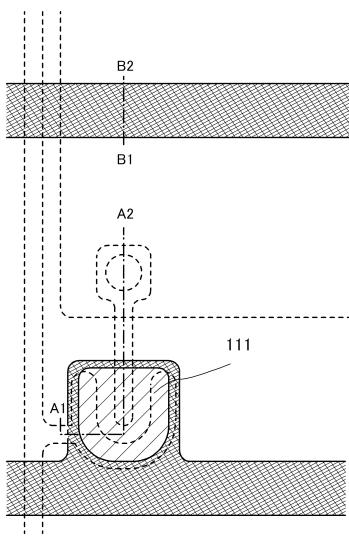
【図3】



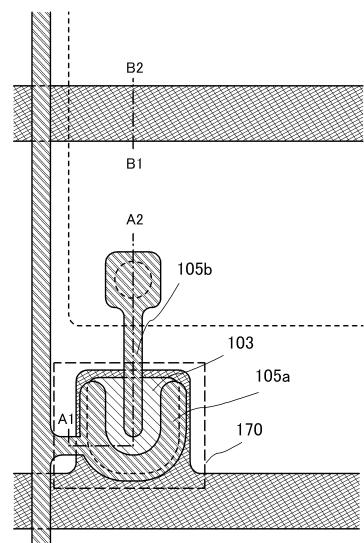
【図4】



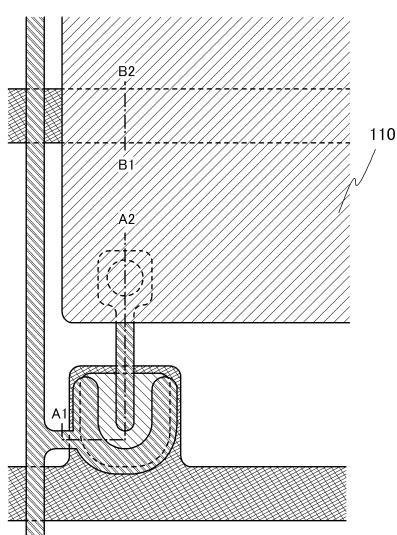
【図5】



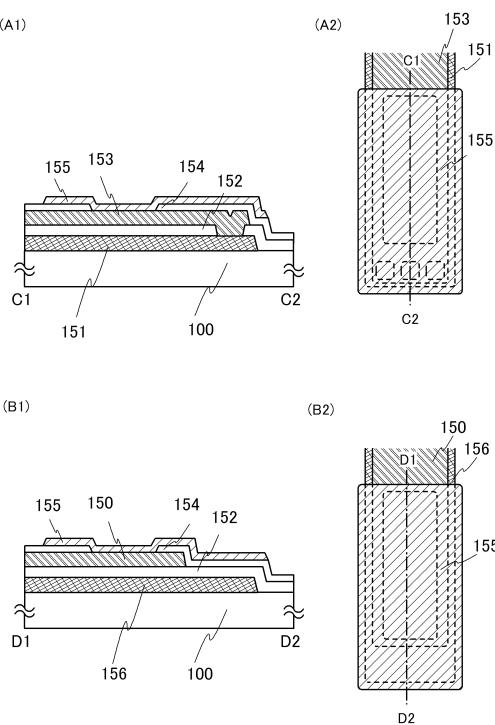
【図6】



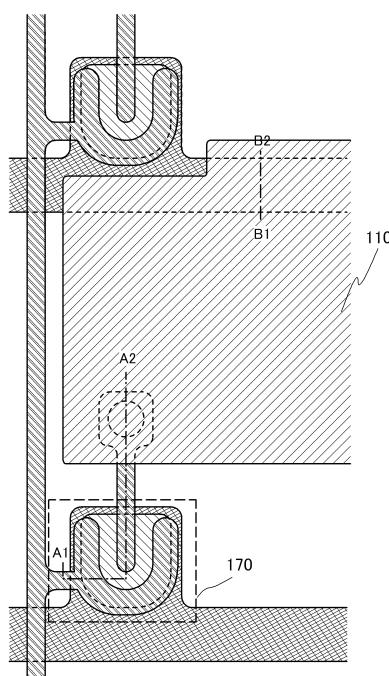
【図7】



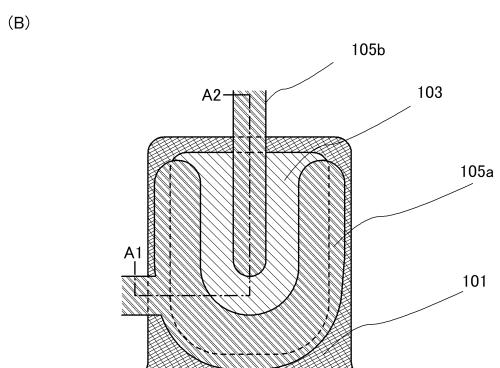
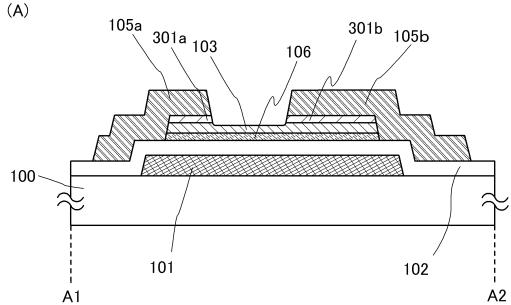
【図8】



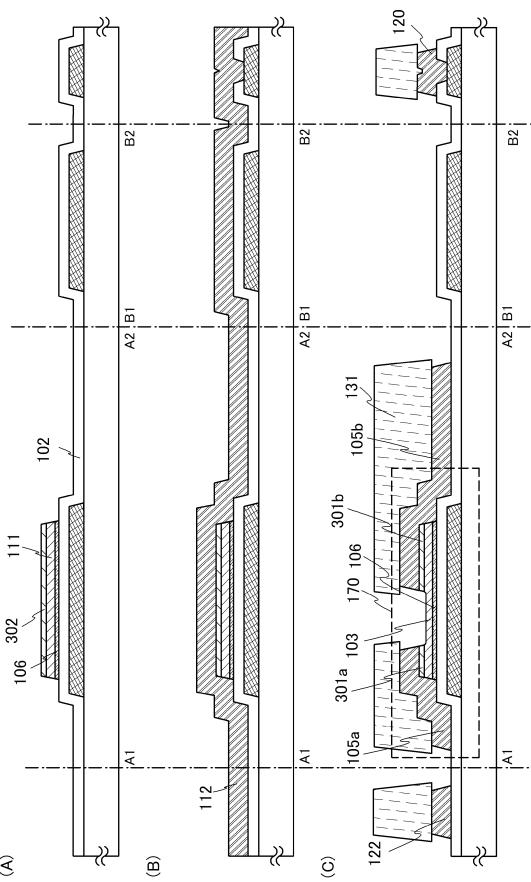
【図9】



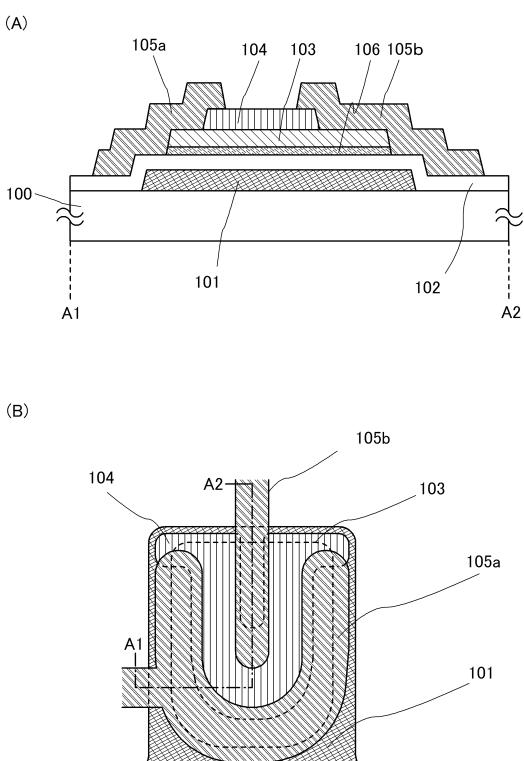
【図10】



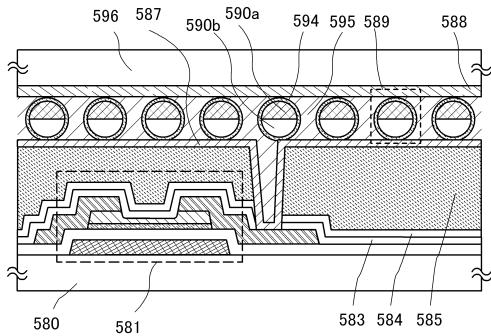
【図11】



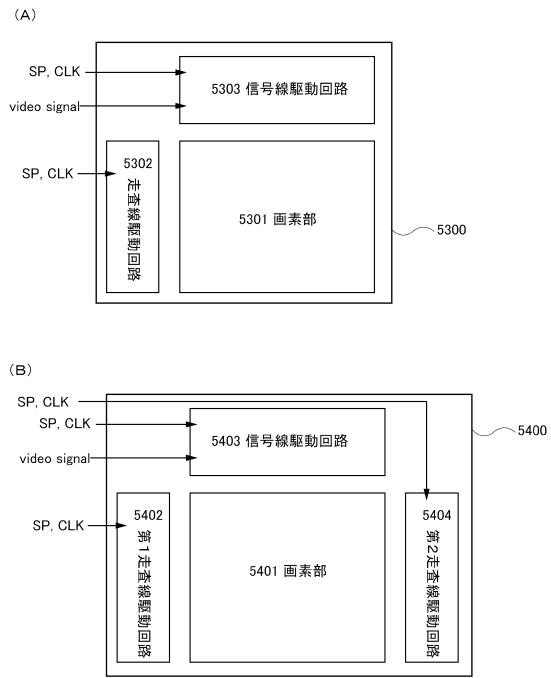
【図12】



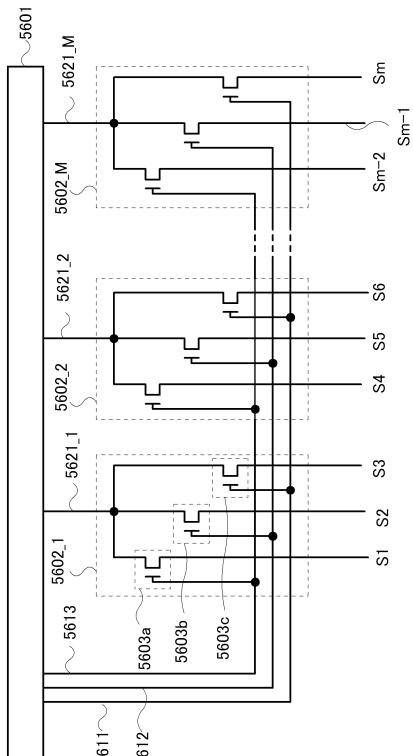
【図13】



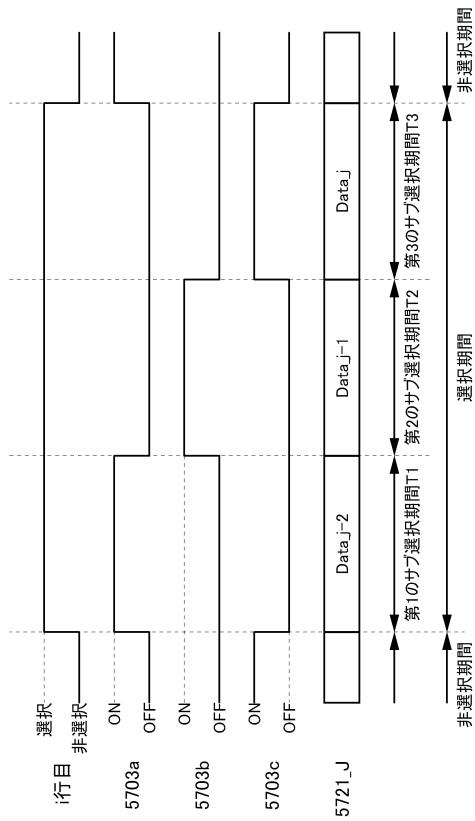
【図14】



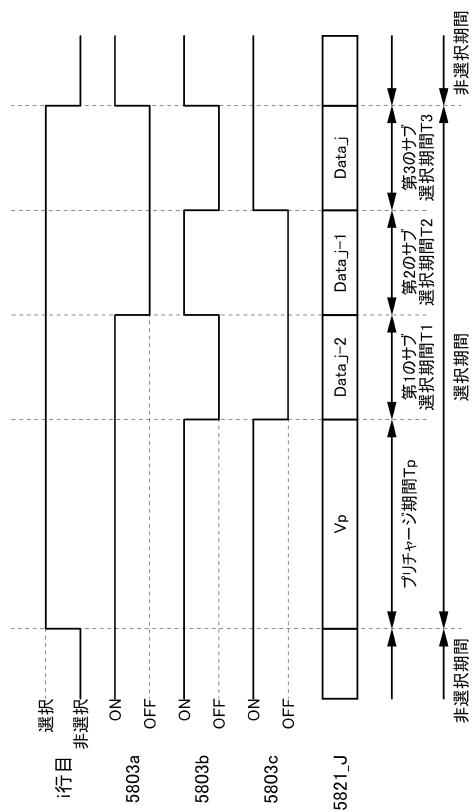
【図15】



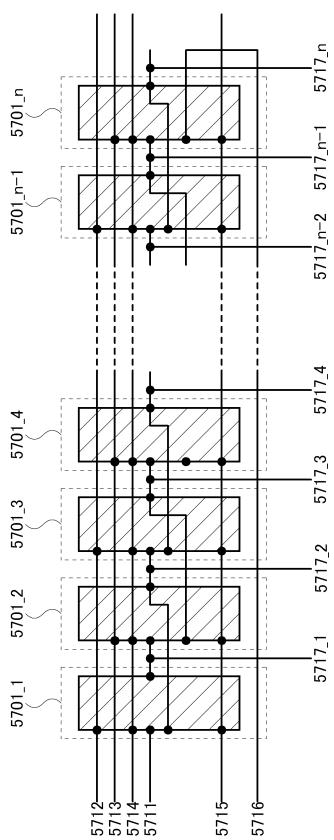
【図16】



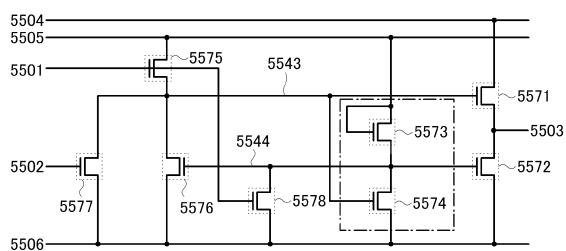
【図17】



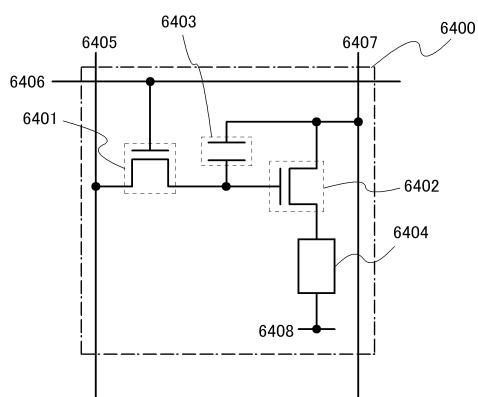
【図18】



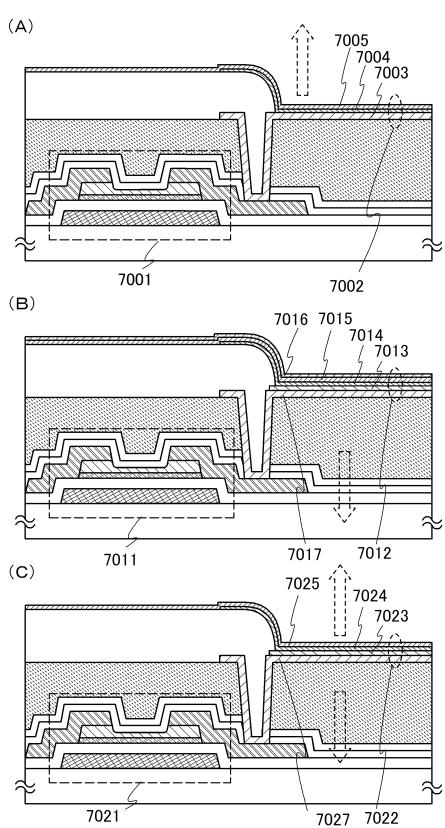
【図19】



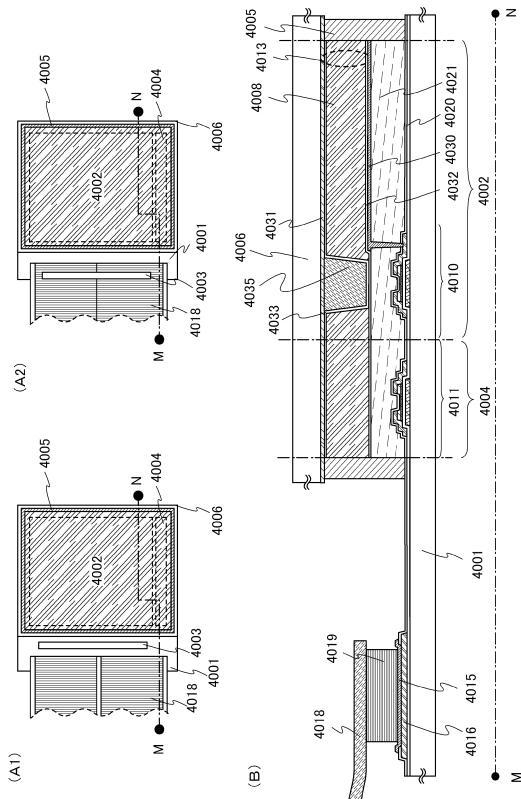
【図20】



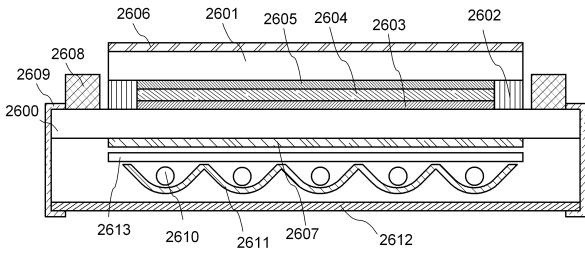
【図21】



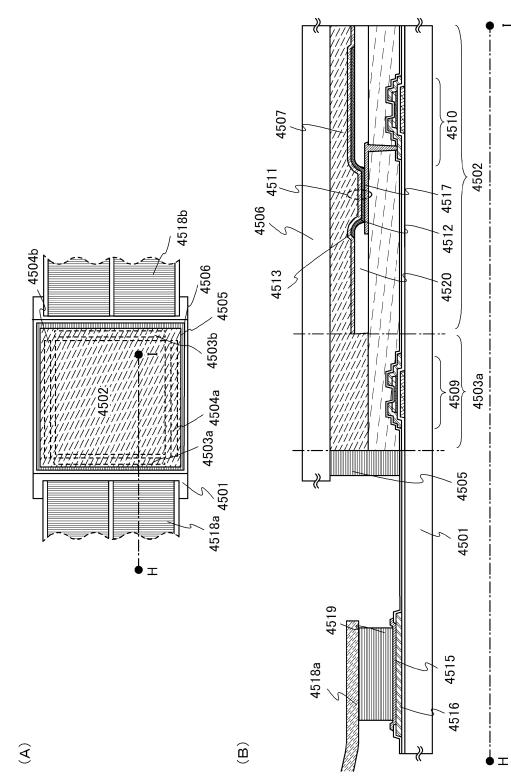
【図22】



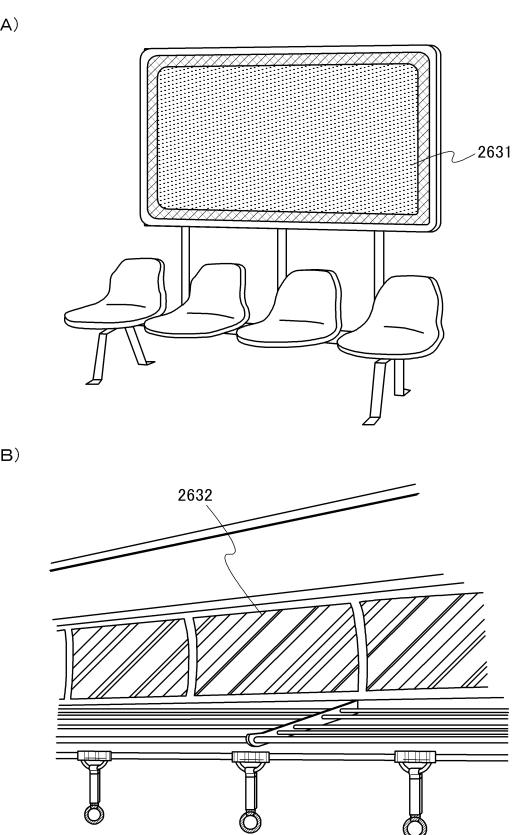
【図23】



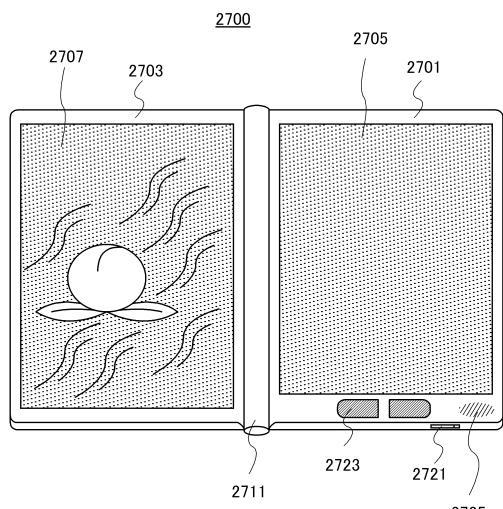
【図24】



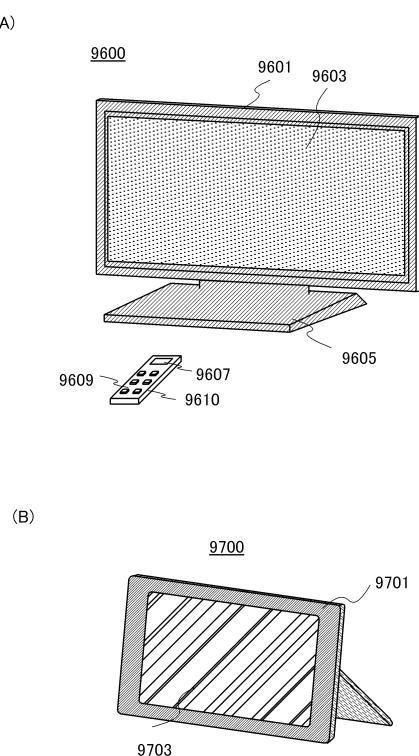
【図25】



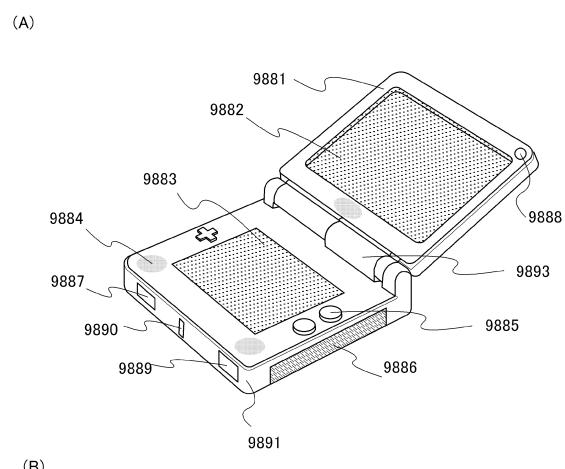
【図26】



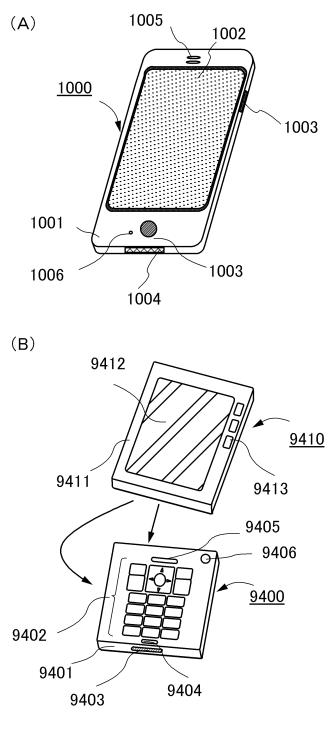
【図27】



【図28】

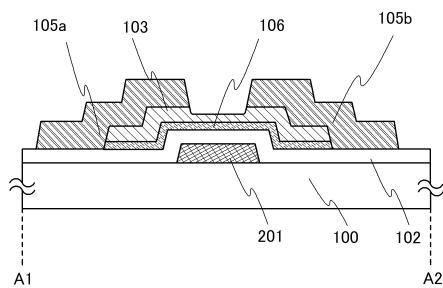


【図29】



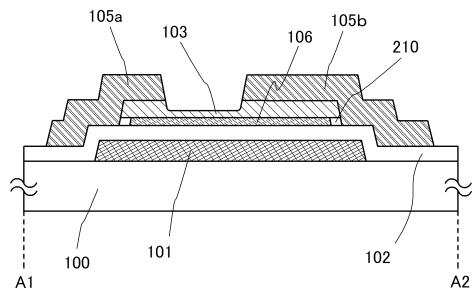
【図30】

(A)

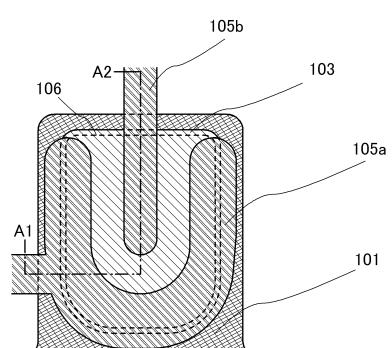
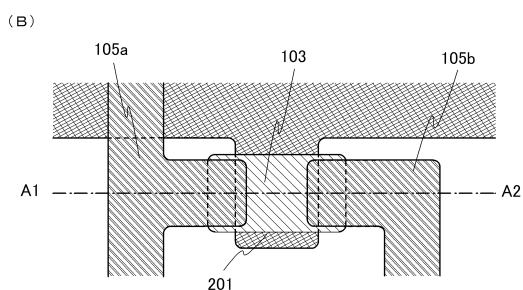


【図31】

(A)

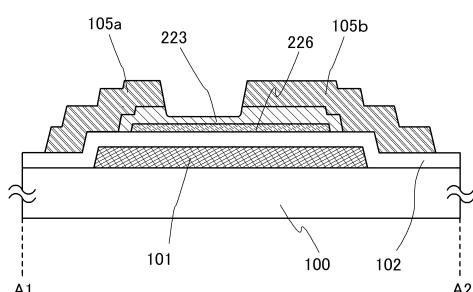


(B)



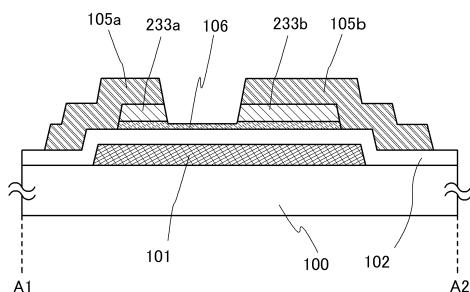
【図32】

(A)

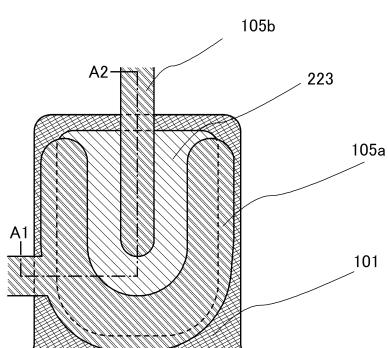


【図33】

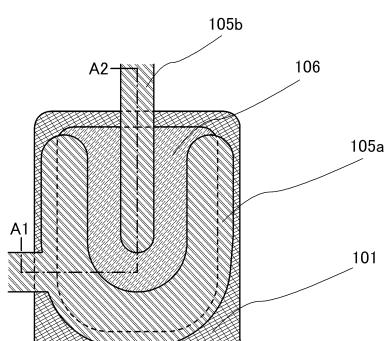
(A)



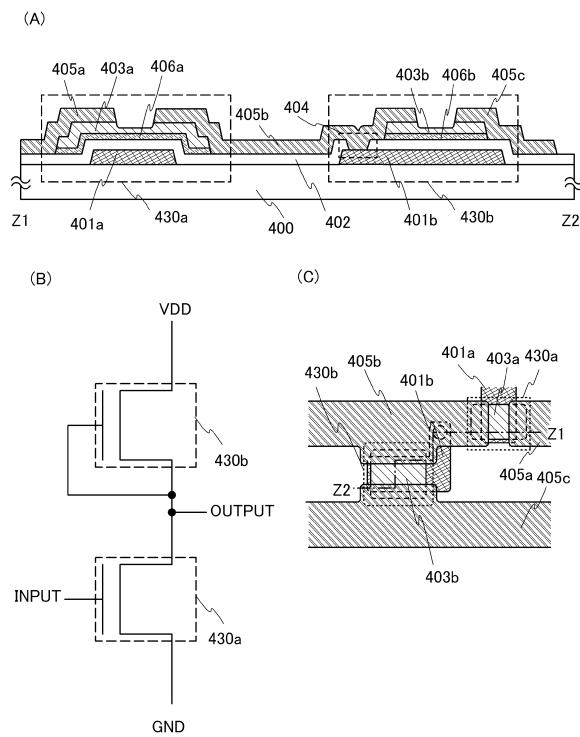
(B)



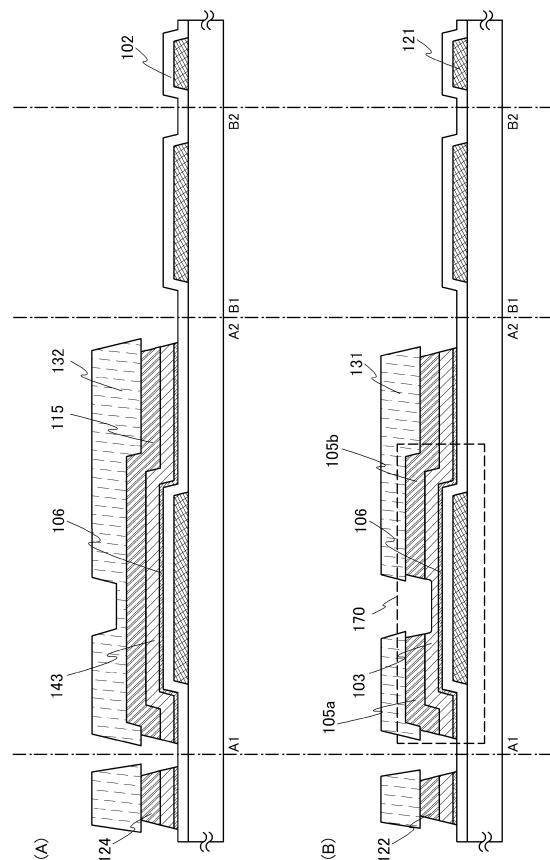
(B)



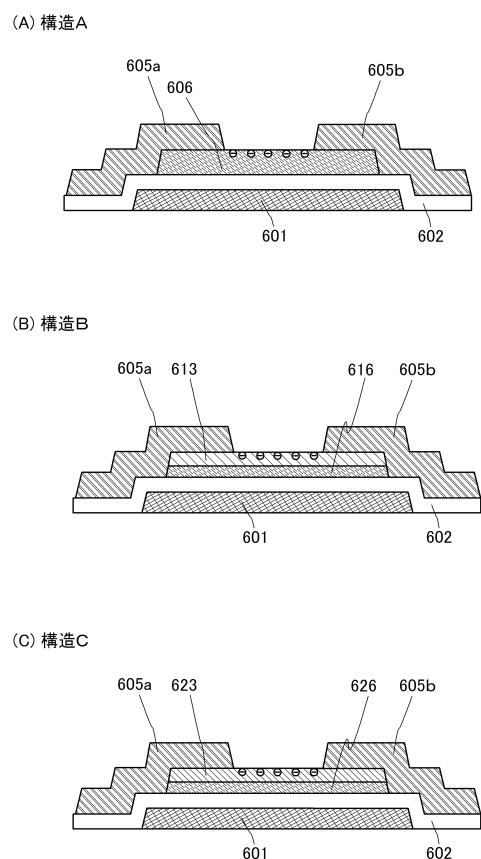
【図3-4】



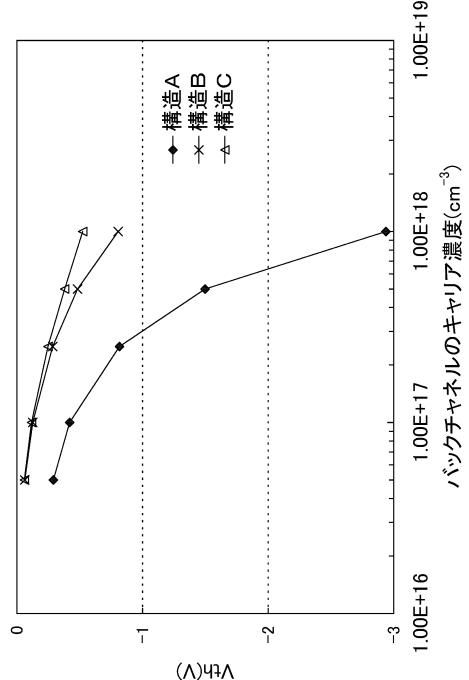
【図3-5】



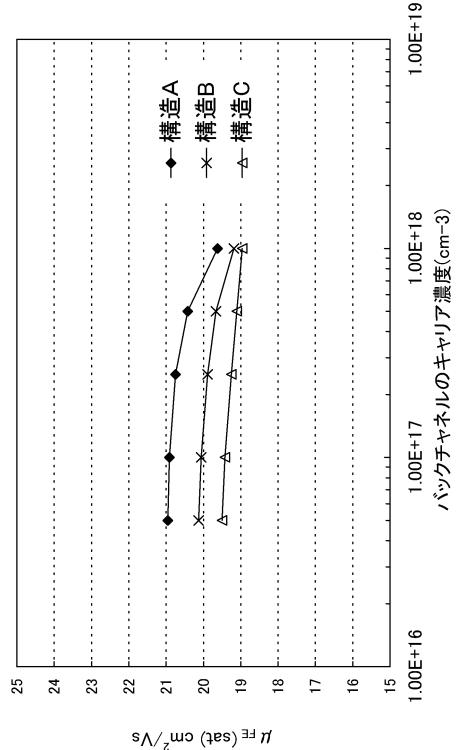
【図3-6】



【図3-7】



【図3-8】



フロントページの続き

(51)Int.Cl.

F I
G 0 2 F 1/1368
H 0 5 B 33/14 A
H 0 5 B 33/14 Z

(56)参考文献 特開2008-276212(JP, A)

国際公開第2008/133456(WO, A1)

国際公開第2007/148601(WO, A1)

特開2007-123861(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6