

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6589263号  
(P6589263)

(45) 発行日 令和1年10月16日(2019.10.16)

(24) 登録日 令和1年9月27日(2019.9.27)

(51) Int.Cl.	F I				
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 C		
HO 1 L 29/12	(2006.01)	HO 1 L 29/78	6 5 2 T		
HO 1 L 29/06	(2006.01)	HO 1 L 29/78	6 5 2 P		
HO 1 L 29/739	(2006.01)	HO 1 L 29/78	6 5 2 J		
		HO 1 L 29/78	6 5 5 A		
請求項の数 6 (全 18 頁) 最終頁に続く					

(21) 出願番号 特願2014-185720 (P2014-185720)  
 (22) 出願日 平成26年9月11日 (2014.9.11)  
 (65) 公開番号 特開2016-58660 (P2016-58660A)  
 (43) 公開日 平成28年4月21日 (2016.4.21)  
 審査請求日 平成29年8月10日 (2017.8.10)

前置審査

(73) 特許権者 000005234  
 富士電機株式会社  
 神奈川県川崎市川崎区田辺新田1番1号  
 (74) 代理人 100104190  
 弁理士 酒井 昭徳  
 (72) 発明者 木下 明将  
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内  
 (72) 発明者 星 保幸  
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内  
 (72) 発明者 原田 祐一  
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

炭化珪素半導体からなる第1導電型の半導体基板と、  
 前記半導体基板のおもて面に設けられた、前記半導体基板よりも不純物濃度の低い炭化珪素半導体からなる第1導電型の第1半導体層と、  
 前記第1半導体層の、前記半導体基板側に対して反対側の表面層に選択的に設けられた第2導電型の第1半導体領域と、  
 前記第1半導体領域の内部に選択的に設けられた第1導電型の第2半導体領域と、  
 前記第1半導体領域の、前記第1半導体層と前記第2半導体領域とに挟まれた部分の表面上に、ゲート絶縁膜を介して設けられたゲート電極と、  
 前記第1半導体領域および前記第2半導体領域に電氣的に接続された第1電極と、  
 前記半導体基板の裏面に設けられた第2電極と、  
 前記第1半導体領域の周囲を囲む、前記第1半導体領域よりも不純物濃度の低い第2導電型の第4半導体領域と、  
 を備え、  
 前記第1半導体領域は、  
 前記ゲート絶縁膜を介して深さ方向に前記ゲート電極と対向し、前記第1半導体層の表面層から所定深さに達し、かつ内部に前記第2半導体領域を有する第1半導体部と、  
 前記第1半導体部よりも前記第2電極側に設けられ、深さ方向において前記第1半導体部に隣接する、前記第1半導体部よりも不純物濃度の高い第2半導体部と、

10

20

前記第2半導体部の内部に選択的に設けられ、深さ方向に前記第2半導体領域に対向し、かつ前記第1半導体層と前記第2半導体領域とに挟まれた部分へ突出する、前記第2半導体部よりも不純物濃度の高い第3半導体部と、からなり、

前記第4半導体領域に接する前記第1半導体領域内の前記第3半導体部が前記第4半導体領域に接することを特徴とする半導体装置。

【請求項2】

前記第3半導体部は、前記第1電極側で前記第1半導体部に接し、前記第2電極側の周囲を前記第2半導体部に囲まれていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第2半導体部の不純物濃度は、前記第3半導体部の不純物濃度の0.1倍以下であることを特徴とする請求項1または2に記載の半導体装置。

10

【請求項4】

前記第3半導体部の、前記第1半導体層と前記第2半導体部とに挟まれた部分の幅は0.1μm以上であることを特徴とする請求項1～3のいずれか一つに記載の半導体装置。

【請求項5】

前記半導体基板のおもて面は、(000-1)面に平行な面または(000-1)面に対して10度以下に傾いた面であることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

【請求項6】

前記半導体基板のおもて面は、(0001)面に平行な面または(0001)面に対して10度以下に傾いた面であることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。

【背景技術】

【0002】

炭化珪素(SiC)半導体を用いた半導体装置(以下、炭化珪素半導体装置とする)では、熱拡散法により任意の導電型の不純物半導体領域を形成することが困難である。このため、任意の導電型の不純物半導体領域の形成には、イオン注入法が用いられている。さらに、イオン注入後に高温で活性化熱処理を行い、注入したドーパントを炭化珪素半導体の格子点に置換してキャリアを発生させることで、不純物半導体領域を任意の導電型半導体として動作させる。しかしながら、イオン注入により不純物濃度の高い不純物半導体領域を形成した場合、高温の活性化処理によって、炭化珪素半導体基板に存在する格子欠陥に悪影響を及ぼし、電気特性に悪影響が生じることが報告されている(例えば、下記非特許文献1参照。)

30

【0003】

例えば、炭化珪素半導体装置として高耐圧MOSFET(Metal Oxide Semiconductor Field Effect Transistor:絶縁ゲート型電界効果トランジスタ)を作製(製造)した場合(例えば、下記非特許文献2参照。)、次の問題がある。通常、p型ベース領域は、イオン注入により形成される。p型ベース領域の不純物濃度が低い場合、低電圧で基板表面まで空乏化してしまうため、高耐圧が得られない。また、p型ベース領域の不純物濃度が高い場合、上述したように格子欠陥の悪影響が表れてリーク電流が増大する。これらの問題は、p型ベース領域の厚さを厚くすることで回避可能である。

40

【0004】

しかしながら、例えばイオン注入装置などの製造装置の性能によってp型ベース領域の厚さ(深さ)に制限が生じるため、p型ベース領域の厚さを厚くすることは現実的ではない。また、p型ベース領域はn<sup>-</sup>型ドリフト層の表面層に形成されるため、p型ベース領

50

域の厚さを見込んでn<sup>+</sup>型ドリフト層の厚さを厚くする必要があり、コスト増を引き起こす。したがって、現状では、p型ベース領域の厚さ以外の条件を限定することで炭化珪素半導体を用いたMOSFETを作製することが一般的である(例えば、下記特許文献1(第0053段落)および下記特許文献2(第0064段落)参照。)

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-308510号公報

【特許文献2】特許第5408248号公報

【非特許文献】

【0006】

【非特許文献1】ティー・ツジ(T. Tsuji)、外11名、アナライズ オブ ハイリーケージ カレンツ イン Al+ インプランティド 4H SiC pn ダイオードズ コーズド パイ スレッディング スクリュー ディスロケーションズ (Analyses of High Leakage Currents in Al+ Implanted 4H SiC pn Diodes Caused by Threading Screw Dislocations)、マテリアルズ サイエンス フォーラム (Materials Science Forum)、2010年、第645-648巻、p. 913-916

【非特許文献2】ビー・ジャヤン・バリガ(B. Jayant Baliga)著、シリコン カーバイド パワー デバイシズ (Silicon Carbide Power Devices)、(米国)、ワールド サイエンティフィック パブリッシング カンパニー (World Scientific Publishing Co.)、2006年3月30日、p. 260

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上述したp型ベース領域の条件を限定する方法では、装置性能によりp型ベース領域の条件が好適な条件から外れる可能性が高く、歩留りが低下する。また、高耐圧素子では、p型ベース領域の不純物濃度は高くする必要のあるため、上述したようにリーク電流が増大する。このため、リーク電流を抑制した素子を作製することは困難である。

【0008】

この発明は、上述した従来技術による問題点を解消するため、リーク電流を抑制し、かつ高耐圧化を図ることができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。炭化珪素半導体からなる第1導電型の半導体基板のおもて面に、前記半導体基板よりも不純物濃度の低い炭化珪素半導体からなる第1導電型の第1半導体層が設けられている。前記第1半導体層の、前記半導体基板側に対して反対側の表面層に、第2導電型の第1半導体領域が選択的に設けられている。前記第1半導体領域の内部に、第1導電型の第2半導体領域が選択的に設けられている。前記第1半導体領域の、前記第1半導体層と前記第2半導体領域とに挟まれた部分の表面上に、ゲート絶縁膜を介してゲート電極が設けられている。第1電極は、前記第1半導体領域および前記第2半導体領域に電氣的に接続されている。前記半導体基板の裏面に、第2電極が設けられている。第2導電型の第4半導体領域は、前記第1半導体領域の周囲を囲む。前記第4半導体領域は、前記第1半導体領域よりも不純物濃度が低い。前記第1半導体領域は、第1半導体部、第2半導体部および第3半導体部からなる。前記第1半導体部は、前記ゲート絶縁膜を介して深さ方向に前記ゲート電極と対向する。前記第1半導体部は、前記第1半導体層の表面

10

20

30

40

50

層から所定深さに達し、かつ内部に前記第2半導体領域を有する。前記第2半導体部は、前記第1半導体部よりも前記第2電極側に設けられ、深さ方向において前記第1半導体部に隣接する。前記第2半導体部は、前記第1半導体部よりも不純物濃度が高い。前記第3半導体部は、前記第2半導体部の内部に選択的に設けられ、深さ方向に前記第2半導体領域に対向し、かつ前記第1半導体層と前記第2半導体領域とに挟まれた部分へ突出する。前記第3半導体部は、前記第2半導体部よりも不純物濃度が高い。前記第4半導体領域に接する前記第1半導体領域内の前記第3半導体部が前記第4半導体領域に接する。

【0011】

また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体部は、前記第1電極側で前記第1半導体部に接し、前記第2電極側の周囲を前記第2半導体部に

10

【0012】

また、この発明にかかる半導体装置は、上述した発明において、前記第2半導体部の不純物濃度は、前記第3半導体部の不純物濃度の0.1倍以下であることを特徴とする。

【0013】

また、この発明にかかる半導体装置は、上述した発明において、前記第3半導体部の、前記第1半導体層と前記第2半導体部とに挟まれた部分の幅は0.1 $\mu$ m以上であることを特徴とする。

【0015】

また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板のおもて面は、(000-1)面に平行な面または(000-1)面に対して10度以下に傾いた面であることを特徴とする。

20

【0016】

また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板のおもて面は、(0001)面に平行な面または(0001)面に対して10度以下に傾いた面であることを特徴とする。

【0017】

上述した発明によれば、第2半導体部の内部に、第2半導体部よりも不純物濃度の高い第3半導体部を設けることにより、低電圧で基体表面まで空乏化してしまうことを抑制することができる。これにより、耐圧が低下することを抑制することができ、高耐圧化を図ることができる。また、上述した発明によれば、第3半導体部の周囲を、第3半導体部よりも不純物濃度の低い第2半導体部で囲むことで、高濃度不純物イオン注入起因の結晶欠陥により高リーク電流を引き起こしやすい第3半導体部への電界負荷を緩和できる。これによって、結晶欠陥の悪影響によりリーク電流が増大することを防止することができる。

30

【発明の効果】

【0018】

本発明にかかる半導体装置によれば、高耐圧および低リーク電流を実現することができる。これにより、半導体製造装置の性能によらず、歩留り高く高耐圧の半導体装置を製作(製造)することができるという効果を奏する。

【図面の簡単な説明】

40

【0019】

【図1】実施の形態1にかかる炭化珪素半導体装置の構成を示す断面図である。

【図2】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

【図3】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

【図4】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

【図5】実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

50

【図6】比較例1の炭化珪素半導体装置の構成を示す断面図である。

【図7】実施例1にかかる炭化珪素半導体装置のリーク電流特性を示す度数分布図である。

【図8】実施例1にかかる炭化珪素半導体装置のp型ベース領域の不純物濃度比とリーク電流との関係を示す特性図である。

【図9】実施の形態2にかかる炭化珪素半導体装置の構成を示す断面図である。

【図10】比較例2の炭化珪素半導体装置の構成を示す断面図である。

【図11】実施例2にかかる炭化珪素半導体装置のリーク電流特性を示す度数分布図である。

【図12】実施例2にかかる炭化珪素半導体装置のp型ベース領域の不純物濃度比とリーク電流との関係を示す特性図である。

【発明を実施するための形態】

【0020】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めたnやpの表記が同じ場合、それぞれそれが付された層や領域が近い不純物濃度を有することを意味しており、不純物濃度が同等であるとは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

【0021】

(実施の形態1)

実施の形態1にかかる半導体装置は、シリコン(Si)半導体よりもバンドギャップの広い半導体(以下、ワイドバンドギャップ半導体とする)を用いて構成される。実施の形態1においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)半導体を用いた炭化珪素半導体装置について、MOSFET(以下、炭化珪素MOSFETとする)を例に説明する。図1は、実施の形態1にかかる炭化珪素半導体装置の構成を示す断面図である。図1に示すように、実施の形態1にかかる炭化珪素半導体装置は、n<sup>+</sup>型炭化珪素基板(半導体基板)1の主面上にn型炭化珪素エピタキシャル層(第1半導体層)2を積層してなる炭化珪素エピタキシャル基板(半導体チップ)を用いて構成される。

【0022】

n<sup>+</sup>型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板であり、n<sup>+</sup>型ドレイン層を構成する。n<sup>+</sup>型炭化珪素基板1の主面(おもて面)は、例えば、(000-1)面、または、<11-20>方向に10度以下程度のオフ角を有する(000-1)面であってもよい。n型炭化珪素エピタキシャル層2は、n<sup>+</sup>型炭化珪素基板1よりも低い不純物濃度で例えば窒素がドーピングされてなり、n型ドリフト層を構成する。以下、n<sup>+</sup>型炭化珪素基板1単体、またはn<sup>+</sup>型炭化珪素基板1上にn型炭化珪素エピタキシャル層2を積層してなる炭化珪素エピタキシャル基板を炭化珪素半導体基体とする。ここでは、n<sup>+</sup>型炭化珪素基板1上にn型炭化珪素エピタキシャル層2を積層してなる炭化珪素エピタキシャル基板を炭化珪素半導体基体とする場合を例に説明する。

【0023】

炭化珪素半導体基体上には、活性領域101と、活性領域101の周囲を囲む耐压構造部102とが設けられている。活性領域101は、オン状態のときに電流が流れる領域である。耐压構造部102は、炭化珪素半導体基体のおもて面側の電界を緩和し耐压を保持する領域である。活性領域101において、炭化珪素半導体基体のおもて面側(n型炭化珪素エピタキシャル層2側)には、プレーナゲート型のMOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造が設けられている。

10

20

30

40

50

## 【 0 0 2 4 】

MOSゲート構造は、p型ベース領域（第1半導体領域）3、n<sup>+</sup>型ソース領域（第2半導体領域）6、p<sup>+</sup>型コンタクト領域7、ゲート絶縁膜8およびゲート電極9からなる。具体的には、n型炭化珪素エピタキシャル層2の、n<sup>+</sup>型炭化珪素基板1側に対して反対側（炭化珪素半導体基体のおもて面側）の表面層には、p型ベース領域3が選択的に設けられている。p型ベース領域3は、それぞれ不純物濃度が異なり、かつ互いに接する第1p型ベース領域（第1半導体部）3a、第2p型ベース領域（第2半導体部）3bおよび第3p<sup>+</sup>型ベース領域（第3半導体部）3cからなる。第1p型ベース領域3a、第2p型ベース領域3bおよび第3p<sup>+</sup>型ベース領域3cは、イオン注入により例えばアルミニウム（Al）がドーピングされてなる拡散領域である。

10

## 【 0 0 2 5 】

第1p型ベース領域3aは、基体おもて面に露出されるように配置されている。第2p型ベース領域3bは、深さ方向に第1p型ベース領域3aに対向するように配置され、第1p型ベース領域3aの基体裏面側に接する。第1p型ベース領域3aの不純物濃度は、第2p型ベース領域3bの不純物濃度よりも低い。これにより、p型ベース領域の総不純物濃度が低い場合であってもp型ベース領域全体が空乏化することを抑制することができる。また、p型ベース領域の総不純物濃度が高い場合であってもMOSゲートを動作させることができる。このため、p型ベース領域の総不純物濃度の許容範囲を広くすることができる。第3p<sup>+</sup>型ベース領域3cは、第1p型ベース領域3aと第2p型ベース領域3bとの間に挟まれるように、第2p型ベース領域3bの内部に選択的に設けられている。すなわち、第3p<sup>+</sup>型ベース領域3cは、基体おもて面側で第1p型ベース領域3aに接するとともに、基体裏面側の周囲を第2p型ベース領域3bに囲まれている。

20

## 【 0 0 2 6 】

第3p<sup>+</sup>型ベース領域3cの不純物濃度は、第2p型ベース領域3bの不純物濃度よりも高い。具体的には、第3p<sup>+</sup>型ベース領域3cの不純物濃度に対する第2p型ベース領域3bの不純物濃度の比率は例えば0.1以下程度であることが好ましい（第2p型ベース領域3bの不純物濃度/第3p<sup>+</sup>型ベース領域3cの不純物濃度 0.1）。その理由は、故障や動作不良などリーク電流による悪影響を生じさせない程度にリーク電流を低減させることができる。第3p<sup>+</sup>型ベース領域3cの、n型炭化珪素エピタキシャル層2と第2p型ベース領域3bとに挟まれた部分の幅w4は例えば0.1μm以上程度であることが好ましい。その理由は、第2p型ベース領域3bを空乏化させることにより、高濃度不純物イオン注入起因の結晶欠陥により高リーク電流を引き起こしやすい第3p<sup>+</sup>型ベース領域3cへの電界負荷を緩和できるからである。

30

## 【 0 0 2 7 】

第1p型ベース領域3aの内部には、基体おもて面にn<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7が選択的に設けられている。n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7は第3p<sup>+</sup>型ベース領域3cに達してもよい。n<sup>+</sup>型ソース領域6は、第1p型ベース領域3aの端部（基体主面に水平な方向（横方向）の端部）寄りに配置されている。p<sup>+</sup>型コンタクト領域7は、n<sup>+</sup>型ソース領域6よりも第1p型ベース領域3aの中央付近に配置されている。n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7は互いに接する。第1p型ベース領域3aの、n<sup>+</sup>型ソース領域6とn型炭化珪素エピタキシャル層2とに挟まれた部分の表面上には、ゲート絶縁膜8を介してゲート電極9が設けられている。

40

## 【 0 0 2 8 】

ゲート電極9は、ゲート絶縁膜8を介して、n型炭化珪素エピタキシャル層2の、隣り合う第1p型ベース領域3a間に挟まれた部分の表面上にわたって設けられていてもよい。図1には、活性領域101の2つの単位セル103（素子の機能単位）を構成する1つのMOSゲート構造を示すが、この単位セルに隣接するように並列に複数の単位セル（不図示）が配置されていてもよい（図9においても同様）。ゲート電極9の上には、炭化珪素半導体基体のおもて面側の全面に、ゲート電極9を覆うように層間絶縁膜10が設けられている。

50

## 【0029】

層間絶縁膜10を深さ方向に貫通するコンタクトホールには、 $n^+$ 型ソース領域6および $p^+$ 型コンタクト領域7が露出されている。ソース電極(第1電極)11は、コンタクトホール内に設けられ、コンタクトホールに露出する $n^+$ 型ソース領域6および $p^+$ 型コンタクト領域7に接する。また、ソース電極11は、層間絶縁膜10によってゲート電極9と電氣的に絶縁されている。ソース電極11および層間絶縁膜10上には、おもて面電極パッド12が設けられている。おもて面電極パッド12は、活性領域101のほぼ全体に設けられている。おもて面電極パッド12の端部は、耐压構造部102の層間絶縁膜10上に延在している。

## 【0030】

耐压構造部102において、 $n$ 型炭化珪素エピタキシャル層2の、 $n^+$ 型炭化珪素基板1側に対して反対側の表面層には、第1 $p^-$ 型領域5aおよび第2 $p^-$ 型領域5bが設けられている。第1 $p^-$ 型領域5aは、最も耐压構造部102側の単位セルを構成する $p$ 型ベース領域3に接し、活性領域101の周囲を囲む。第1 $p^-$ 型領域5aは、 $p$ 型ベース領域3を構成する第1 $p$ 型ベース領域3a、第2 $p$ 型ベース領域3bおよび第3 $p^+$ 型ベース領域3cの全てに接していてもよいし、これら第1 $p$ 型ベース領域3a、第2 $p$ 型ベース領域3bおよび第3 $p^+$ 型ベース領域3cのうちのいずれか1つまたは2つに接してもよい。

## 【0031】

第2 $p^-$ 型領域5bは、第1 $p^-$ 型領域5aの外側(チップ外周側)の端部に接し、第1 $p^-$ 型領域5aの周囲を囲む。すなわち、 $p$ 型ベース領域3、第1 $p^-$ 型領域5aおよび第2 $p^-$ 型領域5bは、活性領域101側から耐压構造部102側へ向う方向に順に並列に、かつ接するように配置されている。第1 $p^-$ 型領域5aの不純物濃度は、第2 $p$ 型ベース領域3bの不純物濃度よりも低い。第2 $p^-$ 型領域5bの不純物濃度は、第1 $p^-$ 型領域5aの不純物濃度よりも低い。第1 $p^-$ 型領域5aおよび第2 $p^-$ 型領域5bは、ダブルゾーンJTE(Junction Termination Extension)構造を構成する。ダブルゾーンJTE構造とは、不純物濃度の異なる2つの $p$ 型領域が接するように横方向に並列された構成のJTE構造である。

## 【0032】

第1 $p^-$ 型領域5aおよび第2 $p^-$ 型領域5b上には、層間絶縁膜10が設けられている。第1 $p^-$ 型領域5aおよび第2 $p^-$ 型領域5bは、層間絶縁膜10によって活性領域101の素子構造と電氣的に絶縁されている。層間絶縁膜10上には、耐压構造部102のほぼ全体を覆うように、例えばポリイミドからなるパッシベーション膜などの保護膜13が設けられている。保護膜13は、放電防止の機能を有する。保護膜13の端部は、おもて面電極パッド12上に延在し、おもて面電極パッド12の端部を覆う。 $n^+$ 型炭化珪素基板1の、 $n$ 型炭化珪素エピタキシャル層2側に対して反対側の表面(炭化珪素半導体基体の裏面)には、裏面電極(第1電極)14が設けられている。裏面電極14は、ドレイン電極を構成する。裏面電極14の表面には、裏面電極パッド15が設けられている。

## 【0033】

次に、実施の形態1にかかる半導体装置の製造方法について、例えば1200Vの耐压クラスの炭化珪素MOSFETを作製する場合を例に説明する。図2~5は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。まず、例えば $2 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度で窒素がドーピングされた $n^+$ 型炭化珪素基板(半導体ウエハ)1を用意する。 $n^+$ 型炭化珪素基板1の主面は、例えば $\langle 11-20 \rangle$ 方向に4度程度のオフ角を有する(000-1)面であってもよい。次に、 $n^+$ 型炭化珪素基板1の(000-1)面上に、例えば $1.0 \times 10^{16} / \text{cm}^3$ 程度の不純物濃度で窒素がドーピングされた厚さ10 $\mu\text{m}$ の $n$ 型炭化珪素エピタキシャル層2を成長させる。ここまでの状態が図2に示されている。

## 【0034】

次に、 $n$ 型炭化珪素エピタキシャル層2上に酸化膜(不図示)を堆積(形成)する。次

10

20

30

40

50

に、フォトリソグラフィおよびエッチングにより、p型ベース領域3の形成領域に対応する部分の酸化膜を除去する。次に、この酸化膜の残部をマスクとして加速電圧の異なる2回のイオン注入を行い、n型炭化珪素エピタキシャル層2の表面層に、第1, 2 p型ベース領域3a, 3bをそれぞれ選択的に形成する。このイオン注入においては、例えば、ドーパントをアルミニウムとし、第1, 2 p型ベース領域3a, 3bの不純物濃度がそれぞれ $1.0 \times 10^{16} / \text{cm}^3$ および $2.0 \times 10^{16} / \text{cm}^3$ となるようにドーズ量を設定してもよい。また、第2 p型ベース領域3bの基体おもて面からの深さが第1 p型ベース領域3aの基体おもて面からの深さよりも深くなるように各イオン注入の加速電圧を適宜設定する。第1 p型ベース領域3aの幅 $w_1$ および厚さ $t_1$ は、それぞれ $1.3 \mu\text{m}$ および $0.2 \mu\text{m}$ であってもよい。第2 p型ベース領域3bの幅 $w_2$ および厚さ $t_2$ は、それぞれ $1.3 \mu\text{m}$ および $0.3 \mu\text{m}$ であってもよい。隣り合うp型ベース領域3間の距離 $w_5$ は、例えば $2 \mu\text{m}$ であってもよい。

#### 【0035】

次に、第1, 2 p型ベース領域3a, 3bの形成に用いた酸化膜上に、さらに酸化膜(不図示)を堆積する。この追加で堆積した酸化膜の厚さは、例えば $0.1 \mu\text{m}$ であってもよい。次に、フォトリソグラフィおよびエッチングにより、第3 p<sup>+</sup>型ベース領域3cの形成領域に対応する部分の酸化膜を除去する。次に、この酸化膜の残部をマスクとしてイオン注入を行い、第2 p型ベース領域3bの内部に第3 p<sup>+</sup>型ベース領域3cを形成する。このイオン注入においては、例えば、ドーパントをアルミニウムとし、第3 p<sup>+</sup>型ベース領域3cの不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ となるようにドーズ量を設定してもよい。また、第3 p<sup>+</sup>型ベース領域3cの基体おもて面からの深さが第1 p型ベース領域3aの基体おもて面からの深さよりも深くなるようにイオン注入の加速電圧を適宜設定する。第3 p<sup>+</sup>型ベース領域3cの幅 $w_3$ および厚さ $t_3$ は、それぞれ $1.2.8 \mu\text{m}$ および $0.2 \mu\text{m}$ であってもよい。第3 p<sup>+</sup>型ベース領域3cの、n型炭化珪素エピタキシャル層2と第2 p型ベース領域3bとに挟まれた部分の幅 $w_4$ は例えば $0.1 \mu\text{m}$ であってもよい。そして、p型ベース領域3の形成に用いた酸化膜の残部を全て除去する。ここまでの状態が図3に示されている。

#### 【0036】

次に、フォトリソグラフィにより、基体おもて面上に、第1 p<sup>-</sup>型領域5aの形成領域に対応する部分が開口したレジストマスク(不図示)を形成する。次に、このレジストマスクをマスクとしてイオン注入を行い、n型炭化珪素エピタキシャル層2の表面層に第1 p<sup>-</sup>型領域5aを選択的に形成する。このイオン注入は、例えば、ドーパントをアルミニウムとし、ドーズ量を $2.0 \times 10^{13} \text{cm} / ^2$ としてもよい。そして、第1 p<sup>-</sup>型領域5aの形成に用いたレジストマスクを除去する。次に、フォトリソグラフィにより、基体おもて面上に、第2 p<sup>-</sup>型領域5bの形成領域に対応する部分が開口したレジストマスク(不図示)を形成する。このレジストマスクをマスクとしてイオン注入を行い、n型炭化珪素エピタキシャル層2の表面層に第2 p<sup>-</sup>型領域5bを選択的に形成する。このイオン注入は、例えば、ドーパントをアルミニウムとし、ドーズ量を $1.0 \times 10^{13} \text{cm} / ^2$ としてもよい。そして、第2 p<sup>-</sup>型領域5bの形成に用いたレジストマスクを除去する。ここではイオン注入マスクとしてレジストを利用したが、酸化膜等の他の物質を利用してもよい。また、イオン注入時の基板の温度は室温でなくてもよい。

#### 【0037】

次に、フォトリソグラフィにより、基体おもて面上に、n<sup>+</sup>型ソース領域6の形成領域に対応する部分が開口したレジストマスク(不図示)を形成する。次に、このレジストマスクをマスクとしてイオン注入を行い、第1 p型ベース領域3aの表面層にn<sup>+</sup>型ソース領域6を選択的に形成する。そして、n<sup>+</sup>型ソース領域6の形成に用いたレジストマスクを除去する。次に、フォトリソグラフィにより、基体おもて面上に、p<sup>+</sup>型コンタクト領域7の形成領域に対応する部分が開口したレジストマスク(不図示)を形成する。次に、このレジストマスクをマスクとしてイオン注入を行い、第1 p型ベース領域3aの表面層にp<sup>+</sup>型コンタクト領域7を選択的に形成する。そして、p<sup>+</sup>型コンタクト領域7の形成に

10

20

30

40

50

用いたレジストマスクを除去する。これにより、第1 p型ベース領域3 aの内部に、n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7が選択的に形成される。ここではイオン注入マスクとしてレジストを利用したが、酸化膜等の他の物質を利用してもよい。また、イオン注入時の基板の温度は室温でなくてもよい。

#### 【0038】

第1 p型ベース領域3 a、第2 p型ベース領域3 b、第3 p<sup>+</sup>型ベース領域3 c、第1 p<sup>-</sup>型領域5 aおよび第2 p<sup>-</sup>型領域5 bを形成する順序は種々変更可能である。また、n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7はp型ベース領域3の形成後に形成されればよく、n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7を形成する順序は種々変更可能である。次に、熱処理（アニール）により、第1 p型ベース領域3 a、第2 p型ベース領域3 b、第3 p<sup>+</sup>型ベース領域3 c、n<sup>+</sup>型ソース領域6、p<sup>+</sup>型コンタクト領域7、第1 p<sup>-</sup>型領域5 aおよび第2 p<sup>-</sup>型領域5 bを活性化させる。このときの熱処理温度および熱処理時間は、例えば、それぞれ1750 および2分間であってもよい。活性化のための熱処理は、n型炭化珪素エピタキシャル層2に各領域を形成するごとに行ってもよい。ここまでの状態が図4に示されている。

10

#### 【0039】

次に、炭化珪素半導体基板のおもて面を熱酸化して、例えば100 nmの厚さのゲート絶縁膜8を形成する。この熱酸化は、例えば、酸素（O<sub>2</sub>）雰囲気中において1000程度の温度の熱処理によって行ってもよい。これにより、n型炭化珪素エピタキシャル層2の表面層に形成された各領域がゲート絶縁膜8で覆われる。次に、ゲート絶縁膜8上に、ゲート電極9として、例えばリン（P）がドーブされた多結晶シリコン（poly-Si）層を形成する。次に、この多結晶シリコン層をパターニングして選択的に除去し、第1 p型ベース領域3 aの、n<sup>+</sup>型ソース領域6とn型炭化珪素エピタキシャル層2とに挟まれた部分の表面上に多結晶シリコン層を残す。このとき、n型炭化珪素エピタキシャル層2の、隣り合う第1 p型ベース領域3 a間に挟まれた部分の表面上にわたって多結晶シリコン層を残してもよい。

20

#### 【0040】

次に、基板おもて面全面に、ゲート電極9を覆うように、例えば1 μm程度の厚さの層間絶縁膜10を成膜（形成）する。層間絶縁膜10は、例えばPSG（Phospho Silicate Glass）やBPSG（Boro Phospho Silicate Glass）などのリンガラスからなる酸化シリコン（SiO<sub>2</sub>）膜であってもよいし、ノンドーブの酸化シリコン膜（NSG：Nondoped Silicate Glass）であってもよい。ここまでの状態が図5に示されている。次に、層間絶縁膜10およびゲート絶縁膜8をパターニングして選択的に除去してコンタクトホールを形成することで、n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7を露出させる。次に、層間絶縁膜10を平坦化するための熱処理（リフロー）を行う。

30

#### 【0041】

次に、層間絶縁膜10の表面に、コンタクトホール内に埋め込むようにソース電極11を形成する。これにより、コンタクトホールに露出されたn<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7にソース電極11が接続される。次に、ソース電極11の、耐压構造部102上および活性領域101上のコンタクトホール以外の部分を選択的に除去する。このとき、ソース電極11の一部がコンタクトホールの側面や層間絶縁膜10の表面に部分的に残っていてもよい。

40

#### 【0042】

次に、n<sup>+</sup>型炭化珪素基板1の表面（炭化珪素半導体基板の裏面）に、裏面電極14として例えばニッケル（Ni）膜を成膜する。次に、例えば970程度の温度で熱処理により、n<sup>+</sup>型炭化珪素基板1と裏面電極14とのオーミックコンタクト（電氣的接触部）を形成する。次に、例えばスパッタ法によって、炭化珪素半導体基板のおもて面の全面におもて面電極パッド12を堆積する。おもて面電極パッド12として、例えば、1%の割合でシリコンを含んだアルミニウム（Al-Si）層を形成してもよい。次に、おもて面

50

電極パッド12をパターンングして選択的に除去し、ソース電極11および活性領域101の層間絶縁膜10上におもて面電極パッド12を残す。おもて面電極パッド12の層間絶縁膜10上の部分の厚さは、例えば5 $\mu$ m程度であってもよい。

#### 【0043】

次に、炭化珪素半導体基体のおもて面全面に保護膜13を形成する。次に、保護膜13をパターンングしておもて面電極パッド12を露出させ、耐压構造部102の層間絶縁膜10上に、おもて面電極パッド12の端部を覆うように保護膜13を残す。次に、裏面電極14の表面に、例えばチタン(Ti)膜、ニッケル(Ni)膜および金(Au)膜を順に積層してなる裏面電極パッド15を形成する。その後、半導体ウエハをチップ状にダイシング(切断)することにより、図1に示す炭化珪素MOSFETが完成する。

10

#### 【0044】

(実施例1)

次に、実施の形態1にかかる半導体装置のリーク電流特性について検証した。図6は、比較例1の炭化珪素半導体装置の構成を示す断面図である。図7は、実施例1にかかる炭化珪素半導体装置のリーク電流特性を示す度数分布図(ヒストグラム)である。図8は、実施例1にかかる炭化珪素半導体装置のp型ベース領域の不純物濃度比とリーク電流との関係を示す特性図である。図7の縦軸には試料数を示し、横軸には各試料のリーク電流値区分を示す。図7には、 $1.0 \times 10^{-13}$  [A] ~  $1.0 \times 10^{-2}$  [A]の範囲内のリーク電流値を $1.0 \times 10$  [A]ごとのデータ群に区分して示している(図11においても同様)。図8の横軸にはp型ベース領域3の不純物濃度比を示し、縦軸には図7に示す実施例1において度数(試料の個数)の多いリーク電流値区分の値(以下、リーク電流値区分の最頻値とする)を示す。p型ベース領域3の不純物濃度比とは、第3p<sup>+</sup>型ベース領域3cの不純物濃度に対する第2p型ベース領域3bの不純物濃度の比率(=第2p型ベース領域3bの不純物濃度/第3p<sup>+</sup>型ベース領域3cの不純物濃度)である。

20

#### 【0045】

まず、上述した実施の形態1にかかる半導体装置の製造方法にしたがい、例示した上記諸条件で第1p型ベース領域3a、第2p型ベース領域3bおよび第3p<sup>+</sup>型ベース領域3cからなるp型ベース領域3を備えたMOSFET(図1参照)を作製した(以下、実施例1とする)。比較として、図6に示すように、深さ方向に一樣な不純物濃度で形成されたp型ベース領域23を備えたMOSFETを作製した(以下、比較例1とする)。比較例1のp型ベース領域23の不純物濃度は、実施例1の第2p型ベース領域3bの不純物濃度と等しい。比較例1のp型ベース領域23以外の構成は、実施例1と同様である。これら実施例1および比較例1をそれぞれ複数作製し、各試料それぞれのリーク電流を測定した。具体的には、ソース電極11およびゲート電極9を接地電位(0V)とし、裏面電極パッド15に1200Vの電圧を印加したときのリーク電流を測定している。その結果を図7, 8に示す。

30

#### 【0046】

図7に示す結果より、比較例1では、 $1.0 \times 10^{-6}$  [A]オーダーのリーク電流を発生させた試料の個数が最も多いことが確認された。一方、実施例1においては、 $1.0 \times 10^{-9}$  [A]オーダーのリーク電流を発生させた試料の個数が最も多く、比較例1よりもリーク電流特性が改善されることが確認された。また、図8に示す結果より、実施例1において、第3p<sup>+</sup>型ベース領域3cの不純物濃度に対する第2p型ベース領域3bの不純物濃度比を0.1以下とすることで、故障や動作不良などを生じさせない $1.0 \times 10^{-8}$  [A]オーダー以下程度にリーク電流を低減させる効果があらわれることが確認された。

40

#### 【0047】

以上、説明したように、実施の形態1によれば、第2p型ベース領域の内部に、第2p型ベース領域よりも不純物濃度の高い第3p<sup>+</sup>型ベース領域を設けることにより、低電圧で基体表面まで空乏化してしまうことを抑制することができる。これにより、耐压が低下することを抑制することができ、高耐压化を図ることができる。また、実施の形態1によれば、不純物濃度の高い第3p<sup>+</sup>型ベース領域の基体裏面側の周囲を、第3p<sup>+</sup>型ベース領

50

域よりも不純物濃度の低い第2 p型ベース領域で囲むことで、高濃度不純物イオン注入起因の結晶欠陥により高リーク電流を引き起こしやすい第3 p<sup>+</sup>型ベース領域への電界負荷を緩和できる。これにより、p型ベース領域の不純物濃度を部分的に高くしたとしても、結晶欠陥の悪影響によりリーク電流が増大することを防止することができる。したがって、従来のようにp型ベース領域の厚さを厚くすることなく、高耐圧および低リーク電流を実現することができる。このため、製造装置の性能によらず、歩留り高く高耐圧の半導体装置を作製（製造）することができる。また、実施の形態1によれば、従来のようにリーク電流を抑制するためにp型ベース領域の厚さを厚くする必要がないため、n<sup>-</sup>型ドリフト層の厚さを厚くするためコスト増が生じない。

【0048】

10

（実施の形態2）

次に、実施の形態2にかかる半導体装置の構成について、炭化珪素MOSFETを例に説明する。図9は、実施の形態2にかかる炭化珪素半導体装置の構成を示す断面図である。実施の形態2にかかる炭化珪素半導体装置が実施の形態1にかかる炭化珪素半導体装置と異なる点は、n型炭化珪素エピタキシャル層2上に堆積されたp型炭化珪素エピタキシャル層からなる第1 p型ベース領域33aを備える点である。すなわち、実施の形態2においては、エピタキシャル層からなる第1 p型ベース領域33aと、イオン注入による拡散領域である第2 p型ベース領域33bおよび第3 p<sup>+</sup>型ベース領域33cと、でp型ベース領域3が構成される。

【0049】

20

より具体的には、図9に示すように、n型炭化珪素エピタキシャル層2の、n<sup>+</sup>型炭化珪素基板1側に対して反対側（炭化珪素半導体基体のおもて面側）の表面層には、第2 p型ベース領域33bおよび第3 p<sup>+</sup>型ベース領域33cのみが設けられている。第2 p型ベース領域33bおよび第3 p<sup>+</sup>型ベース領域33cは、基体おもて面に露出されている。n型炭化珪素エピタキシャル層2上には、活性領域101全面に、第2 p型ベース領域33bおよび第3 p<sup>+</sup>型ベース領域33cを覆うようにp型炭化珪素エピタキシャル層（第2半導体層）が堆積されている。p型炭化珪素エピタキシャル層は、例えばアルミニウムがドーピングされてなる。このp型炭化珪素エピタキシャル層の、第2 p型ベース領域33bおよび第3 p<sup>+</sup>型ベース領域33c上の部分が第1 p型ベース領域33aである。

【0050】

30

最も耐圧構造部102側に配置された第1 p型ベース領域33aの、耐圧構造部102側の端部は、当該第1 p型ベース領域33aに接する第2 p型ベース領域33b上で終端し、耐圧構造部102の第1 p<sup>-</sup>型領域5a上には延在していない。p型ベース領域3の、第1 p型ベース領域33aをp型炭化珪素エピタキシャル層とする以外の構成は、実施の形態1のp型ベース領域と同様である。p型炭化珪素エピタキシャル層の、隣り合う第1 p型ベース領域33a間に挟まれる部分には、n型領域（第3半導体領域）4が設けられている。n型領域4は、p型炭化珪素エピタキシャル層を深さ方向に貫通してn型炭化珪素エピタキシャル層2に達する。n型領域4は、第3 p<sup>+</sup>型ベース領域33c上にまで延在していてもよい。n型領域4は、n型炭化珪素エピタキシャル層2とともにドリフト領域を構成する。

40

【0051】

第1 p型ベース領域33aの、第2 p型ベース領域33b上の部分の内部には、n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7が選択的に設けられている。n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7は互いに接する。n<sup>+</sup>型ソース領域6は、p<sup>+</sup>型コンタクト領域7よりもn型領域4側に配置されている。p<sup>+</sup>型コンタクト領域7は、例えば第1 p型ベース領域33aを深さ方向に貫通して第2 p型ベース領域33bに達する深さで設けられていてもよい。第1 p型ベース領域33aの、n<sup>+</sup>型ソース領域6とn型領域4とに挟まれた部分の表面上には、ゲート絶縁膜8を介してゲート電極9が設けられている。ゲート電極9は、ゲート絶縁膜8を介して、n型領域4の表面上にわたって設けられていてもよい。

50

## 【0052】

耐压構造部102には、実施の形態1と同様に、ダブルゾーンJTE構造を構成する第1p<sup>-</sup>型領域5aおよび第2p<sup>-</sup>型領域5bが設けられている。実施の形態2においては、第1p<sup>-</sup>型領域5aは、最も耐压構造部102側に配置されたp型ベース領域3を構成する第2p型ベース領域33bおよび第3p<sup>+</sup>型ベース領域33cに接し、第1p型ベース領域33aには接していない。すなわち、第2p型ベース領域33b（第3p<sup>+</sup>型ベース領域33cを含む）、第1p<sup>-</sup>型領域5aおよび第2p<sup>-</sup>型領域5bは、活性領域101側から耐压構造部102側へ向う方向に順に並列に、かつ接するように配置されている。層間絶縁膜10、ソース電極11、おもて面電極パッド12、保護膜13、裏面電極14および裏面電極パッド15の構成は、実施の形態1と同様である。

10

## 【0053】

実施の形態2にかかる半導体装置は、実施の形態1にかかる半導体装置において、n型炭化珪素エピタキシャル層2上に第1p型ベース領域33aとなるp型炭化珪素エピタキシャル層を形成すればよい。具体的には、まず、実施の形態1と同様に、n<sup>+</sup>型炭化珪素基板1上にn型炭化珪素エピタキシャル層2を成長させる工程から、第2p型ベース領域33bおよび第3p<sup>+</sup>型ベース領域33cを形成する工程までを順に行う。このとき、実施の形態1における第1p型ベース領域の形成工程は行わない。また、n型炭化珪素エピタキシャル層2の表面に第2p型ベース領域33bおよび第3p<sup>+</sup>型ベース領域33cが露出されるようにイオン注入の加速電圧を適宜設定する。

## 【0054】

次に、実施の形態1と同様に、第1p<sup>-</sup>型領域5aおよび第2p<sup>-</sup>型領域5bの形成工程を行う。次に、n型炭化珪素エピタキシャル層2上に、第2p型ベース領域33bおよび第3p<sup>+</sup>型ベース領域33cを覆うように、第1p型ベース領域33aとなるp型炭化珪素エピタキシャル層を成長させる。次に、p型炭化珪素エピタキシャル層の、第1p型ベース領域33aとなる部分に、n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7をそれぞれ選択的に形成する。n<sup>+</sup>型ソース領域6およびp<sup>+</sup>型コンタクト領域7の形成方法は、実施の形態1と同様である。次に、フォトリソグラフィにより、p型炭化珪素エピタキシャル層上に、n型領域4の形成領域に対応する部分が開口したレジストマスク（不図示）を形成する。

20

## 【0055】

次に、このレジストマスクをマスクとしてイオン注入を行い、p型炭化珪素エピタキシャル層を貫通してn型炭化珪素エピタキシャル層2に達するn型領域4を選択的に形成する。これにより、p型炭化珪素エピタキシャル層の、n型領域4以外の部分が第1p型ベース領域33aとなる。そして、n型領域4の形成に用いたレジストマスクを除去する。次に、p型炭化珪素エピタキシャル層上に、活性領域101を覆うレジストマスク（不図示）を形成する。次に、このレジストマスクをマスクとしてエッチングを行い、耐压構造部102におけるp型炭化珪素エピタキシャル層を除去する。これにより、第1p<sup>-</sup>型領域5aおよび第2p<sup>-</sup>型領域5bが露出される。そして、このエッチング用のレジストマスクを除去する。ここではイオン注入マスクとしてレジストを利用したが、酸化膜等の他の物質を利用してもよい。また、イオン注入時の基板の温度は室温でなくてもよい。

30

40

## 【0056】

次に、実施の形態1と同様に、熱処理により、第1p型ベース領域33a、第2p型ベース領域33b、第3p<sup>+</sup>型ベース領域33c、n型領域4、n<sup>+</sup>型ソース領域6、p<sup>+</sup>型コンタクト領域7、第1p<sup>-</sup>型領域5aおよび第2p<sup>-</sup>型領域5bを活性化させる。活性化のための熱処理は各領域を形成するごとに行ってもよい。また、n<sup>+</sup>型ソース領域6、p<sup>+</sup>型コンタクト領域7およびn型領域4を形成する順序は種々変更可能である。また、これらの領域を形成する前や、活性化のための熱処理の後に、耐压構造部102におけるp型炭化珪素エピタキシャル層を除去する工程を行ってもよい。その後、実施の形態1と同様にゲート絶縁膜8を形成する工程以降を順に行うことで、図9に示す炭化珪素MOSFETが完成する。

50

## 【 0 0 5 7 】

(実施例 2)

次に、実施の形態 2 にかかる半導体装置のリーク電流特性について検証した。図 1 0 は、比較例 2 の炭化珪素半導体装置の構成を示す断面図である。図 1 1 は、実施例 2 にかかる炭化珪素半導体装置のリーク電流特性を示す度数分布図である。図 1 2 は、実施例 2 にかかる炭化珪素半導体装置の p 型ベース領域の不純物濃度比とリーク電流との関係を示す特性図である。図 1 1 の縦軸には試料数を示し、横軸には各試料のリーク電流値区分を示す。図 1 2 の横軸には p 型ベース領域 3 の不純物濃度比を示し、縦軸には図 1 1 のリーク電流値区分の最頻値を示す。p 型ベース領域 3 の不純物濃度比とは、第 3 p<sup>+</sup>型ベース領域 3 3 c の不純物濃度に対する第 2 p 型ベース領域 3 3 b の不純物濃度の比率 (= 第 2 p 型ベース領域 3 3 b の不純物濃度 / 第 3 p<sup>+</sup>型ベース領域 3 3 c の不純物濃度) である。

10

## 【 0 0 5 8 】

まず、上述した実施の形態 2 にかかる半導体装置の製造方法にしたがい、例示した上記諸条件で第 1 p 型ベース領域 3 3 a、第 2 p 型ベース領域 3 3 b および第 3 p<sup>+</sup>型ベース領域 3 3 c からなる p 型ベース領域 3 を備えた MOSFET (図 9 参照) を作製した (以下、実施例 2 とする)。比較として、図 1 0 に示すように、n 型炭化珪素エピタキシャル層 2 の、n<sup>+</sup>型炭化珪素基板 1 側に対して反対側の表面層に第 2 p 型ベース領域 4 3 b のみを備えた MOSFET を作製した (以下、比較例 2 とする)。すなわち、比較例 2 は、エピタキシャル層からなる第 1 p 型ベース領域 4 3 a と、イオン注入による拡散領域である第 2 p 型ベース領域 4 3 b と、で構成された p 型ベース領域 4 3 を備える。比較例 2 の第 2 p 型ベース領域 4 3 b の不純物濃度は、実施例 2 の第 2 p 型ベース領域 3 3 b の不純物濃度と等しい。比較例 2 の p 型ベース領域 4 3 以外の構成は、実施例 2 と同様である。これら実施例 2 および比較例 2 をそれぞれ複数作製し、各試料それぞれのリーク電流を測定した。リーク電流の測定条件は、実施例 1 と同様である。その結果を図 1 1 , 1 2 に示す。

20

## 【 0 0 5 9 】

図 1 1 に示す結果より、比較例 2 では、 $1.0 \times 10^{-7}$  [ A ] オーダーのリーク電流を発生させた試料の個数が最も多いことが確認された。一方、実施例 2 においては、 $1.0 \times 10^{-10}$  [ A ] オーダーのリーク電流を発生させた試料の個数が最も多く、比較例 2 よりもリーク電流特性が改善されることが確認された。また、図 1 2 に示す結果より、実施例 2 においては、第 3 p<sup>+</sup>型ベース領域 3 3 c の不純物濃度に対する第 2 p 型ベース領域 3 3 b の不純物濃度比を 0.1 以下としたときに (第 2 p 型ベース領域 3 3 b の不純物濃度 / 第 3 p<sup>+</sup>型ベース領域 3 3 c の不純物濃度 = 0.1)、さらにリーク電流を低減させる効果があらわれることが確認された。

30

## 【 0 0 6 0 】

以上、説明したように、実施の形態 2 によれば、実施の形態 1 と同様の効果を得ることができる。

## 【 0 0 6 1 】

以上において本発明では、n<sup>+</sup>型炭化珪素基板の主面 (おもて面) を < 1 1 - 2 0 > 方向に 4 度程度のオフ角を有する (0 0 0 - 1) 面とした場合を例に説明したが、これに限らず、n<sup>+</sup>型炭化珪素基板の主面の面方位は設計条件などに合わせて種々変更可能である。例えば、n<sup>+</sup>型炭化珪素基板の主面を (0 0 0 1) 面、または、< 1 1 - 2 0 > 方向に 1 0 度以下程度のオフ角を有する (0 0 0 1) 面であってもよい。また、上述した各実施の形態では、ワイドバンドギャップ半導体として炭化珪素半導体を用いた場合を例に説明しているが、これに限らず、窒化ガリウム (GaN) やダイヤモンドなど他のワイドバンドギャップ半導体においても同様の効果が得られる。また、上述した各実施の形態では、MOSFET を例に説明しているが、本発明は、基体おもて面側に MOS ゲート構造を備えた IGBT (Insulated Gate Bipolar Transistor : 絶縁ゲート型バイポーラトランジスタ) などの MOS 型半導体装置に適用可能である。

40

## 【 0 0 6 2 】

50

また、本発明では、耐压構造としてダブルゾーンJTE構造を備える場合を例に説明しているが、耐压構造部にマルチゾーンJTE構造やFLR (Field Limiting Ring) 構造を適用してもよい。マルチゾーンJTE構造とは、不純物濃度の異なる3つ以上のp型領域を、活性領域側から耐压構造部側へ向う方向に並列に、かつ接するように配置した構造である。FLR構造は、複数のp型領域を活性領域側から耐压構造部側へ向う方向に所定間隔を空けて並列に配置した構造であり、製造の難易度によらず適用可能である。また、上述した実施の形態1では、炭化珪素基板上に炭化珪素エピタキシャル層を堆積した炭化珪素エピタキシャル基板を用いた場合を例に説明しているが、これに限らず、例えばMOSゲート構造を構成するすべての領域を炭化珪素バルク基板の内部に形成した拡散領域としてもよい。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

10

【産業上の利用可能性】

【0063】

以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐压半導体装置に有用である。

【符号の説明】

【0064】

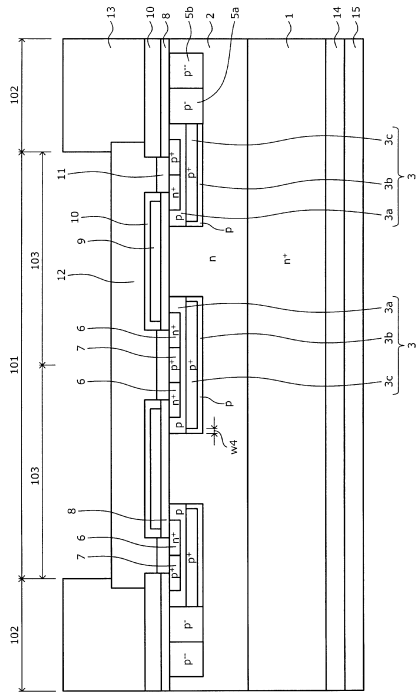
- 1 n<sup>+</sup>型炭化珪素基板
- 2 n型炭化珪素エピタキシャル層
- 3, 23, 43 p型ベース領域
- 3a, 33a, 43a 第1p型ベース領域
- 3b, 33b, 43b 第2p型ベース領域
- 3c, 33c 第3p<sup>+</sup>型ベース領域
- 4 n型領域
- 5a 第1p<sup>-</sup>型領域
- 5b 第2p<sup>-</sup>型領域
- 6 n<sup>+</sup>型ソース領域
- 7 p<sup>+</sup>型コンタクト領域
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 層間絶縁膜
- 11 ソース電極
- 12 おもて面電極パッド
- 13 保護膜
- 14 裏面電極
- 15 裏面電極パッド
- 101 活性領域
- 102 耐压構造部
- 103 単位セル

20

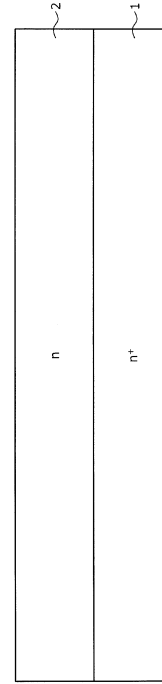
30

40

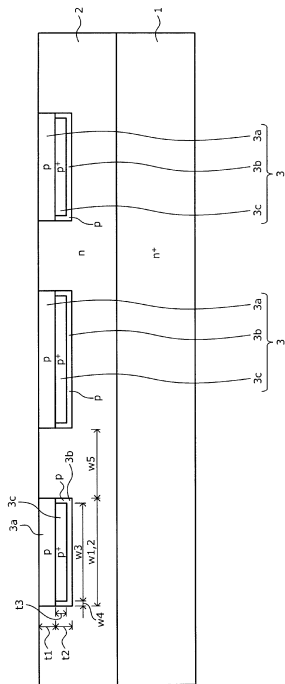
【図 1】



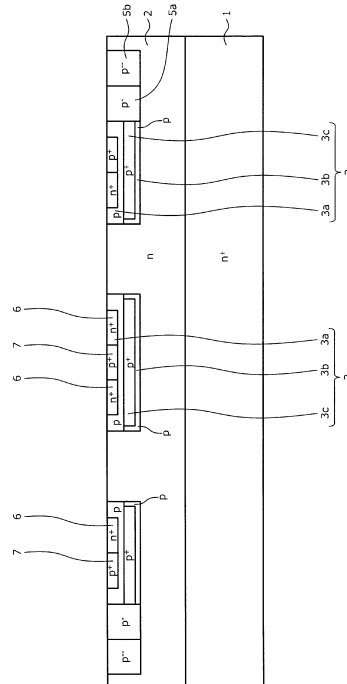
【図 2】



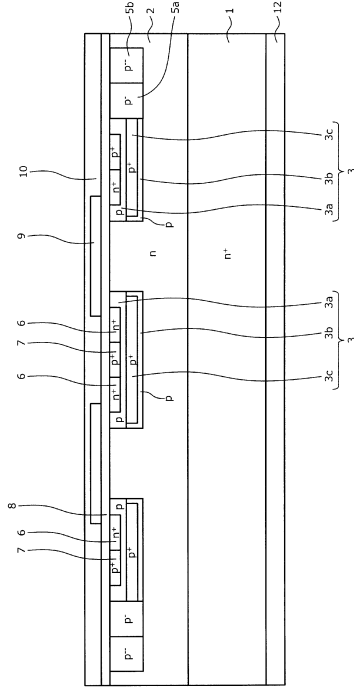
【図 3】



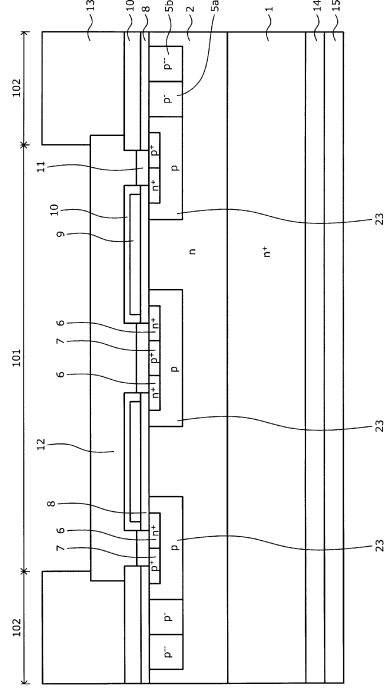
【図 4】



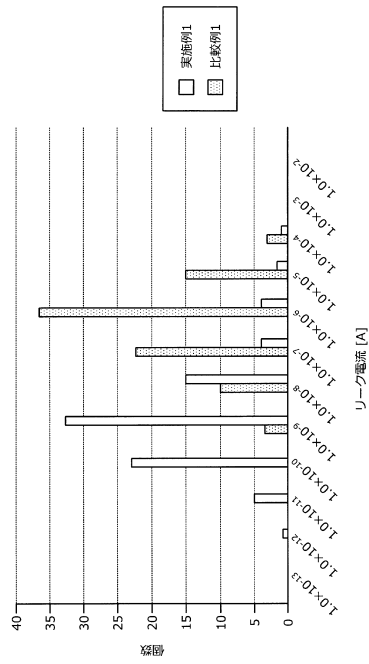
【図5】



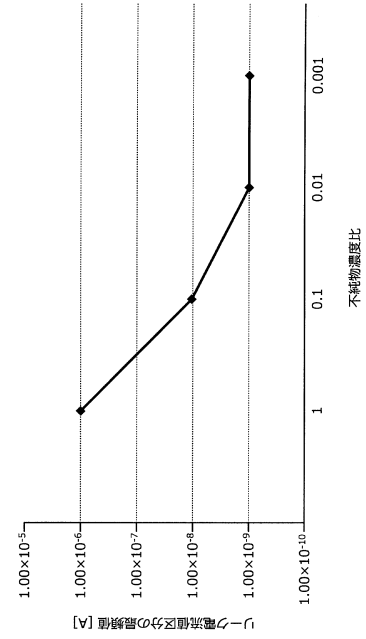
【図6】



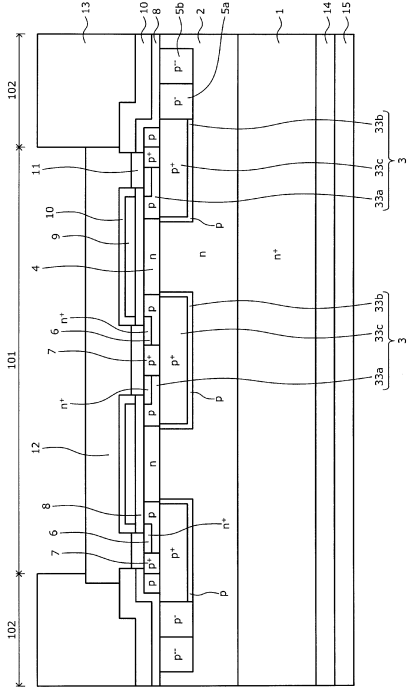
【図7】



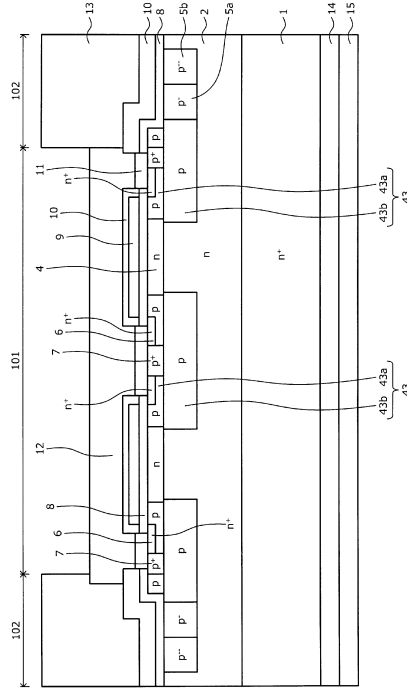
【図8】



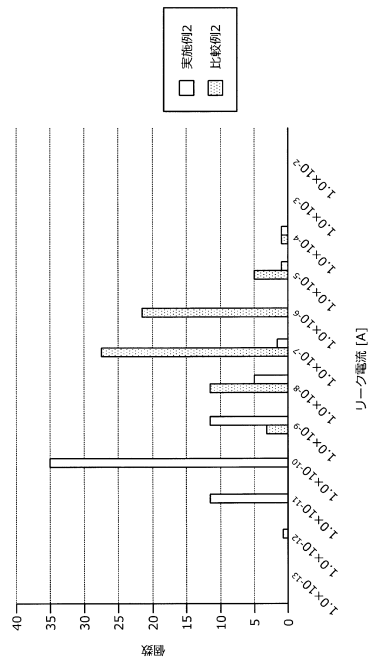
【図9】



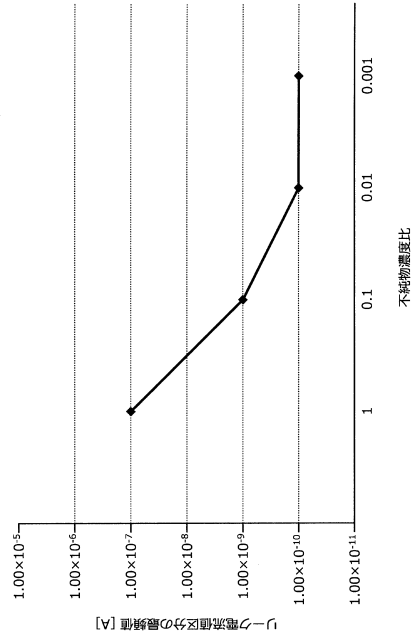
【図10】



【図11】



【図12】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/06 3 0 1 G  
H 0 1 L 29/06 3 0 1 V

(72)発明者 大西 泰彦  
茨城県つくば市東1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

審査官 恩田 和彦

(56)参考文献 特開2013 - 042075 (JP, A)  
国際公開第2011 / 027540 (WO, A1)  
特開2013 - 232561 (JP, A)  
特開2013 - 232562 (JP, A)  
特開2014 - 138048 (JP, A)  
特開平08 - 213598 (JP, A)  
特開昭60 - 202967 (JP, A)  
特許第5408248 (JP, B2)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 9 / 0 6  
H 0 1 L 2 9 / 1 2  
H 0 1 L 2 9 / 7 3 9