

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成28年2月4日(2016.2.4)

【公表番号】特表2015-518625(P2015-518625A)

【公表日】平成27年7月2日(2015.7.2)

【年通号数】公開・登録公報2015-042

【出願番号】特願2015-504840(P2015-504840)

【国際特許分類】

G 1 1 C	19/28	(2006.01)
G 1 1 C	19/00	(2006.01)
G 0 9 G	3/36	(2006.01)
G 0 9 G	3/30	(2006.01)
G 0 9 G	3/20	(2006.01)

【F I】

G 1 1 C	19/28	D
G 1 1 C	19/00	J
G 1 1 C	19/00	G
G 0 9 G	3/36	
G 0 9 G	3/30	H
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/20	6 2 3 H

【手続補正書】

【提出日】平成27年12月9日(2015.12.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

図1AにおけるT1とT2が空乏型トランジスタである場合、出力には比較的大きな歪みが発生する。まず、評価段階では、PU点電圧が高レベルになってT1をオンにさせ、PD点電圧は低レベルVGLになるまで放電されるが、T2の空乏型特性により、T2のVgsがゼロになっても正常にオフにならずに漏えい電流が発生し、即ちT1とT2が同時にオンになり、出力端OUT(n)が出力する高レベルはT1とT2の抵抗分圧によって定まり、通常は正常の必要とされる高レベルよりはるかに低くなり、これにより一段下のシフトレジスタの正常な動作に影響し、後段の失効を招くことがある。次に、リセット段階では、PU点電圧が低レベルであり、PD点電圧が高レベルであり、出力端OUT(n)の出力電圧は低レベルであり、同時にT1が空乏型トランジスタであるため、T1は終始オンであり、CLK2が高レベルになった場合は出力端OUT(n)の出力電圧は高レベルのパルスを発生させ、その電位はT1とT2の抵抗分圧によって定まる。出力端OUT(n)の出力電圧の正常な波形は図1Cにおける実線で示し、出力端OUT(n)の出力電圧の歪んだ後の波形は図1Cにおける破線で示している。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

## 【0035】

本発明に係るシフトレジスタ素子の第1の実施形態は、前記段分け出力モジュール3\_3を採用し、桁上げ信号と駆動信号を段分け出力することによって、前記駆動信号に評価段階で高レベルを維持させ、リセット段階で低レベルを維持させ、空乏型TFTの漏えい電流の問題がシフトレジスタ素子の駆動信号に与える影響を解決し、

また、本発明に係るシフトレジスタ素子の第1の実施形態は、前記プルアップノードレベル維持モジュール3\_4によって、評価段階で前記プルアップノードのレベルを高レベルに維持するように第1の出力制御モジュール3\_1を制御し、前記駆動信号を高レベルに維持させ、プルアップノード(PU点)が、評価段階で内部TFTが空乏してオンになり漏電することによって、出力に影響することを防止する。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

## 【0044】

該第6の実施形態において、第1の出力制御モジュール3\_1と、第2の出力制御モジュール3\_2と、段分け出力モジュール3\_3と、プルアップノードレベル維持モジュール3\_4と、入力端INと、桁上げ信号出力端CA(n)と、駆動信号出力端OUT(n)とを有し、

前記第1の出力制御モジュール3\_1は、その出力制御信号出力端はPU点(プルアップノード)に接続され、評価段階で駆動信号をプルアップし、

前記第1の出力制御モジュール3\_1は、フィードバック信号受信端COを有し、

前記第1の出力制御モジュール3\_1は、更に、第1の薄膜トランジスタT1\_1と、第2の薄膜トランジスタT1\_2と、第3の薄膜トランジスタT1\_3と、第4の薄膜トランジスタT1\_4と、を有し、

第1の薄膜トランジスタT1\_1のゲート極は、第2のクロック信号CLK\_2に接続され、ソース極は、前記入力端INに接続され、ドレイン極は、前記第2の薄膜トランジスタT1\_2のソース極に接続され、

第2の薄膜トランジスタT1\_2のゲート極は、第2のクロック信号CLK\_2に接続され、ソース極は、前記第4の薄膜トランジスタT1\_4のドレイン極に接続され、

図8に示す実施形態には、別の代替実施形態として、T1\_1とT1\_2のゲート極は、第2のクロック信号CLK\_2に接続せずに、直接入力端INに接続されても、同様の機能を実現することができる。相違点は、二つのクロック信号CLK\_1とCLK\_2を採用して本発明のシフトレジスタ素子を制御すれば、制御をより柔軟且つ正確にさせることができ、

第3の薄膜トランジスタT1\_3のゲート極は、リセット信号出力端Rstに接続され、ソース極は、前記第1の低レベル出力端に接続され、ドレイン極は、前記第4の薄膜トランジスタT1\_4のソース極に接続され、

第4の薄膜トランジスタT1\_4のゲート極は、リセット信号出力端Rst接続され、

前記第1の薄膜トランジスタT1\_1のドレイン極は、前記第1の出力制御モジュール3\_1のフィードバック信号受信端COにも接続され、

前記第1の薄膜トランジスタT1\_2のドレイン極は、前記第1の出力制御モジュール3\_1の出力制御信号出力端にも接続され、

前記リセット信号出力端Rstは、前記第2の出力制御モジュール3\_2に接続され(図8に示さず)、

図8において、N点は、T1\_1とT1\_2の直列接続点であり、T1\_3とT1\_4の直列接続点でもあり、前記第1の出力制御モジュール3\_1のフィードバック信号受信端COは、前記N点に接続され、

T1\_1とT1\_2は、直列接続し、PU点を高レベルまで充電する役割を果たし、

T1\_3とT1\_4は、直列接続し、PU点を低レベルまで放電する役割を果たし、

前記第2の出力制御モジュール32は、第1の低レベル出力端にも接続され、前記段分け出力モジュール33は、第1の桁上げ出力薄膜トランジスタT1と、第2の桁上げ出力薄膜トランジスタT2とを有し、

前記駆動出力素子33は、第1の駆動薄膜トランジスタT3と、第2の駆動薄膜トランジスタT4と、ブーストストラップコンデンサCとを有し、

前記第1の桁上げ出力薄膜トランジスタT1のゲート極は、前記第1の出力制御モジュール31の出力制御信号出力端に接続され、ソース極は、前記桁上げ信号出力端CA(n)に接続され、ドレイン極は、第1のクロック信号入力端に接続され、

前記第1の駆動薄膜トランジスタT3のゲート極とソース極との間に前記ブーストストラップコンデンサCが並列接続され、

前記第1の駆動薄膜トランジスタT3のゲート極は、前記第1の出力制御モジュール31の出力制御信号出力端に接続され、ソース極は、前記駆動信号出力端OUT(n)に接続され、ドレイン極は、前記第1のクロック信号入力端に接続され、

前記第2の桁上げ出力薄膜トランジスタT2のゲート極は、前記第2の出力制御モジュール32の出力制御信号端に接続され、ソース極は、第1の低レベル出力端に接続され、ドレイン極は、前記桁上げ信号出力端CA(n)に接続され、

前記第2の駆動薄膜トランジスタT4のゲート極は、前記第2の出力制御モジュール32の出力制御信号端に接続され、ソース極は、第2の低レベル出力端に接続され、ドレイン極は、前記駆動信号出力端OUT(n)に接続され、

前記プルアップノードレベル維持モジュール34のゲート極は、前記桁上げ信号出力端CA(n)に接続され、ソース極は、前記第1の出力制御モジュールのフィードバック信号受信端COに接続され、ドレイン極は、前記駆動信号出力端OUT(n)に接続される第1のフィードバック制御薄膜トランジスタT41を有する。

#### 【手続補正4】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力端と、

その出力制御信号の出力端がプルアップノードに接続され、評価段階で駆動信号をプルアップするための第1の出力制御モジュールと、

その出力制御信号の出力端がプルダウンノードに接続され、リセット段階で前記駆動信号をプルダウンするための第2の出力制御モジュールと、を具備し、前記第1の出力制御モジュールが前記入力端に更に接続されるシフトレジスタ素子であって、

桁上げ信号出力端と、

駆動信号出力端と、

前記プルアップノード、前記プルダウンノード、前記桁上げ信号出力端、及び前記駆動信号出力端にそれぞれ接続され、桁上げ信号と駆動信号とを段分け出力することによって、前記駆動信号を評価段階で高レベルを維持させ、且つリセット段階で低レベルを維持させる段分け出力モジュールと、

評価段階で前記第1の出力制御モジュールが前記プルアップノードのレベルを高レベルに維持されることによって、前記駆動信号を高レベルに維持させるプルアップノードレベル維持モジュールと、

を更に具備することを特徴とするシフトレジスタ素子。

【請求項2】

前記段分け出力モジュールが、

プリチャージ段階及びリセット段階で前記第1の出力制御モジュールの制御のもとで桁上げ信号出力端に第1の低レベルを出力させ、且つ評価段階で第2の出力制御モジュール

の制御のもとで桁上げ信号出力端に高レベルを出力させる桁上げ出力素子と、

評価段階で第2の出力制御モジュールの制御のもとで駆動信号出力端に高レベルを出力させ、且つリセット段階で第1の出力制御モジュールの制御のもとで駆動信号出力端に第2の低レベルを出力させる駆動出力素子と、

を具備する請求項1に記載のシフトレジスタ素子。

#### 【請求項3】

前記桁上げ出力素子が、第1の桁上げ出力薄膜トランジスタと、第2の桁上げ出力薄膜トランジスタとを具備し、

前記第1の桁上げ出力薄膜トランジスタのゲート極は、前記第1の出力制御モジュールが制御信号を出力する出力端に接続され、ソース極は、前記桁上げ信号出力端に接続され、ドレイン極は、第1のクロック信号入力端に接続され、

前記第2の桁上げ出力薄膜トランジスタのゲート極は、前記第2の出力制御モジュールが制御信号を出力する出力端に接続され、ソース極は、第1の低レベル出力端に接続され、ドレイン極は、前記桁上げ信号出力端に接続される請求項2に記載のシフトレジスタ素子。

#### 【請求項4】

前記駆動出力素子が、第1の駆動薄膜トランジスタと、第2の駆動薄膜トランジスタと、ブートストラップコンデンサとを具備し、

前記第1の駆動薄膜トランジスタのゲート極は、前記第1の出力制御モジュールが制御信号を出力する出力端に接続され、ソース極は、前記駆動信号の出力端に接続され、ドレイン極は、前記第1のクロック信号入力端に接続され、

前記第2の駆動薄膜トランジスタのゲート極は、前記第2の出力制御モジュールが制御信号を出力する出力端に接続され、ソース極は、第2の低レベル出力端に接続され、ドレイン極は、前記駆動信号出力端に接続され、

前記第1の駆動薄膜トランジスタのゲート極とソース極との間に前記ブートストラップコンデンサを並列接続する請求項3に記載のシフトレジスタ素子。

#### 【請求項5】

前記第1の桁上げ出力薄膜トランジスタ、前記第2の桁上げ出力薄膜トランジスタ、前記第1の駆動薄膜トランジスタ、及び前記第2の駆動薄膜トランジスタが、空乏型薄膜トランジスタである請求項4に記載のシフトレジスタ素子。

#### 【請求項6】

前記第1の桁上げ出力薄膜トランジスタの閾値電圧、前記第2の桁上げ出力薄膜トランジスタの閾値電圧、前記第1の駆動薄膜トランジスタの閾値電圧、及び前記第2の駆動薄膜トランジスタの閾値電圧は、同一であり、いずれも空乏閾値電圧であり、

前記第1の低レベルは、前記第2の低レベルより小さく、且つ前記第1の低レベルと前記第2の低レベルとの差の絶対値は、前記空乏閾値電圧の絶対値より大きい請求項5に記載のシフトレジスタ素子。

#### 【請求項7】

前記第1の出力制御モジュールが、第1の薄膜トランジスタと、第2の薄膜トランジスタと、第3の薄膜トランジスタと、第4の薄膜トランジスタとを具備し、

前記第1の薄膜トランジスタのゲート極及びソース極は、前記入力端に接続され、ドレイン極は、前記第2の薄膜トランジスタのソース極に接続され、

前記第2の薄膜トランジスタのゲート極は、前記入力端に接続され、ドレイン極は、前記第4の薄膜トランジスタのドレイン極に接続され、

前記第3の薄膜トランジスタのゲート極は、リセット信号出力端に接続され、ソース極は、前記第1の低レベル出力端に接続され、ドレイン極は、前記第4の薄膜トランジスタのソース極に接続され、

前記第4の薄膜トランジスタのゲート極は、前記リセット信号の出力端に接続され、

前記第1の薄膜トランジスタのドレイン極は、更にプルアップノードレベル維持モジュールに接続され、

前記第2の薄膜トランジスタのドレイン極は、前記第1の出力制御モジュールが制御信号を出力する出力端に接続される請求項3ないし6のいずれか1項に記載のシフトレジスタ素子。

#### 【請求項8】

前記第2の出力制御モジュールが、第1の出力制御薄膜トランジスタと、第2の出力制御薄膜トランジスタと、第3の出力制御薄膜トランジスタとを具備し、

前記第1の出力制御薄膜トランジスタのゲート極は、前記第1の桁上げ出力薄膜トランジスタのゲート極に接続され、ソース極は、前記第2の出力制御薄膜トランジスタのドレイン極に接続され、ドレイン極は、前記第2の桁上げ出力薄膜トランジスタのゲート極に接続され、

前記第2の出力制御薄膜トランジスタのゲート極は、前記第1の桁上げ出力薄膜トランジスタのゲート極に接続され、ソース極は、第1の低レベル出力端に接続され、

前記第3の出力制御薄膜トランジスタのゲート極及びドレイン極は、高レベル出力端に接続され、ソース極は、前記第2の桁上げ出力薄膜トランジスタのゲート極に接続される請求項3ないし6のいずれか1項に記載のシフトレジスタ素子。

#### 【請求項9】

上記プルアップノードレベル維持モジュールは、

そのゲート極が前記桁上げ信号出力端に接続され、ソース極が前記第1の薄膜トランジスタのドレイン極に接続され、ドレイン極が第1のノードに接続される第1のフィードバック制御薄膜トランジスタを具備し、

前記第1のフィードバック薄膜トランジスタが、空乏型薄膜トランジスタであり、

前記第1のフィードバック薄膜トランジスタの閾値電圧は、空乏閾値電圧であり、

前記第1の低レベルは、前記第2の低レベルより小さく、且つ前記第1の低レベルと前記第2の低レベルとの差の絶対値は、前記空乏閾値電圧より大きい請求項3ないし6のいずれか1項に記載のシフトレジスタ素子。

#### 【請求項10】

切断制御信号入力端と

切断制御信号出力端と

を更に具備し、

前記プルアップノードレベル維持モジュールが、第2のフィードバック制御薄膜トランジスタを更に具備し、

前記第2のフィードバック制御薄膜トランジスタのゲート極は、前記桁上げ信号出力端に接続され、ソース極は、前記第1のノードに接続され、ドレイン極は、切断制御信号出力端に接続され、

前記第2の出力制御モジュールが、前記切断制御信号入力端に接続される請求項9に記載のシフトレジスタ素子。

#### 【請求項11】

前記段分け出力モジュールが、前記桁上げ出力素子と前記駆動出力素子との間に接続される段分け出力素子を更に具備する請求項10に記載のシフトレジスタ素子。

#### 【請求項12】

前記段分け出力素子が、第1の段分け出力薄膜トランジスタと、第2の段分け出力薄膜トランジスタとを具備し、

前記第1の段分け出力薄膜トランジスタのゲート極は、前記第1の桁上げ出力薄膜トランジスタのゲート極に接続され、ドレイン極は、前記第1のクロック信号出力端に接続され、ソース極は、前記第1のノードに接続され、

前記第2の段分け出力薄膜トランジスタのゲート極は、前記第2の桁上げ出力薄膜トランジスタのゲート極に接続され、ソース極は、第2の低レベル出力端に接続され、ドレイン極は、前記第1の段分け出力薄膜トランジスタのソース極に接続される請求項11に記載のシフトレジスタ素子。

#### 【請求項13】

前記第1のノードが、前記駆動信号出力端に接続される請求項9または10に記載のシフトレジスタ素子。

【請求項14】

請求項1ないし12のいずれか1項に記載のシフトレジスタ素子に用いるシフトレジスタ素子の駆動方法であって、

入力端に高レベルを入力する期間内で、第1のクロック信号は低レベルであり、第1の出力制御モジュールが前記ブートストラップコンデンサへのプリチャージを制御し、桁上げ信号出力端及び駆動信号出力端が第1の低レベルを出力するように制御し、第2の出力制御モジュールがその制御信号出力端から第1の低レベルを出力するように制御するステップと、

次の半クロック周期内で、第1のクロック信号は高レベルに変わり、第1の出力制御モジュールが、桁上げ信号出力端及び駆動信号出力端が高レベルを出力するように制御するステップと、

更に次の半クロック周期内で、第1のクロック信号は低レベルに変わり、第1の出力制御モジュール及び第2の出力制御モジュールが、桁上げ信号出力端が第1の低レベルを出力し、且つ駆動信号出力端が第2の低レベルを出力ように制御するステップと、  
を有することを特徴とするシフトレジスタ素子の駆動方法。

【請求項15】

複数段の請求項1ないし8のいずれか1項に記載のシフトレジスタ素子を具備するシフトレジスタであって、

第1段のシフトレジスタ素子を除いて、各段のシフトレジスタ素子の入力端は、一段上のシフトレジスタ素子の桁上げ信号出力端に接続されることを特徴とするシフトレジスタ。

【請求項16】

複数段の請求項10ないし12のいずれか1項に記載のシフトレジスタ素子を具備するシフトレジスタであって、

第1段のシフトレジスタ素子を除いて、各段のシフトレジスタ素子の入力端は、一段上のシフトレジスタ素子の桁上げ信号出力端に接続され、

最後の段のシフトレジスタ素子を除いて、各段のシフトレジスタ素子の切断制御信号入力端は、一段下のシフトレジスタ素子の切断制御信号出力端に接続されることを特徴とするシフトレジスタ。