

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 27 日(27.12.2013)



(10) 国際公開番号
WO 2013/190895 A1

- (51) 国際特許分類:
H01L 21/66 (2006.01) H01L 21/3205 (2006.01)
C23C 14/54 (2006.01) H01L 21/768 (2006.01)
H01L 21/28 (2006.01) H01L 23/522 (2006.01)
H01L 21/285 (2006.01) H01L 23/532 (2006.01)
- (21) 国際出願番号: PCT/JP2013/061599
- (22) 国際出願日: 2013 年 4 月 19 日(19.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-139349 2012 年 6 月 21 日(21.06.2012) JP
- (71) 出願人: 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者: 木村 錬 (KIMURA, Ren); 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

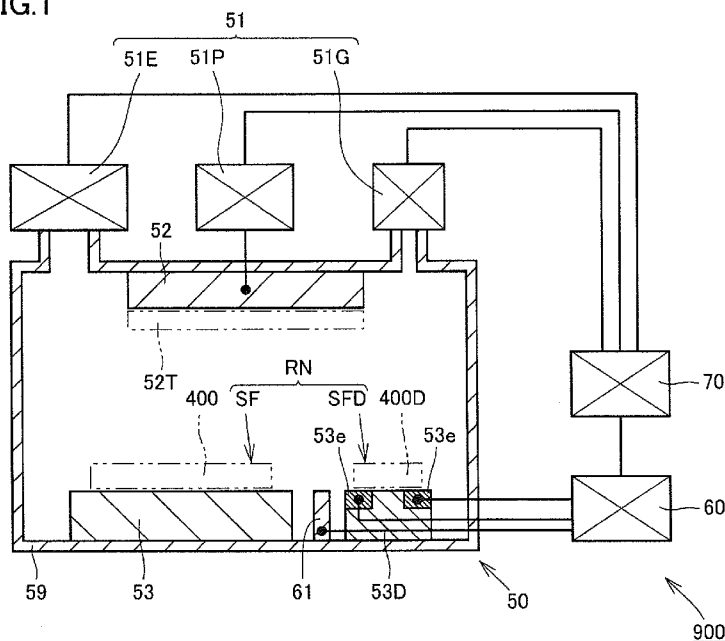
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND FILM FORMING DEVICE

(54) 発明の名称: 半導体装置の製造方法および成膜装置

FIG.1



(57) Abstract: A semiconductor substrate (400) having a surface (SF) is prepared. On a region including the surface (SF) of the semiconductor substrate (400), a conductive film is formed. The process for forming the conductive film includes the following steps. When the conductive film is partially formed, characteristics relating to either alternating-current loss and/or alternating-current conductance of the partially formed conductive film are measured. On the basis of these characteristics, film forming conditions for forming the conductive film are adjusted. Thereby, film surface roughness during the film formation can be fed back to the film forming conditions.

(57) 要約: 表面 (SF) を有する半導体基板 (400) が準備される。半導体基板 (400) の表面 (SF) を含む領域上に導電体膜が成膜される。導電体膜を成膜する工程は、次の工程を含む。導電体膜が部分的に形成された時点で、部分的に形成された導電体膜の、交流損失および交流電気伝導率の少なくともいずれかに関する特性が測定される。

この特性に基づいて、導電体膜を成膜するための成膜条件が調整される。これにより、成膜中の膜の表面粗さを成膜条件へフィードバックすることができる。

明 細 書

発明の名称：半導体装置の製造方法および成膜装置

技術分野

[0001] この発明は、半導体装置の製造方法および成膜装置に関するものであり、特に、導電体膜を成膜する工程を有する半導体装置の製造方法と、導電体膜を成膜するための成膜装置とに関するものである。

背景技術

[0002] 半導体装置の製造は、通常、導電体膜の成膜をとこなう。量産においては、このような成膜を安定的に行う必要がある。特開2010-236040号公報（特許文献1）の成膜装置によれば、成膜チャンバ内に成膜サンプルとは別に薄膜が成膜される。また、成膜中薄膜の物理量を読み取る物理量測定素子と、その物理量と所望の物理量とを比較する比較部と、比較結果に基づいて成膜条件などを制御する制御部とが設けられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-236040号公報

発明の概要

発明が解決しようとする課題

[0004] 成膜条件へフィードバックするパラメータとして成膜中の膜の表面粗さを用いることができる簡素な方法は、これまで知られていなかった。

[0005] 本発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、成膜中の膜の表面粗さを成膜条件へフィードバックすることができる半導体装置の製造方法と、そのための成膜装置とを提供することである。

課題を解決するための手段

[0006] 本発明の半導体装置の製造方法は、以下の工程を有する。
表面を有する半導体基板が準備される。半導体基板の表面を含む領域上に

導電体膜が成膜される。導電体膜を成膜する工程は、次の工程を含む。導電体膜が部分的に形成された時点で、部分的に形成された導電体膜の、交流損失および交流電気伝導率の少なくともいずれかに関する特性が測定される。この特性に基づいて、導電体膜を成膜するための成膜条件が調整される。

[0007] この製造方法によれば、成膜中の導電体膜の表面粗さを成膜条件へフィードバックすることができる。これにより、所望の表面粗さを有する導電体膜が設けられた半導体装置が得られる。

[0008] 特性が測定される際に、部分的に形成された導電体膜に $1 \times 10^6 \text{ Hz}$ 以上 $1 \times 10^{15} \text{ Hz}$ 以下の周波数を有する交流電流が印加されることが好ましい。

[0009] $1 \times 10^6 \text{ Hz}$ 以上の周波数が用いられることで、通常の半導体装置の製造方法において特に有用な $10 \mu\text{m}$ 以下の RMS 表面粗さを測定することができる。また $1 \times 10^{15} \text{ Hz}$ 以下の周波数が用いられることで、周波数が過度に高くなるので、成膜装置の測定部を簡素なものとすることができる。

[0010] 導電体膜はワイヤボンディングのボンディングパッドとして構成された部分を含んでもよい。

[0011] これによりボンディングパッドの表面粗さを所望のものとすることができる。なおボンディングパッドは、ボンディングワイヤとの接合強度を確保する上で、ある程度以上の表面粗さを有することが求められる場合がある。

[0012] 導電体膜を成膜する工程は、アルミニウム膜を成膜することによって行われてもよい。

これにより、表面粗さが管理されたアルミニウム膜を成膜することができる。アルミニウム膜は、たとえばボンディングパッドとして用いることができる。

[0013] 特性を測定する工程は、次の工程を含んでもよい。部分的に形成された導電体膜に、第1の周波数を有する交流電流が印加される。部分的に形成された導電体膜に、第1の周波数と異なる第2の周波数を有する交流電流が印加される。

[0014] これにより、より高い精度またはより広いレンジで、表面粗さを測定する

ことができる。

[0015] 本発明の成膜装置は、成膜部と、測定部と、制御部とを有する。成膜部は、半導体基板の表面を含む領域上に導電体膜を成膜するためのものである。測定部は、上記領域上において、交流損失および交流電気伝導率の少なくともいずれかに関する特性を測定しかつ、導電体膜の厚さを測定するためのものである。制御部は、上記特性に基づいて成膜部の成膜条件を調整するためのものである。

[0016] この成膜装置によれば、成膜中の膜の表面粗さを成膜条件へフィードバックすることができる。これにより、所望の表面粗さを有する導電体膜を成膜することができる。

発明の効果

[0017] 上記のように本発明によれば、所望の表面粗さを有する導電体膜を成膜することができる。

図面の簡単な説明

[0018] [図1]本発明の実施の形態1における成膜装置の構成を概略的に示す断面図である。

[図2]図1における測定部の測定系を概略的に説明するための回路図である。

[図3]本発明の実施の形態1における半導体装置の製造方法の第1工程を概略的に示す断面図である。

[図4]本発明の実施の形態1における半導体装置の製造方法の第2工程を概略的に示す断面図である。

[図5]本発明の実施の形態1における半導体装置の製造方法の第3工程を概略的に示す断面図である。

[図6]本発明の実施の形態2における半導体装置の構成を概略的に示す部分断面図である。

[図7]図6の半導体装置の製造方法の第10工程を概略的に示す部分断面図である。

[図8]図6の半導体装置の製造方法の第11工程を概略的に示す部分断面図で

ある。

[図9]図6の半導体装置の製造方法の第1工程を概略的に示す部分断面図である。

[図10]図6の半導体装置の製造方法の第2工程を概略的に示す部分断面図である。

[図11]図6の半導体装置の製造方法の第3工程を概略的に示す部分断面図である。

[図12]図6の半導体装置の製造方法の第4工程を概略的に示す部分断面図である。

[図13]図6の半導体装置の製造方法の第5工程を概略的に示す部分断面図である。

[図14]図6の半導体装置の製造方法の第6工程を概略的に示す部分断面図である。

[図15]図6の半導体装置の製造方法の第7工程を概略的に示す部分断面図である。

[図16]図6の半導体装置の製造方法の第8工程を概略的に示す部分断面図である。

[図17]図6の半導体装置の製造方法の第9工程を概略的に示す部分断面図である。

発明を実施するための形態

[0019] 以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また、本明細書中の結晶学的記載においては、個別方位を $[\]$ 、集合方位を $\langle \rangle$ 、個別面を $(\)$ 、集合面を $\{ \}$ でそれぞれ示している。また結晶学上の指数が負であることは、通常、“ $-$ ”（バー）を数字の上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付している。

[0020] （実施の形態1）

図 1 に示すように、本実施の形態の成膜装置 900 は、導電体膜を成膜するためのスパッタ成膜装置である。ここで導電体膜とは導電体から作られた膜のことをいい、導電体とは 1×10^{-6} (S/m) 以上の伝導率を有する材料をいう。導電体は、好ましくは導体である。成膜装置 900 は、成膜部 50 と、測定部 60 と、制御部 70 とを有する。

[0021] 成膜部 50 は、半導体基板 400 の表面 S F と、ダミー 400 D の表面 S F D とを含む領域 R N 上に、導電体膜を成膜するためのものである。具体的には、成膜部 50 は、被制御部 51 と、ターゲット取付部 52 と、基板支持部 53 と、ダミー支持部 53 D と、容器 59 とを有する。

[0022] 被制御部 51 は、外部から制御可能な成膜パラメータを有する成膜条件下での成膜を可能とするものである。具体的には被制御部 51 は、ガス導入部 51 G と、排気部 51 E と、電源 51 P とを有する。ガス導入部 51 G は、容器 59 内にプロセスガスを導入するためのものである。ガス導入部 51 G は成膜パラメータとして、たとえばガス種および流量を有する。排気部 51 E は、容器 59 からガスを排気するためのものであり、たとえばバルブとポンプとを有する。排気部 51 E は成膜パラメータとして、たとえばバルブの開口度を有する。電源 51 P は、ターゲット取付部 52 へ電力を供給するためのものである。電源 51 P は成膜パラメータとして、たとえば電力値を有する。ターゲット取付部 52 は、スパッタリングターゲット 52 T が取り付けられるように構成されている。

[0023] 基板支持部 53 は、表面 S F を有する半導体基板 400 を支持するためのものである。基板支持部 53 は、たとえば、半導体基板 400 を固定することができるチャックが設けられた基板ステージである。

[0024] ダミー支持部 53 D は、表面 S F D を有するダミー 400 D を支持するためのものである。ダミー支持部 53 D は、互いに離れた 1 対の電極 53 e を有する。1 対の電極 53 e の各々は、ダミー 400 D が支持された際にダミー 400 D に接触するように配置されている。

[0025] 測定部 60 は、領域 R N の表面 S F D 上において、交流損失および交流電

気伝導率の少なくともいずれかに関する特性を測定するためのものである。
また測定部60は、領域RNの表面SFD上において、直流電流特性を測定することができてもよい。これらの目的で、測定部60は、ダミー支持部53Dの1対の電極53eに電氣的に接続されている。測定部60は、たとえば、入力端子I1およびI2と、出力端子O1およびO2とを有する電気回路TN（図2）におけるSパラメータの測定系である。入力端子I1と出力端子O1とは互いに短絡されている。入力端子I2は1対の電極53eの一方に接続されており、出力端子O2は1対の電極53eの他方に接続されている。Sパラメータの測定は、たとえばネットワークアナライザにより行うことができる。

[0026] また測定部60は、導電体膜の厚さを測定するためのものである。この目的で、測定部60は、膜厚測定部61に電氣的に接続されていてもよい。膜厚測定部61は、たとえば水晶振動子である。なお測定部60が、上述したように直流電流測定も行うように構成されている場合、この測定結果から導電体膜の厚さを算出することができるので、膜厚測定部61は省略され得る。

[0027] 制御部70は、測定部60によって測定された特性に基づいて、被制御部51の成膜パラメータを制御することができるよう構成されている。言い換えれば、制御部70は、成膜部50の成膜条件を調整することができるように構成されている。制御部70は、たとえば、測定部60からの情報の入力と、被制御部51への情報の出力とを行うコンピュータである。

[0028] 次に成膜装置900を用いた成膜方法について、図3～図5を用いて説明する。なお図3～図5の各々においては、成膜装置900（図1）についてその一部のみが示されている。またこの成膜方法は、半導体装置の製造方法に適用可能である。そのような適用についての詳細は、実施の形態2において説明する。

[0029] 図3を参照して、表面SFを有する半導体基板400が準備され、基板支持部53に支持される。またダミー400Dが準備され、ダミー支持部53

Dに支持される。ダミー400Dは、互いに離れた1対の電極400eを有する。1対の電極400eの一方および他方のそれぞれは、1対の電極53eの一方および他方に接触することができるよう配置されている。また各電極400eは表面SFD上の部分を含む。

[0030] 次に、図4に示す工程を経て、半導体基板400の表面SFと、ダミー400Dの表面SFDとを含む領域RN上に、導電体膜222（図5）が成膜される。具体的には、以下の工程が行われる。

[0031] たとえば、予めプログラムされた手順に沿って制御部70が被制御部51の成膜パラメータを制御することで、所望の雰囲気中で、スパッタリングターゲット52Tのスパッタが開始される。これにより図4に示すように、半導体基板400の表面SFと、ダミー400Dの表面SFDとを含む領域RN上において、導電体膜の成膜が開始される。図4において導電体膜222pは、導電体膜222（図5）が部分的に形成された時点のもの（未完成の導電体膜222）である。この時点で、導電体膜222pの、特定の周波数の下での交流損失および交流電気伝導率の少なくともいずれかに関する特性が、測定部60（図1）により測定される。また導電体膜222pの膜厚が測定部60により測定される。上記特性および膜厚から、導電体膜222pの表面SGの表面粗さが見積もられる。この見積もりの方法について、以下に説明する。

[0032] まず、測定された上記特性および膜厚に基づいて、導電体膜222pのうち1対の電極400e間に形成された部分の、特定の周波数の下での伝導率 σ_c が算出される。これにより、導電体膜222pの材料本来の物性値としての伝導率を σ とすれば、下記の式（1）の値が分かる。

[0033]
$$1/K_w^2 = \sigma_c / \sigma \quad \dots (1)$$

なお σ の値は、測定部60によって測定された、膜厚および直流電流特性から算出され得る。または σ の値は、既知の定数として扱われてもよく、この場合は直流電流特性の測定は行われなくてもよい。

[0034] 一方、表皮効果における表皮深さを s 、導電体膜222pのうちダミー4

OD上の部分の表面SGD（図4）の表面粗さ（RMS）をhとすると、以下の式（2）が成り立つ。

[0035]
$$K_w = 1 + \exp(-s/2h)^{1.6} \quad \dots (2)$$

表皮深さsは、周波数角速度を ω 、透磁率を μ とすれば、以下の（3）式で表される。

[0036]
$$s = \{2 / (\sigma \cdot \omega \cdot \mu)\}^{0.5} \quad \dots (3)$$

導電体膜222pがアルミニウムからなる場合、sは、下記の表1に示すように周波数に依存する。

[0037] [表1]

周波数(Hz)	表皮深さ(m)
1×10^1	2.08981×10^{-2}
1×10^2	6.60855×10^{-3}
1×10^3	2.08981×10^{-3}
1×10^4	6.60855×10^{-4}
1×10^5	2.08981×10^{-4}
1×10^6	6.60855×10^{-5}
1×10^7	2.08981×10^{-5}
1×10^8	6.60855×10^{-6}
1×10^9	2.08981×10^{-6}
1×10^{10}	6.60855×10^{-7}
1×10^{11}	2.08981×10^{-7}
1×10^{12}	6.60855×10^{-8}
1×10^{13}	2.08981×10^{-8}
1×10^{14}	6.60855×10^{-9}
1×10^{15}	2.08981×10^{-9}
1×10^{16}	6.60855×10^{-10}

[0038] 上記の（2）式および表1から、表面粗さ（RMS）および周波数（f）の組み合わせに対応した $1/K_w^2$ の値が、以下の表2に示すように算出される。

[0039]

[表2]

f(Hz)	RMS(m)										
	1×10^{-10}	1×10^{-9}	1×10^{-8}	1×10^{-7}	1×10^{-6}	1×10^{-5}	1×10^{-4}	1×10^{-3}	1×10^{-2}	1×10^{-1}	1×10^0
1×10^1	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	0.708664	0.293438	0.254197
1×10^2	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	0.989961	0.395863	0.263389	0.251323
1×10^3	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	0.708664	0.293438	0.254197	0.250418
1×10^4	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	0.989961	0.395863	0.263389	0.251323	0.250132
1×10^5	1.000000	1.000000	1.000000	1.000000	1.000000	1.000000	0.708664	0.293438	0.254197	0.250418	0.250042
1×10^6	1.000000	1.000000	1.000000	1.000000	1.000000	0.989961	0.395863	0.263389	0.251323	0.250132	0.250013
1×10^7	1.000000	1.000000	1.000000	1.000000	1.000000	0.708664	0.293438	0.254197	0.250418	0.250042	0.250004
1×10^8	1.000000	1.000000	1.000000	1.000000	0.989961	0.395863	0.263389	0.251323	0.250132	0.250013	0.250001
1×10^9	1.000000	1.000000	1.000000	1.000000	0.708664	0.293438	0.254197	0.250418	0.250042	0.250004	0.250000
1×10^{10}	1.000000	1.000000	1.000000	0.989961	0.395863	0.263389	0.251323	0.250132	0.250013	0.250001	0.250000
1×10^{11}	1.000000	1.000000	1.000000	0.708664	0.293438	0.254197	0.250418	0.250042	0.250004	0.250000	0.250000
1×10^{12}	1.000000	1.000000	0.989961	0.395863	0.263389	0.251323	0.250132	0.250013	0.250001	0.250000	0.250000
1×10^{13}	1.000000	1.000000	0.708664	0.293438	0.254197	0.250418	0.250042	0.250004	0.250000	0.250000	0.250000
1×10^{14}	1.000000	0.989961	0.395863	0.263389	0.251323	0.250132	0.250013	0.250001	0.250000	0.250000	0.250000
1×10^{15}	1.000000	0.708664	0.293438	0.254197	0.250418	0.250042	0.250004	0.250000	0.250000	0.250000	0.250000
1×10^{16}	0.989961	0.395863	0.263389	0.251323	0.250132	0.250013	0.250001	0.250000	0.250000	0.250000	0.250000

[0040] 上記の表 2 により、特定の周波数の下での式 (1) の測定値、すなわち 1

／ K_w^2 の値から、導電体膜222pの表面SGDの表面粗さ（RMS）を見積もることができる。表面SGは表面SGDと同時に形成されることから、表面SGの表面粗さは、表面SGDの表面粗さとおおよそ等しいと想定することができる。よって表面SGの表面粗さを見積もることができる。

[0041] 制御部70は、上記のようにして見積もられた表面粗さと、所望の表面粗さとの比較を行う。そして両者の相違に応じて成膜条件が調整される。具体的には、見積もられた表面粗さが小さ過ぎる場合は、以後の成膜によって表面粗さがより大きくなるように被制御部51が制御される。逆に、見積もられた表面粗さが大き過ぎる場合は、以後の成膜によって表面粗さがより小さくなるように被制御部51が制御される。これにより、最終的に所望の表面粗さを有する表面SHが設けられた導電体膜222（図5）が成膜される。

[0042] 本実施の形態によれば、成膜中の導電体膜222p（図4）の表面SGの表面粗さを成膜条件へフィードバックすることができる。これにより、所望の表面粗さを有する表面SHが設けられた導電体膜222（図5）を含む半導体装置を製造することができる。

[0043] 測定部60によって特性が測定される際には、導電体膜222pに $1 \times 10^6 \text{ Hz}$ 以上 $1 \times 10^{15} \text{ Hz}$ 以下の周波数を有する交流電流が印加されることが好ましい。 $1 \times 10^6 \text{ Hz}$ 以上の周波数が用いられることで、通常の半導体装置の製造方法において特に有用な $10 \mu\text{m}$ 以下のRMS表面粗さを測定することができる。また $1 \times 10^{15} \text{ Hz}$ 以下の周波数が用いられることで、周波数が過度に高くなるので、成膜装置900の測定部を簡素なものとすることができる。

[0044] また測定部60によって特性が測定される際には、導電体膜222pに、第1の周波数を有する交流電流が印加される工程と、導電体膜222pに、第1の周波数と異なる第2の周波数を有する交流電流が印加される工程とが行われることが好ましい。これにより、より高い精度またはより広いレンジで、表面粗さを測定することができる。

[0045] なお本実施の形態においては成膜装置としてスパッタ成膜装置が用いられ

るが、成膜装置はスパッタ成膜装置に限定されるものではなく、たとえば、蒸着装置、めっき装置、またはCVD (Chemical Vapor Deposition) 装置であってもよい。

[0046] またダミー４００Ｄが用いられる代わりに、同様の構成が半導体基板４００上にＴＥＧ（テストエレメントグループ（Test Element Group））として設けられてもよい。この場合、測定部６０は、交流損失および交流電気伝導率の少なくともいずれかに関する特性を測定を、表面ＳＦＤの代わりに表面ＳＦ上において行う。

[0047] （実施の形態２）

図６に示すように、本実施の形態の縦型ＭＯＳＦＥＴ５００（半導体装置）は、エピタキシャル基板１００と、ゲート酸化膜２０１（ゲート絶縁膜）と、ゲート電極２０２と、層間絶縁膜２０３と、ソース電極２２１と、ドレイン電極２１１と、ソース配線２２２（導電体膜）と、保護電極２１２とを有する。ソース配線２２２は、その表面ＳＨ上にボンディングワイヤ３００を接合することができるように構成されている。言い換えれば、ソース配線２２２は、ワイヤボンディングのボンディングパッドとして構成された部分を含んでいる。ソース配線２２２は、好ましくはアルミニウム膜である。

[0048] エピタキシャル基板１００は、単結晶基板１１０と、その上に設けられたエピタキシャル層とを有する。単結晶基板１１０はｎ型（第１の導電型）を有する。エピタキシャル層は、 n^- 層１２１（第１の層）と、 p 型ボディ層１２２（第２の層）と、 n 領域１２３（第３の層）と、コンタクト領域１２４とを有する。 n^- 層１２１はｎ型（第１の導電型）を有する。 n^- 層１２１のドナー濃度は、単結晶基板１１０のドナー濃度よりも低い。 p 型ボディ層１２２は、 n^- 層１２１上に設けられており、 p 型（第２の導電型）を有する。 n 領域１２３は、 p 型ボディ層１２２上に設けられている。コンタクト領域１２４は p 型を有する。コンタクト領域１２４は、 p 型ボディ層１２２につながるように p 型ボディ層１２２の一部の上に形成されている。

[0049] エピタキシャル基板１００は、 n 領域１２３および p 型ボディ層１２２を

貫通して n^- 層121に至るトレンチTRを有する。トレンチTRは表面SWを有する側壁を有する。表面SWはp型ボディ層122上においてチャンネル面を含む。

[0050] ゲート酸化膜201はトレンチTRを被覆している。具体的にはトレンチTRの表面SW上および底部上にゲート酸化膜201が設けられている。このゲート酸化膜201は n 領域123の上面上にまで延在している。ゲート電極202は、トレンチTRの内部を充填するように、ゲート酸化膜201上に設けられている。ゲート電極202はゲート酸化膜201を介してp型ボディ層122の表面SWに対向している。ゲート電極202の上面は、ゲート酸化膜201のうち n 領域123の上面上に位置する部分の上面とほぼ同じ高さになっている。ゲート酸化膜201のうち n 領域123の上面上にまで延在する部分とゲート電極202とを覆うように、層間絶縁膜203が設けられている。

[0051] ソース電極221はコンタクト領域124および n 領域123の各々に接触している。ソース配線222はソース電極221に接触しており、層間絶縁膜203の上面上に延在している。ドレイン電極211は、単結晶基板110において n^- 層121が設けられた主表面とは反対側の裏面上に設けられたオーミック電極である。保護電極212はドレイン電極211上に設けられている。

[0052] 次にMOSFET500の製造方法について説明する。図7を参照して、後述する方法によって半導体基板400が準備される。半導体基板400は、層間絶縁膜203およびソース電極221からなる表面SFを有する。さらに図8を参照して、実施の形態1で説明した成膜方法によって、表面SF上に、表面SHを有するソース配線222が成膜される。再び図6を参照して、ドレイン電極211および保護電極212が形成されることで、MOSFET500が得られる。

[0053] 本実施の形態によれば、ソース配線222の表面SHからなるボンディングパッドの表面粗さを所望のものとすることができる。なおボンディングパ

ッドは、ボンディングワイヤ300との接合強度を確保する上で、ある程度以上の表面粗さを有することが求められる場合がある。ただし極端に表面粗さが大きいと、ボンディングワイヤ300とボンディングパッドとの間に空隙が形成されることで接合強度が逆に低下してしまうことがあり得る。よって接合強度の観点で、ソース配線222の表面SHの表面粗さをおおよそ所定の値とすることが求められる場合がある。

[0054] 次に、MOSFET（図6）が炭化珪素半導体装置である場合を例に、半導体基板400（図7）を得るまでの方法について、以下に説明する。

[0055] 図9に示すように、炭化珪素から作られた単結晶基板110上における炭化珪素のエピタキシャル成長によってn⁻層121が形成される。このエピタキシャル成長は、たとえば原料ガスとしてシラン（SiH₄）とプロパン（C₃H₈）との混合ガスを用い、キャリアガスとしてたとえば水素ガス（H₂）を用いたCVD（Chemical Vapor Deposition）法により行うことができる。また、このとき導電型がn型の不純物としてたとえば窒素（N）やリン（P）を導入することが好ましい。

[0056] 図10に示すように、n⁻層121の上面にイオン注入を行うことにより、p型ボディ層122と、n領域123と、コンタクト領域124とが形成される。p型ボディ層122およびコンタクト領域124を形成するためのイオン注入においては、たとえばアルミニウム（Al）などの、p型を付与するための不純物がイオン注入される。またn領域123を形成するためのイオン注入においては、たとえばリン（P）などの、n型を付与するための不純物がイオン注入される。なおイオン注入の代わりにエピタキシャル成長が用いられてもよい。

[0057] 図11に示すように、n領域123およびコンタクト領域124からなる面上に、開口部を有するマスク層247が形成される。マスク層247として、たとえばシリコン酸化膜などの絶縁膜を用いることができる。開口部は、トレンチTR（図6）の位置に対応する位置に形成される。

[0058] 図12に示すように、マスク層247の開口部において、n領域123と

、p型ボディ層122と、n⁻層121の一部とがエッチングにより除去される。エッチングの方法としては、たとえば反応性イオンエッチング(RIE)、特に誘導結合プラズマ(ICP)RIEを用いることができる。具体的には、たとえば反応ガスとしてSF₆またはSF₆とO₂との混合ガスを用いたICP-RIEを用いることができる。このようなエッチングにより、トレンチTR(図6)が形成されるべき領域に、側壁が単結晶基板110の主表面に対してほぼ垂直な内面SVを有する凹部TQを形成することができる。

[0059] 次に、エピタキシャル基板100に対して、凹部TQの内面SVにおいて、熱エッチングが行われる。熱エッチングは、たとえば、少なくとも1種類以上のハロゲン原子を有する反応性ガスを含む雰囲気中で、エピタキシャル基板100を加熱することによって行い得る。少なくとも1種類以上のハロゲン原子は、塩素(Cl)原子およびフッ素(F)原子の少なくともいずれかを含む。この雰囲気は、たとえば、Cl₂、BCl₃、SF₆、またはCF₄である。たとえば、塩素ガスと酸素ガスとの混合ガスを反応ガスとして用い、熱処理温度を、たとえば700℃以上1000℃以下として、熱エッチングが行われる。

[0060] 図13に示すように、熱エッチングによりトレンチTRが形成される。この際、トレンチTRの側壁として、n⁻層121、p型ボディ層122およびn領域123の各々からなる部分を有する表面SWが形成される。表面SW上においては特定の結晶面が自己形成され得る。

[0061] なお、反応ガスは、上述した塩素ガスと酸素ガスとに加えて、キャリアガスを含んでいてもよい。キャリアガスとしては、たとえば窒素(N₂)ガス、アルゴンガス、ヘリウムガスなどを用いることができる。そして、上述のように熱処理温度を700℃以上1000℃以下とした場合、SiCのエッチング速度はたとえば約70μm/時になる。また、この場合に、酸化珪素から作られたマスク層247は、SiCに対する選択比が極めて大きいので、SiCのエッチング中に実質的にエッチングされない。

[0062] 次にマスク層247がエッチングなど任意の方法により除去される(図1

4)。またイオン注入により注入された不純物を活性化するための活性化アニールが行われる。

[0063] 図15に示すように、トレンチTRの側壁である表面SWと底部とを含む面上にゲート酸化膜201が形成される。ゲート酸化膜201は、たとえば、炭化珪素からなるエピタキシャル層を熱酸化することにより得られる。

[0064] 図16に示すように、トレンチTRの内部の領域をゲート酸化膜201を介して埋めるように、ゲート電極202が形成される。ゲート電極202の形成は、たとえば、導体の成膜とCMP (Chemical Mechanical Polishing) とによって行い得る。

[0065] 図17に示すように、ゲート電極202の露出面を覆うようにゲート電極202およびゲート酸化膜201上に層間絶縁膜203が形成される。

[0066] 再び図7を参照して、層間絶縁膜203およびゲート酸化膜201に開口部が形成されるようにエッチングが行われる。この開口部により、メサ構造の上面においてn領域123およびコンタクト領域124の各々が露出される。次に、メサ構造の上面においてn領域123およびコンタクト領域124の各々に接するソース電極221が形成される。以上により半導体基板400が得られる。

[0067] なお半導体装置はMOSFET以外のMISFET (Metal Insulator Semiconductor Field Effect Transistor) であってもよい。また半導体装置は、MISFETに限定されるものではなく、たとえばIGBT (Insulated Gate Bipolar Transistor) であってもよい。また半導体装置は、トランジスタに限定されるものではなく、たとえばダイオードであってもよい。また半導体装置は、トレンチ型に限定されるものではなく、たとえばプレーナ型であってもよい。また半導体装置は、縦型に限定されるものではなく、たとえば横型であってもよい。

[0068] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての

変更が含まれることが意図される。

符号の説明

[0069] 50 成膜部、60 測定部、61 膜厚測定部、70 制御部、222
ソース配線（導電体膜）、400 半導体基板、400D ダミー、50
0 MOSFET（半導体装置）。

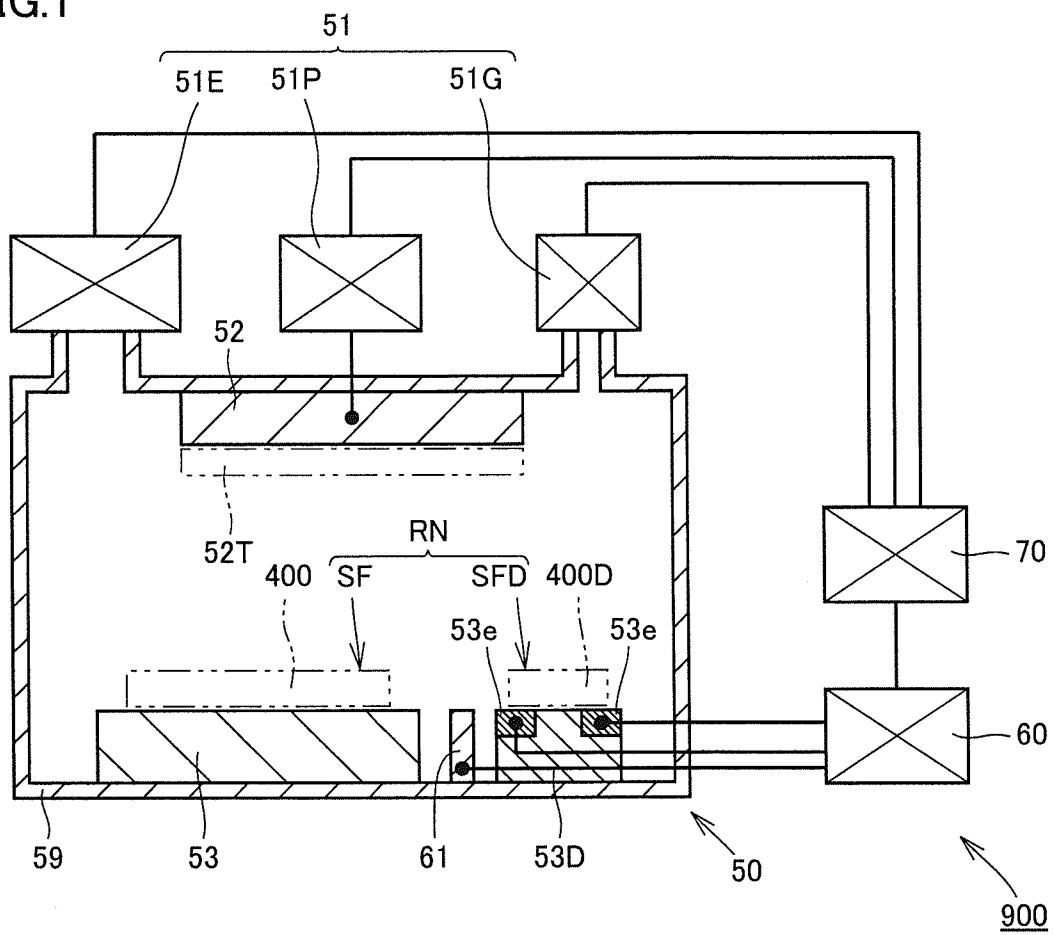
請求の範囲

- [請求項1] 表面を有する半導体基板を準備する工程と、
前記半導体基板の前記表面を含む領域上に導電体膜を成膜する工程とを備え、
前記導電体膜を成膜する工程は、前記導電体膜が部分的に形成された時点で、部分的に形成された前記導電体膜の、交流損失および交流電気伝導率の少なくともいずれかに関する特性を測定する工程と、前記特性に基づいて、前記導電体膜を成膜するための成膜条件を調整する工程とを含む、半導体装置の製造方法。
- [請求項2] 前記特性を測定する工程は、部分的に形成された前記導電体膜に $1 \times 10^6 \text{ Hz}$ 以上 $1 \times 10^{15} \text{ Hz}$ 以下の周波数を有する交流電流を印加する工程を含む、請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記導電体膜はワイヤボンディングのボンディングパッドとして構成された部分を含む、請求項1または2に記載の半導体装置の製造方法。
- [請求項4] 前記導電体膜を成膜する工程は、アルミニウム膜を成膜することによって行われる、請求項1～3のいずれか1項に記載の半導体装置の製造方法。
- [請求項5] 前記特性を測定する工程は、部分的に形成された前記導電体膜に第1の周波数を有する交流電流を印加する工程と、部分的に形成された前記導電体膜に第1の周波数と異なる第2の周波数を有する交流電流を印加する工程とを含む、請求項1～4のいずれか1項に記載の半導体装置の製造方法。
- [請求項6] 半導体基板の表面を含む領域上に導電体膜を成膜するための成膜部と、
前記領域上において、交流損失および交流電気伝導率の少なくともいずれかに関する特性を測定しかつ、導電体膜の厚さを測定するための測定部と、

前記特性に基づいて前記成膜部の成膜条件を調整するための制御部とを備える、成膜装置。

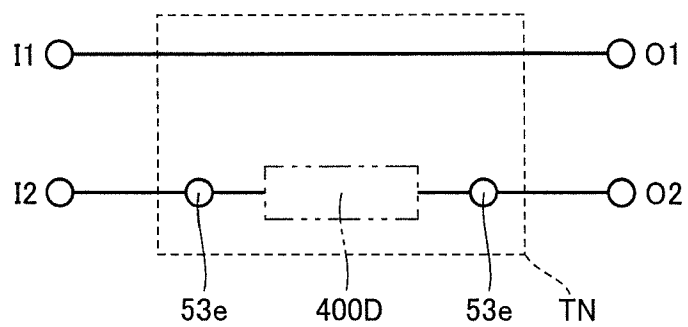
[図1]

FIG.1



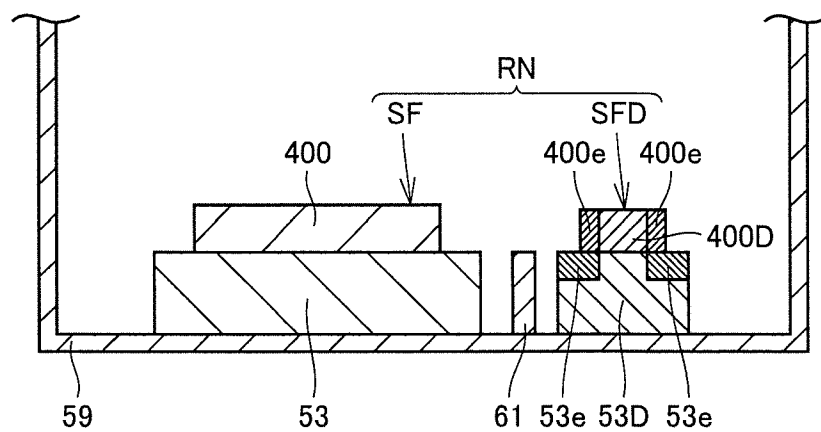
[図2]

FIG.2



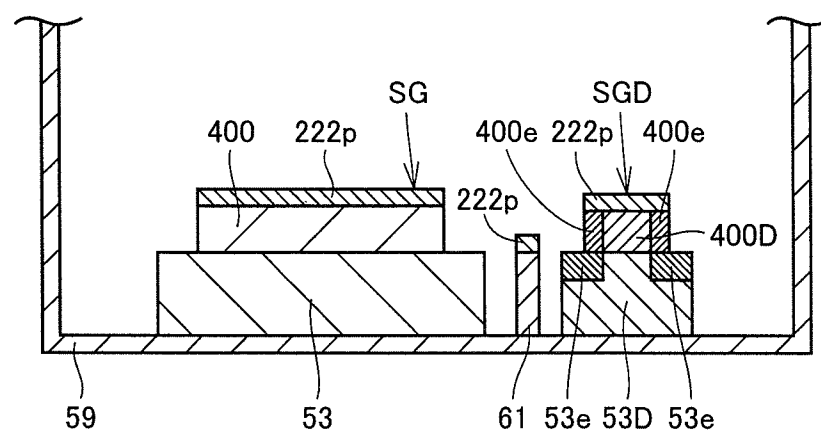
[図3]

FIG.3



[図4]

FIG.4



[図5]

FIG.5

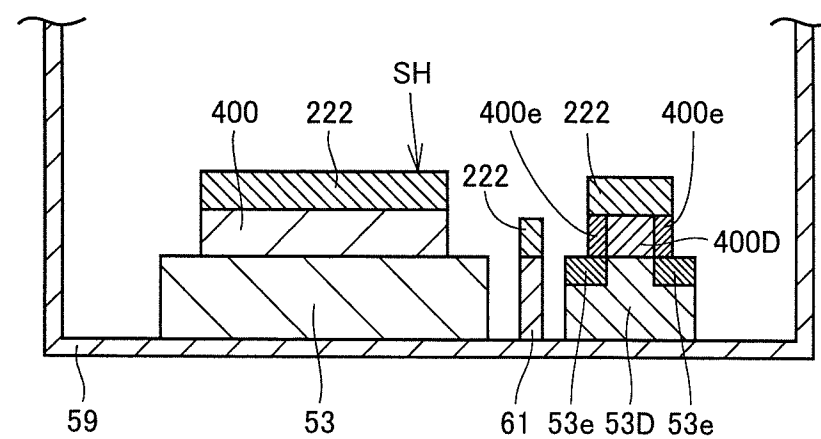
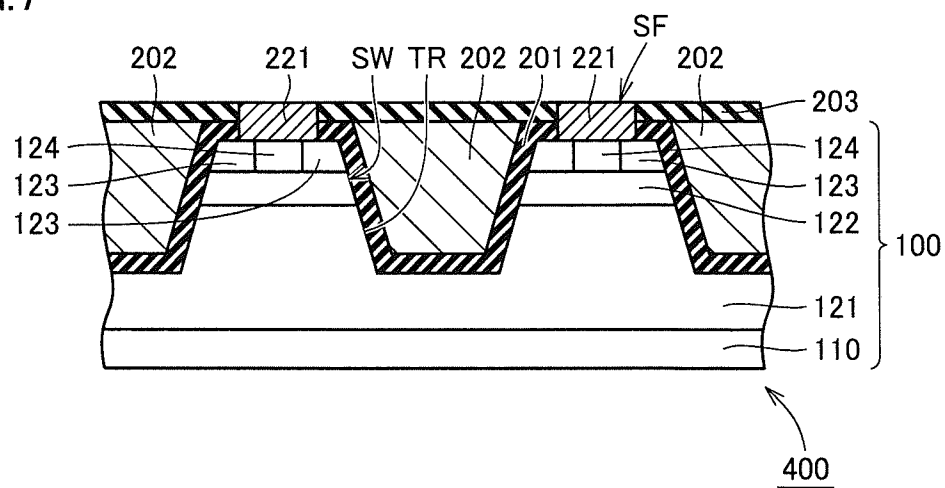
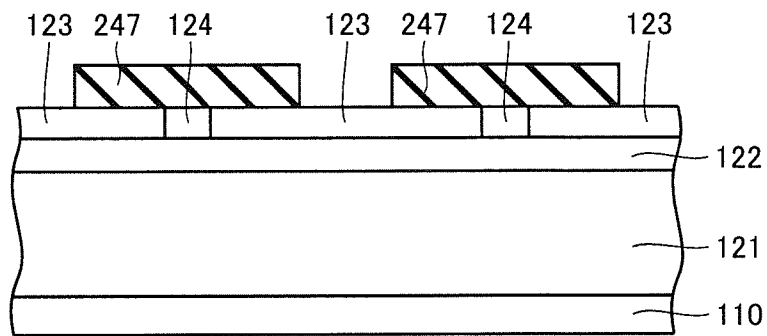


FIG.6



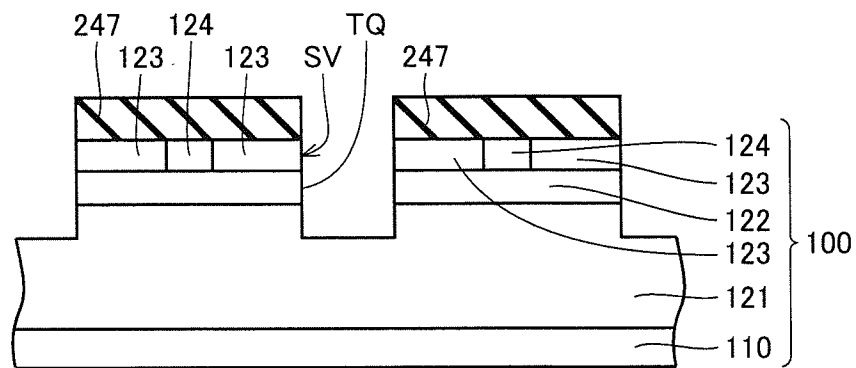
[図11]

FIG.11



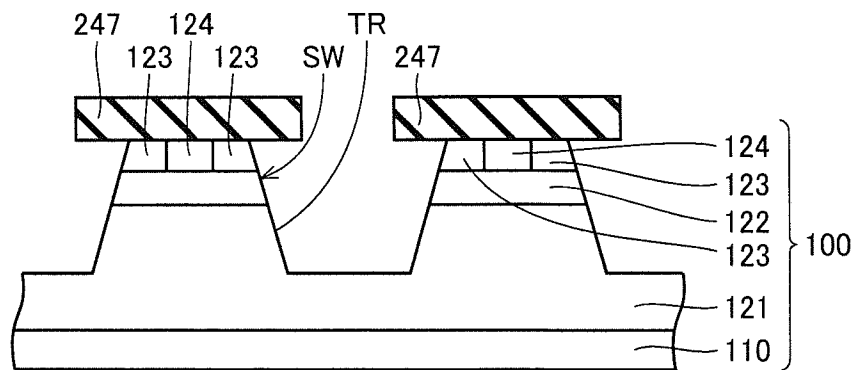
[図12]

FIG.12



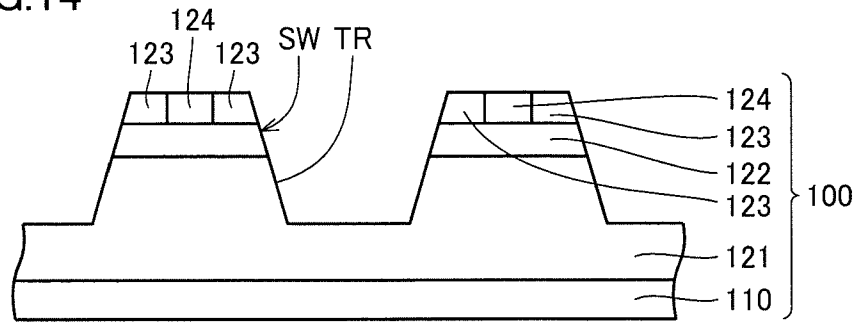
[図13]

FIG.13



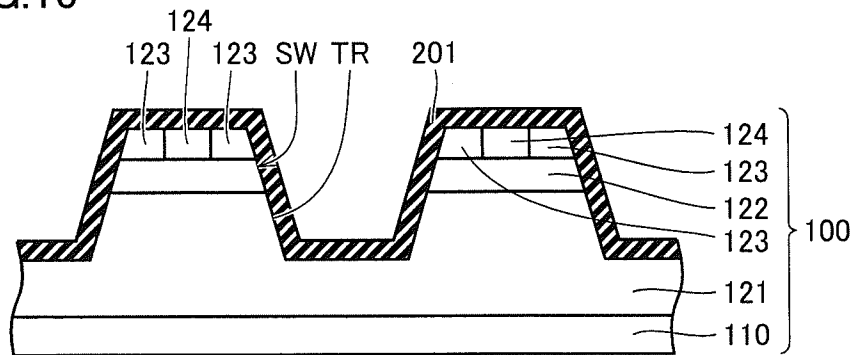
[図14]

FIG.14



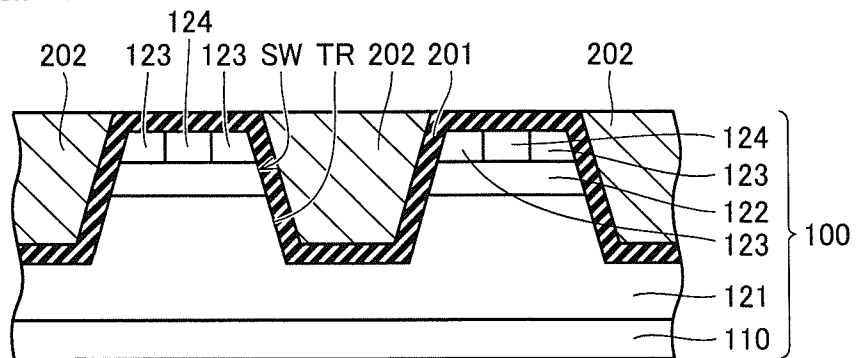
[図15]

FIG.15



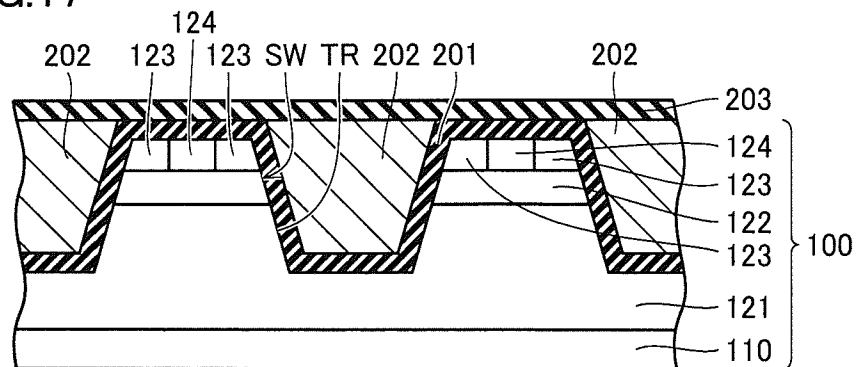
[図16]

FIG.16



[図17]

FIG.17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061599

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/66(2006.01)i, C23C14/54(2006.01)i, H01L21/28(2006.01)i,
H01L21/285
(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522
(2006.01)i, H01L23/532(2006.01)i

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66, C23C14/54, H01L21/28, H01L21/285, H01L21/3205, H01L21/768,
H01L23/522, H01L23/532

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-236040 A (Asahi Kasei EMD Corp.), 21 October 2010 (21.10.2010), entire text; all drawings (Family: none)	1-6
A	JP 2012-158808 A (Asahi Glass Co., Ltd.), 23 August 2012 (23.08.2012), entire text; all drawings (Family: none)	1-6
A	WO 2010/073935 A1 (Tokyo Electron Ltd.), 01 July 2010 (01.07.2010), entire text; all drawings & JP 2010-169667 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 July, 2013 (18.07.13)

Date of mailing of the international search report
30 July, 2013 (30.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/66(2006.01)i, C23C14/54(2006.01)i, H01L21/28(2006.01)i, H01L21/285(2006.01)i,
H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/66, C23C14/54, H01L21/28, H01L21/285, H01L21/3205, H01L21/768, H01L23/522, H01L23/532

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-236040 A (旭化成エレクトロニクス株式会社) 2010.10.21, 全文、全図 (ファミリーなし)	1-6
A	JP 2012-158808 A (旭硝子株式会社) 2012.08.23, 全文、全図 (ファミリーなし)	1-6
A	WO 2010/073935 A1 (東京エレクトロン株式会社) 2010.07.01, 全文、全図 & JP 2010-169667 A	1-6

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 7 . 2 0 1 3

国際調査報告の発送日

3 0 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

正山 旭

5 F

9 2 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 7