

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4236584号
(P4236584)

(45) 発行日 平成21年3月11日 (2009. 3. 11)

(24) 登録日 平成20年12月26日 (2008. 12. 26)

(51) Int. Cl. F I
H03M 1/12 (2006.01) H03M 1/12 C

請求項の数 2 (全 13 頁)

(21) 出願番号	特願2003-555799 (P2003-555799)	(73) 特許権者	501263810
(86) (22) 出願日	平成14年12月6日 (2002. 12. 6)		トムソン ライセンシング
(65) 公表番号	特表2005-514816 (P2005-514816A)		Thomson Licensing
(43) 公表日	平成17年5月19日 (2005. 5. 19)		フランス国, エフ-92100 ブロー
(86) 国際出願番号	PCT/US2002/039258		ニュ ビヤンクール, ケ アルフォンス
(87) 国際公開番号	W02003/055207		ル ガロ, 46番地
(87) 国際公開日	平成15年7月3日 (2003. 7. 3)		46 Quai A. Le Gallo
審査請求日	平成17年11月22日 (2005. 11. 22)		, F-92100 Boulogne-
(31) 優先権主張番号	60/339, 544		Billancourt, France
(32) 優先日	平成13年12月11日 (2001. 12. 11)	(74) 代理人	100115864
(33) 優先権主張国	米国 (US)		弁理士 木越 力
前置審査		(74) 代理人	100121175
			弁理士 石井 たかし

最終頁に続く

(54) 【発明の名称】 信号を処理する装置および方法

(57) 【特許請求の範囲】

【請求項 1】

信号を処理する装置であって、

時間軸で整合のとれた第1および第2のアナログ信号を、第1および第2のデジタル信号にそれぞれ変換して、第1の時間間隔中に前記第1のデジタル信号を出力し、第2の時間間隔中に前記第2のデジタル信号を出力するための、アナログ・デジタル変換手段と、

前記第1の時間間隔中にある前記第1のデジタル信号の値の半分を前記第2の時間間隔中にある前記第1のデジタル信号の値の半分に加算して第1の濾波済み信号を生成し、

前記第1の時間間隔中にある前記第2のデジタル信号の値の半分を前記第2の時間間隔中にある第2のデジタル信号の値の半分に加算して第2の濾波済み信号を生成し、

第3の時間間隔中に前記第1および第2の濾波済み信号を、時間軸で整合のとれた形式で出力するための、デジタル濾波手段と、
を備える、前記装置。

【請求項 2】

信号を処理する方法であって、

時間軸で整合のとれた第1および第2のアナログ信号を、第1および第2のデジタル信号にそれぞれ変換するステップと、

第1の時間間隔中に前記第1のデジタル信号を出力するステップと、

10

20

第 2 の時間間隔中に前記第 2 のデジタル信号を出力するステップと、
前記第 1 および第 2 のデジタル信号を濾波して、第 1 および第 2 の濾波信号をそれぞれ出力するステップと、を含み

前記第 1 および第 2 の濾波信号をそれぞれ出力するステップは、

前記第 1 の時間間隔中にある前記第 1 のデジタル信号の値の半分を前記第 2 の時間間隔中にある前記第 1 のデジタル信号の値の半分に加算して第 1 の濾波済み信号を生成するステップと、

前記第 1 の時間間隔中にある前記第 2 のデジタル信号の値の半分を前記第 2 の時間間隔中にある第 2 のデジタル信号の値の半分に加算して第 2 の濾波済み信号を生成するステップと、

10

第 3 の時間間隔中に前記第 1 および第 2 の濾波済み信号を、時間軸で整合のとれた形式で出力するステップと、

を含む、前記方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、ビデオおよび/または音声システムなどのシステムにおける信号処理に関し、より詳細には、このようなシステムでアナログ・デジタル変換器 (ADC: Analog-to-Digital Converter) を時分割するための構成であって、特に出力信号間の時間軸における整合 (time-alignment) をもた

20

【背景技術】

【0002】

複数の入力信号のためにアナログ・デジタル変換器 (ADC) を時分割 (タイム・シェアリング) して利用することは、ビデオおよび/または音声システムなどのシステムで ADC の数を減らす方法として周知である。このようなシステムにおいて、アナログ・デジタル変換器 (ADC) を共有する技法の 1 つは、単純な多重化 (multiplexing) を含むものである。例えば、図 1 に、単純な多重化を利用する多重化アナログ・デジタル変換器 (multiplexed ADC: 多重化 ADC) 構成 100 を示す。図 1 では、マルチプレクサ 120 が、アナログの U と V の入力信号を同時に受け取り、イネーブル (EN) 信号に応答して切り換わり、受け取ったアナログの U と V の入力信号のうちの選択された方を交互に出力する。アナログ・デジタル変換器 (ADC) 130 が、マルチプレクサ 120 からアナログの U と V の出力信号を受け取り、受け取った U と V の信号をクロック (CLK) 信号に応答してデジタル化する。クロック (CLK) 信号の各間隔は、単一のクロック・サイクル、即ち時間間隔を定める。図 1 では、CLK 信号の周波数は、例えば EN 信号の周波数の 2 倍である。デマルチプレクサ 140 が、ADC 130 から出力されたデジタルの U と V の信号を受け取り、EN 信号に応答して切り換わり、デジタルの U と V の信号を出力する。下表 1 に、多重化 ADC 構成 100 の例示的な動作を示す。

30

【0003】

40

【表 1】

クロック・サイクル	1	2	3	4	5
アナログ U	45	46	47	48	49
アナログ V	75	76	77	78	79
多重化位置	U	V	U	V	U
ADC 出力	45	76	47	78	49
逆多重化 済み U	45	45	47	47	49
逆多重化 済み V	--	76	76	78	78

10

【 0 0 0 4 】

表 1 に示すように、デマルチプレクサ 1 4 0 からの U と V の出力信号（即ち、逆多重化済み U / 逆多重化済み V）は、マルチプレクサ 1 2 0 への対応する入力信号（即ち、アナログ U / アナログ V）に対して時間軸で整合がとれておらず、時間がずれている。言い換えれば、デマルチプレクサ 1 4 0 からの U と V の出力信号が、マルチプレクサ 1 2 0 への対応する入力信号に対して時間軸で整合がとれているクロック・サイクルは存在しない。例示および説明のために、表 1 には、アナログ・ディジタル変換器（ADC）1 3 0 およびデマルチプレクサ 1 4 0 を介した信号遅延は、示されていないことに留意されたい。また、表 1 では、デマルチプレクサ 1 4 0 は、各クロック・サイクル中に U 出力信号と V 出力信号の両方を生成することにも留意されたい。これらの U と V の出力信号の一方は、現在のクロック・サイクル中に ADC 1 3 0 から提供された信号であり、これらの U と V の信号の他方は、前のクロック・サイクル中に ADC 1 3 0 から提供されたものである。

20

【 0 0 0 5 】

多くの適用例では、表 1 に表すように出力信号間に時間軸上での整合関係がないことは、問題を生じない。しかし、あるシステムにおいては、このような時間軸上での整合関係が必要となる。例えば、ピクチャ・イン・ピクチャ（PIP: Picture In Picture）機能を提供するための集積回路（IC）を有する幾つかのディジタル・ビデオ・システムでは、出力信号間の時間軸上での整合が必要な場合がある。

30

【 0 0 0 6 】

出力信号間の時間軸上での整合をもたらす技法の 1 つは、信号経路中で、アナログ・ディジタル変換器（ADC）への入力を提供するマルチプレクサの前にアナログのサンプル・ホールド回路を配置するものである。例えば、図 2 に、サンプル・ホールド回路（Sample and Hold circuit: サンプル・アンド・ホールド回路）を利用する多重化 ADC 構成 2 0 0 を示す。図 2 では、サンプル・ホールド（S アンド H）回路 2 1 0 が、アナログの U と V の信号を受け取り、次のイネーブル（EN）信号まで保持する。マルチプレクサ 2 2 0 が、保持されたアナログの U と V の信号をサンプル・ホールド回路 2 1 0 から同時に受け取り、EN 信号に応答して切り換わり、受け取ったアナログの U と V の信号のうちの選択された方を交互に出力する。ADC 2 3 0 が、マルチプレクサ 2 2 0 からアナログの U と V の出力信号を受け取り、受け取った U と V の信号をクロック（CLK）信号に応答してディジタル化する。CLK 信号の各間隔は、単一のクロック・サイクルまたは時間間隔を定める。図 2 では、CLK 信号の周波数は、例えば EN 信号の周波数の 2 倍である。デマルチプレクサ 2 4 0 が、ADC 2 3 0 から出力されたディジタルの U と V の信号を受け取り、EN 信号に応答して切り換わり、ディジタルの U と V の信号を出力する。下表 2 に、多重化 ADC 構成 2 0 0 の例示的な動作を示す。

40

【 0 0 0 7 】

50

【表 2】

クロック・サイクル	1	2	3	4	5
アナログ U	45	46	47	48	49
アナログ V	75	76	77	78	79
SアンドH U	45	45	47	47	49
SアンドH V	75	75	77	77	79
多重化位置	U	V	U	V	U
ADC 出力	45	75	47	77	49
逆多重化 済み U	45	45	47	47	49
逆多重化 済み V	--	75	75	77	77

10

【 0 0 0 8 】

表 2 に示すように、デマルチプレクサ 2 4 0 からの出力信号（即ち、逆多重化済み U / 逆多重化済み V）は、1 クロック・サイクルおきに時間軸で整合がとれている。例えば、表 2 では、デマルチプレクサ 2 4 0 からの出力信号は、クロック・サイクル 2 およびクロック・サイクル 4 の間は、時間軸で整合がとれている。例示および説明のために、表 2 には、アナログ・デジタル変換器（ADC）2 3 0 およびデマルチプレクサ 2 4 0 を介した信号遅延は、示されていないことに留意されたい。また、表 2 では、デマルチプレクサ 2 4 0 は各クロック・サイクル中に U 出力信号と V 出力信号の両方を生成することにも留意されたい。これらの U と V の出力信号の一方は、現在のクロック・サイクル中に ADC 2 3 0 から生成された信号であり、これらの U と V の信号の他方は、前のクロック・サイクル中に ADC 2 3 0 から生成されたものである。

20

【 0 0 0 9 】

図 2 の多重化 ADC 構成 2 0 0 は、ある程度の時間軸上での整合をもたらすものの、IC を短期間で設計するために使用される多くの標準セル・ライブラリ中では、サンプル・ホールド回路が利用できないという点で、問題がある。この結果、サンプル・ホールド回路は、設計中の特定の IC 向けに設計しなければならないカスタム・アナログ・ブロックと考えられる。一般に、カスタム・アナログ・ブロックは、IC 開発において追加の設計時間、費用、リスクを必要とする。

30

【 0 0 1 0 】

時間軸上での整合をもたらす別の方法は、多重化アナログ・デジタル変換器（多重化 ADC）の前に、アナログ遅延回路網（アナログ遅延ネットワーク回路）を配置するものである。例えば、図 3 に、アナログ遅延回路網を利用する多重化 ADC 構成 3 0 0 を示す。図 3 では、アナログ遅延回路網 3 1 0 が、アナログの U と V の信号を受け取って出力するが、U と V の信号の一方は、他方の信号に対して（例えば、1 クロック・サイクルの間）区別して遅延される。マルチプレクサ 3 2 0 は、アナログ遅延回路網 3 1 0 からアナログの U と V の信号を受け取り（即ち、U と V の信号の一方は遅延されている）、イネーブル（EN）信号に応答して切り換わり、受け取ったアナログの U と V の信号のうちの選択された方を交互に出力する。ADC 3 3 0 が、マルチプレクサ 3 2 0 からアナログの U と V の出力信号を受け取り、受け取った U と V の信号をクロック（CLK）信号に応答してデジタル化する。CLK 信号の各間隔は、単一のクロック・サイクル、即ち時間間隔を定める。図 3 では、CLK 信号の周波数は、例えば EN 信号の周波数の 2 倍である。デマルチプレクサ 3 4 0 が、ADC 3 3 0 から出力されたデジタルの U と V の信号を受け取り、EN 信号に応答して切り換わり、デジタルの U と V の信号を出力する。下表 3 に、

40

50

多重化 A D C 構成 3 0 0 の例示的な動作を示す。

【 0 0 1 1 】

【表 3】

クロック・サイクル	1	2	3	4	5
アナログ U	45	46	47	48	49
アナログ V	75	76	77	78	79
遅延回路網 U	45	46	47	48	49
遅延回路網 V	--	75	76	77	78
多重化位置	U	V	U	V	U
ADC 出力	45	75	47	77	49
逆多重化 済み U	45	45	47	47	49
逆多重化 済み V	--	75	75	77	77

【 0 0 1 2 】

表 3 に示すように、デマルチプレクサ 3 4 0 からの出力信号（即ち、逆多重化済み U / 逆多重化済み V）は、図 2 のデマルチプレクサ 2 4 0 から生成された出力信号と同一である。即ち、デマルチプレクサ 3 4 0 からの出力信号は、1 クロック・サイクルおきに時間軸で整合がとれている。例えば、表 3 では、デマルチプレクサ 3 4 0 からの出力信号は、クロック・サイクル 2 およびクロック・サイクル 4 の間は、時間軸で整合がとれている。例示および説明のために、表 3 には、アナログ・ディジタル変換器（A D C）3 3 0 およびデマルチプレクサ 3 4 0 を介した信号遅延は、示されていないことに留意されたい。また、表 3 では、デマルチプレクサ 3 4 0 は、各クロック・サイクル中に U 出力信号と V 出力信号の両方を生成することにも留意されたい。これらの U と V の出力信号の一方は、現在のクロック・サイクル中に A D C 3 3 0 から提供された信号であり、これらの U と V の信号の他方は、前のクロック・サイクル中に A D C 3 3 0 から提供されたものである。

【 0 0 1 3 】

図 3 の多重化アナログ・ディジタル変換器（多重化 A D C）構成 3 0 0 もある程度の時間軸上での整合をもたらすものの、2 つの入力経路の振幅およびグループ遅延特性が異なるために、望ましくない周波数応答作用における差が生じる可能性があるという点で、問題がある。この問題は、構成要素の公差によるばらつきにより更に悪化する。

【 0 0 1 4 】

従って、前述の問題を回避し、時間軸で整合のとれた（即ち、同位置の、位置の揃った）出力信号を生成する多重化アナログ・ディジタル変換器（多重化 A D C）構成が必要とされている。本発明は、これらおよび他の課題に対処するものである。

【発明の開示】

【 0 0 1 5 】

本発明によれば、音声および / またはビデオ・システムなどのシステムが、多重化アナログ・ディジタル変換器（多重化 A D C）構成を備えている。この構成は、第 1 および第 2 のアナログ信号を第 1 および第 2 のディジタル信号にそれぞれ変換して、第 1 の時間間隔中に第 1 のディジタル信号を出力し、第 2 の時間間隔中に第 2 のディジタル信号を出力するための A D C を備えている。第 1 および第 2 のディジタル信号を濾波して第 1 および第 2 の濾波済み信号をそれぞれ生成し、第 3 の時間間隔中に第 1 および第 2 の濾波済み信号を時間的に整列された形式で出力するためのディジタル・フィルタが提供される。

【 0 0 1 6 】

本発明の実施例に関する以下の説明を添付の図面と共に参照することにより、本発明に関する前述のおよび他の特徴、利点、並びにこれらを達成する方法がより明らかになり、本発明がよりよく理解されるであろう。

特許請求の範囲と実施例との対応関係を実施例で使われている参照符号を用いて示すと以下の通りである。

(請求項 1)

信号を処理する装置であって、

第 1 および第 2 のアナログ信号を、第 1 および第 2 のデジタル信号にそれぞれ変換して、第 1 の時間間隔中に前記第 1 のデジタル信号を出力し、第 2 の時間間隔中に前記第 2 のデジタル信号を出力するための、アナログ・デジタル変換手段 (5 3 0) と、

前記第 1 および第 2 のデジタル信号を濾波して第 1 および第 2 の濾波済み信号をそれぞれ生成し、第 3 の時間間隔中に前記第 1 および第 2 の濾波済み信号を、時間軸で整合のとれた形式で出力するための、デジタル濾波手段 (5 5 0) と、

を備える、前記装置 (5 0 0) 。

(請求項 2)

信号を処理する方法であって、

第 1 および第 2 のアナログ信号を、第 1 および第 2 のデジタル信号にそれぞれ変換するステップと、

第 1 の時間間隔中に前記第 1 のデジタル信号を出力するステップと、

第 2 の時間間隔中に前記第 2 のデジタル信号を出力するステップと、

前記第 1 および第 2 のデジタル信号を濾波して、第 1 および第 2 の濾波済み信号をそれぞれ生成するステップと、

第 3 の時間間隔中に前記第 1 および第 2 の濾波済み信号を、時間軸で整合のとれた形式で出力するステップと、

を含む、前記方法。

【発明を実施するための最良の形態】

【 0 0 1 7 】

本明細書に述べる例示は、本発明の好ましい実施例を示すものであり、このような例示は、本発明の範囲をどんな方法でも限定するものと考えるべきではない。

【 0 0 1 8 】

ここで図 4 を参照すると、本発明の原理による多重化アナログ・デジタル変換器 (多重化 A D C) 構成 5 0 0 を備える例示的なシステム 4 0 0 の図が示されている。図 4 のシステム 4 0 0 は、例えばテレビジョン信号受信機、セットトップ・ボックス (S T B) 、ビデオ・カセット・レコーダ (V C R) 、デジタル多用途ディスク (D V D) プレーヤ、ビデオ・ゲーム・ボックス (テレビ・ゲーム機) 、パーソナル・ビデオ・レコーダ (P V R) などの音声および / またはビデオ・システムとして、或いはその他のビデオおよび / または音声システムとして具体化する。

【 0 0 1 9 】

図 4 で、システム 4 0 0 は、多重化アナログ・デジタル変換器 (多重化 A D C) 構成 5 0 0 を備えるが、多重化 A D C 構成 5 0 0 は、アナログ・デジタル変換器 (A D C : 図 4 には示さず) が入力信号 U と V の間で時分割されるようにし、更に、このような信号が出力時に時間的に整列するようにする。U と V の入力信号は、例えば、高精細度テレビジョン (H D T V) システムなどのデジタル・ビデオ・システムにおける色差信号を表すものとする。多重化 A D C 構成 5 0 0 は、例えば I C 上に組み込むことができる。図 4 には示していないが、システム 4 0 0 は、他の I C や他の電気的および非電気的構成要素など、その他の構成要素を備えることもできる。

【 0 0 2 0 】

次に、図 5 を参照すると、図 4 の多重化アナログ・デジタル変換器 (多重化 A D C) 構成 5 0 0 を更に詳細に示す図が示されている。図 5 に示すように、多重化 A D C 構成 5

10

20

30

40

50

00は、マルチプレクサ520、ADC530、デマルチプレクサ540、フィルタ550、サブサンプリング・デバイス560を備えている。後述するように、多重化ADC構成500は、ADC530の前でアナログ遅延デバイスを使用することなく、時間軸で整合のとれた出力信号を生成する。

【0021】

動作時、マルチプレクサ520は、アナログのUとVの入力信号を同時に受け取り、イネーブル(EN)信号に応答して切り換わり、受け取ったアナログのUとVの信号のうちの選択された方を交互に出力する。ADC530は、マルチプレクサ520からアナログのUとVの出力信号を受け取り、受け取ったUとVの信号をクロック(CLK)信号に応答してデジタル化する。CLK信号の各間隔は、単一のクロック・サイクル、即ち時間間隔を定める。EN信号およびCLK信号は、クロック発生器またはその他のデバイス(図示せず)により生成する。一実施例によれば、図5のCLK信号の周波数は、EN信号の周波数の2倍とする。例えば、CLK信号は、18MHzの周波数を呈し、EN信号は、9MHzの周波数を呈するものとする。従って、ADC530は、マルチプレクサ520に入力されたUとVの信号を1つおきに受け取ってデジタル化するだけである。即ち、マルチプレクサ520は、入力されたUとVの信号が1つおきに失われるように切り換わる。このようにしてADC530は、あるクロック・サイクル中にデジタル化済みU信号を出力し、次のクロック・サイクル中にデジタル化済みV信号を出力する。この動作に関するこれ以上の詳細は後述する。

【0022】

デマルチプレクサ540は、アナログ・デジタル変換器(ADC)530から出力されたデジタルのUとVの信号を受け取り、イネーブル(EN)信号に応答して切り換わり、デジタルのUとVの信号を出力する。後述するように、デマルチプレクサ540は、各クロック・サイクル中にデジタルU出力信号とデジタルV出力信号の両方を生成する。これらのデジタルのUとVの出力信号の一方は、現在のクロック・サイクル中にADC530から提供された信号であり、これらのデジタルのUとVの信号の他方は、前の(例えば、直前の)クロック・サイクル中にADC530から提供されたものである。一実施例によれば、デマルチプレクサ540は、前のUとVの信号値を保持し、それにより、あるクロック・サイクル中は現在のU出力信号と前のV出力信号を生成し、次いで、次のクロック・サイクル中は前のU出力信号と現在のV出力信号を生成する。

【0023】

フィルタ550は、デマルチプレクサ540からデジタルのUとVの信号を受け取り、クロック(CLK)信号に応答して、これらに対して濾波(フィルタリング)(例えば、補間)動作を実行し、それにより時間軸で整合のとれた濾波済みU信号とV信号を生成する。具体的には、フィルタ550により生成された濾波済みU信号とV信号は、マルチプレクサ520への対応する入力信号に対して時間軸で整合がとれている。図5では、フィルタ550は、UとVの両方の信号チャネルに作用する単一の濾波デバイスとして示されている。ただし、本発明を実施する際は、フィルタ550は、各信号チャネルごとの専用フィルタなど複数の濾波デバイスで構成されてもよい。従って、フィルタ550は少なくとも1つの濾波デバイスを含んでいる。一実施例によれば、フィルタ550は、各U信号値が、現在のクロック・サイクル中にデマルチプレクサ540から受け取ったU信号値の2分の1と、前の(例えば、直前の)クロック・サイクル中にデマルチプレクサ540から受け取ったU信号値の2分の1とを足した値に等しく設定されるように、濾波動作を実行する。同様に、各V信号値は、現在のクロック・サイクル中にデマルチプレクサ540から受け取ったV信号値の2分の1と、前の(例えば、直前の)クロック・サイクル中にデマルチプレクサ540から受け取ったV信号値の2分の1とを足した値に等しく設定される。この濾波動作に関する更に詳細は、後述する。

【0024】

サブサンプリング・デバイス560は、時間軸で整合のとれた濾波済みU信号とV信号をフィルタ550から受け取り、クロック(CLK)信号およびサブサンプル制御(SC

：Subsample Control) 信号にตอบสนองして、これらに対してサブサンプリング動作を実行し、サブサンプリング済みU信号とV信号を時間的に整列された形式で出力する。サブサンプル制御(SC)信号は、サブサンプリング・デバイス560が、サブサンプリングを実行する際の周波数を制御する。例えば、サブサンプル制御(SC)信号は、サブサンプリング・デバイス560が、1クロック・サイクルおきに1対の濾波済みU信号とV信号に対してサブサンプリング動作を実行するようにする。サブサンプリング・デバイス560からの時間軸で整合のとれたUとVの出力信号は、次いで、色補正、色合い補正、サンプル周波数変換、および/またはその他の処理動作など、次の処理に向けて提供される。図5では、フィルタ550と同様にサブサンプリング・デバイス560も、UとVの両方の信号チャンネルに作用する単一のサブサンプリング・デバイスとして示されている。ただし、本発明を実施する際は、サブサンプリング・デバイス560は、各信号チャンネルごとの専用サブサンプリング・デバイスなど複数のサブサンプリング・デバイスで構成されてもよい。従って、サブサンプリング・デバイス560は、少なくとも1つのサブサンプリング・デバイスを含んでいる。

【0025】

次に、以下の表4を参照しながら、多重化ADC構成500の例示的な動作に関して更に詳細に述べる。

【0026】

【表4】

クロック・サイクル	1	2	3	4	5
アナログU	45	46	47	48	49
アナログV	75	76	77	78	79
多重化位置	U	V	U	V	U
ADC出力	45	76	47	78	49
逆多重化済みU	45	45	47	47	49
逆多重化済みV	--	76	76	78	78
濾波済みU	--	45	46	47	48
濾波済みV	--	--	76	77	78

【0027】

表4に示すように、アナログのUとVの信号(即ち、アナログUとアナログV)は、各クロック・サイクル中にマルチプレクサ520に同時に入力される。マルチプレクサ520の切換え位置(即ち、多重化位置)は、あるクロックから次のクロックで交互に、UからVに変化する。例えば、表4で、マルチプレクサ520は、クロック・サイクル1の間は、値45のアナログU信号を出力するように切り換わり、クロック・サイクル2の間は、値76のアナログV信号を出力するように切り換わる。また、表4で、マルチプレクサ520への幾つかのUとVの入力信号は、失われることに留意されたい。例えば、クロック・サイクル1の間は、値75のV信号が失われる。同様に、クロック・サイクル2の間は、値46のU信号が失われる。後述するように、これらの失われた信号は、フィルタ550の動作により補償される。

【0028】

アナログ・デジタル変換器(ADC)530は、マルチプレクサ520からアナログのUとVの出力信号を受け取り、受け取ったUとVの信号をクロック(CLK)信号にตอบสนองしてデジタル化する。マルチプレクサ520は、入力されたUとVの信号が1つおき

に失われるように切り換わるので、A D C 5 3 0 は、マルチプレクサ 5 2 0 に入力された U と V の信号を 1 つおきに受け取ってデジタル化するだけである。例示および説明のために、表 4 では、A D C 5 3 0 が入力と出力の間で待ち時間 (l a t e n c y : レイテンシ) または遅延時間 (d e l a y : デイレイ) を有さないものとして示す。即ち、表 4 では、A D C 5 3 0 が、マルチプレクサ 5 2 0 から対応するアナログの U または V 入力信号を受け取るのと同じクロック・サイクル中に、デジタルの U または V 出力信号 (即ち、A D C 出力) を生成するものとして示す。ただし、本発明を実施する際は、A D C 5 3 0 が、マルチプレクサ 5 2 0 からアナログの U または V 入力信号を受け取る時と、A D C 5 3 0 が、対応するデジタルの U または V 出力信号を生成する時との間に、いくらかの遅延がある場合がある。例えば、このような遅延は 1 つまたは複数のクロック・サイクルに等しい場合がある。

10

【 0 0 2 9 】

デマルチプレクサ 5 4 0 は、デジタル変換された U と V の信号をアナログ・デジタル変換器 (A D C) 5 3 0 から受け取り、イネーブル (E N) 信号に応答して切り換わり、デジタルの U と V の信号を同時に出力する。この場合も、例示および説明のために表 4 では、デマルチプレクサ 5 4 0 が入力と出力の間で遅延を有さないものとして示す。従って、表 4 では、デマルチプレクサ 5 4 0 が、A D C 5 3 0 から現在の U または V 信号を受け取るのと同じクロック・サイクル中に、現在の U または V 出力信号 (即ち、逆多重化済み U または逆多重化済み V) を生成するものとして示す。ただし、本発明を実施する際には、デマルチプレクサ 5 4 0 が A D C 5 3 0 から U または V 入力信号を受け取る時と、デマルチプレクサ 5 4 0 が U または V 出力信号を生成する時との間に、いくらかの遅延がある場合がある。例えば、このような遅延は 1 つまたは複数のクロック・サイクルに等しい場合がある。

20

【 0 0 3 0 】

上述したように、デマルチプレクサ 5 4 0 は、各クロック・サイクル中にデジタル U 出力信号とデジタル V 出力信号の両方を生成する。具体的には、デマルチプレクサ 5 4 0 は、前の U と V の信号値を保持し、それにより、所定のクロック・サイクル中に現在の U 出力信号と前の V 出力信号を生成した後、次のクロック・サイクル中に前の U 出力信号と現在の V 出力信号を生成する。例えば、表 4 のクロック・サイクル 3 の間に、デマルチプレクサ 5 4 0 は、値 4 7 の現在 U 出力信号と、値 7 6 の直前クロック・サイクル (即ち、クロック・サイクル 2) の V 出力信号を生成する。次いで、クロック・サイクル 4 の間に、デマルチプレクサ 5 4 0 は、値 7 8 の現在 V 出力信号と、値 4 7 の直前クロック・サイクル (即ち、クロック・サイクル 3) の U 出力信号を生成する。このようにして、デマルチプレクサ 5 4 0 は、各クロック・サイクル中にデジタル U 出力信号とデジタル V 出力信号の両方を生成する。

30

【 0 0 3 1 】

フィルタ 5 5 0 は、デマルチプレクサ 5 4 0 からデジタルの U と V の信号を受け取り、これらに対して濾波動作を実行して、それにより時間軸で整合のとれた濾波済み U 信号と V 信号を出力する。上述したように、一実施例によれば、フィルタ 5 5 0 は、各 U 信号値が、現在のクロック・サイクル中にデマルチプレクサ 5 4 0 から生成された U 信号値の 2 分の 1 と、前の (例えば、直前の) クロック・サイクル中にデマルチプレクサ 5 4 0 から生成された U 信号値の 2 分の 1 とを足した値に等しく設定されるように、濾波動作を実行する。同様に、各 V 信号値は、現在のクロック・サイクル中にデマルチプレクサ 5 4 0 から生成された V 信号値の 2 分の 1 と、前の (例えば、直前の) クロック・サイクル中にデマルチプレクサ 5 4 0 から生成された V 信号値の 2 分の 1 とを足した値に等しく設定される。例えば、表 4 のクロック・サイクル 3 の間、フィルタ 5 5 0 は、値 4 6 の濾波済み U 信号 (即ち、濾波済み U) と、値 7 6 の濾波済み V 信号 (即ち、濾波済み V) を出力する。濾波済み U 信号の値 4 6 は、次のようにして得られる。

40

$$1 / 2 (4 7) + 1 / 2 (4 5) = 4 6$$

即ち、表 4 のクロック・サイクル 3 では、濾波済み U 信号は、現在のクロック・サイク

50

ル（即ち、クロック・サイクル 3）中にデマルチプレクサ 540 から提供された U 信号値（即ち、47）の 2 分の 1 と、直前のクロック・サイクル（即ち、クロック・サイクル 2）中にデマルチプレクサ 540 から提供された U 信号値（即ち、45）の 2 分の 1 を足した値に等しい。同様に、濾波済み V 信号の値 76 も次のようにして得られる。

$$1/2(76) + 1/2(76) = 76$$

即ち、表 4 のクロック・サイクル 3 では、濾波済み V 信号は、現在のクロック・サイクル（即ち、クロック・サイクル 3）中にデマルチプレクサ 540 から提供された V 信号値（即ち、76）の 2 分の 1 と、直前のクロック・サイクル（即ち、クロック・サイクル 2）中にデマルチプレクサ 540 から提供された V 信号値（即ち、76）の 2 分の 1 を足した値に等しい。当然、フィルタ 550 は、本発明の原理により他のタイプの濾波動作を実行してもよい。例えば、フィルタ 550 は、直前クロック・サイクル以外の前クロック・サイクルからの信号値を利用して、濾波済み U 信号と V 信号を生成してもよい。

【0032】

サブサンプリング・デバイス 560 は、時間軸で整合のとれた濾波済み U 信号と V 信号をフィルタ 550 から受け取り、これらに対してサブサンプリング動作を実行して、サブサンプリング済み U 信号と V 信号を生成する。表 4 には示していないが、サブサンプリング・デバイス 560 は、クロック（CLK）信号およびサブサンプル制御（SC）信号に応答して、後続のクロック・サイクル中にサブサンプリング済み U 信号と V 信号を時間的に整列された形式で出力する。上述したように、サブサンプリング済み U 信号と V 信号は、色補正、色合い補正、サンプル周波数変換、および/またはその他の処理動作など、次の処理に向けて提供される。

【0033】

次に、図 6 を参照すると、本発明を実施するための例示的なステップを要約したフローチャート 600 が示されている。例示および説明のために、図 6 のステップは、図 5 の多重化 ADC 構成 500 に関して述べる。

【0034】

図 6 で、プロセス・フロー（流れ）は、ステップ 601 で開始し、マルチプレクサ 520 は、イネーブル（EN）信号に応答してアナログの U と V の入力信号を交互にアナログ・デジタル変換器（ADC）530 に提供する。ステップ 602 で、ADC 530 は、アナログの U と V の入力信号をデジタル・フォーマットに変換し、CLK 信号に応答してデジタルの U と V の信号をデマルチプレクサ 540 に出力する。CLK 信号の各間隔は、単一のクロック・サイクルまたは時間間隔を定める。ステップ 603 で、デマルチプレクサ 540 は、EN 信号に応答してデジタルの U と V の信号をフィルタ 550 に提供する。ステップ 604 で、フィルタ 550 は、デマルチプレクサ 540 から提供されたデジタルの U と V の信号に対して濾波（例えば、補間）動作を実行し、CLK 信号に応答して、濾波済み U 信号と V 信号を時間的に整列された形式でサブサンプリング・デバイス 560 に出力する。次いで、ステップ 605 で、サブサンプリング・デバイス 560 は、フィルタ 550 から提供された濾波済み U 信号と V 信号に対してサブサンプリング動作を実行し、サブサンプリング済み U 信号と V 信号を時間的に整列された形式で出力する。次いで、サブサンプリング・デバイス 560 からの時間軸で整合のとれた U と V の出力信号は、色補正、色合い補正、サンプル周波数変換、および/またはその他の処理動作など、次の処理に向けて提供される。

【0035】

本明細書に述べたように、本発明では有利にも、時間軸で整合のとれた出力サンプルを発生する多重化 ADC システム中でアナログ遅延手段の必要がない。好ましい実施例を 2 つの入力信号（即ち、U と V）だけに関して述べたが、3 つ以上の入力信号を有するシステムに本発明の原理を適用することもできることは、当業者なら直感的に分かるであろう。従って、本発明の原理を適用して、時間軸で整合のとれた出力信号を伴う任意の数の信号チャネルを提供する。

【0036】

10

20

30

40

50

本明細書に述べた本発明は、表示装置付きまたは表示装置なしの様々な音声および／またはビデオ・システムに特に適用可能である。従って、本明細書で使用した語句「音声」および／または「ビデオ」システム或いは類似の語句は、様々なタイプのシステムまたは装置を含むものとし、限定しないがこれらには、テレビジョン・セットや、表示装置を含めたモニターや、セットトップ・ボックス（STB）、VCR、DVDプレーヤ、ビデオ・ゲーム・ボックス、PVRなどのシステムまたは装置や、表示装置を備えない場合のあるその他のビデオ・システムが含まれる。更に本発明は、ビデオ出力をすることも、有していないこともある音声システムなど、その他のシステムにも適用可能である。

【 0 0 3 7 】

本発明を好ましい設計を有するものとして述べたが、本発明は、本開示の趣旨および範囲内で更に変更することもできる。従って本出願は、本発明の一般原理を用いる本発明のどんな変形、使用、または適合もカバーするものとする。更に本出願は、本発明が関係しており特許請求の範囲に含まれる、当技術分野における周知のまたは慣例の実施の範囲内で、本開示からの逸脱もカバーするものとする。

【図面の簡単な説明】

【 0 0 3 8 】

【図 1】単純な多重化技法を利用する多重化ADC構成の図である。

【図 2】サンプル・ホールド回路を利用する多重化ADC構成の図である。

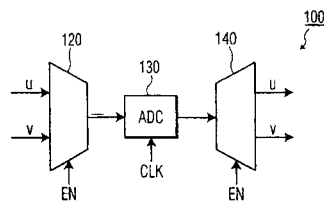
【図 3】アナログ遅延フィルタを利用する多重化ADC構成の図である。

【図 4】本発明の原理による多重化ADC構成を備える例示的なシステムの図である。

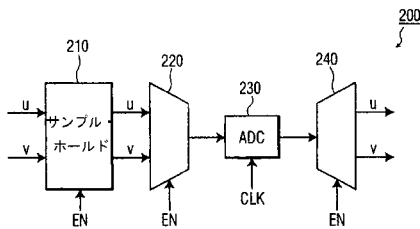
【図 5】図 4 の多重化ADC構成を更に詳細に示す図である。

【図 6】本発明を実施するための例示的なステップを要約したフローチャートである。

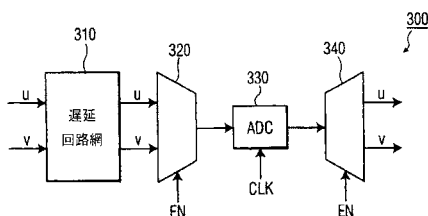
【図 1】



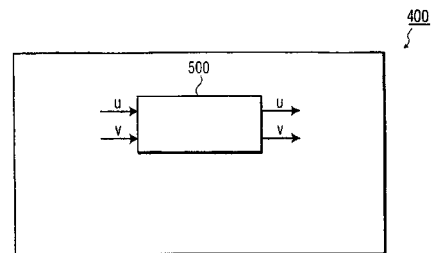
【図 2】



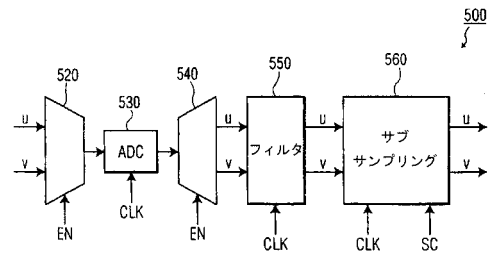
【図 3】



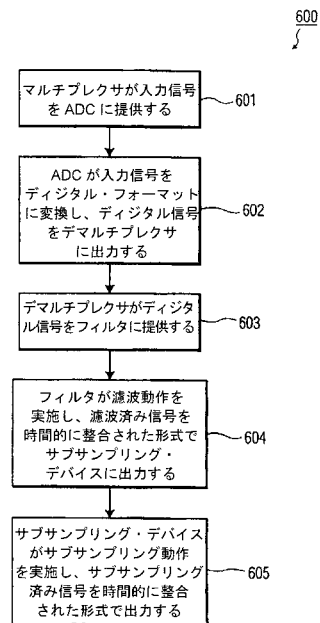
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 ラムレイク, マーク フランシス
アメリカ合衆国 インディアナ州 インディアナポリス インディアン・レイク・ブールバード・
サウス 10308

審査官 小曳 満昭

(56)参考文献 特開平04-207716(JP, A)
特開昭60-001939(JP, A)
実開昭59-028734(JP, U)

(58)調査した分野(Int.Cl., DB名)
H03M 1/00- 1/88