

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年12月28日 (28.12.2006)

PCT

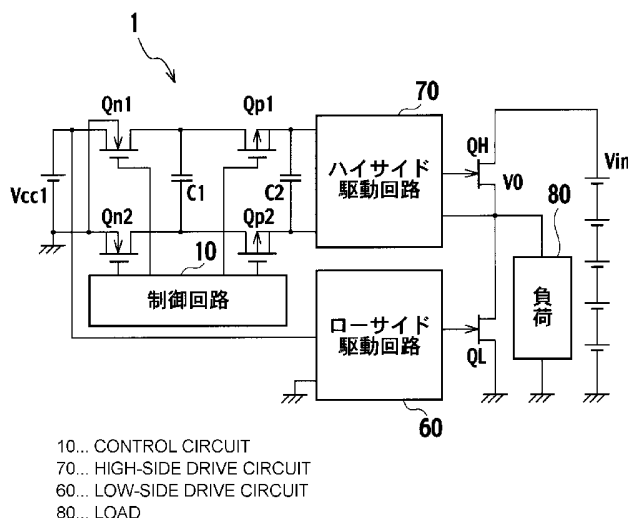
(10) 国際公開番号
WO 2006/137221 A1

- (51) 国際特許分類:
H03K 17/06 (2006.01) H03K 17/687 (2006.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2006/309102
- (22) 国際出願日: 2006年5月1日 (01.05.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-184872 2005年6月24日 (24.06.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.)
[JP/JP]: 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岩渕 昭夫 (IWABUCHI, Akio). 原 雅人 (HARA, Masato).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.);
〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門
琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: DRIVE CIRCUIT

(54) 発明の名称: 駆動回路



10... CONTROL CIRCUIT
70... HIGH-SIDE DRIVE CIRCUIT
60... LOW-SIDE DRIVE CIRCUIT
80... LOAD

(57) Abstract: A drive circuit of a switching circuit comprises a high-side drive circuit (70) for turning of/off a switching element (QH) disposed on the high side of a DC power supply (Vin) by a control signal and a low-side drive circuit (60) disposed on the low side of the DC power supply and adapted for alternately turning on/off a switching element (QL) connected in series to the switching element (QH) and the switching element (QH) by a control signal. A switching element (Qn1), a capacitor (C1), and a switching element (Qn2) are connected in series to both ends of an auxiliary power supply (Vcc1). A switching element (Qp1), a capacitor (C2), and a switching element (Qp2) are connected in series to both ends of the capacitor (C1). A control circuit (10) alternately turns on/off the switching element (Qn1), the switching element (Qn2), the switching element (Qp1), and the switching element (Qp2) and turns on the switching element (Qn1) and the switching element (Qn2) and then the switching element (Qp1) and switching element (Qp2). The capacitor (C2) supplies electric power to the high-side drive circuit.

(57) 要約: スイッチング回路の駆動回路は、直流電源Vinのハイサイド側に配置されたスイッチング素子QHを制御信号によりオン/オフさせるハイサイド駆動回路70と、直流電源のローサイド側に配置されると共にスイッチング素子QHに直列に接続されたスイッチング素子QLを制御信号によりスイッチング素子QHと交互にオ

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ン／オフさせるローサイド駆動回路60とを具備する。さらに、補助電源Vcc1の両端にスイッチ素子Qn1とコンデンサC1とスイッチ素子Qn2とが直列に接続され、C1の両端にスイッチ素子Qp1とC2とスイッチ素子Qp2とが直列に接続される。制御回路10はQn1、Qn2とQp1、Qp2とを交互にオン／オフさせると共に、Qn1、Qn2をオンさせた後にQp1、Qp2をオンさせ、C2はハイサイド駆動回路の電源を供給する。

明 細 書

駆動回路

技術分野

- [0001] 本発明は、DC－DCコンバータ、インバータ、モータドライブ回路等に用いられるスイッチング回路の駆動回路に関する。

背景技術

- [0002] DC－DCコンバータ等に用いられるスイッチング回路は、直流電源の両端に直列に接続された2個のスイッチング素子を制御信号により交互にオン／オフさせて、2個のスイッチング素子の中点に接続された負荷に電力を供給する。このスイッチング回路は、直流電源のハイサイド側に接続されたスイッチング素子を駆動するために専用の電源が必要になる。この電源を作成するために、ブートストラップ回路を用いた駆動回路が従来より知られている。
- [0003] 図1はブートストラップ回路を用いた駆動回路の回路図である。図1において、直流電源 V_{in} の両端には、MOSFETからなるスイッチング素子QHとMOSFETからなるスイッチング素子QLとが直列に接続され、スイッチング素子QHとスイッチング素子QLとの接続点には負荷80が接続されている。
- [0004] ローサイド駆動回路60は、図示しない制御回路からの信号に基づいて、スイッチング素子QLをオン／オフさせる。ハイサイド駆動回路70は、図示しない制御回路からの信号に基づいて、スイッチング素子QHをスイッチング素子QLとは相補的にオン／オフさせる。即ち、制御信号により、スイッチング素子QHとスイッチング素子QLとが交互にオン／オフする。
- [0005] ローサイド駆動回路60は、補助電源 V_{cc1} によって動作する。ハイサイド駆動回路70は、ダイオードD1とコンデンサC2からなるブートストラップ回路50により充電されたコンデンサC2の電圧で動作する。
- [0006] 次にこのように構成された駆動回路の動作を説明する。ここでは、ハイサイド駆動回路70を動作させるための電源としての、コンデンサC2の充電について説明する。
- [0007] まず、制御信号によりスイッチング素子QLがオンすると、補助電源 V_{cc1} からダイオ

ードD1, コンデンサC2, スイッチング素子QH, QLの結合点V0, スイッチング素子QL, グランドGNDの経路に沿って電流が流れ、コンデンサC2が充電される。

- [0008] 次に、制御信号によりスイッチング素子QLがオフすると、結合点V0の電位が上昇するので、コンデンサC2及びハイサイド駆動回路70の基準となる電位も上昇し、コンデンサC2に充電された電圧によりハイサイド駆動回路70が動作する。
- [0009] 図2は図1に示す駆動回路の動作を説明するためのタイミングチャートである。図2(a)は接続点V0とグランドGNDの間の電圧V0-GNDを示し、図2(b)はコンデンサC2の電圧VB-V0を示している。スイッチング素子QH, QLがオフしている状態では、スイッチング素子の浮遊容量などによって分圧され、電圧V0-GNDは、直流電源の電圧Vinの半分程度が印加された状態となり、コンデンサC2の電荷は存在しないので電圧VB-V0はない。
- [0010] 時刻t11において、スイッチング素子QLがオンすると、電圧V0-GNDはほぼゼロになる。このとき、コンデンサC2は補助電源Vcc1からダイオードD1, コンデンサC2, スイッチング素子QH, QLの接続点V0, スイッチング素子QL, グランドGNDに沿った経路を介して充電され、急速に電位が上昇し、時刻t12において、補助電源Vcc1と同じ電圧まで充電される。
- [0011] 次に、時刻t13において、スイッチング素子QLがオフし、コンデンサC2の電圧VB-V0によって動作可能となったハイサイド駆動回路70は、スイッチング素子QHをオンさせる。このため、電圧V0-GNDは入力電圧Vinまで上昇し、コンデンサC2の電圧VB-V0は、ハイサイド駆動回路70によってスイッチング素子QHをオンさせるために電荷を消費されて下がる。
- [0012] 時刻t14において、スイッチング素子QHがオフし、スイッチング素子QLがオンすると、再びコンデンサC2は充電される。この動作を繰り返して、スイッチング素子QHとスイッチング素子QLとのオン／オフが交互に繰り返される。
- [0013] また、図1に示す駆動回路に関連したゲート駆動回路として例えば日本国特開2004-304527号公報が知られている。前記文献に記載されたゲート駆動回路には、ブートストラップ回路とチャージポンプ駆動回路を組合わせてハイサイド側のスイッチング素子の駆動回路の電源を得る方法が開示されている。

- [0014] 図3は従来のゲート駆動回路を示す回路図である。このゲート駆動回路の動作を説明する。下アームのスイッチング素子122がオンすると、ブートストラップ充電回路が構成される。即ち、電源106と、高圧ダイオード111、112と、上アーム回路の電源用コンデンサ110と、スイッチング素子121とスイッチング素子122の結合点Aと、下アームのスイッチング素子122を通過してアースに至る充電経路を介して上アーム回路の電源用コンデンサ110を充電する。
- [0015] 次に、上アームのスイッチング素子121がオンすると、A点の電位が直流電源101の電圧近くまで上昇する。このとき、発振回路113が動作して、発振回路113の出力により、チャージポンプ駆動回路116は、スイッチング素子117とスイッチング素子118とを交互にオン／オフさせる。スイッチング素子118のオンのタイミングで、電源106から、ダイオード111、補助コンデンサ119、及びスイッチング素子118に沿った経路を介して補助コンデンサ119が充電される。次に、スイッチング素子118がオフし、スイッチング素子117がオンすると、充電されていた補助コンデンサ119から、高圧ダイオード112、電源用コンデンサ110、及びスイッチング素子117の経路で、上アーム回路の電源用コンデンサ110が充電される。
- [0016] このように、ローサイド側のスイッチング素子122がオフのときには、チャージポンプ駆動回路116によってブートストラップ回路の電源用コンデンサ110を充電する。

発明の開示

発明が解決しようとする課題

- [0017] しかしながら、図1に示す駆動回路にあつては、ブートストラップ回路50は、ローサイド側のスイッチング素子QLがオンの時にコンデンサC2を充電するので、スイッチング素子QLのオン時間が短くなると、十分にコンデンサC2を充電できず電圧が低下することがある。このため、ハイサイド駆動回路70の電源電圧が不足する。
- [0018] また、スイッチング電源の場合には、近年の低消費電力化、特に待機時の低消費電力に対応するため、待機時などの消費電力が小さい時にはスイッチング回路のオン／オフ動作を断続させて、効率を向上させる方法が良く用いられる。スイッチング回路のオン／オフ動作を停止している期間は、ブートストラップ回路50が動作せず、やはり、コンデンサC2の電圧が低下して、ハイサイド駆動回路70の電源電圧が不足

する。

[0019] また、前記文献に記載されたゲート駆動回路では、ハイサイド側の駆動回路の電源用コンデンサ110は、ローサイド側(下アーム側)のスイッチング素子122がオンしているとき、ブートストラップ回路で充電され、ローサイド側のスイッチング素子122がオフしているとき(ハイサイド側のスイッチング素子121がオンしているとき)は、チャージポンプ駆動回路116によって充電するので、ブートストラップ回路で充電される時は電源用コンデンサ110の充電時間を任意に設定できない。

[0020] また、高耐圧のダイオードを使用するため、モノリシックICにするのが困難であった。

[0021] 本発明によれば、ローサイド側のスイッチング素子の状態の如何に関わらず、常に所定の電圧をハイサイド駆動回路の電源として供給できる駆動回路を提供することができる。

課題を解決するための手段

[0022] 上記課題を解決するために、本発明は以下の手段を採用した。本発明の第1の技術的側面によれば、直流電源のハイサイド側に配置された第1のスイッチング素子を制御信号によりオン／オフさせるハイサイド駆動回路と、前記直流電源のローサイド側に配置されると共に前記第1のスイッチング素子に直列に接続された第2のスイッチング素子を前記制御信号により前記第1のスイッチング素子と交互にオン／オフさせるローサイド駆動回路とを有する駆動回路において、第1の補助電源の両端に接続され、第1のスイッチ素子と第1のコンデンサと第2のスイッチ素子とが直列に接続された第1直列回路と、前記第1のコンデンサの両端に接続され、第3のスイッチ素子と第2のコンデンサと第4のスイッチ素子とが直列に接続された第2直列回路と、前記第1及び第2のスイッチ素子と前記第3及び第4のスイッチ素子とを交互にオン／オフさせると共に、前記第1及び第2のスイッチ素子をオンさせた後に、前記第3及び第4のスイッチ素子をオンさせる制御回路とを有し、前記第2のコンデンサは、前記ハイサイド駆動回路の電源を供給することを特徴とする。

[0023] 本発明の第2の技術的側面によれば、さらに、前記第1及び第2のスイッチ素子は、nチャンネルFETからなり、各々のnチャンネルFETのバックゲートは、基準となる電位に

接続され、前記第3及び第4のスイッチ素子は、pチャネルFETからなり、さらに、前記第3のスイッチ素子のバックゲートにソースが接続され、前記第3のスイッチ素子のドレインにドレインが接続されたpチャネルFETからなる第5のスイッチ素子を有し、前記制御回路は、前記第1及び第2のスイッチ素子と前記第3乃至第5のスイッチ素子とを交互にオン／オフさせると共に、前記第1及び第2のスイッチ素子をオンさせた後に、前記第3及び第5のスイッチ素子をオンさせ、その後に、前記第4のスイッチ素子をオンさせることを特徴とする。

[0024] 本発明の第3の技術的側面によれば、さらに、一端が前記第5のスイッチ素子のソースに接続され、他端が前記第2のコンデンサの一端と前記第3のスイッチ素子のソースとに接続された第1の抵抗を設けたことを特徴とする。

[0025] 本発明の第4の技術的側面によれば、さらに、ダイオードを介して前記第2のコンデンサを充電する第2の補助電源を有し、前記第4のスイッチ素子のバックゲートは、前記第2のコンデンサに接続されることを特徴とする。

[0026] 本発明の第5の技術的側面によれば、さらに、前記第1の補助電源の電圧は、前記第2の補助電源の電圧より大きいことを特徴とする。

[0027] 本発明の第6の技術的側面によれば、さらに、前記第4のスイッチ素子のバックゲートと前記第2のコンデンサとの間に第2の抵抗を接続したことを特徴とする。

図面の簡単な説明

[0028] [図1]図1は、従来のブートストラップ回路を用いた駆動回路を示す回路図である。

[図2]図2は、図1に示す駆動回路の動作を説明するためのタイミングチャートである。

[図3]図3は、従来のゲート駆動回路を示す回路図である。

[図4]図4は、本発明の実施例1の駆動回路の回路図である。

[図5]図5は、本発明の実施例1の駆動回路に設けられた制御回路の各信号のタイミングチャートである。

[図6]図6は、本発明の実施例1の駆動回路に設けられたpチャネルFETからなる第3のスイッチ素子を高耐圧の集積回路に搭載した場合の代表的な構造図である。

[図7]図7は、本発明の実施例2の駆動回路の回路図である。

[図8]図8は、本発明の実施例2の駆動回路に設けられた制御回路の各信号のタイミ

ングチャートである。

[図9]図9は、本発明の実施例3の駆動回路の回路図である。

発明を実施するための最良の形態

[0029] 第1実施例

以下、本発明の駆動回路の実施例を図面を参照しながら詳細に説明する。

[0030] 図4は本発明の実施例1の駆動回路の回路図である。図4において、直流電源Vinの両端には、スイッチング素子QHとしてのMOSFETとスイッチング素子QLとしてのMOSFETとが直列に接続され、スイッチング素子QHとスイッチング素子QLとの接続点には負荷80が接続されている。

[0031] ローサイド駆動回路60は、図示しない制御回路からの信号に基づいて、スイッチング素子QLをオン／オフさせる。ハイサイド駆動回路70は、図示しない制御回路からの信号に基づいて、スイッチング素子QHをスイッチング素子QLとは相補的にオン／オフさせる。即ち、スイッチング素子QHとスイッチング素子QLとが交互にオン／オフする。

[0032] ローサイド駆動回路60は、補助電源Vcc1（第1の補助電源）によって動作する。ハイサイド駆動回路70は、ハイサイド電源供給部1からのコンデンサC2の電圧により動作する。

[0033] ハイサイド電源供給部1において、補助電源Vcc1の正極にはスイッチ素子Qn1（第1のスイッチ素子）のドレインが接続され、スイッチ素子Qn1のソースはコンデンサC1（第1のコンデンサ）の一端に接続される。コンデンサC1の他端はスイッチ素子Qn2（第2のスイッチ素子）のドレインに接続され、スイッチ素子Qn2のソース及びバックゲートは補助電源Vcc1の負極（グランドGND）に接続される。スイッチ素子Qn1のバックゲートは補助電源Vcc1の負極（グランドGND）に接続される。即ち、補助電源Vcc1の両端にスイッチ素子Qn1とコンデンサC1とスイッチ素子Qn2とが直列に接続される。

[0034] また、コンデンサC1の一端にはスイッチ素子Qp1（第3のスイッチ素子）のドレインが接続され、スイッチ素子Qp1のソース及びバックゲートはコンデンサC2（第2のコンデンサ）の一端及びハイサイド駆動回路70の一端に接続されている。コンデンサC1

の他端にはスイッチ素子Qp2(第4のスイッチ素子)のドレインが接続され、スイッチ素子Qp2のソース及びバックゲートはコンデンサC2の他端及びハイサイド駆動回路70の他端に接続される。即ち、コンデンサC1の両端にスイッチ素子Qp1とコンデンサC2とスイッチ素子Qp2とが直列に接続される。

- [0035] スwitch素子Qn1, Qn2はそれぞれnチャネルMOSFETであり、各々のnチャネルFETのバックゲートは、ローサイド側の基準となる電位(例えばグランドGND)に接続される。スイッチ素子Qp1, Qp2はpチャネルMOSFETである。
- [0036] ハイサイド電源供給部1は、各々のスイッチ素子のゲートに制御信号を印加することにより、スイッチ素子Qn1, Qn2をオンさせた後に、スイッチ素子Qp1, Qp2をオンさせる制御回路10を有する。コンデンサC2はハイサイド駆動回路70の電源となる。
- [0037] 次にこのように構成された実施例1の駆動回路の動作を図5に示すタイミングチャートを参照しながら説明する。
- [0038] まず、時刻t1において、スイッチ素子Qn1のゲートにゲート信号Qn1gを印加すると共にスイッチ素子Qn2のゲートにゲート信号Qn2gを印加することにより、スイッチ素子Qn1及びスイッチ素子Qn2をオンさせ、スイッチ素子Qp1及びスイッチ素子Qp2をオフさせる(ゲート信号Qp1g, Qp2gなし)。
- [0039] このとき、Vcc1, Qn1, C1, Qn2, Vcc1の経路に沿って、補助電源Vcc1によってコンデンサC1が充電され、コンデンサC1の電圧は補助電源Vcc1の電圧に到達する。このとき、スイッチ素子Qp1及びスイッチ素子Qp2はオフであるので、ハイサイド側の回路の基準となる電位とは独立に補助電源Vcc1はコンデンサC1を充電する。
- [0040] 次に、時刻t2において、スイッチ素子Qn1及びスイッチ素子Qn2をオフさせ、スイッチ素子Qp1のゲートにゲート信号Qp1gを印加すると共にスイッチ素子Qp2のゲートにゲート信号Qp2gを印加することにより、スイッチ素子Qp1及びスイッチ素子Qp2をオンさせる。
- [0041] このとき、C1, Qp1, C2, Qp2, C1の経路に沿って、コンデンサC1によってコンデンサC2が充電される。即ち、コンデンサC1の電荷がコンデンサC2へ移動して、コンデンサC2は、コンデンサC1の電圧に到達するまで充電される。コンデンサC2は、ハイサイド駆動回路70の電源となる。

[0042] 従って、コンデンサC2の電荷供給により、ハイサイド駆動回路70が動作する。このとき、スイッチ素子Qn1及びスイッチ素子Qn2は、オフであるので、ハイサイド側の回路の基準となる電位の如何に関わらず、コンデンサC1からコンデンサC2への電荷移動が行われる。

[0043] このように、ハイサイド側の回路の基準となる電位の如何に関わらず(ローサイド側のスイッチング素子QLのオンまたはオフの状態に関わらず)、スイッチ素子Qn1、Qn2と、スイッチ素子Qp1、Qp2とを交互にオン／オフさせることで、所定の周期で補助電源Vcc1の電圧によりコンデンサC1を介してコンデンサC2を充電することができる。

[0044] また、本発明によると、スイッチング素子QH及びQLの動作に制限を受けることなく、スイッチ素子Qn1及びQn2とスイッチ素子Qp1及びQp2のオンオフ動作を設定できる。したがって、補助電源Vcc1からコンデンサC1を充電するとき、又はコンデンサC1からコンデンサC2を充電するときに、充電電流を制限するインピーダンス素子を入れると、コンデンサC1又はC2の充電電圧が充電時間によって変わる。このため、スイッチ素子Qn1及びQn2とスイッチ素子Qp1及びQp2のオンオフデューティを設定することによりコンデンサC1又はC2の電圧を調整できる。コンデンサの電圧を検出してスイッチ素子Qn1及びQn2とスイッチ素子Qp1及びQp2のオンオフデューティを調整すれば、電圧を安定化することも可能である。

[0045] 実施例2

図4に示す実施例1の駆動回路では、スイッチ素子Qp1は、ドレインからソースへ逆方向に電流が流れることになる。また、スイッチ素子Qp1は高耐圧を必要とする。

[0046] 図6は本発明の実施例1の駆動回路に設けられたpチャネルFETからなるスイッチ素子Qp1を高耐圧の集積回路に搭載した場合の代表的な構造図である。図6に示すように、スイッチ素子Qp1は、P層21とドレインDとソースSとバックゲートBGとを有し、ドレインDの周辺領域にはP層23が形成され、ソースSの周辺領域にはP層25が形成され、P層21とP層23とP層25との間にはN層27が形成されている。

[0047] 図6に示すように、ドレインDの寄生抵抗30、P層23とN層27との間に寄生ダイオード31、P層25とN層27との間に寄生ダイオード33、及びP層23とN層27とP層21

との間に寄生トランジスタ35が存在する。このため、大電流を流した場合、スイッチ素子Qp1のドレイン寄生抵抗30により電圧ドロップ(電圧降下)が発生し、この電圧ドロップにより、N層27がベースとなるpnptランジスタからなる寄生トランジスタ35が動作するため、寄生トランジスタ35によりP層23からP層21への寄生電流Ip1や、寄生ダイオード31によりP層23からN層27を介してバックゲートBGへの寄生電流Ip2が流れ、目的とする動作を実現できないことがある。

- [0048] 動作温度が高い場合には、寄生トランジスタ35のベース－エミッタ間の電圧が下がり、ドレインの寄生抵抗30が大きくなるので、寄生トランジスタ35が動作しやすくなる。このため、pチャネルFETの使用条件は、より小さな電流密度に限定される。また、スイッチ素子Qp1の寄生トランジスタ35の耐圧が低い場合には素子が破損することがある。ドレインの寄生抵抗30を小さくし、寄生トランジスタ35の耐圧を高くすると、モノリシックICへ集積する場合、チップサイズが大きくなる。
- [0049] 本実施例では、寄生トランジスタ35の影響をなくし容易にモノリシックIC化できる駆動回路を提供する。図7は本発明の実施例2の駆動回路の回路図である。図7では、駆動回路の内の主要部である、ハイサイド駆動回路70と、電源供給部1aとを示している。その他の回路は、図4に示す実施例1の回路と同一である。
- [0050] 図7に示すハイサイド電源供給部1aは、図4に示すハイサイド電源供給部1の構成に、さらに、pチャネルMOSFETからなるスイッチ素子Qp3(第5のスイッチ素子)を追加したことを特徴とする。
- [0051] スwitch素子Qp3は、ドレインをスイッチ素子Qp1のドレインに接続し、ソース及びバックゲートをスイッチ素子Qp1のバックゲートに接続し、ソース及びバックゲートを抵抗R1(第1の抵抗)を介してスイッチ素子Qp1のソース及びコンデンサC2の一端に接続している。
- [0052] 制御回路10aは、各々のスイッチ素子のゲートに制御信号を印加することにより、スイッチ素子Qn1, Qn2をオンさせた後に、スイッチ素子Qp1, Qp3をオンさせ、その後に、スイッチ素子Qp2をオンさせる。コンデンサC2は、ハイサイド駆動回路70の電源となる。
- [0053] 次にこのように構成された実施例2の駆動回路の動作を図8に示すタイミングチャー

トを参照しながら説明する。

- [0054] まず、時刻 t_1 において、スイッチ素子 Q_{n1} のゲートにゲート信号 Q_{n1g} を印加すると共にスイッチ素子 Q_{n2} のゲートにゲート信号 Q_{n2g} を印加することにより、スイッチ素子 Q_{n1} 及びスイッチ素子 Q_{n2} をオンさせ、スイッチ素子 Q_{p1} 及びスイッチ素子 Q_{p2} をオフさせる。
- [0055] このとき、 V_{cc1} 、 Q_{n1} 、 C_1 、 Q_{n2} 、 V_{cc1} に沿った経路を介して、補助電源 V_{cc1} によってコンデンサ C_1 が充電され、コンデンサ C_1 の電圧は補助電源 V_{cc1} の電圧に到達する。このとき、スイッチ素子 Q_{p1} 及びスイッチ素子 Q_{p2} はオフであるので、ハイサイド側の回路の基準となる電位の如何に関わらず、補助電源 V_{cc1} はコンデンサ C_1 を充電する。
- [0056] 次に、時刻 t_2 において、スイッチ素子 Q_{n1} 及びスイッチ素子 Q_{n2} をオフさせ、スイッチ素子 Q_{p1} のゲートにゲート信号 Q_{p1g} を印加すると共にスイッチ素子 Q_{p3} のゲートにゲート信号 Q_{p3g} を印加することにより、スイッチ素子 Q_{p1} 及びスイッチ素子 Q_{p3} をオンさせる。なお、スイッチ素子 Q_{p1} をスイッチ素子 Q_{p3} よりも僅かに早くオンさせる方が好ましい。次に、時刻 t_3 において、スイッチ素子 Q_{p2} をオンさせる。
- [0057] このとき、スイッチ素子 Q_{p1} のドレインからソースに向かって電流が流れ、ドレインの寄生抵抗により電圧降下が発生するが、スイッチ素子 Q_{p3} がオンしているので、スイッチ素子 Q_{p1} のバックゲートがドレイン電圧に固定される。すなわち、スイッチ素子 Q_{p3} のソースとスイッチ素子 Q_{p1} のバックゲートとは同電位であり、スイッチ素子 Q_{p3} がオンのときには、スイッチ素子 Q_{p3} のドレインとソースとは同電位であり、スイッチ素子 Q_{p3} のドレインとスイッチ素子 Q_{p1} のドレインとは同電位であるので、スイッチ素子 Q_{p1} のバックゲートとドレインとは、同電位となる。このため、寄生ダイオード31、33、寄生トランジスタ35が動作することが無い。
- [0058] スイッチ素子 Q_{p3} はスイッチ素子 Q_{p1} のバックゲートをスイッチ素子 Q_{p1} のドレインに固定するためなので、大きな電流を流す必要がなく、抵抗 R_1 によって電流を制限する。スイッチ素子 Q_{p3} は抵抗 R_1 によって制限され大きな電流が流れないので、寄生ダイオード、寄生トランジスタが動作することは無い。 C_1 、 Q_{p1} 、 C_2 、 Q_{p2} 、 C_1 の経路に沿ってコンデンサ C_1 によりコンデンサ C_2 が充電される。即ち、コンデンサ C_1

の電荷がコンデンサC2へ移動して、コンデンサC2は、コンデンサC1の電圧に到達するまで充電される。

[0059] 実施例3

図9は本発明の実施例3の駆動回路の回路図である。実施例1、実施例2では、起動時などのコンデンサC2の電圧が低い時には大きな充電電流が流れるので、スイッチ素子Qn1, Qn2, Qp1, Qp2は、それに耐えるように大きな定格を必要とする。

[0060] 本実施例の駆動回路は、図9に示すようにブートストラップ回路と実施例2の駆動回路とを組合わせたもので、定格を大きくする必要が無く、より容易にモノリシックIC化できることを特徴とする。

[0061] 本実施例の駆動回路は、図7に示す実施例2の駆動回路に対して、さらに、補助電源Vcc2(第2の補助電源)をダイオードD1を介してコンデンサC2の一端に接続して、コンデンサC2を充電するように構成される。補助電源Vcc2の電圧は、補助電源Vcc1の電圧より低い電圧に設定する。また、スイッチ素子Qp2のバックゲートは抵抗R2(第2の抵抗)を介してコンデンサC2の他端に接続されている。

[0062] 以上のように構成された実施例3の駆動回路によれば、起動時には補助電源Vcc2とダイオードD1とは従来のブートストラップ回路として動作し、ローサイド側のスイッチング素子QLがオンの時に、補助電源Vcc2からダイオードD1を介してコンデンサC2を急速に充電させ、スイッチング素子QH、QLからなるスイッチング回路が動作する。

[0063] その後、スイッチ素子Qn1及びスイッチ素子Qn2と、スイッチ素子Qp1及びスイッチ素子Qp2とのオン／オフによって、補助電源Vcc1からコンデンサC1を介してコンデンサC2を充電する。

[0064] また、補助電源Vcc1は、補助電源Vcc2よりも大きいので、補助電源Vcc1からの充電が開始すると、コンデンサC2の電圧は補助電源Vcc2の電圧よりも高くなり、ブートストラップ回路からの充電はなくなる。また、スイッチ素子Qn1及びスイッチ素子Qn2とスイッチ素子Qp1及びスイッチ素子Qp2のオン／オフによるコンデンサC2の充電は、駆動回路で消費する電力を補うだけでよいので、スイッチ素子Qn1, Qn2, Qp1, Qp2は小さな定格のFETを使用できる。

[0065] また、抵抗 R_2 によってスイッチ素子 Q_{p2} からコンデンサ C_2 への電流を制限することができる。

[0066] 発明の効果

本発明の第1の技術的側面によれば、ローサイド側の第2のスイッチング素子の状態の如何に関わらず、所定の周期で第2のコンデンサを充電することができる。また、第2のコンデンサをハイサイド駆動回路の電源にすると、ローサイド側の第2のスイッチング素子の状態の如何に関わらず、常に所定の電圧をハイサイド駆動回路の電源として供給できる。

[0067] また、本発明の第2の技術的側面によれば、FETをスイッチ素子として用い、バックゲートを利用して寄生ダイオードを逆バイアスするように構成したので、寄生トランジスタが動作することは無く、高耐圧にできるので、モノリシックIC化が容易になる。

[0068] 本発明の第3の技術的側面によれば、さらに、第1の抵抗により第5のスイッチ素子に流れる電流を制限できる。

[0069] 本発明の第4及び第5の技術的側面によれば、起動時などの第2のコンデンサの電圧が低く大きな充電電流が流れる時には、ブートストラップ回路で第2のコンデンサを急速充電し、その後は消費された電力分のみを充電するので、供給する電力を減らすことができ、モノリシックIC化がより容易になる。

[0070] 本発明の第6の技術的側面によれば、第2の抵抗により第4のスイッチ素子に流れる電流を制限できる。

[0071] 産業上の利用可能性

本発明は、DC-DCコンバータ、インバータ、モータドライブ回路等のスイッチング回路を駆動する駆動回路に適用可能である。

[0072] (米国指定)

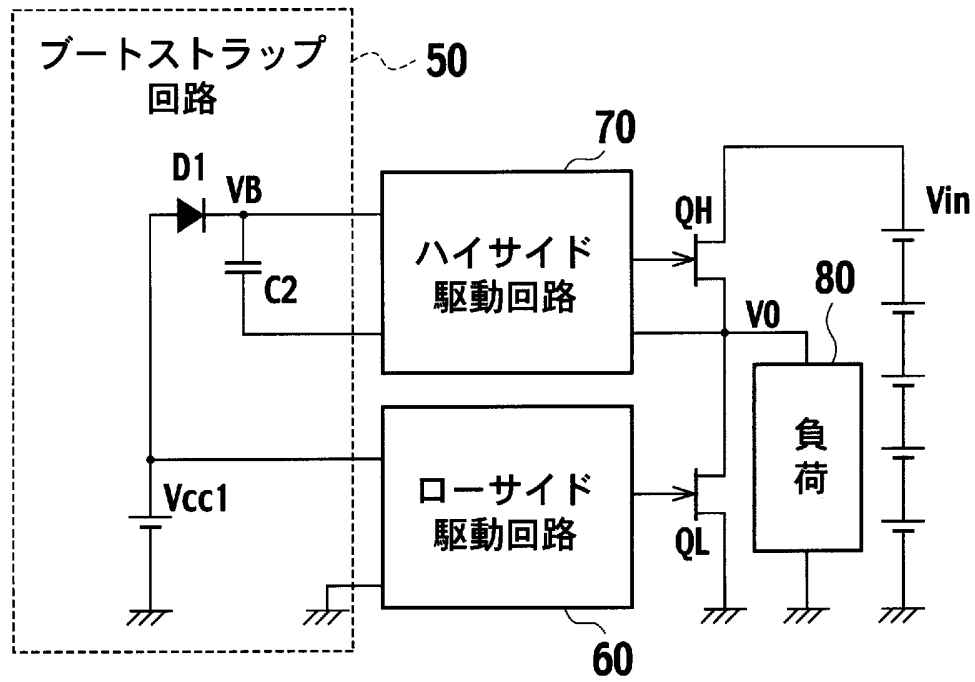
本出願は米国指定に関し、2005年6月24日に出願された日本国特許出願第2005-184872(2005年6月24日出願)について米国特許法第119条(a)に基づく優先権の利益を援用し、当該開示内容を引用する。

請求の範囲

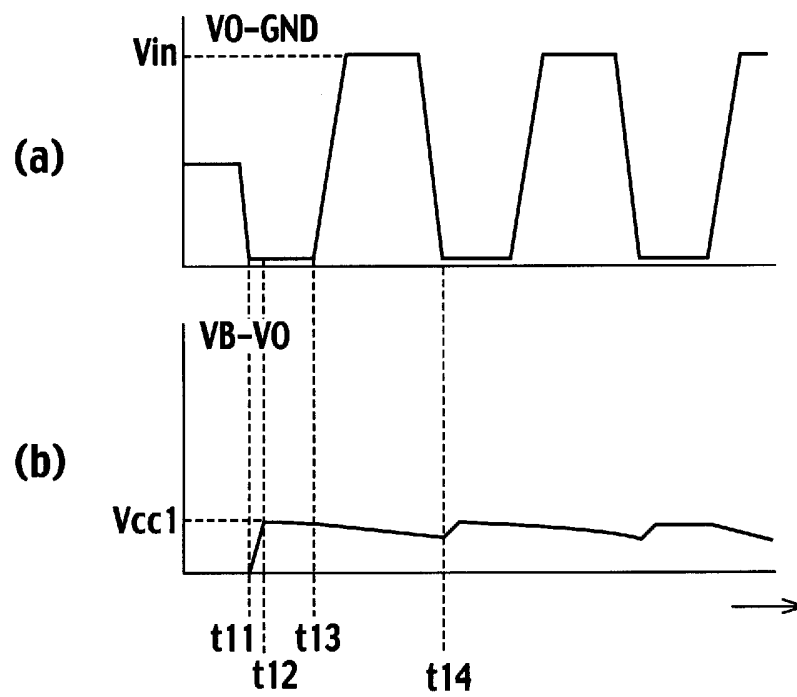
- [1] 直流電源のハイサイド側に配置された第1のスイッチング素子を制御信号によりオン／オフさせるハイサイド駆動回路と、前記直流電源のローサイド側に配置されると共に前記第1のスイッチング素子に直列に接続された第2のスイッチング素子を前記制御信号により前記第1のスイッチング素子と交互にオン／オフさせるローサイド駆動回路とを有する駆動回路において、
- 第1の補助電源の両端に接続される第1直列回路であって、第1のスイッチ素子と第1のコンデンサと第2のスイッチ素子とが直列に接続される第1直列回路と、
- 前記第1のコンデンサの両端に接続される第2直列回路であって、第3のスイッチ素子と第2のコンデンサと第4のスイッチ素子とが直列に接続された第2直列回路と、
- 前記第1及び第2のスイッチ素子と前記第3及び第4のスイッチ素子とを交互にオン／オフさせると共に、前記第1及び第2のスイッチ素子をオンさせた後に、前記第3及び第4のスイッチ素子をオンさせる制御回路とを有し、
- 前記第2のコンデンサは、前記ハイサイド駆動回路の電源を提供することを特徴とする駆動回路。
- [2] 前記第1及び第2のスイッチ素子はそれぞれnチャネルFETであり、各々のnチャネルFETのバックゲートは共に基準となる電位に接続され、
- 前記第3及び第4のスイッチ素子はpチャネルFETであり、
- 前記第3のスイッチ素子のバックゲートにソースが接続され、
- 前記第3のスイッチ素子のドレインに第5のスイッチ素子としてのpチャネルFETのドレインが接続され、
- 前記制御回路は、前記第1及び第2のスイッチ素子と前記第3乃至第5のスイッチ素子とを交互にオン／オフさせると共に、前記第1及び第2のスイッチ素子をオンさせた後に、前記第3及び第5のスイッチ素子をオンさせ、その後に、前記第4のスイッチ素子をオンさせることを特徴とする請求項1記載の駆動回路。
- [3] 第1の抵抗であってその一端が前記第5のスイッチ素子のソースに接続され、その他端が前記第2のコンデンサの一端と前記第3のスイッチ素子のソースとに接続されることを特徴とする請求項2記載の駆動回路。

- [4] ダイオードを介して前記第2のコンデンサを充電する第2の補助電源を具備し、
前記第4のスイッチ素子のバックゲートは前記第2のコンデンサに接続されることを
特徴とする請求項2記載の駆動回路。
- [5] ダイオードを介して前記第2のコンデンサを充電する第2の補助電源を具備し、
前記第4のスイッチ素子のバックゲートは前記第2のコンデンサに接続されることを
特徴とする請求項3記載の駆動回路。
- [6] 前記第1の補助電源の電圧は、前記第2の補助電源の電圧より大きいことを特徴と
する請求項4記載の駆動回路。
- [7] 前記第1の補助電源の電圧は、前記第2の補助電源の電圧より大きいことを特徴と
する請求項5記載の駆動回路。
- [8] 前記第4のスイッチ素子のバックゲートと前記第2のコンデンサとの間に第2の抵抗
を接続したことを特徴とする請求項4記載の駆動回路。
- [9] 前記第4のスイッチ素子のバックゲートと前記第2のコンデンサとの間に第2の抵抗
を接続したことを特徴とする請求項5記載の駆動回路。

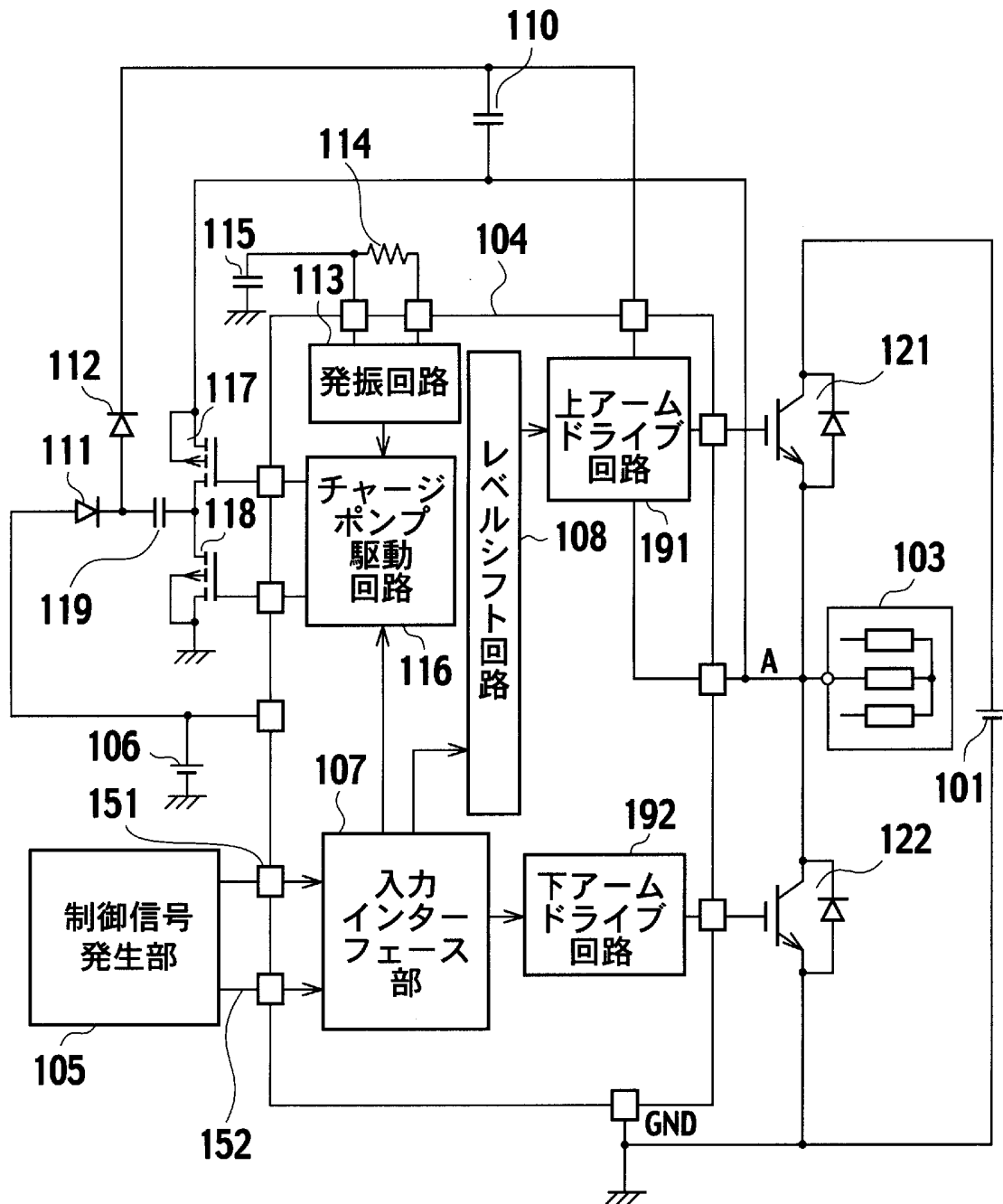
[図1]



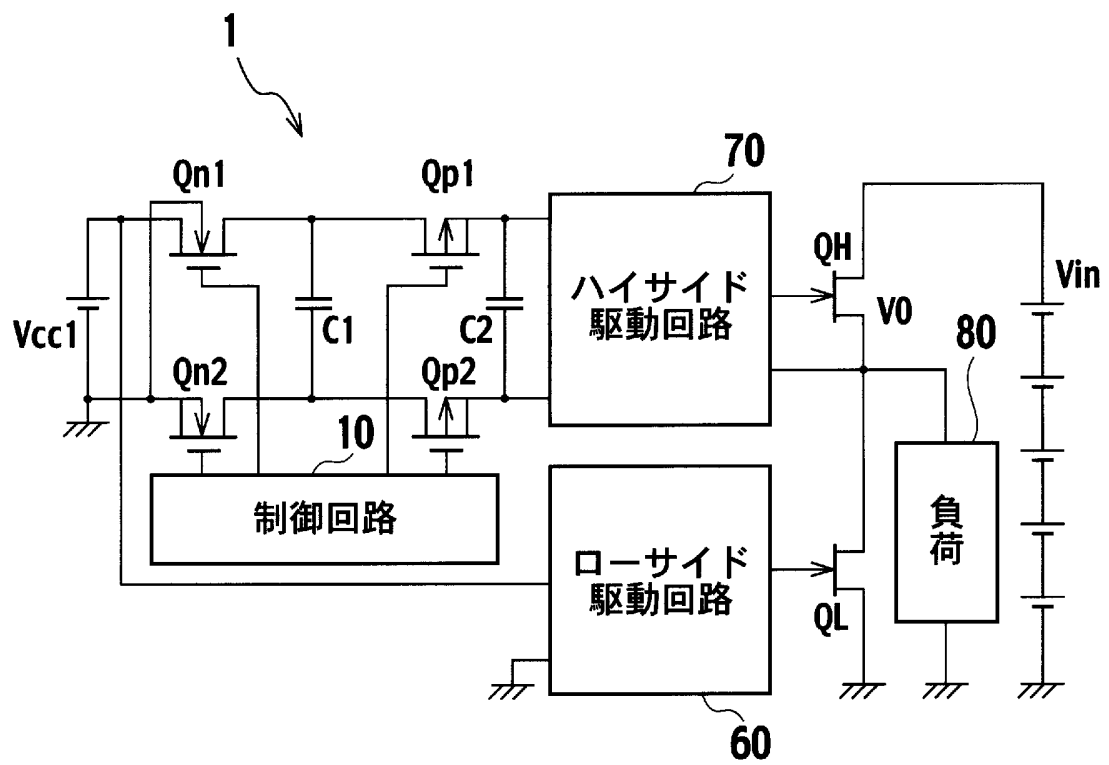
[図2]



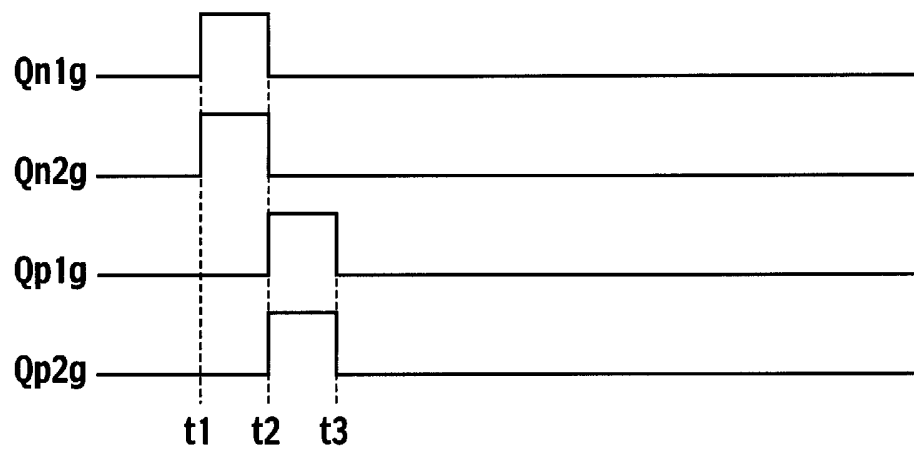
[図3]



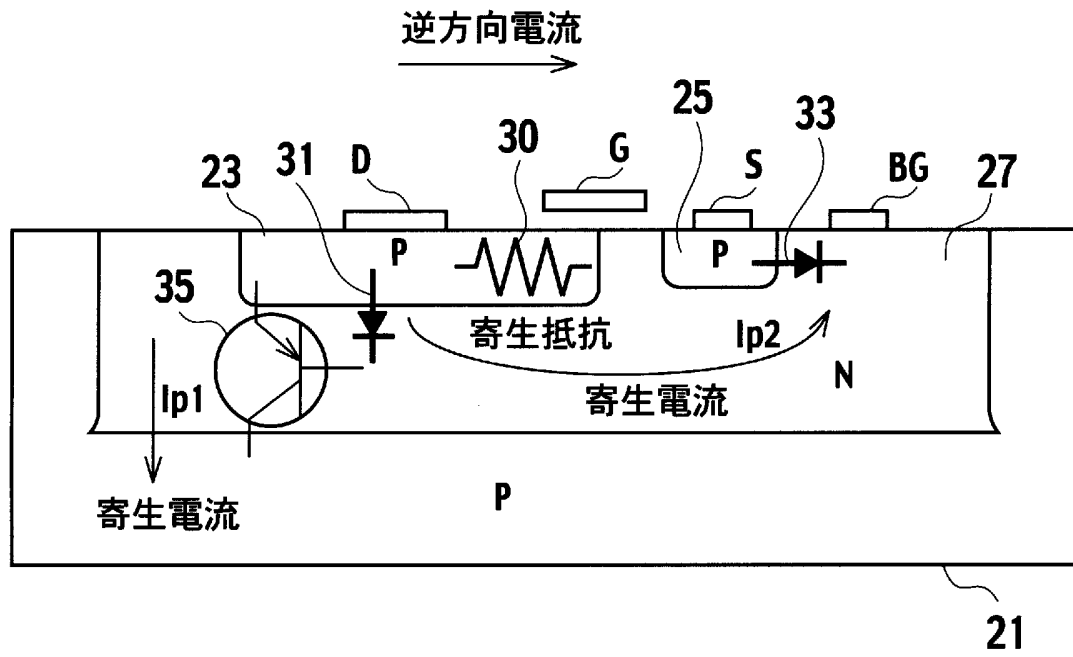
[図4]



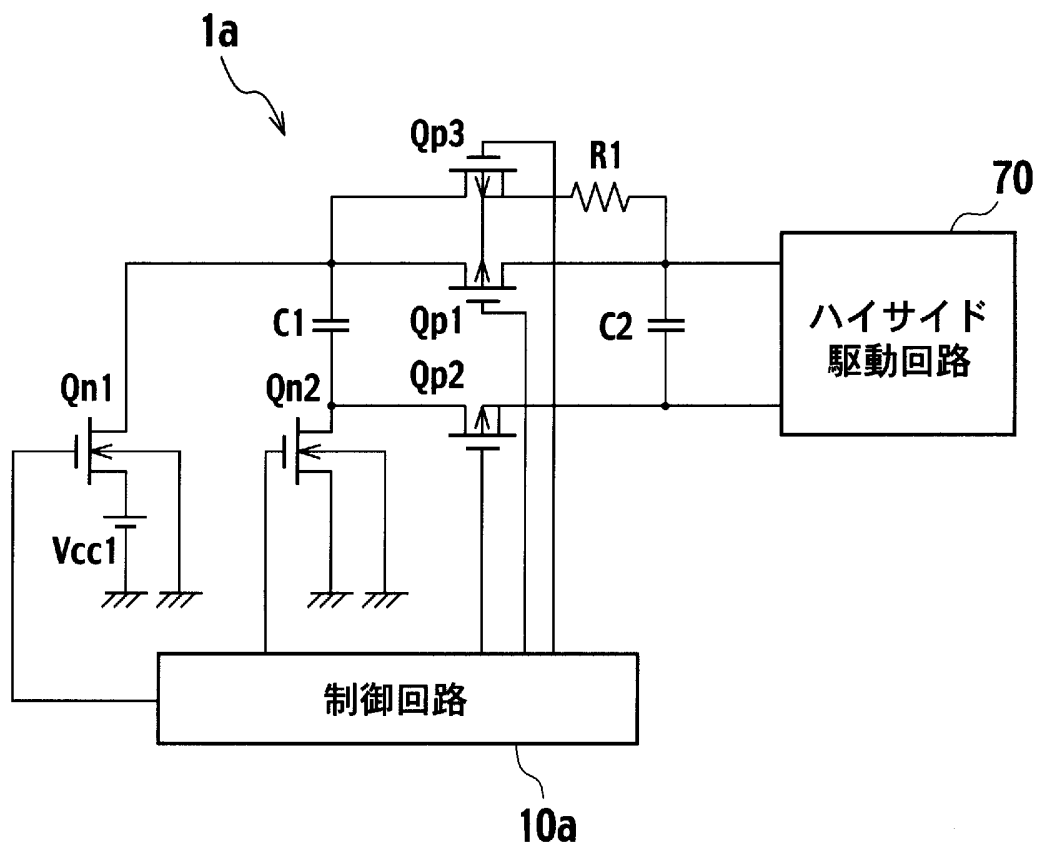
[図5]



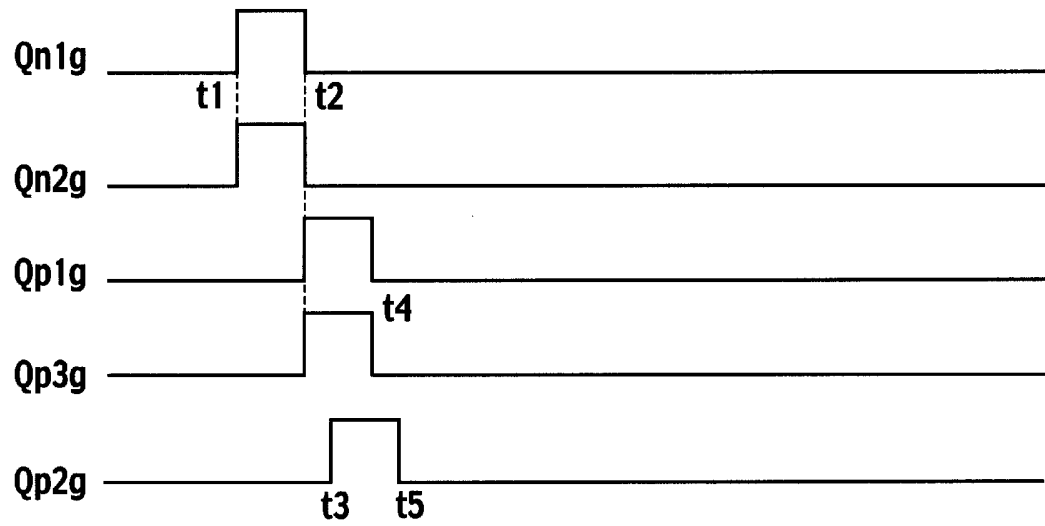
[図6]



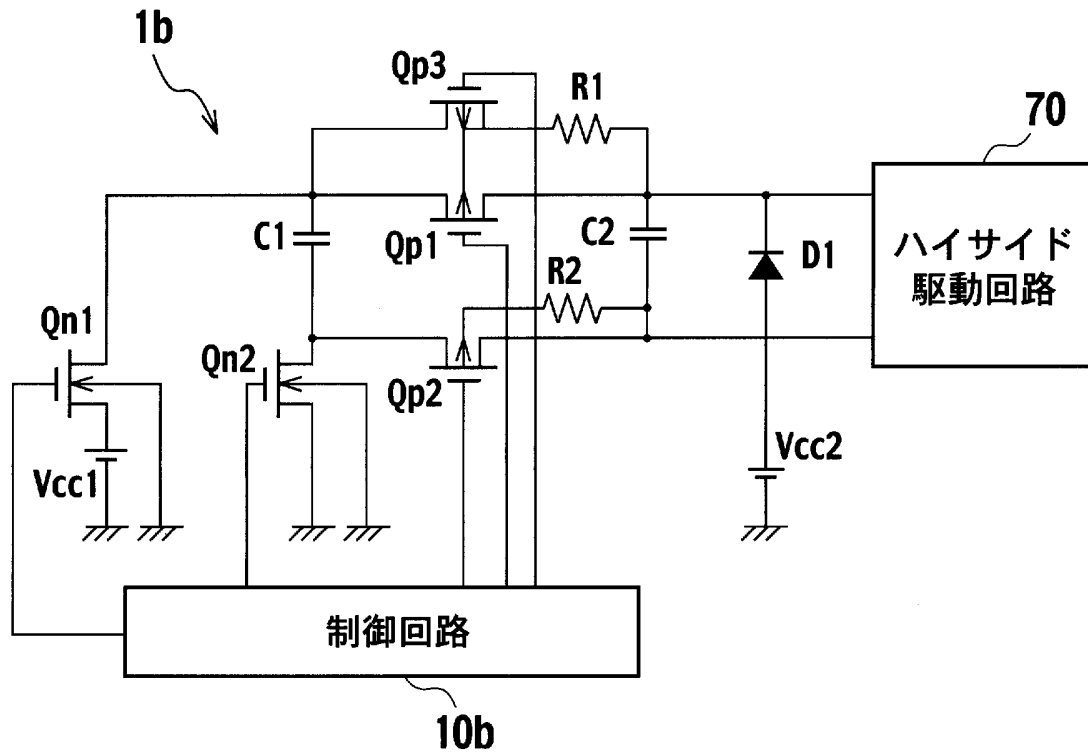
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/309102

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/06(2006.01), **H02M1/08**(2006.01), **H03K17/687**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70(2006.01), **H02M1/08**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-285949 A (Mitsubishi Electric Corp.), 23 October, 1998 (23.10.98), Fig. 2; page 4, column 6, line 48 to page 5, column 7, line 1 & US 5963066 A	1 2-9
Y A	JP 61-161967 A (NEC Corp.), 22 July, 1986 (22.07.86), Figs. 2, 3 (Family: none)	1 2-9
A	JP 5-41397 U (Daikin Industries, Ltd.), 01 June, 1993 (01.06.93), Figs. 1 to 5 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search
 30 May, 2006 (30.05.06)

 Date of mailing of the international search report
 06 June, 2006 (06.06.06)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/309102

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-49388 U (Yokogawa Electric Corp.), 05 April, 1990 (05.04.90), Fig. 4; page 3, lines 18 to 20 (Family: none)	1-9

The drive circuit (Fig. 7) of example 2 corresponding to the invention of claim 2 is considered to be characterized in that in order to "facilitate easy fabrication of a monolithic IC by averting the influence of a parasitic transistor 35" (paragraph 0049 of the description), "a switch element Qp3" composed of a p-channel MOSFET "has a drain connected to the drain of a switch element Qp1 and has a source and a back gate connected to the back gate of the switch element Qp1 and to the source of the switch element Qp1 and one end of a capacitor C2 through a resistor R1 (first resistor)" (paragraph 0051).

Contrarily, claim 2 only states that "a source is connected to the back gate of the third switch element", and it is unclear that the source of which switch element is connected to the back gate of a third switch element.

Claim 2 states that "the drain of a p-channel FET serving as a fifth switch element is connected to the drain of the third switch element". However, concerning the drive circuit of claim 2 in which it is unclear that the source of which switch element is connected to the back gate of a third switch element, it is unclear that "connection of the drain of a p-channel FET serving as a fifth switch element to the drain of the third switch element" produces a what operation/working-effect.

Therefore, the inventions of claim 2 and claims 3-9 referring to claim 2 are unclear.

Consequently, the search has been conducted on the drive circuit (Fig. 7) of example 2 specifically disclosed in the description.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K17/06(2006.01), H02M1/08(2006.01), H03K17/687(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K17/00-17/70(2006.01), H02M1/08(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 10-285949 A (三菱電機株式会社) 1998.10.23, 図2、第4頁第6 蘭第48行-第5頁第7蘭第1行 & US 5963066 A	1 2-9
Y A	JP 61-161967 A (日本電気株式会社) 1986.07.22, 第2,3図 (ファ ミリーなし)	1 2-9
A	JP 5-41397 U (ダイキン工業株式会社) 1993.06.01, 図1-5 (ファ ミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30.05.2006

国際調査報告の発送日

06.06.2006

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

5 X

3363

▲高▼橋 真之

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2-49388 U (横河電機株式会社) 1990.04.05, 第4図、第3頁第18-20行 (ファミリーなし)	1-9

請求の範囲2に係る発明と対応する実施例2の駆動回路(図7)は、「寄生トランジスタ35の影響をなくし容易にモノリシックIC化できる」(明細書の段落0049)ようにするために、pチャネルMOSFETからなる「スイッチ素子 Q_{p3} は、ドレインをスイッチ素子 Q_{p1} のドレインに接続し、ソース及びバックゲートをスイッチ素子 Q_{p1} のバックゲートに接続し、ソース及びバックゲートを抵抗 R_1 (第1の抵抗)を介してスイッチ素子 Q_{p1} のソース及びコンデンサ C_2 の一端に接続している」(段落0051)ことを特徴とするものであると認められる。

一方、請求の範囲2には、「前記第3のスイッチ素子のバックゲートにソースが接続され」と記載されているのみで、どのスイッチ素子のソースが第3のスイッチ素子のバックゲートに接続されるのか、不明瞭である。

また、請求の範囲2には、「前記第3のスイッチ素子のドレインに第5のスイッチ素子としてのpチャネルFETのドレインが接続され」と記載されているが、どのスイッチ素子のソースが第3のスイッチ素子のバックゲートに接続されるのか不明瞭である請求の範囲2に係る駆動回路において、「前記第3のスイッチ素子のドレインに第5のスイッチ素子としてのpチャネルFETのドレインが接続され」ることにより、どのような作用効果がもたらされるのか、不明である。

よって、請求の範囲2及び請求の範囲2を引用する請求の範囲3-9に係る発明は不明瞭である。

したがって、調査は、明細書に具体的に記載されている実施例2の駆動回路(図7)について行った。