



(12) 发明专利

(10) 授权公告号 CN 102312220 B

(45) 授权公告日 2015. 07. 08

(21) 申请号 201110179764. 8

(22) 申请日 2011. 06. 28

(30) 优先权数据

2010-148074 2010. 06. 29 JP

W0 2004070848 A1, 2004. 08. 19, 全文.

CN 1577027 A, 2005. 02. 09, 全文.

JP 2009094198 A, 2009. 04. 30, 全文.

审查员 闫晓慧

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 小松立 神保安弘 宫入秀和

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 周善来 李雪春

(51) Int. Cl.

G23C 16/455(2006. 01)

H01L 21/205(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

CN 101447412 A, 2009. 06. 03, 全文.

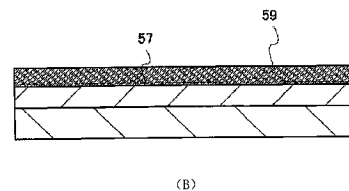
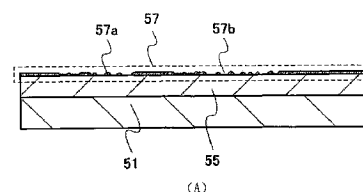
权利要求书2页 说明书28页 附图18页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

本发明的一个方式提供一种以高生产率制造电特性优良的半导体装置的方法。在第一条件下形成以低微粒密度具有高结晶性的混合相微粒的种子,然后在第二条件下以使混合相微粒生长来填埋混合相微粒之间的空隙的方式在种子上层叠形成微晶半导体膜。在第一条件中,将氢流量设定为含有硅或锗的沉积气体流量的50倍以上且1000倍以下来稀释沉积气体,并且将处理室内的压力设定为67Pa以上且1333Pa以下。在第二条件中,使含有硅或锗的沉积气体与氢的流量比周期性地增减并将其供应到处理室内,并且将处理室内的压力设定为1333Pa以上且13332Pa以下。



1. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成绝缘膜;

在第一条件下将氢和沉积气体导入到第一处理室中来在所述绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;以及

在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体的第二流量在第一值和第二值之间周期性地变化;并且所述第二处理室中的第二压力为 1.0×10^1 Torr 以上且 1.0×10^2 Torr 以下,

其中,所述第一值相当于所述沉积气体的所述第一流量,

并且,所述第二值比所述第一值低。

2. 根据权利要求1所述的方法,其中在所述第二条件下氢的流量为一定的值并相当于氢的所述第一流量。

3. 根据权利要求1所述的方法,其中所述第一值为所述第二值的 1.0×10^1 倍以上。

4. 根据权利要求1所述的方法,其中所述第一处理室与所述第二处理室彼此不同。

5. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成栅电极;

在所述衬底和所述栅电极上形成栅极绝缘膜;

在第一条件下将氢和沉积气体导入到第一处理室中来在所述栅极绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;

在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体的第二流量在第一值和第二值之间周期性地变化;并且所述第二处理室中的第二压力为 $1.0 \times 1.0 \times 10^1$ Torr 以上且 1.0×10^2 Torr 以下;

在所述微晶半导体膜上形成半导体膜;

对所述种子的一部分、所述微晶半导体膜的一部分和所述半导体膜的一部分进行蚀刻来形成半导体叠层体;以及

在所述半导体叠层体上形成布线,

其中,所述第一值相当于所述沉积气体的所述第一流量,

并且,所述第二值比所述第一值低。

6. 根据权利要求5所述的方法,其中在所述第二条件下氢的流量为一定的值并相当于氢的所述第一流量。

7. 根据权利要求5所述的方法,其中所述第一值为所述第二值的 1.0×10^1 倍以上。

8. 根据权利要求5所述的方法,其中所述第一处理室与所述第二处理室彼此不同。

9. 根据权利要求5所述的方法,还包括如下步骤:对所述半导体叠层体的侧表面进行等离子体处理,而在所述半导体叠层体的所述侧表面上形成隔壁区。

10. 根据权利要求5所述的方法,还包括如下步骤:

在所述布线、所述半导体叠层体和所述栅极绝缘膜上形成绝缘膜;以及

在所述绝缘膜上形成背栅电极。

11. 根据权利要求10所述的方法,其中所述栅电极与所述背栅电极彼此电连接。

12. 根据权利要求 10 所述的方法,其中所述背栅电极处于电浮动状态。

13. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成绝缘膜;

在第一条件下将氢和沉积气体导入到第一处理室中来在所述绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;以及

在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体与氢的流量比周期性地变化;并且所述第二处理室中的第二压力为 1.0×10^1 Torr 以上且 1.0×10^2 Torr 以下,

其中,在所述第二条件下,第二周期中所述沉积气体的流量比第一周期中所述沉积气体的流量少。

14. 根据权利要求 13 所述的方法,其中在所述第二条件下氢的流量为一定的值并相当于氢的所述第一流量。

15. 根据权利要求 13 所述的方法,其中所述第一处理室与所述第二处理室彼此不同。

16. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成栅电极;

在所述衬底和所述栅电极上形成栅极绝缘膜;

在第一条件下将氢和沉积气体导入到第一处理室中来在所述栅极绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;

在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体与氢的流量比周期性地变化;并且所述第二处理室中的第二压力为 $1.0 \times 1.0 \times 10^1$ Torr 以上且 1.0×10^2 Torr 以下;

在所述微晶半导体膜上形成半导体膜;

对所述种子的一部分、所述微晶半导体膜的一部分和所述半导体膜的一部分进行蚀刻来形成半导体叠层体;以及

在所述半导体叠层体上形成布线,

其中,在所述第二条件下,第二周期中所述沉积气体的流量比第一周期中所述沉积气体的流量少。

17. 根据权利要求 16 所述的方法,其中在所述第二条件下氢的流量为一定的值并相当于氢的所述第一流量。

18. 根据权利要求 16 所述的方法,其中所述第一处理室与所述第二处理室彼此不同。

19. 根据权利要求 16 所述的方法,还包括如下步骤:将所述半导体叠层体的侧表面暴露于等离子体,而在所述半导体叠层体的所述侧表面上形成隔壁区。

20. 根据权利要求 16 所述的方法,还包括如下步骤:

在所述布线、所述半导体叠层体和所述栅极绝缘膜上形成绝缘膜;以及

在所述绝缘膜上形成背栅电极。

21. 根据权利要求 20 所述的方法,其中所述栅电极与所述背栅电极彼此电连接。

22. 根据权利要求 20 所述的方法,其中所述背栅电极处于电浮动状态。

半导体装置的制造方法

技术领域

[0001] 本发明涉及一种微晶半导体膜的制造方法以及使用该微晶半导体膜的半导体装置的制造方法及显示装置。

[0002] 另外,本说明书中的半导体装置指的是通过利用半导体特性能够工作的所有装置,因此显示装置、电光装置、光电转换装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0003] 作为场效应晶体管的一种,已知使用形成在具有绝缘表面的衬底上的半导体膜来形成沟道区的薄膜晶体管。已公开了作为用于薄膜晶体管的沟道区的半导体膜,使用非晶硅、微晶硅及多晶硅的技术(参照专利文献 1 至 5)。薄膜晶体管的典型应用例是液晶电视装置,其中将薄膜晶体管应用于构成显示画面的各像素的开关晶体管。

[0004] 此外,正在进行如下光电转换装置的开发,在该光电转换装置中,将作为通过等离子体 CVD 法可以制造的结晶硅的微晶硅用于进行光电转换的半导体膜。(例如,参照专利文献 6)。

[0005] [专利文献 1] 日本专利申请公开 2001-053283 号公报

[0006] [专利文献 2] 日本专利申请公开平 5-129608 号公报

[0007] [专利文献 3] 日本专利申请公开 2005-049832 号公报

[0008] [专利文献 4] 日本专利申请公开平 7-131030 号公报

[0009] [专利文献 5] 日本专利申请公开 2005-191546 号公报

[0010] [专利文献 6] 日本专利申请公开 2000-277439 号公报

[0011] 使用非晶硅膜形成沟道区的薄膜晶体管有场效应迁移率及导通电流低的问题。另一方面,使用微晶硅膜形成沟道区的薄膜晶体管有如下问题,即虽然其场效应迁移率比使用非晶硅膜形成沟道区的薄膜晶体管的场效应迁移率高,但是截止电流增高,因此不能得到充分的开关特性。

[0012] 多晶硅膜成为沟道区的薄膜晶体管具有诸如其场效应迁移率比上述两种薄膜晶体管高得多而可以得到高导通电流等的特性。该薄膜晶体管由于该特性而不但能够用作设置在像素中的开关用晶体管,而且还能够构成被要求高速工作的驱动器电路。

[0013] 然而,使用多晶硅膜形成沟道区的薄膜晶体管的制造工序具有与制造使用非晶硅膜形成沟道区的薄膜晶体管的情况相比,需要半导体膜的晶化工序而制造成本增大的问题。例如,多晶硅膜的制造所需的激光退火技术有由于激光束的照射面积小而不能高效地生产大屏幕液晶面板等问题。

[0014] 用于制造显示面板的玻璃衬底的大面积化如第 3 代(550mm×650mm)、第 3.5 代(600mm×720mm 或 620mm×750mm)、第 4 代(680mm×880mm 或 730mm×920mm)、第 5 代(1100mm×1300mm)、第 6 代(1500mm×1850mm)、第 7 代(1870mm×2200mm)、第 8 代(2200mm×2400mm)、第 9 代(2400mm×2800mm)、第 10 代(2950mm×3400mm)那样进展。玻璃衬底的大型化基于最低成本设计的概念。

[0015] 另一方面,仍未确立可以以高生产率将能够进行高速工作的薄膜晶体管制造在第 10 代 (2950mm×3400mm) 那样的大面积母玻璃衬底上的技术,这在业界为一个问题。

发明内容

[0016] 于是,本发明的一个方式的目的之一是提供一种以高生产率制造电特性优良的半导体装置的方法。

[0017] 本发明的一个方式的要旨是:在第一条件下形成以低微粒密度具有高结晶性的混合相微粒的种子,然后在第二条件下使混合相微粒生长而以填埋混合相微粒的空隙的方式形成微晶半导体膜。

[0018] 在以低微粒密度供应具有高结晶性的混合相微粒的第一条件中,将氢流量设定为含有硅或锗的沉积气体流量的 50 倍以上且 1000 倍以下来稀释沉积气体,并且将处理室内的压力设定为 67Pa 以上且 1333Pa 以下。在使混合相微粒生长来填埋混合相微粒的空隙的第二条件中,使含有硅或锗的沉积气体与氢的流量比周期性地增减,并将其供应到处理室内,并且将处理室内的压力设定为 1333Pa 以上且 13332Pa 以下。

[0019] 本发明的一个方式是一种微晶半导体膜的制造方法,包括如下步骤:在第一条件下,通过等离子体 CVD 法形成具有包括非晶硅区和可以视为单晶的雏晶的混合相微粒的种子;以及在第二条件下,通过等离子体 CVD 法在种子上形成微晶半导体膜,其中,在第一条件中,将含有硅或锗的沉积气体及含有氢的气体用作供应到处理室内的原料气体,将氢流量设定为沉积气体流量的 50 倍以上且 1000 倍以下来稀释沉积气体,并且将处理室内的压力设定为 67Pa 以上且 1333Pa 以下。另外,在第二条件中,使含有硅或锗的沉积气体与氢的流量比周期性地增减,并将其供应到处理室内,并且将处理室内的压力设定为 1333Pa 以上且 13332Pa 以下。

[0020] 另外,在上述第二条件中,使含有硅或锗的沉积气体与氢的流量比周期性地增减是指使含有硅或锗的沉积气体或氢的流量周期性地增减。当相对于含有硅或锗的沉积气体的氢的流量比低时,微晶半导体的结晶生长占优势。当相对于含有硅或锗的沉积气体的氢的流量比高时,非晶半导体的蚀刻占优势。作为相对于含有硅或锗的沉积气体的氢的流量比低的情况,通过将氢流量设定为沉积气体流量的 100 倍以上且 2000 倍以下,可以优先发生微晶半导体的结晶生长。

[0021] 另外,种子包括混合相微粒分散的状态、混合相微粒连续的状态(即,膜状)。另外,优选根据相对于含有硅或锗的沉积气体流量的氢流量的比率而适当地选择生成等离子体的功率。

[0022] 此外,在本发明的一个方式中,在上述第二条件下形成微晶半导体膜,然后在第三条件下通过等离子体 CVD 法在微晶半导体膜上形成第二微晶半导体膜。第三条件可以为如下条件,即将含有硅或锗的沉积气体及含有氢的气体用作供应到处理室内的原料气体,使相对于沉积气体流量的氢流量的比率高于上述第二条件而稀释沉积气体,并且将处理室内的压力设定为 1333Pa 以上且 13332Pa 以下。

[0023] 此外,在本发明的一个方式中,也可以对用于上述第一条件、上述第二条件和上述第三条件中的至少一个的原料气体添加稀有气体。

[0024] 在本发明的一个方式中,在第一条件下通过等离子体 CVD 法在绝缘膜上形成以低

密度包括具有高结晶性的混合相微粒的种子,并且在第二条件下使混合相微粒的结晶生长来填埋种子的空隙从而通过等离子体 CVD 法形成微晶半导体膜。

[0025] 另外,本发明的一个方式是一种半导体装置的制造方法,该半导体装置包括使用上述种子及微晶半导体膜形成沟道区的薄膜晶体管,该制造方法包括如下步骤:在衬底上形成绝缘膜;在第一条件下将氢和沉积气体导入到第一处理室中来在所述绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;以及在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体的第二流量在第一值和第二值之间周期性地变化;并且所述第二处理室中的第二压力为 1.0×10^1 Torr 以上且 1.0×10^2 Torr 以下,其中,所述第一值相当于所述沉积气体的所述第一流量,并且,所述第二值比所述第一值低。

[0026] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在衬底上形成栅电极;在所述衬底和所述栅电极上形成栅极绝缘膜;在第一条件下将氢和沉积气体导入到第一处理室中来在所述栅极绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体的第二流量在第一值和第二值之间周期性地变化;并且所述第二处理室中的第二压力为 $1.0 \times 1.0 \times 10^1$ Torr 以上且 1.0×10^2 Torr 以下;在所述微晶半导体膜上形成半导体膜;对所述种子的一部分、所述微晶半导体膜的一部分和所述半导体膜的一部分进行蚀刻来形成半导体叠层体;以及在所述半导体叠层体上形成布线,其中,所述第一值相当于所述沉积气体的所述第一流量,并且,所述第二值比所述第一值低。

[0027] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在衬底上形成绝缘膜;在第一条件下将氢和沉积气体导入到第一处理室中来在所述绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;以及在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体与氢的流量比周期性地变化;并且所述第二处理室中的第二压力为 1.0×10^1 Torr 以上且 1.0×10^2 Torr 以下,其中,在所述第二条件下,第二周期中所述沉积气体的流量比第一周期中所述沉积气体的流量少。

[0028] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在衬底上形成栅电极;在所述衬底和所述栅电极上形成栅极绝缘膜;在第一条件下将氢和沉积气体导入到第一处理室中来在所述栅极绝缘膜上形成种子:氢的第一流量为所述沉积气体的第一流量的 5.0×10^1 倍以上且 1.0×10^3 倍以下;并且所述第一处理室中的第一压力为 5.0×10^{-1} Torr 以上且 1.0×10^1 Torr 以下;在第二条件下将氢和所述沉积气体导入到第二处理室中来在所述种子上形成微晶半导体膜:所述沉积气体与氢的流量比周期性地变化;并且所述第二处理室中的第二压力为 $1.0 \times 1.0 \times 10^1$ Torr 以上且 1.0×10^2 Torr 以下;在所述微晶半导体膜上形成半导体膜;对所述种子的一部分、所述微晶半导体膜的一部分和所述半导体膜的一部分进行蚀刻来形成半导体叠层体;以及在所述半导体叠层体上形成布

线,其中,在所述第二条件下,第二周期中所述沉积气体的流量比第一周期中所述沉积气体的流量少。

[0029] 此外,本发明的一个方式是一种光电转换装置的制造方法,其中将上述种子及微晶半导体膜用于呈现 p 型的半导体膜、呈现 n 型的半导体膜和进行光电转换的半导体膜中的一个以上。

[0030] 通过应用本发明的一个方式,可以制造结晶性高的微晶半导体膜。此外,可以以高生产率制造电特性优良的半导体装置。

附图说明

[0031] 图 1A 和 1B 是说明根据本发明的一个实施方式的微晶半导体膜的制造方法的截面图;

[0032] 图 2 是说明根据本发明的一个实施方式的微晶半导体膜的制造方法的图;

[0033] 图 3 是说明根据本发明的一个实施方式的微晶半导体膜的制造方法的截面图;

[0034] 图 4A 至 4D 是说明根据本发明的一个实施方式的半导体装置的制造方法的截面图;

[0035] 图 5A 和 5B 是说明根据本发明的一个实施方式的半导体装置的制造方法的截面图;

[0036] 图 6A 至 6C 是说明根据本发明的一个实施方式的半导体装置的制造方法的截面图;

[0037] 图 7A 至 7D 是说明根据本发明的一个实施方式的半导体装置的制造方法的俯视图;

[0038] 图 8A 至 8C 是说明根据本发明的一个实施方式的半导体装置的制造方法的截面图;

[0039] 图 9 是说明根据本发明的一个实施方式的半导体装置的制造方法的截面图;

[0040] 图 10A 至 10E 是说明光电转换装置的制造方法的一个方式的截面图;

[0041] 图 11 是示出电子阅读器的一个例子的立体图;

[0042] 图 12A 和 12B 是示出电视装置及数码相框的一个例子的立体图;

[0043] 图 13 是示出便携式计算机的一个例子的立体图;

[0044] 图 14 是示出半导体膜的蚀刻速度的图;

[0045] 图 15A 和 15B 是微晶硅膜的 SEM 照片;

[0046] 图 16A 和 16B 是说明薄膜晶体管的电流电压特性的图;

[0047] 图 17A 和 17B 是说明微晶硅膜的 X 射线衍射强度的图。

具体实施方式

[0048] 下面将参照附图说明本发明的实施方式。但是,本发明并不局限于以下说明。这是因为所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式的缘故。因此,本发明不应当被解释为局限于下面所示的实施方式及实施例的记载内容。注意,当参照附图说明本发明结构时,在不同的附图中也共同使用相同的附图标记来表示相同的部分。

[0049] 实施方式 1

[0050] 在本实施方式中,参照图 1A 和 1B 以及图 2 说明密度高且结晶性高的微晶半导体膜的制造方法。

[0051] 如图 1A 所示,在衬底 51 上形成绝缘膜 55,并且在绝缘膜 55 上形成种子 57。

[0052] 作为衬底 51,除了玻璃衬底、陶瓷衬底以外,可以使用具有可以承受本制造工序中的处理温度的耐热性的塑料衬底等。此外,在衬底不需要具有透光性的情况下,也可以使用在不锈钢等的金属衬底表面上设置绝缘膜的衬底。作为玻璃衬底,例如优选使用如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或铝硅酸盐玻璃等的无碱玻璃衬底。注意,对衬底 51 的尺寸没有限制,例如可以使用常用在上述平板显示器领域的第 3 代至第 10 代玻璃衬底。

[0053] 绝缘膜 55 可以通过 CVD 法或溅射法等使用氧化硅膜、氮氧化硅膜、氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氮氧化铝膜或氮氧化铝膜的单层或叠层形成。

[0054] 注意,在此,氮氧化硅指的是在其组成上氧含量多于氮含量的物质,并优选在通过卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)及氢前方散射法(HFS:Hydrogen Forward Scattering Spectrometry)进行测量时,作为组成范围含有 50at. % 至 70at. % 的氧;0.5at. % 至 15at. % 的氮;25at. % 至 35at. % 的硅;以及 0.1at. % 至 10at. % 的氢。此外,氮氧化硅指的是在其组成上氮含量多于氧含量的物质,并优选在通过 RBS 和 HFS 进行测量时,作为组成范围含有 5at. % 至 30at. % 的氧;20at. % 至 55at. % 的氮;25at. % 至 35at. % 的硅;以及 10at. % 至 30at. % 的氢。注意,在将构成氮氧化硅或氮氧化硅的原子的总计设定为 100at. % 时,氮、氧、硅和氢的含有比率包括在上述范围内。

[0055] 使用微晶半导体膜,典型的是微晶硅膜、微晶硅锗膜、微晶锗膜等形成种子 57。种子 57 包括多个混合相微粒分散的状态、混合相微粒连续的膜的状态或混合相微粒及非晶半导体连续的膜的状态。因此,种子 57 还包括混合相微粒 57a、非晶半导体不邻近,且在混合相微粒 57a 之间具有空隙 57b 的状态。再者,其特征为以低微粒密度(种子内的混合相微粒的存在比率)具有高结晶性的混合相微粒。另外,混合相微粒具有非晶半导体区和可以视为单晶的雏晶。此外,混合相微粒有时具有双晶。

[0056] 在等离子体 CVD 装置的处理室中,使用以低微粒密度形成结晶性高的混合相微粒的第一条件,将含有硅或锗的沉积气体和氢混合,并利用辉光放电等离子体来形成种子 57。或者,将含有硅或锗的沉积气体、氢、稀有气体诸如氩、氦、氖、氙等混合,并利用辉光放电等离子体来形成种子 57。在此,在将氢流量设定为含有硅或锗的沉积气体流量的 50 倍以上且 1000 倍以下来稀释沉积气体,并将处理室内的压力设定为 67Pa 以上且 1333Pa 以下(0.5Torr 以上且 10Torr 以下)的第一条件下,形成微晶硅、微晶硅锗、微晶锗等。优选将此时的沉积温度设定为室温至 300℃,更优选设定为 150℃至 280℃。另外,将上部电极及下部电极之间的间隔设定为可以产生等离子体的间隔,即可。通过使用第一条件进行形成,促进结晶生长,且提高包括在种子 57 中的混合相微粒 57a 的结晶性。换言之,包括在种子 57 中的混合相微粒 57a 所包含的雏晶的尺寸增大。此外,在彼此邻近的混合相微粒 57a 之间产生空隙 57b,而混合相微粒 57a 的微粒密度降低。

[0057] 作为含有硅或锗的沉积气体的典型例子,有 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等。

[0058] 通过对种子 57 的原料气体添加氩、氦、氖、氙等的稀有气体,种子 57 的成膜速

度增高。其结果,因为成膜速度的增高而使混入到种子 57 中的杂质量减少,所以可以提高种子 57 的结晶性。此外,通过作为种子 57 的原料气体使用氦、氩、氟、氦、氙等的稀有气体,即使不供应高功率也可以产生稳定的等离子体,所以可以降低种子 57 的等离子体损伤,而可以提高混合相微粒 57a 的结晶性。

[0059] 当形成种子 57 时,通过施加 3MHz 至 30MHz,典型的为 HF 频带中的 13.56MHz、27.12MHz 的高频电力或者施加 VHF 频带中的大于 30MHz 至 300MHz 左右的高频电力,典型的为 60MHz 的高频电力,来生成辉光放电等离子体。此外,通过施加 1GHz 以上的微波的高频电力来生成辉光放电等离子体。另外,可以进行以脉冲状施加高频电力的脉冲振荡或连续地施加高频电力的连续振荡。此外,通过使 HF 频带的高频电力与 VHF 频带的高频电力重叠,可以在大面积衬底上也减少等离子体的不均匀性而提高均匀性,并且可以提高沉积速度。

[0060] 如上所述,通过增加相对于含有硅或锗的沉积气体流量的氢流量,在种子 57 的沉积的同时发生包括在种子 57 中的非晶半导体的蚀刻,从而形成结晶性高的混合相微粒 57a 且在彼此邻近的混合相微粒 57a 之间产生空隙 57b。虽然根据装置结构及膜表面的化学状态而最适合的条件不同,但是当混合相微粒 57a 几乎不沉积时,降低上述相对于含有硅或锗的沉积气体流量的氢流量比率,或者减少 RF 电力,即可。另一方面,当混合相微粒 57a 的微粒密度高时或当非晶半导体区比结晶半导体区多时,增大上述相对于含有硅或锗的沉积气体流量的氢流量的比率,或者增大 RF 电力,即可。可以利用 SEM(Scanning Electron Microscopy:扫描电子显微镜)及拉曼光谱法对种子 57 的沉积情况进行评价。根据上述流量比及处理室中的压力条件,可以形成具有优良的结晶性且确保混合相微粒之间的适当的空隙的种子 57。其结果是,因为在对包括在种子 57 中的非晶半导体区进行蚀刻的同时形成混合相微粒 57a,所以促进结晶生长,而提高混合相微粒 57a 的结晶性,即,包括在混合相微粒 57a 中的雏晶的尺寸增大。此外,由于彼此邻近的混合相微粒 57a 之间的非晶半导体区被蚀刻,因此彼此邻近的混合相微粒 57a 彼此具有空隙 57b,由此以低微粒密度形成混合相微粒 57a。另外,当在本实施方式中的第一条件下形成种子 57 时,有时会发生混合相微粒的粒径的不均。

[0061] 另外,通过在形成种子 57 之前,排出 CVD 装置的处理室内的气体并将含有硅或锗的沉积气体导入到处理室内来去除处理室内的杂质元素,可以减少种子 57 中的杂质量。另外,通过在形成种子 57 之前,在氟、氟化氮、氟化硅烷等的含有氟的气氛中产生等离子体,使绝缘膜 55 暴露于氟等离子体,而可以形成致密的种子 57。

[0062] 接着,如图 1B 所示,在种子 57 上形成微晶半导体膜 59。微晶半导体膜 59 在使种子 57 的结晶生长来填埋混合相微粒的空隙的条件下形成。另外,微晶半导体膜 59 的厚度优选为 30nm 以上且 100nm 以下。

[0063] 在等离子体 CVD 装置的处理室中,在第二条件下将含有硅或锗的沉积气体和氢合并利用辉光放电等离子体来形成微晶半导体膜 59。或者,对第二条件的原料气体混合稀有气体诸如氦、氩、氟、氦、氙等并利用辉光放电等离子体来形成微晶半导体膜 59。此处,第二条件是在使含有硅或锗的沉积气体与氢的流量比周期性地增减,且将处理室中的压力设定为 1333Pa 以上且 13332Pa 以下(10Torr 以上且 100Torr 以下)。

[0064] 使含有硅或锗的沉积气体与氢的流量比周期性地增减是指使含有硅或锗的沉积气体或氢的流量周期性地增减。当相对于含有硅或锗的沉积气体的氢的流量比低时,典型

地,通过将相对于沉积气体流量的氢流量设定为 100 倍以上且 2000 倍以下,而优先发生微晶半导体的结晶生长。另一方面,当相对于含有硅或锗的沉积气体的氢的流量比高时,优先发生非晶半导体的蚀刻。

[0065] 通过上述第二条件形成微晶硅、微晶硅锗、微晶锗等。其结果,在微晶半导体膜 59 中,在相对于非晶半导体区的结晶区增高的同时,结晶区之间紧密性也增高,而结晶性得到提高。优选将此时的沉积温度设定为室温至 300℃,更优选设定为 150℃至 280℃。另外,将上部电极及下部电极之间的间隔设定为可以产生等离子体的间隔,即可。

[0066] 当形成微晶半导体膜 59 时,可以适当地使用种子 57 的条件生成辉光放电等离子体。另外,通过作为形成种子 57 及微晶半导体膜 59 时的辉光放电等离子体的生成使用相同的条件来可以提高处理量,但是也可以使用不同的条件。

[0067] 在此,使用图 2 对使含有硅或锗的沉积气体与氢的流量比周期性地增减的方法进行说明。图 2 是时序图,该时序图示出本实施方式所示的微晶半导体膜的形成方法中的原料气体及供给到装置的电力的随时间的变化。另外,在图 2 中,实线 71 示出等离子体 CVD 装置的电源的导通截止状态,实线 73 示出氢的流量,实线 75 示出含有硅或锗的沉积气体(在图 2 中是硅烷)的流量,并且实线 79 示出稀有气体(在图 2 中是氩)的流量。

[0068] 将作为原料气体的含有硅或锗的沉积气体和氢导入于等离子体 CVD 装置的处理室中,并且将处理室设定为所定的压力。另外,将衬底 51 的温度设定为所定的温度。此时,氢以一定流量(在图 2 中是流量 a)导入于处理室中。

[0069] 接着,将高频电源的电源设定为 ON,进行等离子体放电。以使含有硅或锗的沉积气体的流量周期性地增减的方式将其导入于处理室中。在此,将使含有硅或锗的沉积气体与氢的流量比周期性地增减的工作称为循环流动。在本实施方式中,反复第一周期和第二周期。在第一周期中,在将电力设定为 ON 之后,使流量 c 的含有硅或锗的沉积气体流过 t1 秒。在第二周期中,在将电力设定为 ON 之后,使流量 b(b<c) 的含有硅或锗的沉积气体流过 t2 秒。第二周期的含有硅或锗的沉积气体的流量比第一周期少,因此第二周期的相对于含有硅或锗的沉积气体的氢的流量比大于第一周期的相对于含有硅或锗的沉积气体的氢的流量比。在第一周期中,当将相对于沉积气体流量的氢流量设定为 100 倍以上且 2000 倍以下时,由于后面的等离子体放电而优先发生微晶半导体的结晶生长,而在第二周期中,优先发生非晶半导体的蚀刻。

[0070] 另外,高频电源也可以如虚线 72 所示反复导通和截止。

[0071] 在等离子体中,与氢自由基一起也形成由含有硅或锗的沉积气体生成的自由基。当将处理室内的压力设定为 1333Pa 以上且 13332Pa 以下(10Torr 以上且 100Torr 以下)时,因为处理室内的压力高,所以沉积气体的平均自由程短,氢自由基及氢离子每次碰撞都失掉能量,因此到了氢自由基及氢离子到达种子 57 的时候,氢自由基或氢离子的能量变低。由此,在形成于种子 57 中的混合相微粒之间,结晶生长优先于蚀刻作用,微晶半导体沉积,因此结晶区之间变得紧密,而微晶半导体膜的密度得到提高。另外,当将处理室内设定为上述压力时,离子或自由基的能量降低,因此对微晶半导体膜的等离子体损伤降低,而这有助于缺陷降低。

[0072] 在含有硅或锗的沉积气体的流量少的第二周期(在图 2 中是流量 b)中,当将处理室内的压力设定为 1333Pa 以上且 13332Pa 以下(10Torr 以上且 100Torr 以下)时,因为

处理室内的压力高,所以在等离子体中离解的氢自由基对含有在第一条条件形成的种子 57 中的非晶半导体选择性地蚀刻。另外,因为由含有硅或锗的沉积气体生成的微量的自由基(典型为甲硅烷基自由基)与沉积表面的微晶半导体的悬空键结合,所以发生结晶性高的结晶生长。即,因为与选择性的蚀刻一起发生结晶生长,所以微晶半导体膜的结晶性变高。

[0073] 另外,在含有硅或锗的沉积气体的流量多的第一周期(在图 2 中是流量 c)中,因为与流量 b 的第二周期相比,有更多个由含有硅或锗的沉积气体生成的自由基,所以发生结晶生长。微晶半导体膜包括多个混合相微粒。通过本实施方式所示的微晶半导体膜的形成方法,可以使混合相微粒的尺寸大,所以可以提高微晶半导体膜的结晶性。另外,有助于微晶半导体膜 59 的缺陷降低。

[0074] 另外,由于当在种子的混合相微粒的空隙中发生新的微晶半导体膜的混合相微粒时,混合相微粒的尺寸变小,所以优选微晶半导体膜的混合相微粒的发生频度比种子的混合相微粒的发生频率低。其结果,可以优先发生该种子的结晶生长。

[0075] 另外,虽然在首先采用将含有硅或锗的沉积气体的流量设定为流量 c 的第一周期之后采用将流量设定为流量 b 的第二周期,但是也可以在首先采用使流量 b 的含有硅或锗的沉积气体流过的第二周期之后采用将流量设定为流量 c 的第一周期。另外, t_1 的长度既可以与 t_2 的长度不同,又可以与 t_2 的长度相同。另外,优选 t_1 及 t_2 为几秒至几十秒。如果 t_1 及 t_2 为几分钟,就例如在 t_1 中形成结晶性低的几 nm 的微晶半导体膜,并且之后在 t_2 中只有微晶半导体膜的表面起反应,难以提高微晶半导体膜内部的结晶性。

[0076] 另外,虽然在此作为第一周期,即,使流量 c 的含有硅或锗的沉积气体流过的时间,都采用 t_1 秒,但是也可以采用不同的时间。另外,虽然作为第二周期,即,使流量 b ($b < c$) 的含有硅或锗的沉积气体流过的时间,都采用 t_2 秒,但是也可以采用不同的时间。

[0077] 此外,虽然如图 2 的实线 79 所示,不将氦、氩、氖、氦、氩等的稀有气体导入到处理室中,但是也可以如虚线 77 所示,将稀有气体导入到处理室中。或者,也可以使稀有气体周期性地增减并将其导入到处理室中。

[0078] 另外,虽然在此将氢的流量设定为一定,但是只要是微晶半导体的形成所需的氢量,也可以改变流量。此外,也可以将含有硅或锗的沉积气体设定为一定流量,并使氢流量周期性地增减。

[0079] 此外,通过在开启高频电源的状态下改变原料气体的流量,可以提高微晶半导体膜的沉积速度。

[0080] 另外,也可以在将通向处理室的含有硅或锗的沉积气体的流量设定为 c 之后,即在第一周期之后,切断高频电源。或者,也可以将通向处理室的含有硅或锗的沉积气体的流量设定为 b 之后,即在第二周期之后,切断高频电源。

[0081] 通过上述工序,可以形成结晶性高的微晶半导体膜。

[0082] 另外,种子 57 的厚度优选为 1nm 以上且 10nm 以下。当种子 57 的厚度为厚于 10nm 时,即使微晶半导体膜 59 沉积,也难以填埋混合相微粒之间的空隙,并难以对包括在种子 57 的内部的非晶半导体进行蚀刻,而种子 57 及微晶半导体膜 59 的结晶性降低。另一方面,因为种子 57 需要形成有混合相微粒,所以种子 57 的厚度优选为 1nm 以上。

[0083] 另外,优选微晶半导体膜 59 的厚度是 30nm 以上且 100nm 以下。通过将微晶半导体

膜 59 的厚度设定为 30nm 以上,可以降低薄膜晶体管的电特性的不均匀性。另外,通过将微晶半导体膜 59 的厚度设定为 100nm 以下,可以提高处理量且抑制因应力而发生的膜剥离。

[0084] 种子 57 及微晶半导体膜 59 具有微晶半导体。微晶半导体是具有非晶和晶体结构(包括单晶、多晶)之间的中间结构的半导体。微晶半导体是具有在自由能方面稳定的第三状态的半导体,并且是具有短程有序和晶格畸变的晶体半导体,其中其直径为 2nm 以上且 200nm 以下,优选为 10nm 以上且 80nm 以下,更优选为 20nm 以上且 50nm 以下的柱状或针状混合相微粒相对于衬底表面沿法线方向生长。因此,柱状或针状混合相微粒的界面有时形成有晶界。注意,在此所述的晶粒直径是指与衬底表面平行的面中的晶粒的最大直径。

[0085] 作为微晶半导体的典型例子的微晶硅的拉曼光谱移到比表示单晶硅的 520cm^{-1} 低的波数侧。就是说,微晶硅的拉曼光谱的峰值位于表示单晶硅的 520cm^{-1} 和表示非晶硅的 480cm^{-1} 之间。另外,为了终结悬空键,至少包括 1at. % 以上的氢或卤素。再者,通过使其含有氦、氩、氟、氮、氙等稀有气体元素来进一步促进晶格畸变,可以得到稳定性增高的良好的微晶半导体。例如美国专利 No. 4409134 公开了关于这种微晶半导体的记述。

[0086] 根据本实施方式可以形成通过降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜。

[0087] 实施方式 2

[0088] 在本实施方式中参照图 1A 至 3 对与实施方式 1 相比结晶性高的微晶半导体膜的制造方法进行说明。

[0089] 与实施方式 1 同样,经过图 1A 和 1B 的工序形成种子 57 及微晶半导体膜 59。

[0090] 接着,如图 3 所示,在微晶半导体膜 59 上形成第二微晶半导体膜 61。

[0091] 在等离子体 CVD 装置的处理室内,在第三条件下将含有硅或锗的沉积气体与氢混合,并利用辉光放电等离子体,来形成第二微晶半导体膜 61。或者,根据第三条件将含有硅或锗的沉积气体、氢和氦、氩、氟、氮、氙等的稀有气体混合,并利用辉光放电等离子体来形成第二微晶半导体膜 61。根据使氢流量相对于含有硅或锗的沉积气体流量的比率高于上述第二条件而稀释沉积气体,并将处理室内的压力设定为与第二条件相同的 1333Pa 以上且 13332Pa 以下(10Torr 以上且 100Torr 以下)的第三条件,形成微晶硅、微晶硅锗、微晶锗等,而用作第二微晶半导体膜 61。优选将此时的沉积温度设定为室温至 300°C ,更优选设定为 150°C 至 280°C 。

[0092] 此外,在第三条件中,也可以与第二条件同样使含有硅或锗的沉积气体与氢的流量比周期性地增减,并且将处理室内的压力设定为 1333Pa 以上且 13332Pa 以下(10Torr 以上且 100Torr 以下)。此时,通过使第三条件下的相对于含有硅或锗的堆积气体的氢的流量比低时的流量比高于第二条件下的相对于含有硅或锗的堆积气体的氢的流量比低时的流量比,可以进一步提高第二微晶半导体膜 61 的结晶性。

[0093] 通过使相对于含有硅或锗的沉积气体流量的氢流量的比率比上述第二条件高,可以进一步提高第二微晶半导体膜 61 的结晶性,从而与实施方式 1 相比,可以在表面上形成结晶性高的微晶半导体膜。

[0094] 实施方式 3

[0095] 在本实施方式中,参照图 4A 至图 7D 说明形成在本发明的一个方式的半导体装置中的薄膜晶体管的制造方法。注意,n 型薄膜晶体管的载流子迁移率比 p 型薄膜晶体管的

载流子迁移率高。此外,通过使形成在同一衬底之上的所有薄膜晶体管的极性相同,可以抑制工序数,所以是优选的。因此,在本实施方式中说明 n 型薄膜晶体管的制造方法。

[0096] 注意,导通电流是指当薄膜晶体管处于导通状态时流过源电极和漏电极之间的电流。例如,在 n 型薄膜晶体管中,导通电流是指当栅极电压高于晶体管的阈值电压时流过源电极和漏电极之间的电流。

[0097] 此外,截止电流是指当薄膜晶体管处于截止状态时流过源电极和漏电极之间的电流。例如,在 n 型薄膜晶体管中,截止电流是指当栅极电压低于薄膜晶体管的阈值电压时流过源电极和漏电极之间的电流。

[0098] 如图 4A 所示,在衬底 101 上形成栅电极 103。接着,形成覆盖栅电极 103(也称为第一栅电极)的栅极绝缘膜 105,并且在栅极绝缘膜 105 上形成种子 107。

[0099] 作为衬底 101,可以适当地使用实施方式 1 所示的衬底 51。

[0100] 栅电极 103 可以使用钼、钛、铬、钽、钨、铝、铜、钕、钪、镍等金属材料或者以这些材料为主要成分的合金材料的单层或叠层来形成。此外,也可以使用以掺杂有磷等的杂质元素的多晶硅为代表的半导体、AgPdCu 合金、Al-Nd 合金、Al-Ni 合金等。

[0101] 例如,作为栅电极 103 的两层的叠层结构,优选采用如下结构:在铝膜上层叠钼膜的两层结构;在铜膜上层叠钼膜的两层结构;在铜膜上层叠氮化钛膜或氮化钽膜的两层结构;层叠氮化钛膜和钼膜的两层结构;层叠含有氧的铜-镁-合金膜和铜膜的两层结构;层叠含有氧的铜-锰-合金膜和铜膜的两层结构;层叠铜-锰-合金膜和铜膜的两层结构等。作为三层的叠层结构,优选采用层叠钨膜或氮化钨膜、铝与硅的合金膜或铝与钛的合金膜和氮化钛膜或钛膜的三层结构。通过在低电阻膜上层叠用作阻挡层的金属膜,可以降低电阻,且可以防止金属元素从金属膜扩散到半导体膜中。

[0102] 栅电极 103 可以通过如下步骤形成:在衬底 101 上通过溅射法或真空蒸镀法使用上述材料形成导电膜,通过光刻法或喷墨法等在该导电膜上形成掩模,并且使用该掩模蚀刻导电膜。此外,栅电极 103 还可以通过如下步骤形成:通过喷墨法将银、金或铜等的导电纳米膏喷出到衬底上,并进行焙烧。此外,也可以将上述金属材料的氮化物膜设置在衬底 101 和栅电极 103 之间,以提高栅电极 103 与衬底 101 之间的粘附性。在此,在衬底 101 上形成导电膜,并且使用通过光刻工序形成的抗蚀剂形成的掩模来蚀刻该导电膜。

[0103] 另外,优选将栅电极 103 的侧面形成为锥形状。这是因为如下缘故:避免在后面的工序中形成在栅电极 103 上的绝缘膜、半导体膜及布线在栅电极 103 的台阶部分被切断。为了将栅电极 103 的侧面形成为锥形状,边使由抗蚀剂形成的掩模缩退边进行蚀刻,即可。

[0104] 此外,通过形成栅电极 103 的工序,也可以同时形成栅极布线(扫描线)及电容布线。注意,扫描线是指选择像素的布线,而电容布线是指与像素的保持电容中的一方的电极连接的布线。但是,不局限于此,而也可以分别设置栅极布线和电容布线中的一方或双方和栅电极 103。

[0105] 栅极绝缘膜 105 可以适当地使用实施方式 1 所示的绝缘膜 55 来形成。此外,通过使用氧化硅或氮化硅等的氧化绝缘膜形成栅极绝缘膜 105,可以降低薄膜晶体管的阈值电压的变动。

[0106] 栅极绝缘膜 105 可以利用 CVD 法或溅射法等来形成。在通过 CVD 法形成栅极绝缘膜 105 的工序中,可以适当地使用实施方式 1 所示的种子 57 的条件生成辉光放电等离子

体。此外,通过使用高频为 1GHz 以上的微波等离子体 CVD 装置形成栅极绝缘膜 105,可以提高栅电极与漏电极及源电极之间的耐压,由此可以得到可靠性高的薄膜晶体管。

[0107] 此外,通过作为栅极绝缘膜 105,采用使用有机硅烷气体的 CVD 法来形成氧化硅膜,而可以提高后面形成的半导体膜的结晶性,由此可以提高薄膜晶体管的导通电流及场效应迁移率。作为有机硅烷气体,可以使用四乙氧基硅烷 (TEOS:化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷 (TMS:化学式为 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三二甲氨基硅烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等含硅化合物。

[0108] 与实施方式 1 所示的种子 57 同样,可以使用以低微粒密度形成高结晶性的混合相微粒的第一条件形成种子 107。

[0109] 通过对种子 107 的原料气体添加氦、氩、氟、氦、氙等的稀有气体,可以提高种子 107 的结晶性。由此,薄膜晶体管的导通电流及场效应迁移率得到提高,并且可以提高处理量。

[0110] 接着,如图 4B 所示,在种子 107 上形成微晶半导体膜 109。与实施方式 1 所示的微晶半导体膜 59 同样地,可以使用使种子 107 的混合相微粒进行结晶生长来填埋空隙的第二条件形成微晶半导体膜 109。

[0111] 通过对微晶半导体膜 109 的原料气体添加氦、氩、氟、氦、氙等的稀有气体,与种子 107 同样,可以提高微晶半导体膜 109 的结晶性。由此,薄膜晶体管的导通电流及场效应迁移率得到提高,并且可以提高处理量。

[0112] 接着,如图 4C 所示,在微晶半导体膜 109 上形成半导体膜 111。半导体膜 111 由微晶半导体区 111a 及非晶半导体区 111b 构成。接着,在半导体膜 111 上形成杂质半导体膜 113。接着,在杂质半导体膜 113 上形成由抗蚀剂形成的掩模 115。

[0113] 可以在以微晶半导体膜 109 为种子来进行部分结晶生长的条件(抑制结晶生长的条件)下形成具有微晶半导体区 111a 及非晶半导体区 111b 的半导体膜 111。

[0114] 在等离子体 CVD 装置的处理室中,将含有硅或锗的沉积气体、氢和含有氮的气体混合,并利用辉光放电等离子体来形成半导体膜 111。作为含有氮的气体,有氨、氮、氟化氮、氯化氮、氯胺、氟胺等。可以与种子 107 同样地生成辉光放电等离子体。

[0115] 此时,通过作为含有硅或锗的沉积气体与氢的流量比,使用与种子 107 或微晶半导体膜 109 同样的流量比,并采用将含有氮的气体用于原料气体的条件,与种子 107 及微晶半导体膜 109 的沉积条件相比,可以抑制结晶生长。具体来说,由于在半导体膜 111 的沉积初期原料气体含有含氮的气体,所以结晶生长被部分抑制,在锥形状的微晶半导体区生长的同时,形成非晶半导体区。再者,在沉积的中期或后期中锥形状的微晶半导体区的结晶生长停止,而只有非晶半导体区沉积。其结果是,在半导体膜 111 中,可以形成微晶半导体区 111a 和非晶半导体区 111b,该非晶半导体区 111b 由缺陷少且价电子带端的能级尾(tail)的斜率陡峭的秩序性高的半导体膜形成。

[0116] 在此,形成半导体膜 111 的条件的典型例子为:相对于含有硅或锗的沉积气体流量的氢流量为 10 倍至 2000 倍,优选为 10 倍至 200 倍。另外,形成通常的非晶半导体膜的条件的典型例子为:相对于含有硅或锗的沉积气体流量的氢流量为 0 倍至 5 倍。

[0117] 此外,通过将氦、氩、氟、氦或氙等的稀有气体导入到半导体膜 111 的原料气体中,

可以提高成膜速度。

[0118] 优选将半导体膜 111 的厚度设定为 50nm 至 350nm, 更优选设定为 120nm 至 250nm。

[0119] 在此, 图 5A 和 5B 示出图 4C 所示的栅极绝缘膜 105 和杂质半导体膜 113 之间的放大图。

[0120] 如图 5A 所示, 半导体膜 111 中的微晶半导体区 111a 具为凹凸形状, 凸部为其头端从栅极绝缘膜 105 向非晶半导体区 111b 变窄 (凸部的头端为锐角) 的凸状 (锥形状)。另外, 微晶半导体区 111a 的形状也可以为其宽度从栅极绝缘膜 105 向非晶半导体区 111b 变宽的凸状 (倒锥形状)。

[0121] 通过将种子 107、微晶半导体膜 109 及微晶半导体区 111a 的厚度, 即从栅极绝缘膜 105 与种子 107 的界面到微晶半导体区 111a 的突起 (凸部) 的头端的距离设定为 5nm 以上且 310nm 以下, 可以减少薄膜晶体管的截止电流。

[0122] 此外, 通过将利用二次离子质谱分析法测量的包含在半导体膜 111 中的氧浓度设定为低于 $1 \times 10^{18} \text{atoms/cm}^3$, 可以提高微晶半导体区 111a 的结晶性, 所以是优选的。另外, 利用二次离子质谱分析法测量的半导体膜 111 的氮浓度分布曲线的峰值浓度为 $1 \times 10^{20} \text{atoms/cm}^3$ 以上且 $1 \times 10^{21} \text{atoms/cm}^3$ 以下, 优选为 $2 \times 10^{20} \text{atoms/cm}^3$ 以上且 $1 \times 10^{21} \text{atoms/cm}^3$ 以下。

[0123] 非晶半导体区 111b 利用具有氮的非晶半导体形成。包含在具有氮的非晶半导体中的氮例如也可以为 NH 基或 NH_2 基。非晶半导体使用非晶硅形成。

[0124] 含有氮的非晶半导体是一种半导体, 其中与现有的非晶半导体相比, 通过 CPM (Constant photocurrent method: 恒定光电流法) 或光致发光光谱测量来测量的乌尔巴赫端 (Urbach edge) 的能量低, 且缺陷吸收光谱量少。换言之, 含有氮的非晶半导体为与现有的非晶半导体相比, 缺陷少且价电子带端的能级尾的斜率陡峭的秩序性高的半导体。因为含有氮的非晶半导体的价电子带端的能级尾的斜率陡峭, 所以带隙宽, 隧道电流不容易流过。由此, 通过将含有氮的非晶半导体设置在微晶半导体区 111a 和杂质半导体膜 113 之间, 可以降低薄膜晶体管的截止电流。另外, 通过设置含有氮的非晶半导体, 可以提高导通电流和场效应迁移率。

[0125] 再者, 在含有氮的非晶半导体中, 通过低温光致发光光谱得到的光谱峰值区为 1.31eV 以上且 1.39eV 以下。另外, 通过低温光致发光光谱测量微晶半导体, 典型的是微晶硅而得到的光谱的峰值区为 0.98eV 以上且 1.02eV 以下, 含有氮的非晶半导体与微晶半导体不同。

[0126] 此外, 与非晶半导体区 111b 同样, 微晶半导体区 111a 也可以具有 NH 基或 NH_2 基。

[0127] 另外, 如图 5B 所示, 通过使非晶半导体区 111b 包括粒径为 1nm 以上且 10nm 以下, 优选为 1nm 以上且 5nm 以下的半导体混合相微粒 111c, 可以进一步提高导通电流和场效应迁移率。

[0128] 其头端从栅极绝缘膜 105 向非晶半导体区 111b 变窄的凸状 (锥形状) 的微晶半导体通过使微晶半导体沉积的条件来形成微晶半导体膜, 然后在进行部分的结晶生长的条件下进行结晶生长, 且使非晶半导体沉积, 而实现这种结构。

[0129] 因为半导体膜 111 中的微晶半导体区 111a 为锥形状或倒锥形状, 所以可以降低在导通状态下对源电极和漏电极之间施加电压时的纵方向 (膜厚度方向) 上的电阻, 即半导

体膜 111 的电阻。此外,因为在微晶半导体区 111a 和杂质半导体膜 113 之间具有缺陷少,价电子带端的能级尾的斜率陡峭,且秩序性高的含氮的非晶半导体,所以隧道电流不容易流过。由此,本实施方式所示的薄膜晶体管可以提高导通电流及场效应迁移率,且减少截止电流。

[0130] 虽然在此使半导体膜 111 的原料气体包括含有氮的气体来形成具有微晶半导体区 111a 及非晶半导体区 111b 的半导体膜 111,但是作为半导体膜 111 的其他形成方法有如下方法:在使微晶半导体膜 109 的表面暴露于含有氮的气体来使微晶半导体膜 109 的表面吸附氮之后,将含有硅或锗的沉积气体及氢用作原料气体,来可以形成具有微晶半导体区 111a 及非晶半导体区 111b 的半导体膜 111。

[0131] 使用添加有磷的非晶硅、添加有磷的微晶硅等形成杂质半导体膜 113。此外,作为杂质半导体膜 113,也可以采用添加有磷的非晶硅和添加有磷的微晶硅的叠层结构。另外,当作为薄膜晶体管形成 p 型薄膜晶体管时,使用添加有硼的微晶硅、添加有硼的非晶硅等形成杂质半导体膜 113。此外,当半导体膜 111 和后面形成的布线 129a、129b 形成欧姆接触时,也可以不形成杂质半导体膜 113。

[0132] 在等离子体 CVD 装置的处理室中,将含有硅的沉积气体、氢和磷化氢(使用氢或硅烷进行稀释)混合,并利用辉光放电等离子体来形成杂质半导体膜 113。由此,形成添加有磷的非晶硅或添加有磷的微晶硅。另外,在制造 p 型薄膜晶体管时,使用乙硼烷代替磷化氢并利用辉光放电等离子体来形成杂质半导体膜 113,即可。

[0133] 此外,当使用添加有磷的微晶硅或添加有硼的微晶硅形成杂质半导体膜 113 时,通过在半导体膜 111 和杂质半导体膜 113 之间形成微晶半导体膜,典型地形成微晶硅膜,可以提高界面的特性。其结果是,可以降低产生在杂质半导体膜 113 和半导体膜 111 之间的界面的电阻。其结果是,使流过薄膜晶体管的源区、半导体膜及漏区的电流量增加,从而可以增加导通电流及场效应迁移率。

[0134] 由抗蚀剂形成的掩模 115 可以通过光刻工序形成。

[0135] 接着,使用由抗蚀剂形成的掩模 115 对种子 107、微晶半导体膜 109、半导体膜 111 及杂质半导体膜 113 进行蚀刻。通过该工序,根据每个元件分离种子 107、微晶半导体膜 109、半导体膜 111 及杂质半导体膜 113,来形成岛状的半导体叠层体 117 及岛状的杂质半导体膜 121。另外,半导体叠层体 117 具有包括种子 107、微晶半导体膜 109 及半导体膜 111 的微晶半导体区的微晶半导体区 117a 和包括半导体膜 111 的非晶半导体的非晶半导体区 117b。然后,去除由抗蚀剂形成的掩模 115(参照图 4D)。

[0136] 接着,在杂质半导体膜 121 上形成导电膜 127(参照图 6A)。可以使用铝、铜、钛、钽、钨、钼、铬、钽或钨等的单层或叠层形成导电膜 127。或者,也可以使用添加有用于防止小丘的元素的铝合金(可用于栅电极 103 的 Al-Nd 合金等)形成导电膜 127。也可以使用添加有成为供体的杂质元素的结晶硅。也可以采用如下叠层结构,即使用钛、钽、钼、钨或这些元素的氮化物形成与添加有成为供体的杂质元素的结晶硅接触一侧的膜,并在其上形成铝或铝合金。而且,还可以采用如下叠层结构,即铝或铝合金的上面及下面被夹在钛、钽、钼、钨或这些元素的氮化物之间。通过 CVD 法、溅射法或真空蒸镀法形成导电膜 127。此外,也可以使用银、金或铜等的导电纳米膏通过丝网印刷法或喷墨法等进行喷出并进行焙烧,来形成导电膜 127。

[0137] 接着,通过光刻工序形成由抗蚀剂形成的掩模,并且使用该由抗蚀剂形成的掩模对导电膜 127 进行蚀刻,来形成用作源电极和漏电极的布线 129a 和 129b(参照图 6B)。作为导电膜 127 的蚀刻,可以采用干蚀刻或湿蚀刻。另外,布线 129a、129b 中的一方不但用作源电极或漏电极,而且还用作信号线。但是,不局限于此而也可以分别设置信号线和源电极及漏电极。

[0138] 接着,对杂质半导体膜 121 和半导体叠层体 117 的一部分进行蚀刻来形成用作源区和漏区的一对杂质半导体膜 131a、131b。此外,还形成包括微晶半导体区 133a 和一对非晶半导体区 133b 的半导体叠层体 133。此时,通过以使微晶半导体区 133a 露出的方式对半导体叠层体 117 进行蚀刻,形成半导体叠层体 133,其中在被布线 129a、129b 覆盖的区域中层叠微晶半导体区 133a 及非晶半导体区 133b,而在未被布线 129a、129b 覆盖且与栅电极重叠的区域中微晶半导体区 133a 露出。

[0139] 在此,布线 129a、129b 的端部与杂质半导体膜 131a、131b 的端部一致。但是布线 129a、129b 的端部与杂质半导体膜 131a、131b 的端部也可以不一致,且在截面中布线 129a、129b 的端部位于杂质半导体膜 131a、131b 的端部的内侧。

[0140] 接着,也可以进行干蚀刻。作为干蚀刻的条件,使用如下条件,即露出的微晶半导体区 133a 及非晶半导体区 133b 不受损伤,且对微晶半导体区 133a 及非晶半导体区 133b 的蚀刻速度低的条件。作为蚀刻气体,典型地使用 Cl_2 、 CF_4 或 N_2 等。此外,对蚀刻法没有特别的限制,可以采用感应耦合等离子体(ICP:Inductively Coupled Plasma)方式、电容耦合等离子体(CCP:Capacitively Coupled Plasma)方式、电子回旋共振等离子体(ECR:Electron Cyclotron Resonance)方式、反应离子蚀刻(RIE:Reactive Ion Etching)方式等。

[0141] 接着,对微晶半导体区 133a 及非晶半导体区 133b 的表面进行等离子体处理,典型地进行水等离子体处理、氧等离子体处理、氮等离子体处理、氩等离子体处理、使用氧及氮的混合气体的等离子体处理等。

[0142] 通过将以水蒸气(H_2O 蒸气)为代表的水为主要成分的气体导入到反应空间,生成等离子体,而可以进行水等离子体处理。然后,去除由抗蚀剂形成的掩模。另外,也可以在杂质半导体膜 121 及半导体叠层体 117 的干蚀刻之前去除该由抗蚀剂形成的掩模。

[0143] 如上所述,通过在形成微晶半导体区 133a 及非晶半导体区 133b 之后,在不使微晶半导体区 133a 及非晶半导体区 133b 受损伤的条件下进一步进行干蚀刻,可以去除存在于露出的微晶半导体区 133a 及非晶半导体区 133b 上的残渣等的杂质。此外,通过在干蚀刻之后连续地进行水等离子体处理,可以去除由抗蚀剂形成的掩模的残渣,并可以减少微晶半导体区 133a 的缺陷。另外,通过进行等离子体处理,可以使源区和漏区之间处于确实的绝缘状态,从而可以降低完成的薄膜晶体管的截止电流,并降低电特性的不均匀性。

[0144] 另外,在导电膜 127 上形成通过光刻工序使用抗蚀剂形成的掩模,并且使用该由抗蚀剂形成的掩模对导电膜 127 进行蚀刻,来形成用作源电极和漏电极的布线 129a 和 129b。接着,通过对杂质半导体膜 121 进行蚀刻,来形成用作源区和漏区的一对杂质半导体膜 131a、131b。在该情况下,半导体叠层体 117 的一部分有时被蚀刻。接着,也可以在去除由抗蚀剂形成的掩模之后,对半导体叠层体 117 的一部分进行蚀刻,形成具有微晶半导体区 133a 及一对非晶半导体区 133b 的半导体叠层体 133。

[0145] 其结果,在去除由抗蚀剂形成的掩模的工序中,因为微晶半导体区 117a 被非晶半导体区 117b 覆盖,所以微晶半导体区 117a 不接触于剥离液及抗蚀剂残留物。另外,在去除由抗蚀剂形成的掩模之后,使用布线 129a、129b 对非晶半导体区 117b 进行蚀刻,以使微晶半导体区 133a 暴露。因此,接触于剥离液及抗蚀剂残留物的非晶半导体区不残留在背沟道中。其结果,因为不产生残留在背沟道中的剥离液及抗蚀剂残留物所引起的泄漏电流,所以可以进一步降低薄膜晶体管的截止电流。

[0146] 通过上述工序可以制造单栅型薄膜晶体管。此外,可以以高生产率制造截止电流低且导通电流及场效应迁移率高的单栅型薄膜晶体管。

[0147] 接着,在半导体叠层体 133 及布线 129a、129b 上形成绝缘膜 137 (也称为第二栅极绝缘膜)。绝缘膜 137 可以与栅极绝缘膜 105 同样地形成。

[0148] 接着,使用通过光刻工序形成的由抗蚀剂形成的掩模在绝缘膜 137 中形成开口部 (未图示)。接着,在绝缘膜 137 上形成背栅电极 139 (也称为第二栅电极) (参照图 6C)。通过上述工序,可以制造双栅型薄膜晶体管。

[0149] 背栅电极 139 可以与布线 129a、129b 同样地形成。此外,背栅电极 139 可以使用含有氧化钨的氧化铟、含有氧化钨的氧化铟锌、含有氧化钛的氧化铟、含有氧化钛的氧化铟锡、氧化铟锡、氧化铟锌或添加有氧化硅的氧化铟锡等的具有透光性的导电材料形成。

[0150] 此外,背栅电极 139 可以使用含有具有透光性的导电高分子 (也称为导电聚合物) 的导电组成物形成。优选的是,在背栅电极 139 中,薄层电阻为 $10000 \Omega/\text{sq}$ 以下,并且波长为 550nm 时的透光率为 70% 以上。另外,导电组成物所含有的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0151] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物及苯胺、吡咯和噻吩中两种以上的共聚物或其衍生物等。

[0152] 在通过溅射法使用上述材料中的任何材料形成薄膜之后,使用通过光刻工序形成的由抗蚀剂形成的掩模对上述薄膜进行蚀刻,而可以形成背栅电极 139。此外,在涂敷或印刷含有具有透光性的导电高分子的导电组成物之后,进行焙烧来形成背栅电极 139。

[0153] 接着,参照作为薄膜晶体管的俯视图的图 7A 至 7D 说明背栅电极的形状。

[0154] 如图 7A 所示,可以与栅电极 103 平行地形成背栅电极 139。在此情况下,可以分别任意地控制施加到背栅电极 139 的电位及施加到栅电极 103 的电位。因此,可以控制薄膜晶体管的阈值电压。此外,因为载流子流过的区域,即沟道区形成在微晶半导体区的栅极绝缘膜 105 一侧及绝缘膜 137 一侧,所以可以提高薄膜晶体管的导通电流。

[0155] 此外,如图 7B 所示,可以使背栅电极 139 连接到栅电极 103。也就是说,可以采用在形成在栅极绝缘膜 105 及绝缘膜 137 的开口部 150 中,栅电极 103 与背栅电极 139 连接的结构。在此情况下,施加到背栅电极 139 的电位和施加到栅电极 103 的电位相等。其结果是,因为在半导体膜中,载流子流过的区域,即沟道区形成在微晶半导体区的栅极绝缘膜 105 一侧及绝缘膜 137 一侧,所以可以提高薄膜晶体管的导通电流。

[0156] 此外,如图 7C 所示,背栅电极 139 也可以不与栅电极 103 连接而处于浮动状态。即使不对背栅电极 139 施加电位,也由于沟道区被形成在微晶半导体区的栅极绝缘膜 105 一侧及绝缘膜 137 一侧,因此可以提高薄膜晶体管的导通电流。

[0157] 再者,如图 7D 所示,背栅电极 139 也可以隔着绝缘膜 137 与布线 129a、129b 重叠。虽然在此使用具有图 7A 所示的结构背栅电极 139 进行表示,但是图 7B 及 7C 所示的背栅电极 139 也可以同样地与布线 129a、129b 重叠。

[0158] 在本实施方式所示的单栅型薄膜晶体管及双栅型薄膜晶体管中,可以使用降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜形成沟道区。由此,单栅型薄膜晶体管及双栅型薄膜晶体管的载流子迁移量增加,从而可以提高导通电流及场效应迁移率。此外,在微晶半导体区 133a 和杂质半导体膜 131a、131b 之间具有非晶半导体区 133b。因此,可以降低薄膜晶体管的截止电流。由此,可以缩小单栅型薄膜晶体管的面积及双栅型薄膜晶体管的面积,从而可以实现半导体装置的高集成化。另外,由于通过将本实施方式所示的薄膜晶体管用于显示装置的驱动电路,可以减少驱动电路的面积,因此可以实现显示装置的窄边框化。

[0159] 另外,虽然在本实施方式中使用实施方式 1 形成微晶半导体膜,但是也可以使用实施方式 2 形成微晶半导体膜。另外,由于当使用实施方式 2 所示的微晶半导体膜形成双栅型薄膜晶体管时,背栅电极一侧的微晶半导体膜的结晶性高,因此可以进一步改善双栅型薄膜晶体管的电特性。

[0160] 实施方式 4

[0161] 在本实施方式中,参照图 4A 至 4D 及图 8A 至 8C 说明与实施方式 3 相比可以进一步降低截止电流的薄膜晶体管的制造方法。

[0162] 与实施方式 3 同样地,经过图 4A 至 4C 的工序形成图 8A 所示的半导体叠层体 117。

[0163] 接着,在使由抗蚀剂形成的掩模 115 残留的状态下,进行使半导体叠层体 117 的侧面暴露于等离子体 123 的等离子体处理。在此,在氧化气体或氮化气体气氛下产生等离子体,使半导体叠层体 117 暴露于等离子体 123。作为氧化气体,有氧、臭氧、一氧化二氮、水蒸气、氧和氢的混合气体等。此外,作为氮化气体,有氮、氨、氟化氮、氯化氮、氯胺、氟胺等。通过在氧化气体或氮化气体气氛下产生等离子体,产生氧自由基或氮自由基。该自由基与半导体叠层体 117 起反应,而可以在半导体叠层体 117 的侧面形成作为势垒区的绝缘区。另外,也可以照射紫外光代替等离子体来产生氧自由基或氮自由基。

[0164] 此外,当作为氧化气体使用氧、臭氧、水蒸气、氧和氢的混合气体时,如图 8B 所示,因等离子体照射而抗蚀剂缩退,因此形成底面的面积缩小的掩模 115a。由此,通过该等离子体处理,露出的杂质半导体膜 121 与半导体叠层体 117 的侧壁一起氧化,且还在半导体叠层体 117 的侧壁以及杂质半导体膜 121 的侧壁及上面的一部分形成作为势垒区的绝缘区 125。

[0165] 接着,如实施方式 3 所示,经过与图 6A 及 6B 同样的工序,如图 6C 所示那样形成用作源电极及漏电极的布线 129a、129b、用作源区及漏区的一对杂质半导体膜 131a、131b、包括微晶半导体区 133a 及一对非晶半导体区 133b 的半导体叠层体 133、绝缘膜 137,而可以制造单栅型薄膜晶体管。

[0166] 此外,通过在绝缘膜 137 上形成背栅电极,可以制造双栅型薄膜晶体管。

[0167] 在本实施方式所示的单栅型薄膜晶体管及双栅型薄膜晶体管中,可以使用降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜形成沟道区。此外,通过在半导体叠层体 133 和布线 129a、129b 之间设置作为势垒区的绝缘区,可以抑制从布线 129a、129b 被注入到半导体叠层体 133 的空穴,从而形成截止电流低且场效应迁移率及导通电流高的薄膜

晶体管。由此,可以缩小薄膜晶体管的面积,从而可以实现半导体装置的高集成化。此外,通过将本实施方式所示的薄膜晶体管用于显示装置的驱动电路,可以减少驱动电路的面积,因此可以实现显示装置的窄边框化。

[0168] 注意,虽然在本实施方式中使用实施方式 3 说明,但是也可以适当地使用其他实施方式。

[0169] 实施方式 5

[0170] 在本实施方式中,参照图 5A 和 5B、图 6A 至 6C 以及图 9 说明形成在本发明的一个方式的半导体装置中的薄膜晶体管的制造方法。图 9 是对应于图 6B 所示的工序的工序。

[0171] 与实施方式 3 同样,经过图 4A 至 4D 及图 6A 的工序形成导电膜 127。

[0172] 接着,如图 9 所示,与实施方式 3 同样地形成布线 129a、129b,并对杂质半导体膜 121 及半导体叠层体 117 的一部分进行蚀刻,来形成用作源区及漏区的一对杂质半导体膜 131a、131b。此外,形成包括微晶半导体区 143a 及非晶半导体区 143b 的半导体叠层体 143。此时,通过以使非晶半导体区 143b 露出的方式对半导体叠层体 117 进行蚀刻,形成半导体叠层体 143,其中在被布线 129a、129b 覆盖的区域中,层叠微晶半导体区 143a 和非晶半导体区 143b,而在未被布线 129a、129b 覆盖且与栅电极重叠的区域中,微晶半导体区 143a 不露出且非晶半导体区 143b 露出。注意,在此的半导体叠层体 117 的蚀刻量比图 6B 少。

[0173] 后面的工序与实施方式 3 一样。

[0174] 通过上述工序,可以制造单栅型薄膜晶体管。由于在该薄膜晶体管中,背沟道一侧是非晶,因此与图 6B 所示的薄膜晶体管相比,可以减少截止电流。

[0175] 此外,在本实施方式中,也可以在图 6A 至 6C 所示的工序之后与图 6C 所示的工序同样地隔着绝缘膜 137 形成背栅电极 139。

[0176] 本实施方式可以与其他实施方式适当地组合而使用。

[0177] 实施方式 6

[0178] 制造薄膜晶体管,并将该薄膜晶体管用于像素部、驱动电路从而可以制造具有显示功能的半导体装置(也称为显示装置)。此外,将使用薄膜晶体管的驱动电路的一部分或整体与像素部一体地形成在相同的衬底上,从而可以形成系统化面板(system-on-panel)。

[0179] 显示装置包括显示元件。作为显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。发光元件在其范畴内包括由电流或电压控制亮度的元件,具体地说,发光元件包括无机 EL(Electro Luminescence:电致发光)元件、有机 EL 元件等。此外,也可以应用电子墨水等的其对比度因电作用而变化的显示介质。

[0180] 此外,显示装置包括密封有显示元件的面板和在该面板中安装有包括控制器的 IC 等的模块。再者,在相当于制造该显示装置的过程中的显示元件完成之前的一个方式的元件衬底的多个各像素中分别具备用于将电流供应到显示元件的单元。具体来说,元件衬底可处于仅设置有显示元件的像素电极的状态、在形成成为像素电极的导电膜之后且在进行蚀刻以形成像素电极之前的状态或者任何其他状态。

[0181] 注意,本说明书中的显示装置是指图像显示器件、显示器件、或光源(包括照明装置)。此外,该显示装置在其范畴中还可包括以下模块:安装有连接器诸如 FPC(Flexible Printed Circuit:柔性印刷电路)、TAB(Tape Automated Bonding:带式自动接合)带或 TCP(Tape Carrier Package:带式载体封装)的模块;在 TAB 带或 TCP 的端部上设置有印刷

线路板的模块；以及通过 COG (Chip On Glass :玻璃上的芯片) 方式在显示元件上直接安装 IC (集成电路) 的模块。

[0182] 实施方式 7

[0183] 在本实施方式中,说明作为半导体装置的一个方式的光电转换装置。在本实施方式所示的光电转换装置中,作为半导体膜采用如实施方式 1 及实施方式 2 所示的降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜。作为采用降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜的半导体膜,有进行光电转换的半导体膜、呈现导电型的半导体膜等,特别优选用于进行光电转换的半导体膜。或者,也可以将降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜用于进行光电转换的半导体膜或呈现导电型的半导体膜与其他膜之间的界面。

[0184] 通过采用上述结构,可以降低进行光电转换的半导体膜、呈现导电型的半导体膜所引起的电阻(串联电阻),来提高特性。此外,可以抑制进行光电转换的半导体膜或呈现导电型的半导体膜与其他膜之间的界面中的光学损失或电气损失,来提高光电转换效率。下面,参照图 10A 至 10E 说明光电转换装置的制造方法的一个方式。

[0185] 如图 10A 所示,在衬底 200 上形成第一电极 202。

[0186] 作为衬底 200,可以适当地使用实施方式 1 所示的衬底 51。此外,也可以使用塑料衬底。作为塑料衬底,优选使用包括环氧树脂、不饱和聚酯树脂、聚酰亚胺树脂、双马来酰亚胺三嗪树脂或氰酸酯树脂等热固性树脂的衬底或者包括聚苯醚树脂、聚醚酰亚胺树脂、氟树脂等热塑性树脂的衬底。

[0187] 另外,衬底 200 的表面也可以具有纹理结构。由此,可以提高光电转换效率。

[0188] 此外,由于在本实施方式中采用光从衬底 200 的背面一侧(附图中的下方)入射的结构,因此采用具有透光性的衬底。但是,当采用光从后面形成的第二电极 210 一侧(附图中的上方)入射的结构时,不局限于此。在此情况下,也可以使用含有硅等的材料的半导体衬底、含有金属材料等的导电衬底。

[0189] 可以使用用于实施方式 3 所示的背栅电极 139 的具有透光性的导电材料形成第一电极 202。通过溅射法、CVD 法、真空蒸镀法、涂敷法、印刷法等形成第一电极 202。

[0190] 以 10nm 至 500nm 的厚度,优选以 50nm 至 100nm 的厚度形成第一电极 202。此外,将第一电极 202 的薄层电阻设定为 $20 \Omega/\text{sq.}$ 至 $200 \Omega/\text{sq.}$ 左右。

[0191] 注意,因为在本实施方式中采用光从衬底 200 的背面一侧(附图中的下方)入射的结构,所以使用具有透光性的导电材料形成第一电极 202,但是,当采用光从后面形成的第二电极 210 一侧(附图中的上方)入射的结构时,不局限于此。在此情况下,可以使用铝、铂、金、银、铜、钛、钽、钨等的没有透光性的导电材料形成第一电极 202。特别是,当使用铝、银、钛、钽等的容易反射光的材料时,可以充分地提高光电转换效率。

[0192] 与衬底 200 同样,第一电极 202 也可以具有纹理结构。此外,也可以以与第一电极 202 接触的方式另外形成由低电阻的导电材料构成的辅助电极。

[0193] 接着,如图 10B 所示,在第一电极 202 上形成呈现第一导电型的半导体膜 204。典型的是,使用含有添加有赋予导电型的杂质元素的半导体材料的半导体膜形成呈现第一导电型的半导体膜 204。从生产率、价格等的角度来看,作为半导体材料优选使用硅。当作为半导体材料使用硅时,作为赋予导电型的杂质元素采用赋予 n 型的磷、砷或赋予 p 型的硼、

铝等。

[0194] 注意,因为在本实施方式中采用光从衬底 200 的背面一侧(附图中的下方)入射的结构,所以呈现第一导电型的半导体膜 204 的导电型(第一导电型)优选为 p 型。这是因为如下缘故:由于空穴的寿命比电子的寿命短,即电子的寿命的一半,因此空穴的扩散长度短;以及大多在进行光电转换的半导体膜 206 的入射光一侧形成电子和空穴等。像这样,通过将第一导电型设定为 p 型,可以在空穴湮灭之前取出电流,所以可以抑制光电转换效率的降低。注意,在上述情况不成为问题的情况下,例如在进行光电转换的半导体膜 206 充分薄的情况等下,也可以将第一导电型设定为 n 型。

[0195] 作为可以用于呈现第一导电型的半导体膜 204 的半导体材料,还有碳化硅、锗、镓砷、磷化铟、硒化锌、氮化镓、硅锗等。此外,也可以使用含有有机材料的半导体材料、含有金属氧化物的半导体材料等。可以根据进行光电转换的半导体膜 206 适当地选择该材料。

[0196] 虽然对呈现第一导电型的半导体膜 204 的结晶性没有特别的要求,但是,当作为呈现第一导电型的半导体膜 204 采用实施方式 1 或实施方式 2 所示的降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜时,与采用现有的微晶半导体膜的情况相比,可以降低串联电阻,并抑制与其他膜之间的界面中的光学损失或电气损失,所以是优选的。当然,也可以采用非晶、多晶、单晶等的具有其他结晶性的半导体。

[0197] 另外,与衬底 200 的表面同样,呈现第一导电型的半导体膜 204 的表面也可以具有纹理结构。

[0198] 可以通过使用含有硅的沉积气体及乙硼烷的等离子体 CVD 法形成呈现第一导电型的半导体膜 204。此外,以 1nm 至 100nm 的厚度,优选以 5nm 至 50nm 的厚度形成呈现第一导电型的半导体膜 204。

[0199] 此外,也可以在通过等离子体 CVD 法等形成没添加有赋予导电型的杂质元素的硅膜之后,通过离子注入等的方法添加硼,而形成呈现第一导电型的半导体膜 204。

[0200] 接着,如图 10C 所示,在呈现第一导电型的半导体膜 204 上形成进行光电转换的半导体膜 206。作为进行光电转换的半导体膜 206,应用使用与半导体膜 204 相同的半导体材料的半导体膜。也就是说,作为半导体材料,使用硅、碳化硅、锗、镓砷、磷化铟、硒化锌、氮化镓、硅锗等。尤其是,优选使用硅。此外,也可以使用含有有机材料的半导体材料、金属氧化物半导体材料等。

[0201] 作为进行光电转换的半导体膜 206,更优选使用如实施方式 1 及实施方式 2 所示的降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜。通过作为半导体膜采用如实施方式 1 及实施方式 2 所示的降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜,与采用现有的微晶半导体膜的情况相比,可以减少串联电阻,并可以抑制与其他膜之间的界面中的光学损失或电气损失。

[0202] 注意,因为进行光电转换的半导体膜 206 需要进行充分的光吸收,所以其厚度优选为 100nm 至 10 μ m 左右。

[0203] 接着,如图 10D 所示,在进行光电转换的半导体膜 206 上形成呈现第二导电型的半导体膜 208。在本实施方式中,第二导电型为 n 型。可以使用添加有用作赋予导电型的杂质元素的磷的硅等的材料来形成呈现第二导电型的半导体膜 208。可以用于呈现第二导电型的半导体膜 208 的半导体材料与呈现第一导电型的半导体膜 204 相同。

[0204] 呈现第二导电型的半导体膜 208 可以与呈现第一导电型的半导体膜 204 同样地形成。例如,可以通过使用含有硅的沉积气体及磷化氢的等离子体 CVD 法形成呈现第二导电型的半导体膜 208。作为呈现第二导电型的半导体膜 208,也优选采用实施方式 1 或实施方式 2 所示的降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜。

[0205] 另外,虽然由于在本实施方式中,采用光从衬底 200 的背面一侧(附图中的下方)入射的结构,因此半导体膜 208 的导电型(第二导电型)为 n 型,但是所公开的发明的一个方式不局限于此。当第一导电型为 n 型时,第二导电型为 p 型。

[0206] 接着,如图 10E 所示,在呈现第二导电型的半导体膜 208 上形成第二电极 210。使用金属等的导电材料形成第二电极 210。例如,可以使用铝、银、钛、钽等的容易反射光的材料形成第二电极 210。在此情况下,可以使半导体膜 206 不能完全吸收的光再次入射到半导体膜 206 中,来提高光电转换效率,所以是优选的。

[0207] 作为第二电极 210 的形成方法,有溅射法、真空蒸镀法、CVD 法、涂敷法、印刷法等。此外,第二电极 210 以 10nm 至 500nm 的厚度,优选以 50nm 至 100nm 的厚度形成。

[0208] 注意,由于在本实施方式中采用光从衬底 200 的背面一侧(附图中的下方)入射的结构,因此使用没有透光性的材料形成第二电极 210,但是第二电极 210 的结构不局限于此。例如,在采用光从第二电极 210 一侧(附图中的上方)入射的结构时,可以使用第一电极 202 所示的具有透光性的导电材料形成第二电极 210。

[0209] 另外,也可以以与第二电极 210 接触的方式形成由低电阻的导电材料构成的辅助电极。

[0210] 通过上述方法,可以制造一种光电转换装置,其中将降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜用于进行光电转换的半导体膜、呈现第一导电型的半导体膜和呈现第二导电型的半导体膜中的任一个。而且,由此可以提高光电转换装置的转换效率。另外,只要将降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜用于进行光电转换的半导体膜、呈现第一导电型的半导体膜和呈现第二导电型的半导体膜中的任一个即可,可适当地改变将其用于哪一个。此外,在将降低混合相微粒之间的空隙来提高结晶性的微晶半导体膜用于上述半导体膜中的多个时,更有效。

[0211] 注意,虽然在本实施方式中示出了具有一个单元元件的光电转换装置,但是也可以形成适当地层叠两个以上的单元元件的光电转换装置。

[0212] 本实施方式可以与其他实施方式适当地组合而使用。

[0213] 实施方式 8

[0214] 本说明书所公开的半导体装置可以用于电子纸。电子纸可以用于用来显示信息的所有领域的电子设备。例如,电子纸能够应用到电子书阅读器、招贴、数字标牌、PID(Public Information Display:公共信息显示)、诸如电车等交通工具中的车厢广告、诸如信用卡等各种卡的显示等。图 11 示出电子设备的一个例子。

[0215] 图 11 示出电子书阅读器的一个例子。例如,电子书阅读器 2700 由两个框体,即框体 2701 及框体 2703 构成。框体 2701 及框体 2703 通过轴部 2711 形成为一体,且可以以该轴部 2711 为轴进行开闭动作。通过采用这种结构,可以进行如纸的书籍那样的动作。

[0216] 框体 2701 组装有显示部 2705 及光电转换装置 2706,而框体 2703 组装有显示部 2707 及光电转换装置 2708。显示部 2705 及显示部 2707 的结构既可以是显示连屏画面的结

构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如可以在右侧的显示部(图 11 中的显示部 2705)中显示文章,而在左侧的显示部(图 11 中的显示部 2707)中显示图像。

[0217] 此外,在图 11 中示出框体 2701 具备操作部等的例子。例如,在框体 2701 中,具备电源 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。注意,可以采用在与框体的显示部同一表面上具备键盘、定位装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB 端子或可与 AC 适配器及 USB 电缆等的各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书阅读器 2700 也可以具有电子词典的功能。

[0218] 此外,电子书阅读器 2700 也可以采用能够以无线的方式收发信息的结构。还可以采用以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载的结构。

[0219] 实施方式 9

[0220] 本说明书所公开的半导体装置可以应用于各种各样的电子设备(也包括游戏机)。作为电子设备,例如可举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机、数码摄影机、数码相框、移动电话机(也称为移动电话、移动电话装置)、便携式游戏机、便携式信息终端、音频再现装置、弹珠机等的大型游戏机等。

[0221] 图 12A 示出电视装置的一个例子。在电视装置 9600 中,框体 9601 组装有显示部 9603。利用显示部 9603 可以显示映像。此外,在此示出利用支架 9605 支撑框体 9601 的结构。

[0222] 通过利用框体 9601 所具备的操作开关、另外提供的遥控操作机 9610 可以进行电视装置 9600 的操作。通过利用遥控操作机 9610 所具备的操作键 9609,可以进行频道及音量的操作,并可以对在显示部 9603 上显示的映像进行操作。此外,也可以采用在遥控操作机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

[0223] 另外,电视装置 9600 采用具备接收机、调制解调器等结构。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到利用有线或无线方式的通信网络,从而也可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0224] 图 12B 示出数码相框的一个例子。例如,在数码相框 9700 中,框体 9701 组装有显示部 9703。显示部 9703 可以显示各种图像,例如通过显示使用数码相机等拍摄的图像数据,可以发挥与一般的相框同样的功能。

[0225] 另外,数码相框 9700 采用具备操作部、外部连接用端子(USB 端子、可以与 USB 电缆等的各种电缆连接的端子等)、记录介质插入部等的结构。它们也可以组装到与显示部同一个面,但是通过将它们设置在侧面或背面上来提高设计性,所以是优选的。例如,可以对数码相框的记录介质插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数据,然后将所提取的图像数据显示于显示部 9703。

[0226] 此外,数码相框 9700 也可以采用能够以无线的方式收发信息的结构。还可以采用以无线的方式提取所希望的图像数据并进行显示的结构。

[0227] 图 13 是示出便携式计算机的一个例子的立体图。

[0228] 在图 13 所示的便携式计算机中,可以将连接上部框体 9301 与下部框体 9302 的铰

链装置设置为关闭状态来使具有显示部 9303 的上部框体 9301 与具有键盘 9304 的下部框体 9302 处于重叠状态,而便于携带,并且,当使用者利用键盘进行输入时,将铰链装置设置为打开状态,而可以看着显示部 9303 进行输入操作。

[0229] 另外,下部框体 9302 除了键盘 9304 之外还包括进行输入操作的定位装置 9306。另外,当显示部 9303 为触屏输入面板时,也可以通过触摸显示部的一部分进行输入操作。另外,下部框体 9302 还包括 CPU、硬盘等的运算功能部。此外,下部框体 9302 还具有用来插入其他器件,例如符合 USB 的通信标准的通信电缆的外部连接端口 9305。

[0230] 在上部框体 9301 中还具有通过使它滑动到上部框体 9301 内部而可以收纳的显示部 9307,因此可以实现宽显示屏幕。另外,使用者可以调节可以收纳的显示部 9307 的屏幕的方向。另外,当可以收纳的显示部 9307 为触屏输入面板时,还可以通过触摸可以收纳的显示部的一部分来进行输入操作。

[0231] 显示部 9303 或可以收纳的显示部 9307 使用如液晶显示面板、有机发光元件或无机发光元件等的发光显示面板等的映像显示装置。

[0232] 另外,图 13 的便携式计算机安装有接收机等,而可以接收电视广播并将映像显示于显示部。另外,使用者还可以在连接上部框体 9301 与下部框体 9302 的铰链装置处于关闭状态的状态下滑动显示部 9307 而使其屏幕的整个面露出并调整屏幕角度来观看电视广播。此时,铰链装置处于未打开状态从而不使显示部 9303 进行显示,并仅启动只显示电视广播的电路,所以可以将功耗控制为最少,这对电池容量有限的便携式计算机而言是充分有效的。

[0233] 实施例 1

[0234] 在本实施例中,使用图 14 对微晶硅膜及非晶硅膜的蚀刻速度和压力的关系进行说明。

[0235] 首先,对蚀刻样品的制造方法进行说明。

[0236] 样品 1 的被蚀刻膜是非晶硅膜。在此,在玻璃衬底上形成厚度为 100nm 的非晶硅膜。非晶硅膜的沉积使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将硅烷的流量设定为 100sccm,将氢的流量设定为 75sccm,而导入原料气体来进行稳定化;将处理室内的压力设定为 100Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 30W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0237] 样品 2 的被蚀刻膜是微晶硅膜。此处,在玻璃衬底上形成厚度为 300nm 的氮化硅膜之后,对氮化硅膜进行等离子体处理。接着,在实施方式 1 所示的第一条件下形成厚度为 5nm 的种子之后,在第二条件(注意,不进行循环流动)下形成厚度为 65nm 的微晶硅膜。

[0238] 使用氮化硅膜形成栅极绝缘膜 105。形成厚度为 300nm 的氮化硅膜。氮化硅膜通过等离子体 CVD 法进行沉积而形成。

[0239] 在氮化硅膜的沉积中:将硅烷的流量设定为 15sccm,将氢的流量设定为 200sccm,将氮的流量设定为 180sccm,将氩的流量设定为 500sccm,而导入原料气体;将处理室内的压力设定为 100Pa;将衬底温度设定为 250℃;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 200W;并且进行等离子体放电。

[0240] 在对氮化硅膜的等离子体处理中:以 400sccm 的流量导入一氧化二氮(N_2O);将处理室内的压力设定为 60pa;并且以 300W 进行等离子体放电。另外,上述等离子体处理使用

平行平板型的等离子体处理装置进行,将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃。

[0241] 种子的沉积使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将硅烷的流量设定为 4sccm,将氢的流量设定为 750sccm,将氩的流量设定为 750sccm,而导入原料气体;将处理室内的压力设定为 532Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 150W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0242] 微晶硅膜的沉积使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将硅烷的流量设定为 1.8sccm,将氢的流量设定为 750sccm,将氩的流量设定为 750sccm,而导入原料气体;将处理室内的压力设定为 5000Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 125W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0243] 接着,在样品 1 和样品 2 中,在不同压力条件下进行蚀刻处理测量蚀刻速度。

[0244] 作为蚀刻条件,使用等离子体蚀刻法,在该等离子体蚀刻法中:将氢的流量设定为 1500sccm,将氩的流量设定为 1500sccm,而导入蚀刻气体;将 RF 电源频率设定为 13.56MHz;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行 600 秒的等离子体放电。另外,对于样品 1 和样品 2,将处理室内的压力设定为 1000Pa、2000Pa、3000Pa、4000Pa、5000Pa、10000Pa,并且将 RF 电源的功率设定为 100W、150W。

[0245] 图 14 示出此时的压力和蚀刻速度的关系。横轴表示 1/压力 (1/kPa),而纵轴表示蚀刻速度 (nm/min)。

[0246] 此外,菱形表示样品 1(被蚀刻膜是非晶硅膜)的蚀刻速度,而白菱形表示压力为 1000Pa 至 5000Pa 且 RF 电源的功率为 100W 时的蚀刻速度。黑菱形表示压力为 2000Pa 至 10000Pa 且 RF 电源的功率为 150W 时的蚀刻速度。

[0247] 此外,方形表示样品 2(被蚀刻膜是微晶硅膜)的蚀刻速度。白方形表示压力为 1000Pa 至 5000Pa 且 RF 电源的功率为 100W 时的蚀刻速度。黑方形表示压力为 2000Pa 至 10000Pa 且 RF 电源的功率为 150W 时的蚀刻速度。

[0248] 在样品 2(被蚀刻膜是微晶硅膜)中,在压力为 1000pa,即横轴为 1(1/kPa)时,蚀刻速度快。但是,在压力为 2000Pa 以上,即横轴为 0.5 以下 (1/kPa) 时,蚀刻速度降低,微晶硅膜几乎不被蚀刻。

[0249] 另一方面,在样品 1(被蚀刻膜是非晶硅膜)中,在压力为 1000pa 至 10000Pa 的范围内,蚀刻速度以近似线形的方式降低,但是非晶硅膜被蚀刻。

[0250] 由此,在将处理室内的压力至少设定为 2000Pa 以上的氢气氛中产生的等离子体中,可以不对微晶硅膜进行蚀刻,并对非晶硅膜选择性地蚀刻。

[0251] 由此,在实施方式 1 和实施方式 2 中,通过在第二条件下进行硅烷循环流动,有硅烷的流量周期性地锐减的期间,并且在该期间中主要在氢气氛中产生等离子体。由此,可以对沉积在种子上的微晶半导体膜的非晶半导体选择性地蚀刻。其结果,可以形成结晶性高的微晶半导体膜。

[0252] 实施例 2

[0253] 在本实施例中,使用图 15A 至图 16B 对实施方式 1 所示的微晶半导体膜的表面结

构、结晶性及雏晶的尺寸进行说明。

[0254] 首先,对样品的制造方法进行说明。

[0255] 样品 3 及样品 5 是使用实施方式 1 所示的方法形成微晶硅膜的样品。

[0256] 作为样品 3 及样品 5,在玻璃衬底上形成厚度为 300nm 的氮化硅膜,然后对氮化硅膜进行等离子体处理。接着,在实施方式 1 所示的第一条件下形成厚度为 5nm 的种子之后,在第二条件下形成厚度为 30nm 的微晶硅膜。

[0257] 在此,使用当形成实施例 1 所示的样品 2 时使用的氮化硅膜的成膜条件以及等离子体处理的条件。

[0258] 样品 3 及样品 5 的种子的沉积使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将硅烷的流量设定为 4sccm,将氢的流量设定为 750sccm,将氩的流量设定为 750sccm,而导入原料气体;将处理室内的压力设定为 532Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 150W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0259] 样品 3 的微晶硅膜的沉积使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将氢的流量设定为 1500sccm,将氩的流量设定为 1500sccm,使用如下循环流动导入原料气体,在该循环流动中交替流过 10 秒的流量为 2sccm 的硅烷和流过 5 秒的流量为 0.1sccm 的硅烷;将处理室内的压力设定为 10000Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 350W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0260] 样品 5 的微晶硅膜的沉积使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将氢的流量设定为 1500sccm,将氩的流量设定为 1500sccm,使用如下循环流动导入原料气体,在该循环流动中交替流过 5 秒的流量为 2sccm 的硅烷和流过 5 秒的流量为 0.1sccm 的硅烷;将处理室内的压力设定为 10000Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 350W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0261] 作为参考例子的样品 4 与样品 3 及样品 5 的不同之处是:当在第二条件下进行微晶硅膜的沉积时,采用不使用循环流动的条件。具体而言,在玻璃衬底上形成厚度为 300nm 的氮化硅膜,然后对氮化硅膜进行等离子体处理。接着,在实施方式 1 所示的第一条件下形成厚度为 5nm 的种子,然后在不进行循环流动的第二条件下形成厚度为 30nm 的微晶硅膜。

[0262] 作为不进行循环流动的第二条件,使用等离子体 CVD 法,在该等离子体 CVD 法中:将硅烷的流量设定为 2sccm,将氢的流量设定为 1500sccm,将氩的流量设定为 1500sccm,而导入原料气体;将处理室内的压力设定为 10000Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 350W;将上部电极的温度设定为 250℃,而将下部电极的温度设定为 290℃;并且进行等离子体放电。

[0263] 利用扫描电子显微镜拍摄样品 3 及样品 4 的微晶硅膜,并且图 15A 和 15B 分别示出其 SEM 照片(倍率为 20 万倍)。

[0264] 另外,利用拉曼光谱分析测量样品 3 及样品 4 的结晶性(I_c/I_a (结晶硅的峰值强度/非晶硅的峰值强度))。样品 3 的 I_c/I_a 为 10.8,而样品 4 的 I_c/I_a 为 9.7。

[0265] 接着,图 17A 和 17B 示出利用 In-Plane X 射线衍射法(In-Plane XRD)分析样品 4

及样品 5 并评价雏晶的尺寸而得到的结果。图 17A 示出当横轴 2θ 为 20 度至 80 度时测定的 X 射线衍射光谱。图 17B 是图 17A 中的 (111) 面取向的峰值的放大图, 示出横轴 2θ 为 25 度至 35 度时的 X 射线衍射光谱。在图 17A 和 17B 中, 虚线示出作为比较例的样品 4 的 X 射线衍射光谱, 而实线示出样品 5 的 X 射线衍射光谱。

[0266] 在此, 将示出 (111) 面取向的峰值的半峰全宽代入 Scherrer (谢乐) 公式中, 计算各样品中的具有 (111) 面取向的雏晶的平均尺寸。样品 5 中的具有 (111) 面取向的雏晶的平均尺寸为 10.5nm。另一方面, 作为比较例的样品 4 中的具有 (111) 面取向的雏晶的平均尺寸为 9.2nm。

[0267] 根据图 15A 和 15B 可知: 当在形成种子之后进行微晶硅膜的沉积时, 通过进行循环流动, 混合相微粒变得致密且微晶硅膜的结晶性得到提高。另外, 根据图 17A 和 17B 可知: 当在形成种子之后进行微晶硅膜的沉积时, 通过进行循环流动, 可以得到大雏晶。

[0268] 实施例 3

[0269] 在本实施例中, 对使用实施方式 3 制造的薄膜晶体管的电特性进行说明。

[0270] 参照图 4A 及 4B 和图 6A 至 6C 对本实施例的薄膜晶体管的制造方法进行说明。

[0271] 如图 4A 所示, 在衬底 101 上形成基底绝缘膜 (在此未图示), 并且在基底绝缘膜上形成栅电极 103。

[0272] 在此, 作为衬底 101, 使用玻璃衬底 (Corning Inc. 制造的 EAGLEXG)。

[0273] 栅电极 103 采用利用钛层夹持铝层的结构。具体而言, 首先利用氩离子对钛靶材进行溅射, 在基底绝缘膜上形成厚度为 50nm 的第一钛膜。此时, 将导入的氩流量设定为 20sccm, 将处理室内的压力设定为 0.1Pa, 并且将温度设定为室温。并且, 在其上利用氩离子对铝靶材进行溅射来形成厚度为 100nm 的铝膜。此时, 将导入的氩流量设定为 50sccm, 将处理室内的压力设定为 0.4Pa, 将温度设定为室温。并且, 在其上利用氩离子对钛靶材进行溅射来形成厚度为 50nm 的第二钛膜。此时, 将导入的氩流量设定为 20sccm, 将处理室内的压力设定为 0.1Pa, 将温度设定为室温。

[0274] 接着, 在第二钛膜上涂上抗蚀剂, 使用第一光掩模进行曝光, 然后进行显影, 而形成由抗蚀剂形成的掩模。

[0275] 接着, 使用该由该抗蚀剂形成的掩模进行蚀刻处理, 而形成栅电极 103。在此, 使用 ICP (Inductively Coupled Plasma: 感应耦合等离子体) 装置进行两个阶段的蚀刻。换言之, 在进行第一蚀刻之后进行第二蚀刻。在第一蚀刻中: ICP 功率为 600W; 偏压功率为 250W; 作为蚀刻气体导入流量为 60sccm 的氯化硼和流量为 20sccm 的氯; 以及将处理室内的压力设定为 1.2Pa。在第二蚀刻中: ICP 功率为 500W; 偏压功率为 50W; 压力为 2.0Pa; 作为蚀刻气体导入流量为 80sccm 的氟化碳; 以及将处理室内的压力设定为 2.0Pa。然后, 去除该由抗蚀剂形成的掩模。

[0276] 接着, 在栅电极 103 及基底绝缘膜上形成栅极绝缘膜 105。

[0277] 形成氮化硅膜并将其用作栅极绝缘膜 105。在形成厚度为 300nm 的氮化硅膜之后, 对氮化硅膜进行等离子体处理。在此, 使用当形成实施例 1 所示的样品 2 时使用的氮化硅膜的成膜条件及等离子体处理的条件。

[0278] 接着, 在栅极绝缘膜 105 上形成种子 107, 然后如图 4B 所示那样形成微晶半导体膜 109。

[0279] 在此,作为种子 107,使用与实施例 2 所示的样品 3 相同的成膜条件来形成厚度为 5nm 的种子 107。作为微晶半导体膜 109,使用与实施例 2 所示的样品 3 相同的成膜条件来形成厚度为 65nm 的微晶半导体膜 109。

[0280] 接着,在微晶半导体膜 109 上形成半导体膜 111,并且在半导体膜 111 上形成杂质半导体膜 113。半导体膜 111 及杂质半导体膜 113 利用等离子体 CVD 法进行沉积而形成。

[0281] 半导体膜 111 的沉积条件为:将硅烷的流量设定为 20sccm,将 1000ppm 氨(氢稀释)的流量设定为 50sccm,将氢的流量设定为 700sccm,将氨的流量设定为 750sccm,而导入材料气体;将处理室内的压力设定为 350Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 60W;并且进行等离子体放电。另外,在此使用平行平板型的等离子体处理装置进行半导体膜 111 的沉积,并且将上部电极温度设定为 250℃,将下部电极温度设定为 290℃。

[0282] 形成厚度为 50nm 的添加有磷的非晶硅膜,并将其用作杂质半导体膜 113。此时的沉积条件为:将硅烷的流量设定为 80sccm,将 0.5% 磷化氢(氢稀释)的流量设定为 150sccm,将氢的流量设定为 750sccm,而导入材料气体;将处理室内的压力设定为 350Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 30W;并且进行等离子体放电。另外,在此使用平行平板型的等离子体处理装置进行杂质半导体膜的沉积,并且将上部电极的温度设定为 250℃,将下部电极的温度设定为 290℃。

[0283] 接着,在杂质半导体膜 113 上涂上抗蚀剂,然后使用第二光掩模进行曝光,进行显影,而形成由抗蚀剂形成的掩模 115。图 4C 示出到此为止的工序。

[0284] 接着,使用由抗蚀剂形成的掩模 115 对微晶半导体膜、半导体膜 111、杂质半导体膜 113 进行蚀刻,而形成具有微晶半导体区 117a 及非晶半导体区 117b 的半导体叠层体 117 及杂质半导体膜 121。

[0285] 在此,在如下条件下进行蚀刻,即:使用 ICP 装置;ICP 功率为 450W;偏压功率为 100W;作为蚀刻气体,导入流量为 36sccm 的氯化硼、流量为 36sccm 的氟化碳、流量为 8sccm 的氧;并且将处理室内的压力设定为 2Pa。

[0286] 接着,进行氧等离子体处理在具有微晶半导体区 117a 及非晶半导体区 117b 的半导体叠层体 117 及杂质半导体膜 121 的侧壁形成氧化膜,然后去除由抗蚀剂形成的掩模 115(未图示)。

[0287] 在氧等离子体处理中:导入流量为 100sccm 的氧来将处理室内的压力设定为 0.67Pa;将衬底温度设定为 -10℃;将源功率设定为 2000W;将偏压功率设定为 350W;并且进行等离子体放电。

[0288] 接着,如图 6A 所示,以覆盖半导体叠层体 117、杂质半导体膜 121 的方式在栅极绝缘膜 105 上形成导电膜 127。

[0289] 在此,导电膜 127 采用利用钛层夹持铝层的结构,并与栅电极 103 同样地形成。注意,将第一钛膜的厚度设定为 50nm,将铝膜的厚度设定为 200nm,并且将第二钛膜的厚度设定为 50nm。

[0290] 接着,在导电膜 127 上涂上抗蚀剂,然后使用第三光掩模进行曝光,进行显影,而形成由抗蚀剂形成的掩模。使用该由抗蚀剂形成的掩模对导电膜 127 进行干蚀刻,而形成布线 129a 及布线 129b。

[0291] 在此,在如下条件下进行蚀刻,即:使用 ICP 装置;ICP 功率为 450W;偏压功率为 100W;作为蚀刻气体,导入流量为 60sccm 的氯化硼和流量为 20sccm 的氯;并且处理室内的压力为 1.9Pa。

[0292] 接着,在去除由抗蚀剂形成的掩模之后,对杂质半导体膜 121 进行干蚀刻来形成用作源区及漏区的一对杂质半导体膜 131a、131b,并且对半导体叠层体 117 的一部分进行蚀刻,从而形成具有微晶半导体区 133a 及一对非晶半导体区 133b 的半导体叠层体 133。

[0293] 另外,对半导体叠层体 117 进行蚀刻到离表面有 50nm 的地点。注意,在本实施例中,用作源电极及漏电极的布线 129a、129b 的平面形状为直线型。

[0294] 接着,对半导体叠层体 133 的表面进行水等离子体处理,去除残留在半导体叠层体 133 表面上的杂质。在此,将功率设定为 1800W,以 300sccm 的流量导入水蒸气,将处理室内的压力设定为 66.5Pa,而进行水等离子体处理。

[0295] 接着,形成厚度为 300nm 的氮化硅膜并将其用作绝缘膜 137。此时的沉积条件为:将硅烷的流量设定为 20sccm,将氨的流量设定为 220sccm,将氮的流量设定为 450sccm,将氢的流量设定为 450sccm,而导入材料气体;将处理室内的压力设定为 160Pa;将衬底温度设定为 250℃;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 200W;并且进行等离子体放电。

[0296] 接着,在绝缘膜 137 上涂上抗蚀剂,然后使用第四光掩模进行曝光,进行显影,而形成由抗蚀剂形成的掩模。使用该由抗蚀剂形成的掩模对绝缘膜的一部分进行干蚀刻来使用用作源电极及漏电极的布线 129a、129b 露出。另外,对绝缘膜 137 及栅极绝缘膜 105 的一部分进行干蚀刻来使栅电极 103 露出。然后,去除由抗蚀剂形成的掩模。

[0297] 接着,在绝缘膜 137 上形成导电膜,然后在该导电膜上涂上抗蚀剂,使用第五光掩模进行曝光,进行显影,而形成由抗蚀剂形成的掩模。使用该由抗蚀剂形成的掩模对导电膜的一部分进行湿蚀刻来形成背栅电极 139。

[0298] 在此,通过溅射法形成厚度为 50nm 的氧化铟锡并将其用作导电膜,然后通过湿蚀刻处理形成背栅电极 139。另外,虽然在此未图示,但是背栅电极 139 与栅电极 103 连接。然后,去除由抗蚀剂形成的掩模。

[0299] 通过上述工序制造双栅型薄膜晶体管(以下记载为 TFT1)(参照图 6C)。

[0300] 另外,在与 TFT1 相同的工序中,在不使用循环流动的条件下形成厚度为 65nm 的微晶半导体膜 109,而制造双栅型薄膜晶体管(记载为 TFT2)并将其用作比较例。

[0301] 不使用循环流动的条件下,微晶半导体膜 109 的沉积条件使用等离子体 CVD 法进行,在该等离子体 CVD 法中:将硅烷的流量设定为 2sccm,将氢的流量设定为 1500sccm,将氨的流量设定为 1500sccm,而导入原料气体;将处理室内的压力设定为 10000Pa;将 RF 电源频率设定为 13.56MHz;将 RF 电源的功率设定为 350W;将上部电极的温度设定为 250℃,将下部电极的温度设定为 290℃;并且使用进行等离子体放电。

[0302] 图 16A 和 16B 示出在本实施例中制造的薄膜晶体管(TFT1)及比较例的薄膜晶体管(TFT2)的电特性的测定结果。在此,示出只对栅电极 103 施加上述栅电压时的电特性。另外,在本实施例的薄膜晶体管中,将沟道长度设定为 3.3 μm ,将沟道宽度设定为 20.4 μm ,将栅极绝缘层的厚度设定为 300nm,将平均介电常数设定为 6.55,以计算场效应迁移率。

[0303] 另外,表 1 示出漏电压为 10V 且栅电压为 15V 时的导通电流(记载为 I_{on})、最小截

止电流（记载为 $I_{\text{off}}(\text{min})$ ）、最小截止电流的栅电压为 -10V 时的截止电流（记载为 I_{off} ）、阈值电压（记载为 V_{th} ）、S 值（记载为 S-value）、相对于最小截止电流的导通电流的比率（记载为 $I_{\text{on}}/I_{\text{off_min}}$ ）、漏电压为 10V 时的场效应迁移率（记载为 $\mu_{\text{FE_sat}}$ ）。

[0304] [表 1]

[0305]

	TFT1	TFT2
$I_{\text{on}}(V_g = 15\text{V}) [\mu\text{A}]$	10.45	10.04
$I_{\text{off}}(\text{min.}) [\text{pA}]$	0.25	0.43
$I_{\text{off}} [\text{pA}]$	4.41	2.84
$V_{\text{th}} [\text{V}]$	1.33	1.35
S-value $[\text{V}/\text{dec.}]$	0.36	0.68
$I_{\text{on}}/I_{\text{off}}(\text{min.}) [\text{位数}]$	7.62	7.37
$\mu_{\text{FE_sat.}} [\text{cm}^2/\text{Vs}]$	1.14	1.04

[0306] 根据图 16A 和 16B, 当使用第二条件形成微晶半导体膜时, 通过进行循环流动, 薄膜晶体管的导通电流、相对于最小截止电流的导通电流的比率以及场效应迁移率上升, 并且最小截止电流及 S 值降低。根据本实施例, 可以制造导通电流及场效应迁移率高且截止电流低的薄膜晶体管。

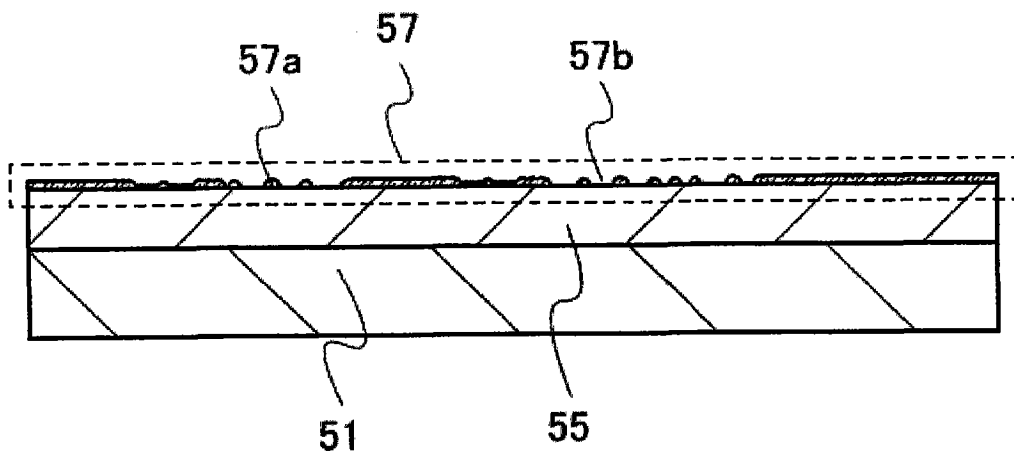


图 1A

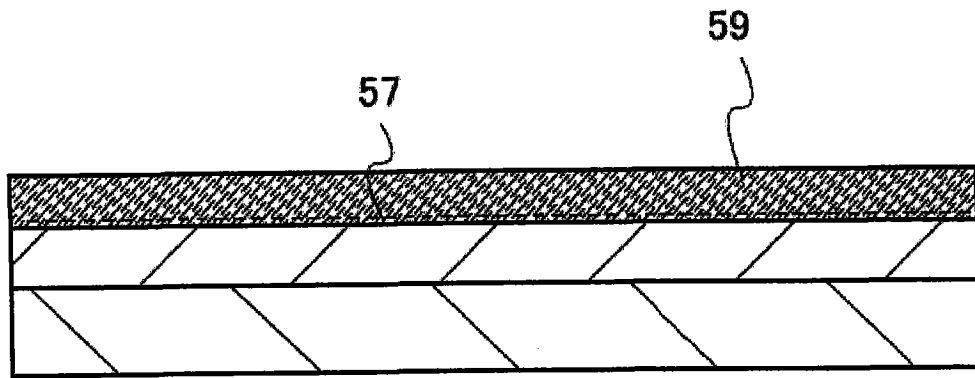


图 1B

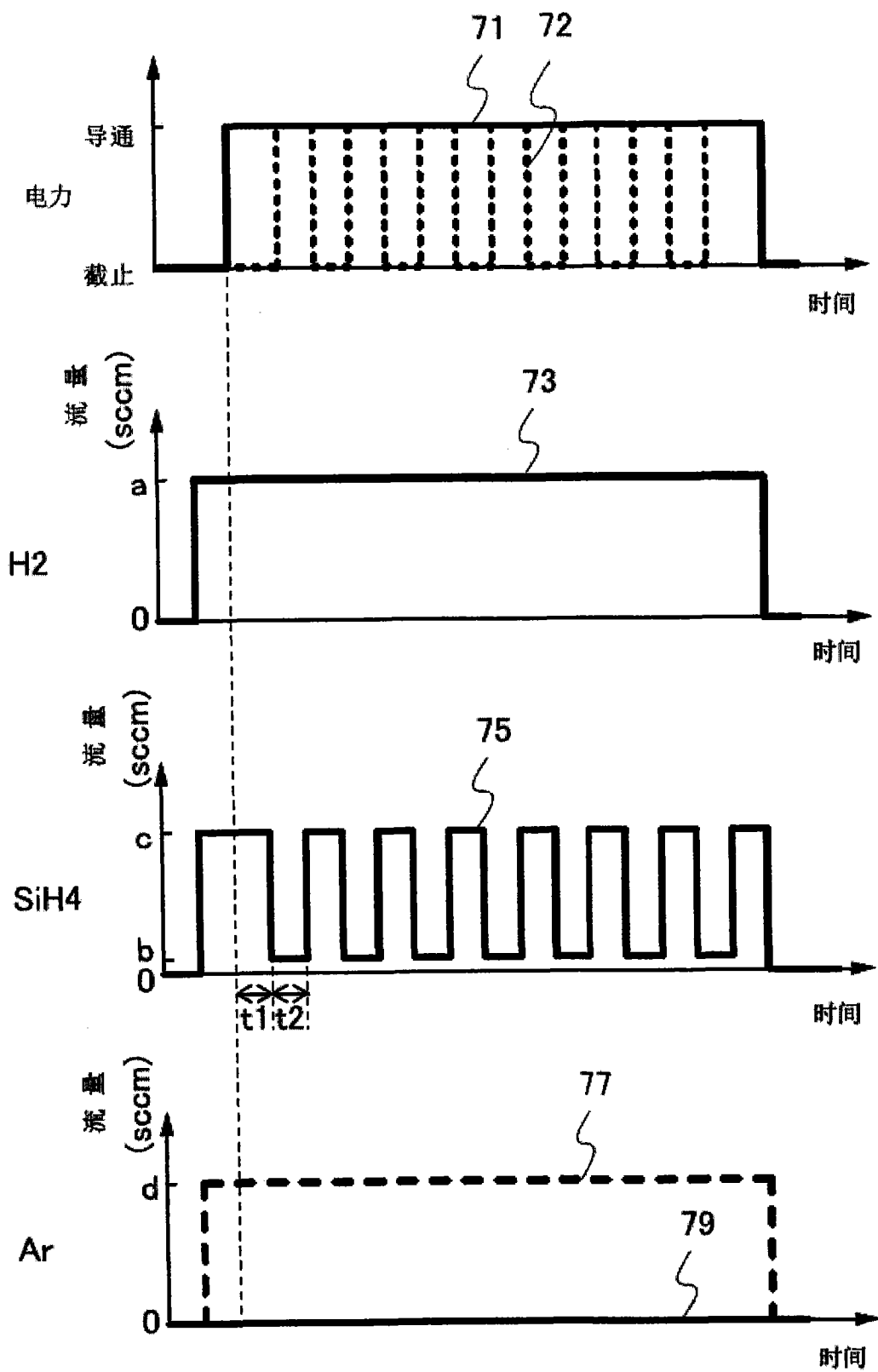


图 2

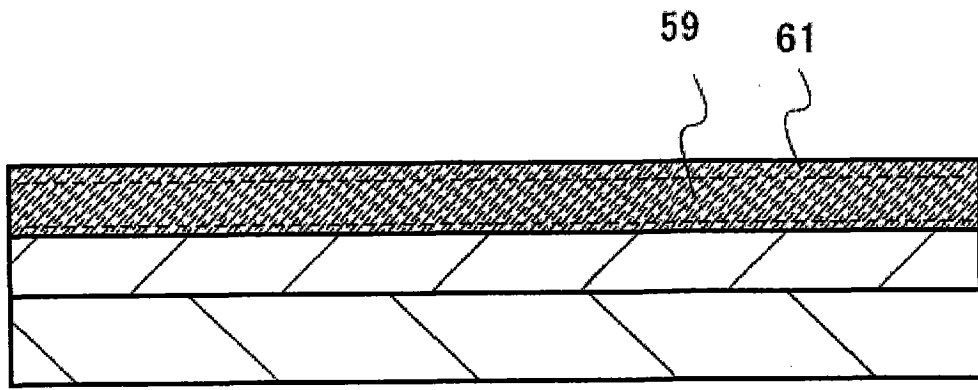


图 3

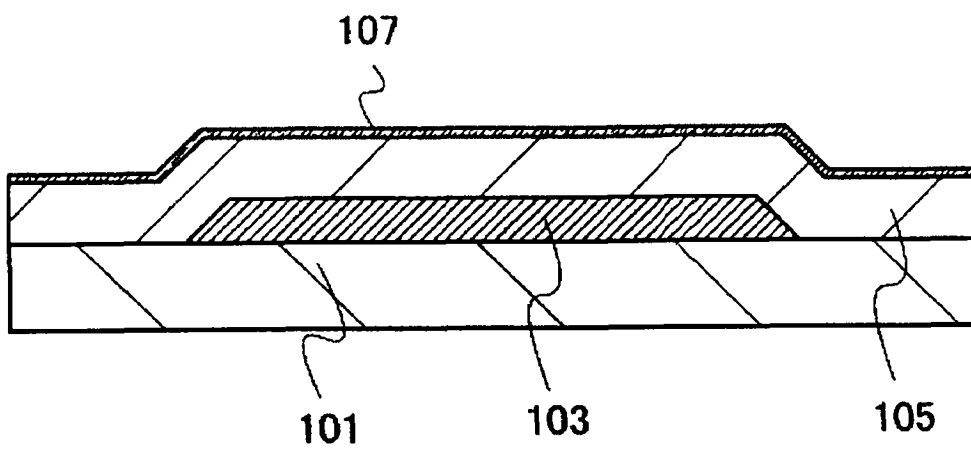


图 4A

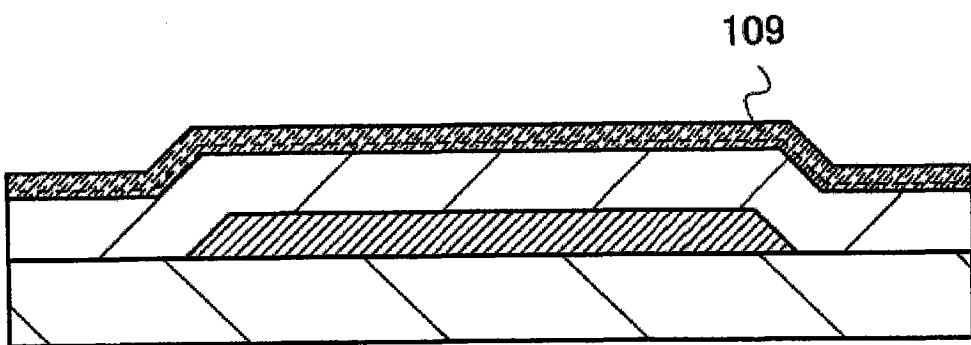


图 4B

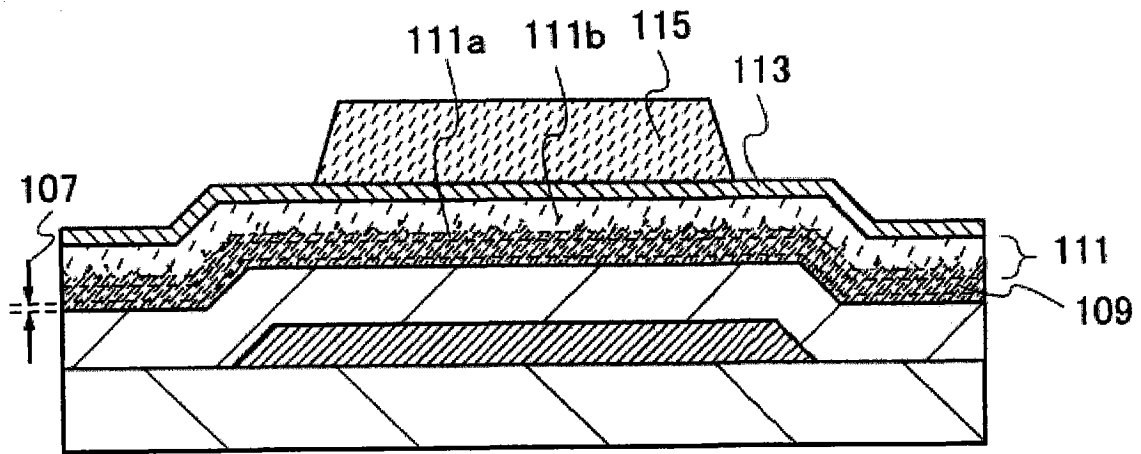


图 4C

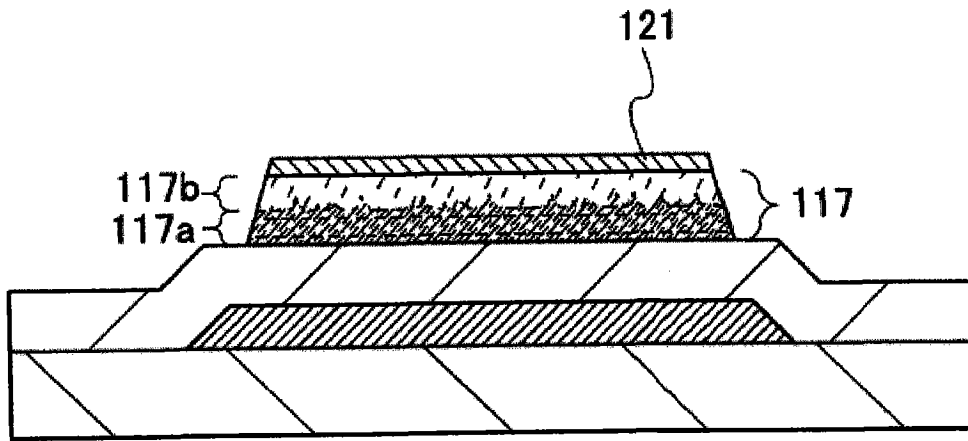


图 4D

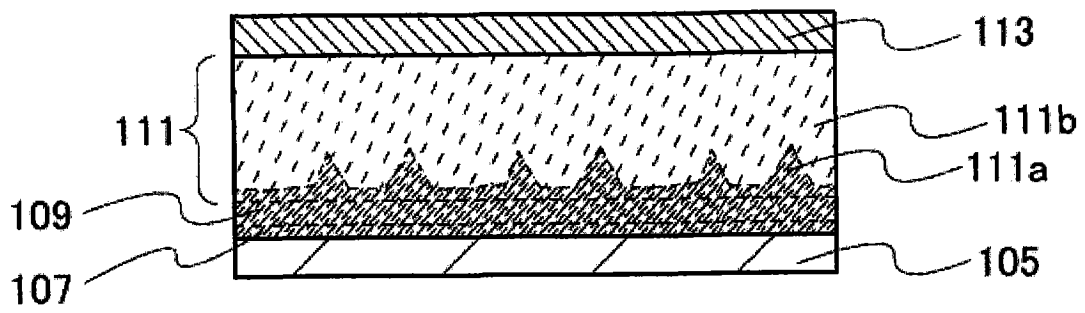


图 5A

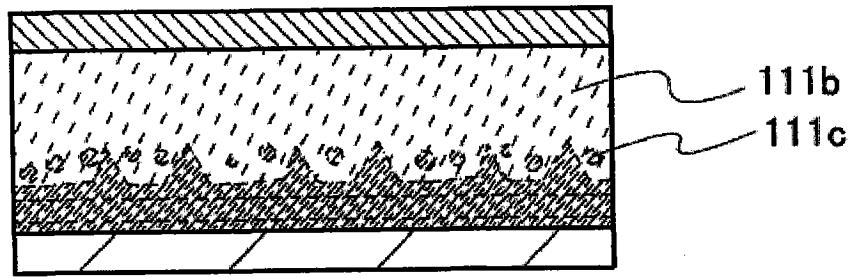


图 5B

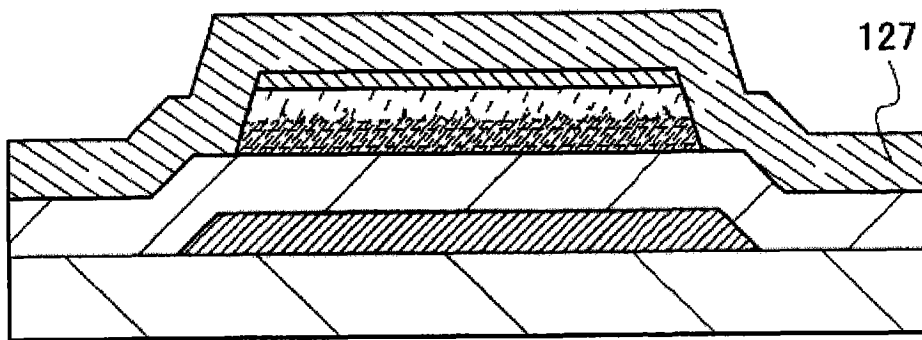


图 6A

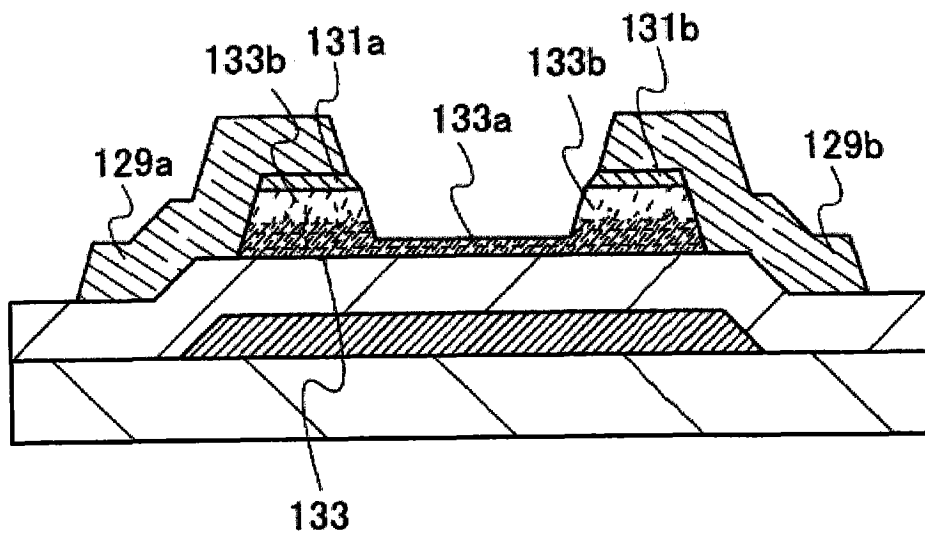


图 6B

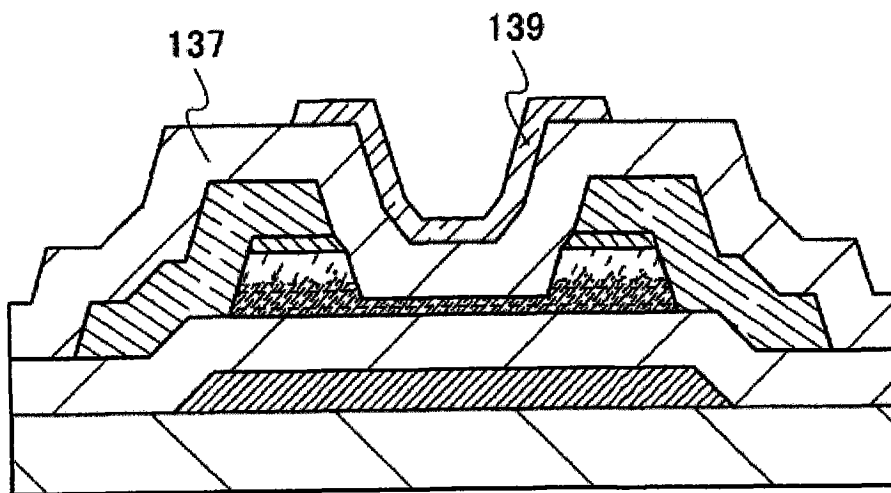


图 6C

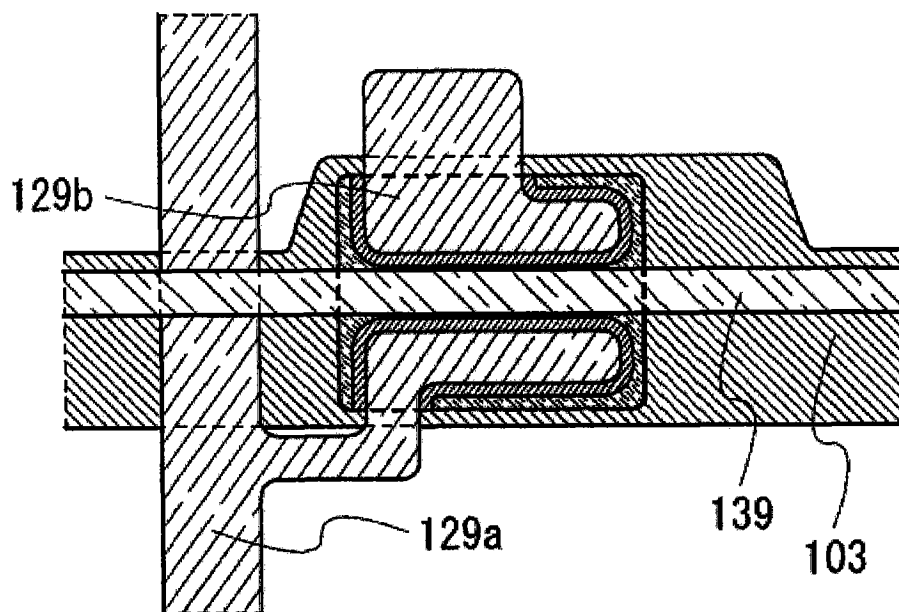


图 7A

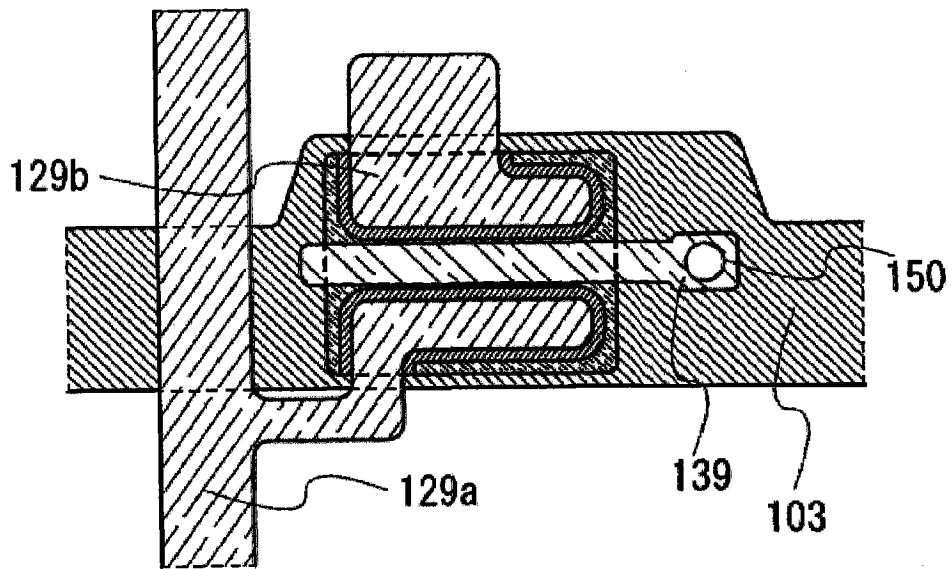


图 7B

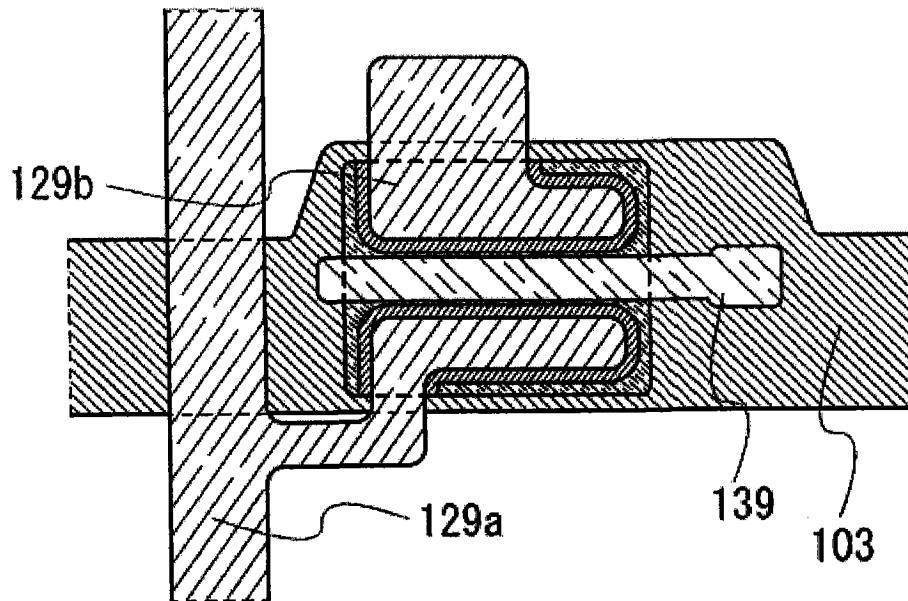


图 7C

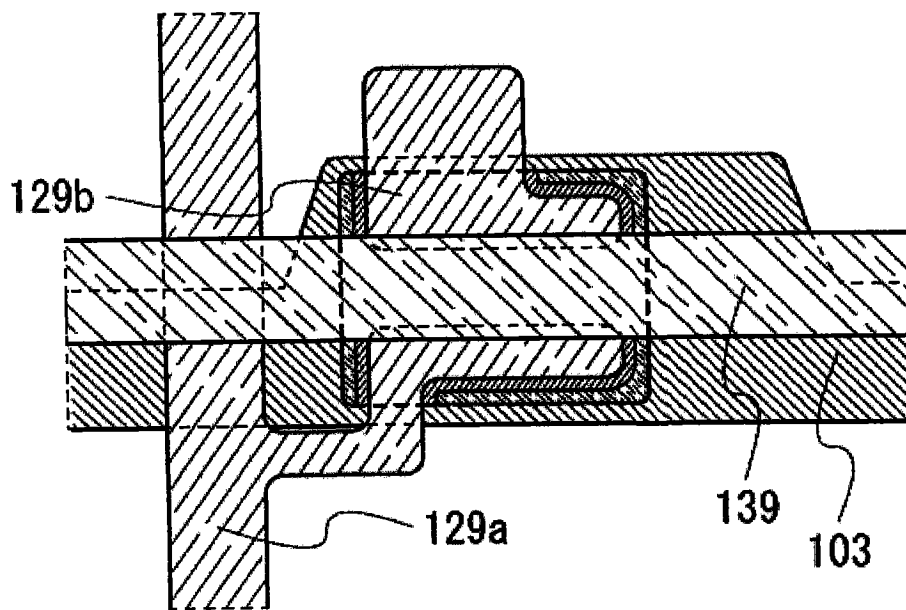


图 7D

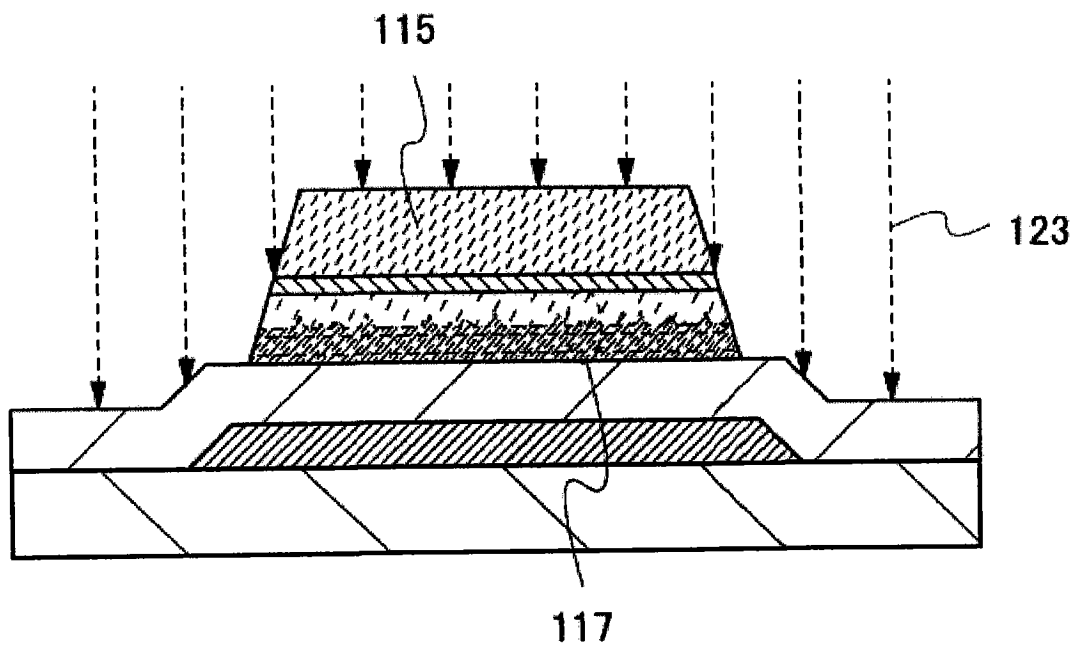


图 8A

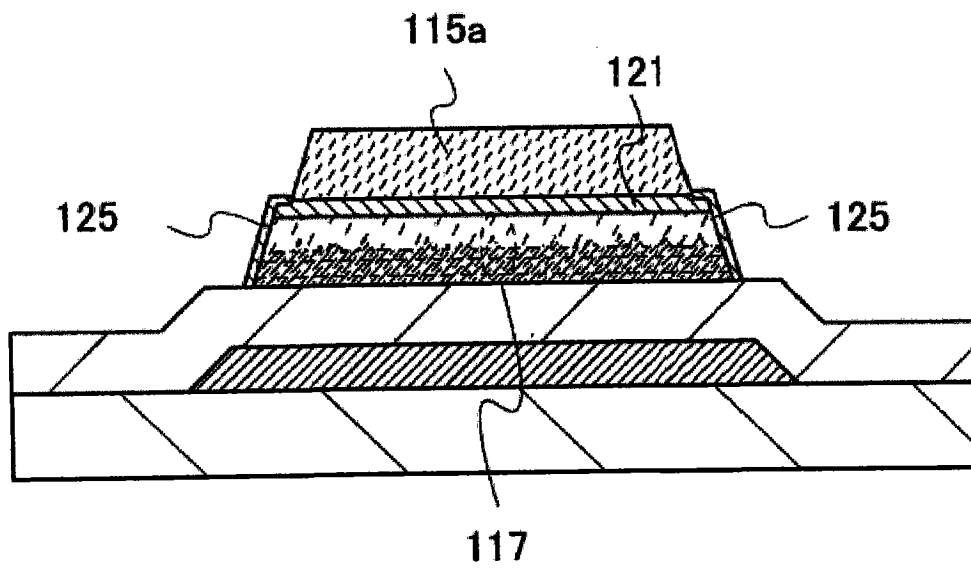


图 8B

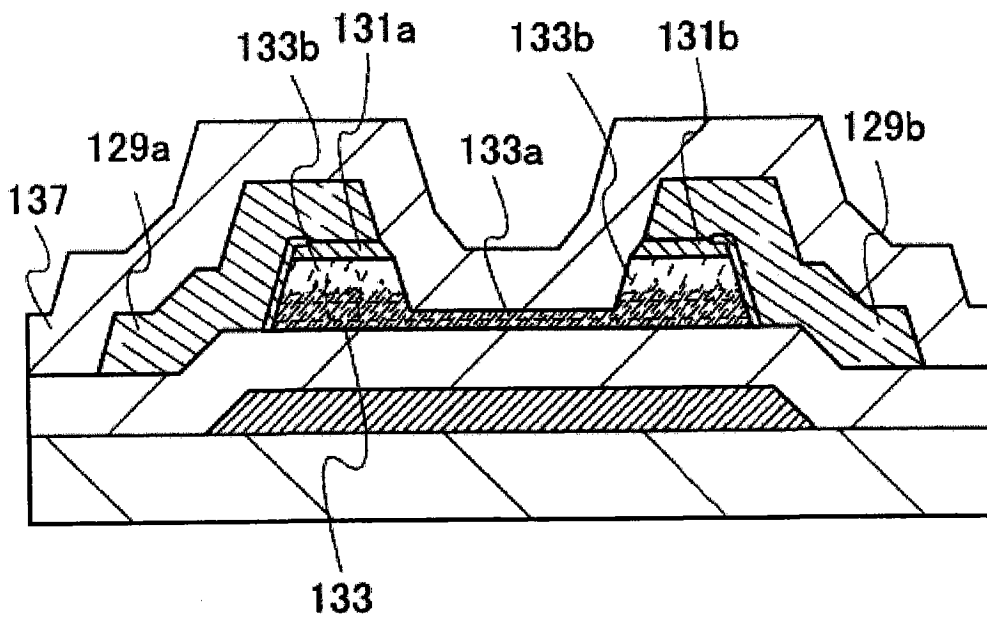


图 8C

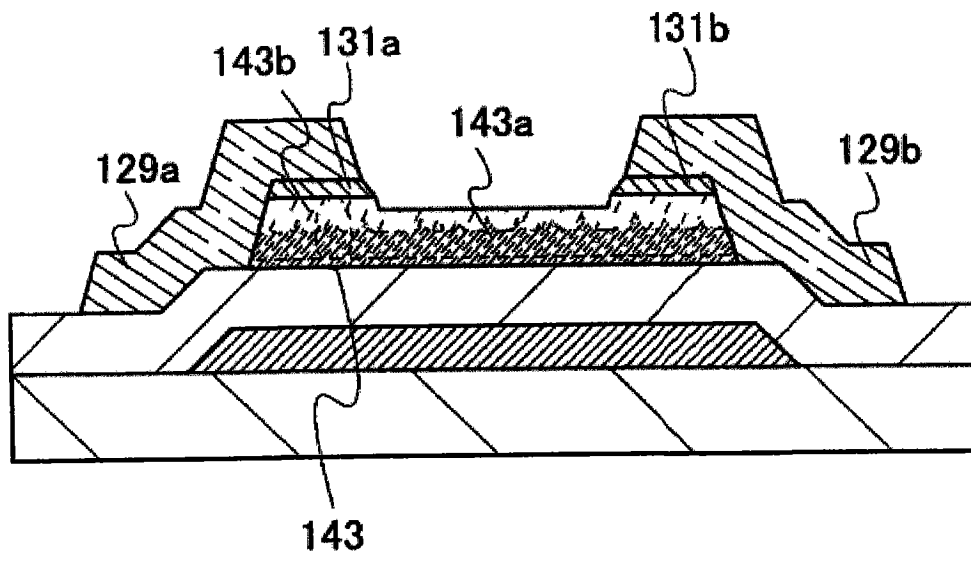


图 9

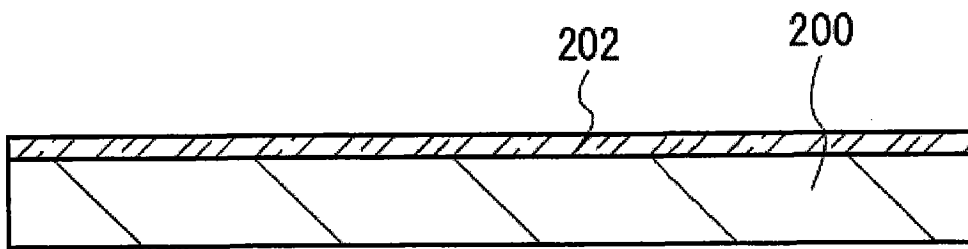


图 10A

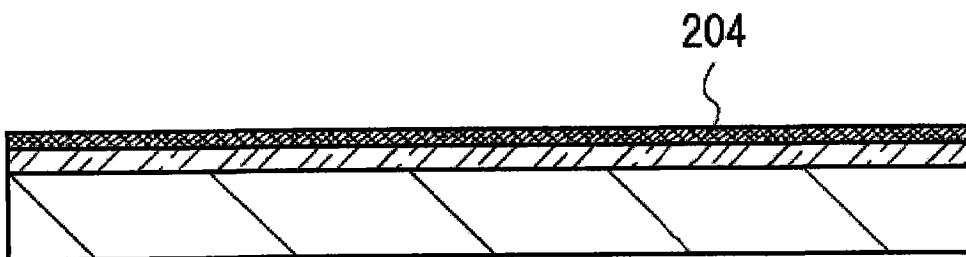


图 10B

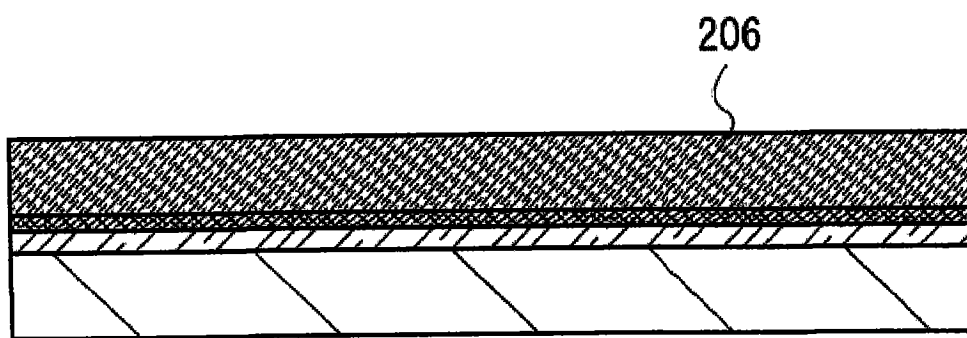


图 10C

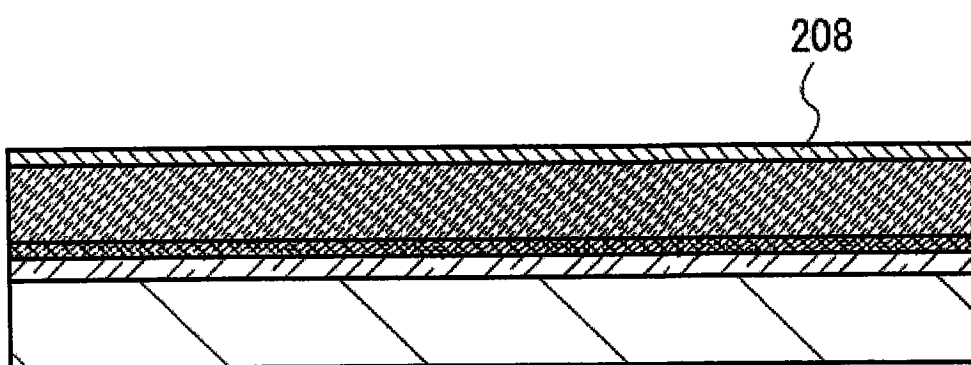


图 10D

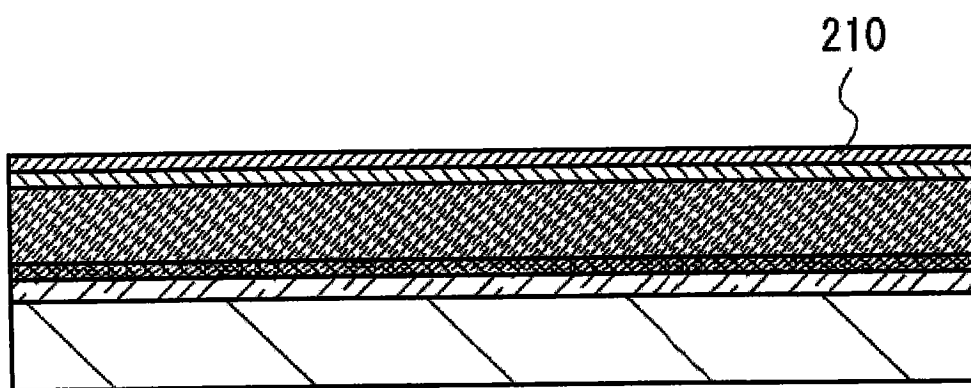


图 10E

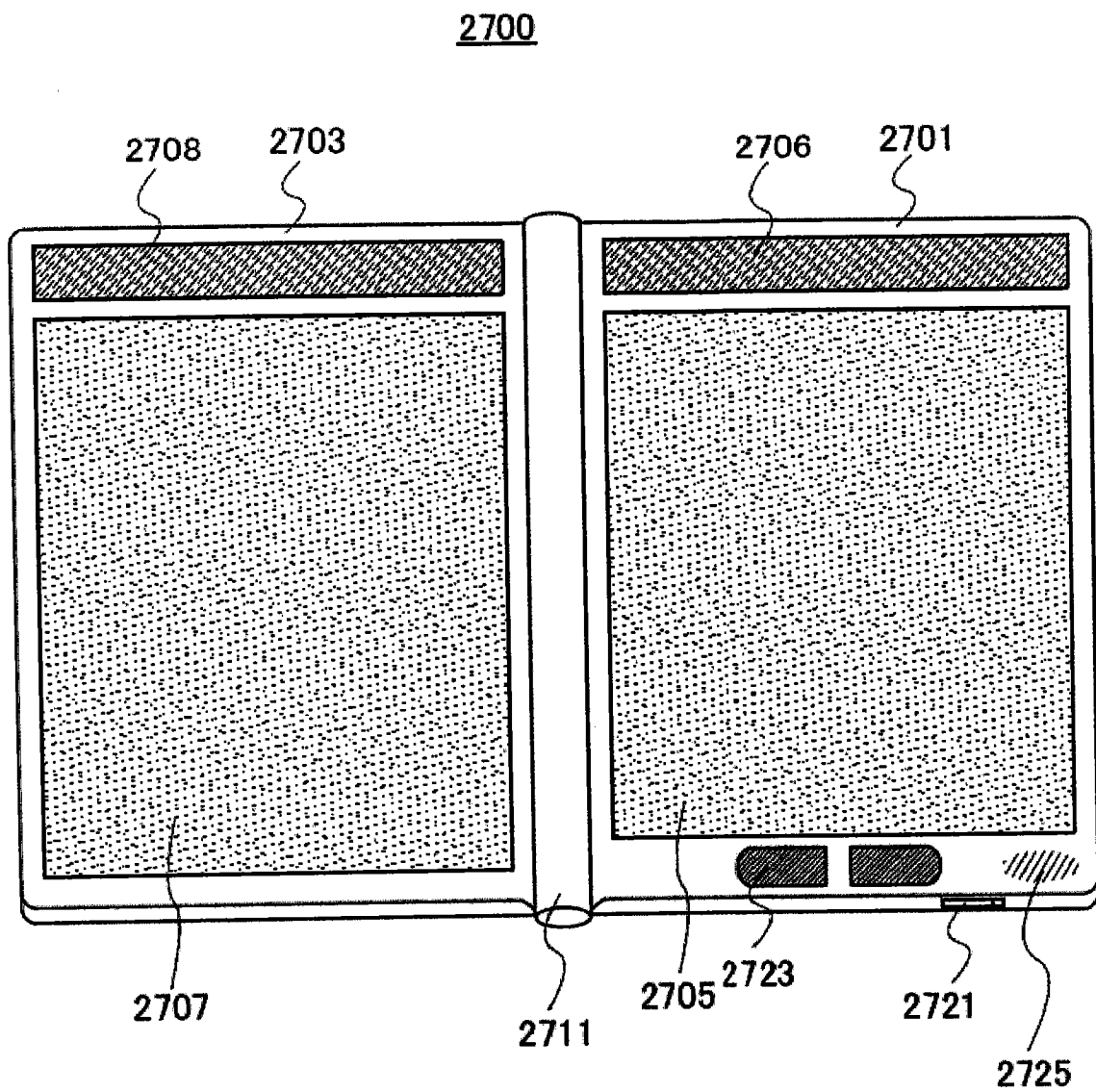


图 11

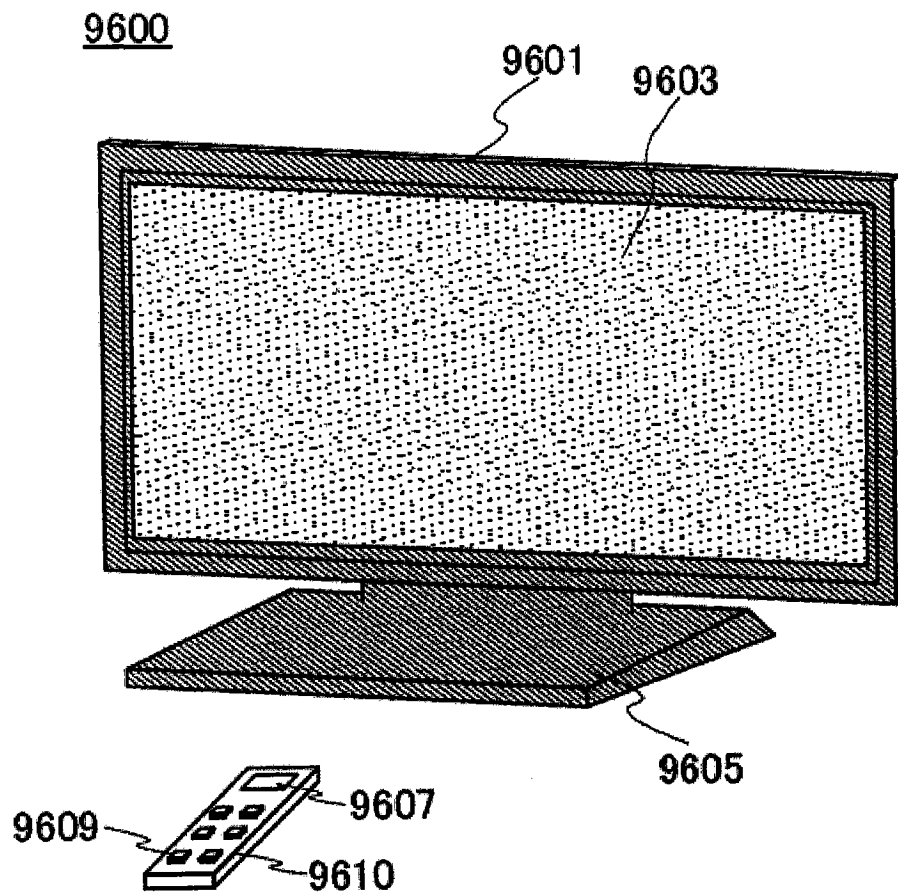


图 12A

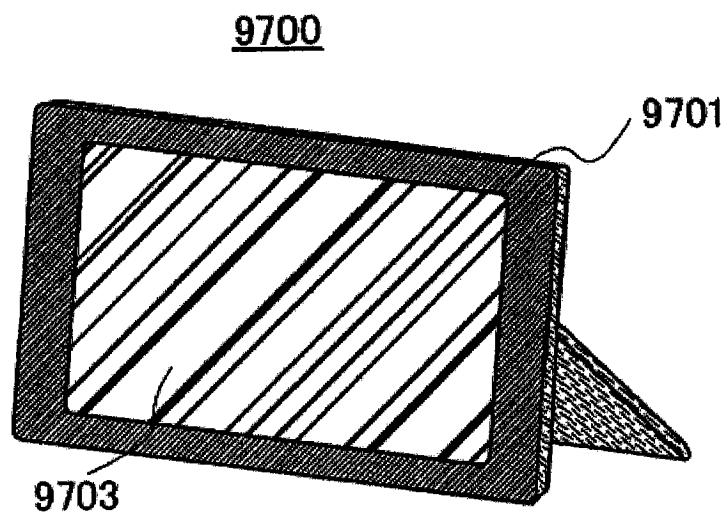


图 12B

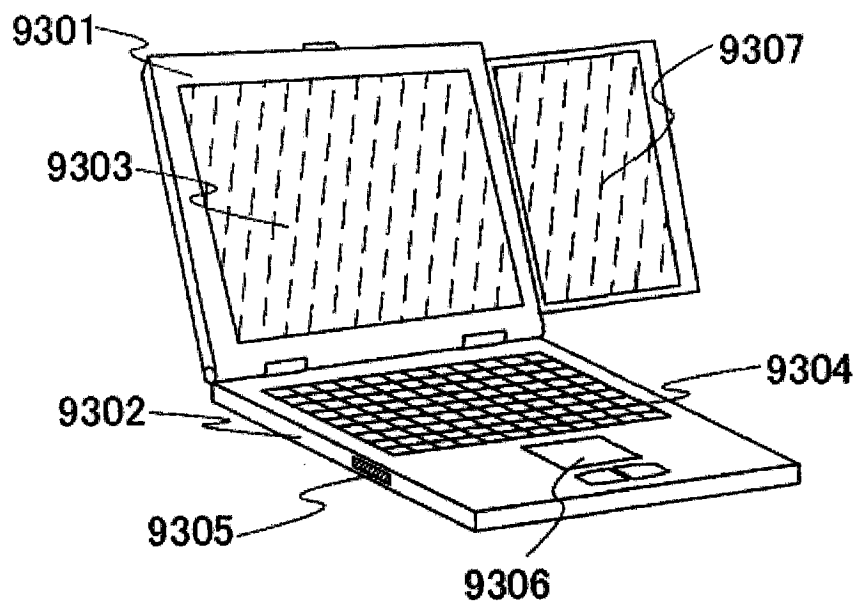


图 13

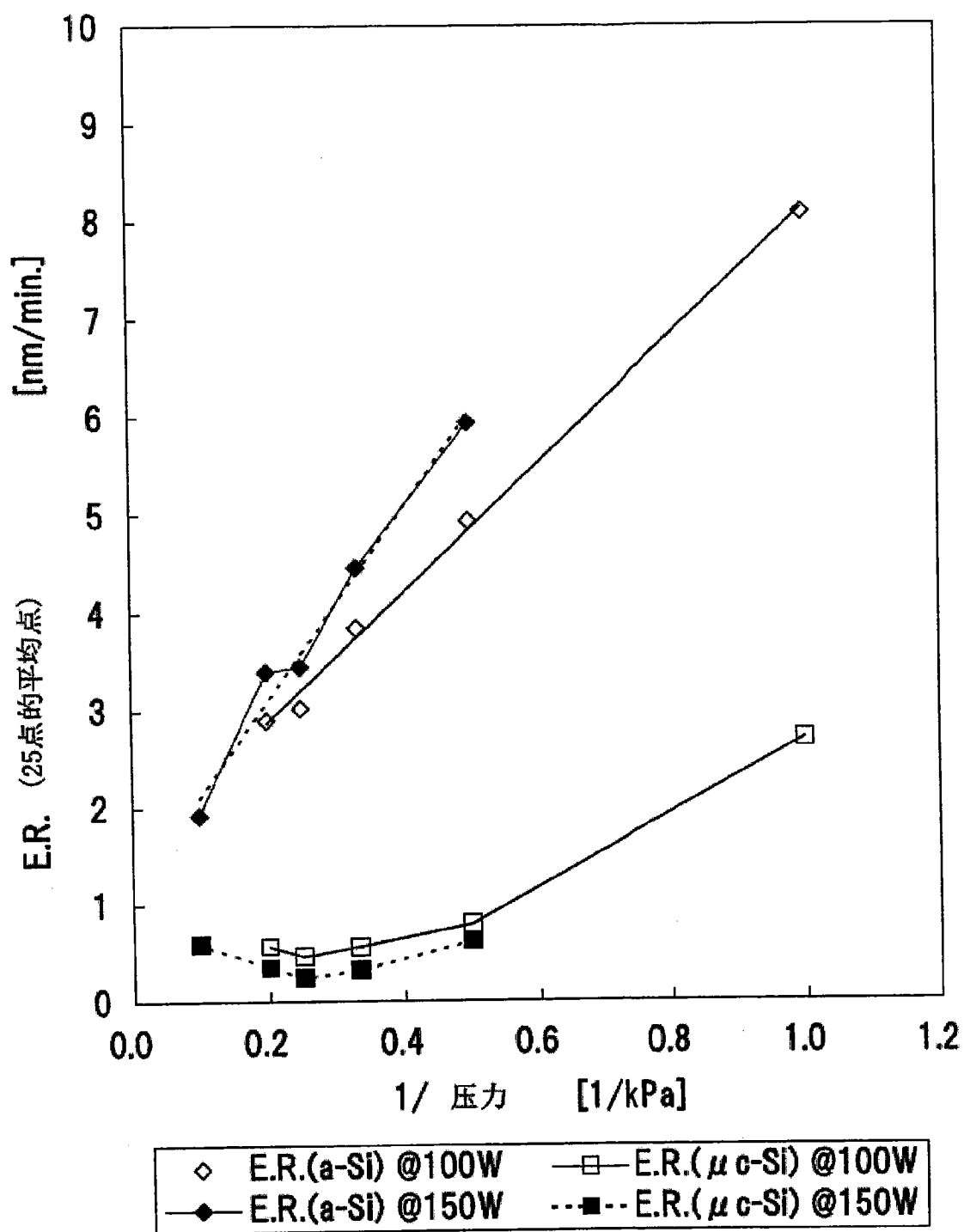


图 14

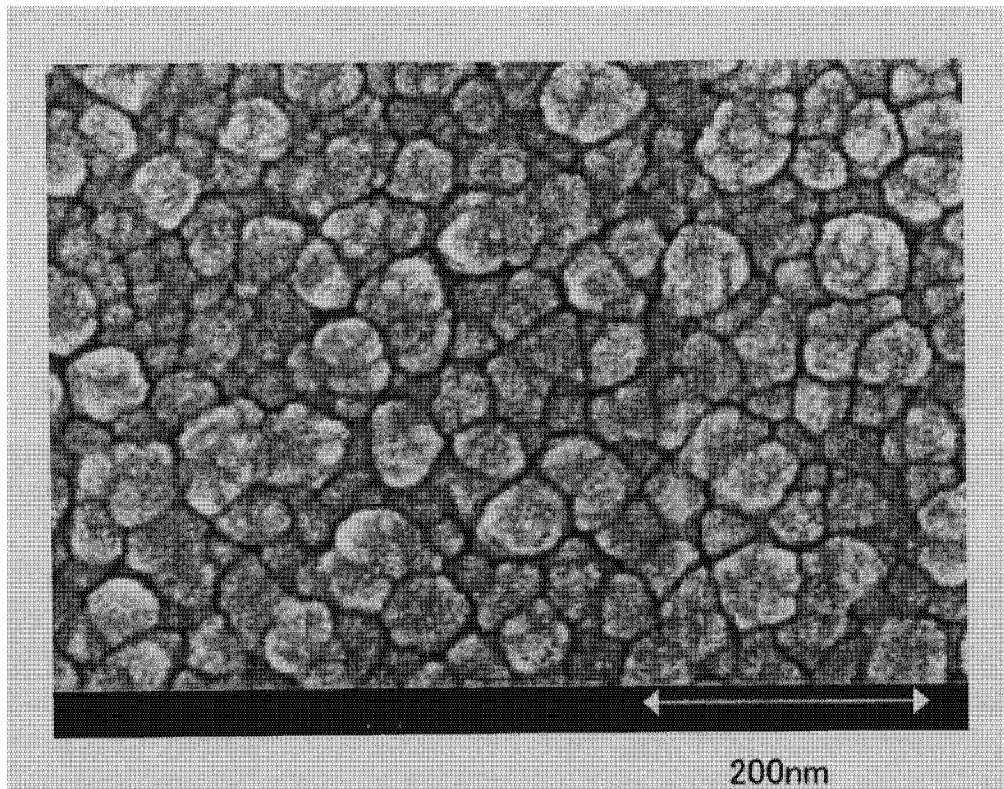


图 15A

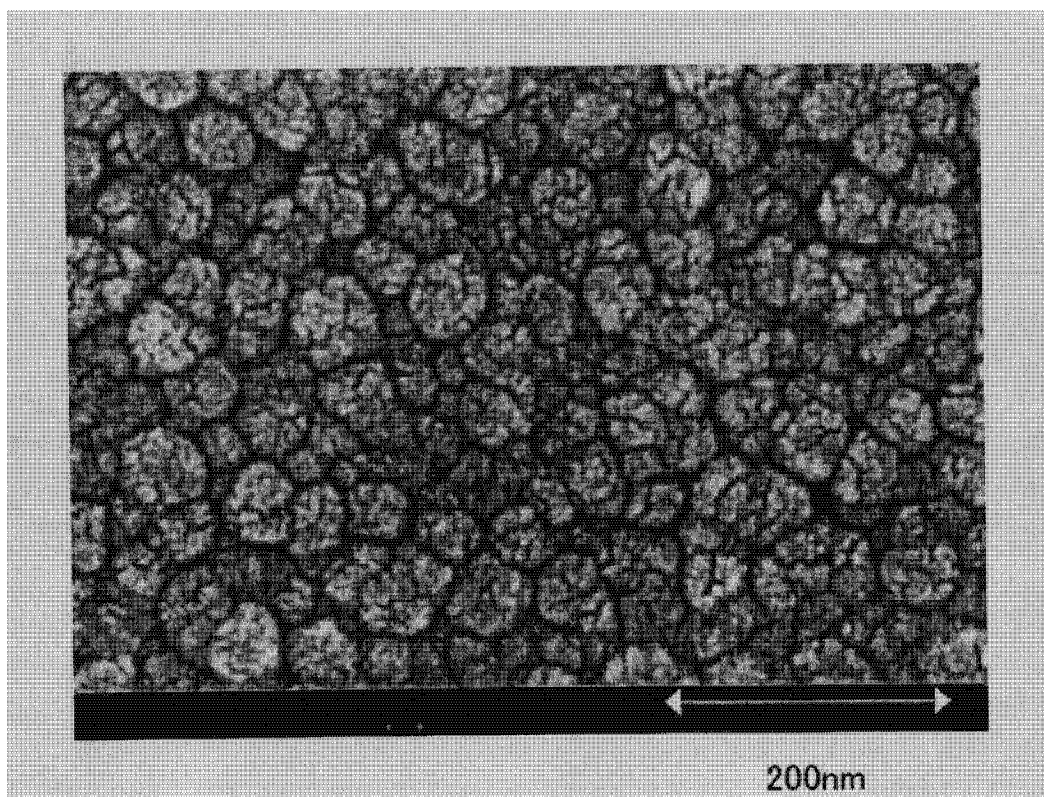


图 15B

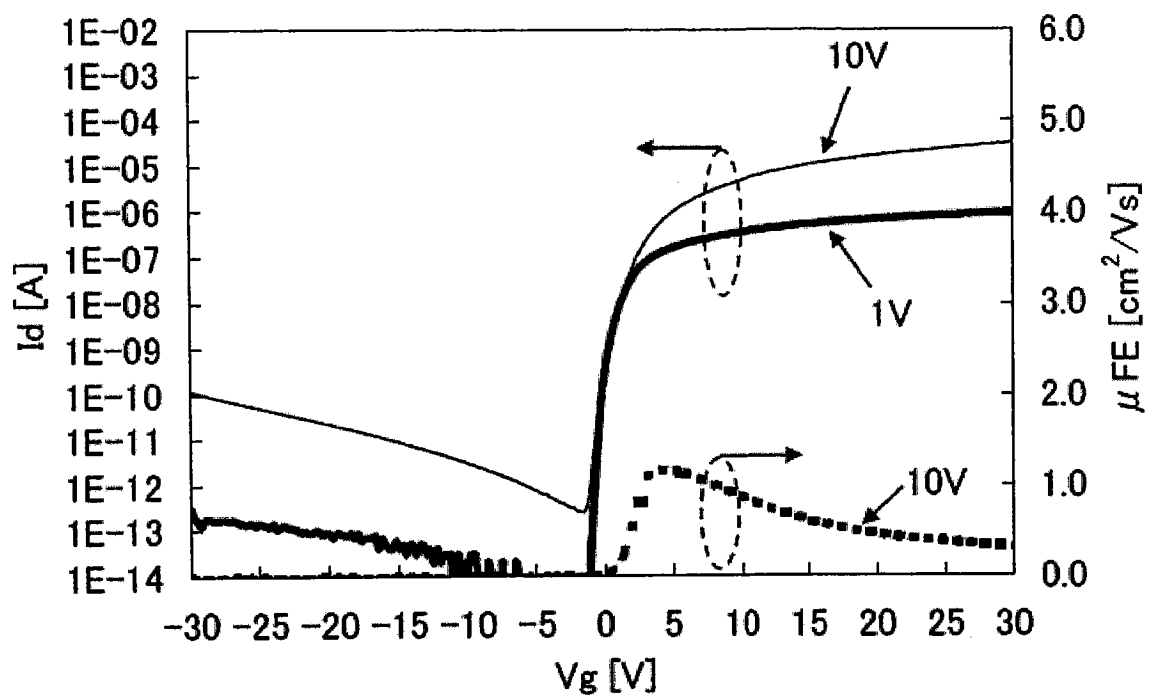


图 16A

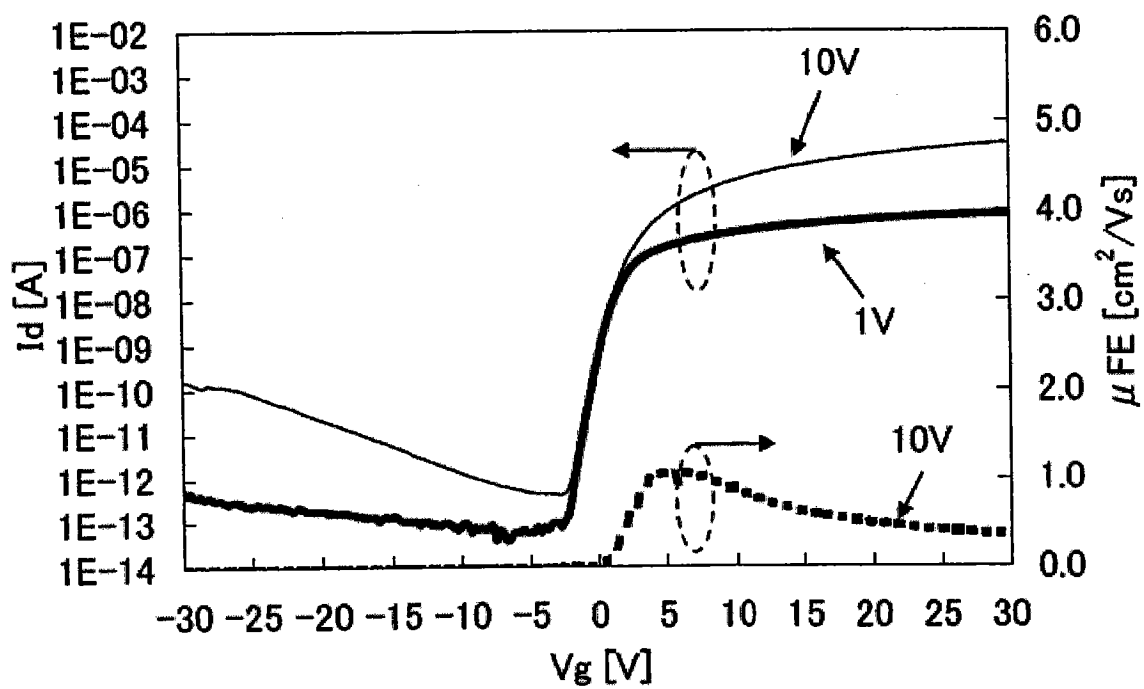


图 16B

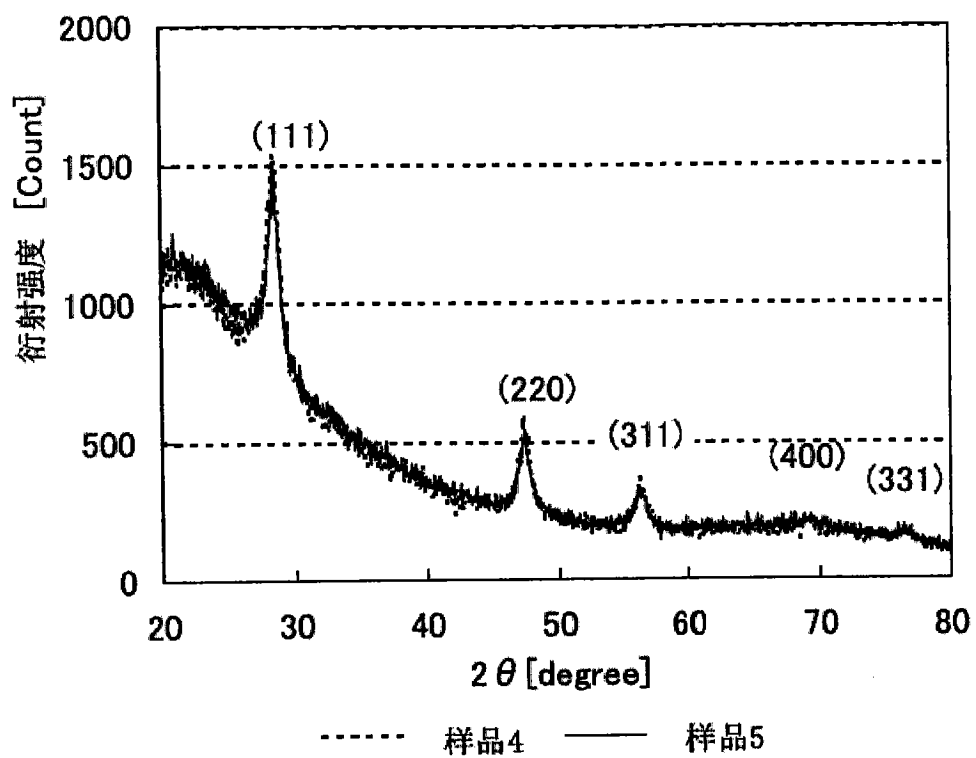


图 17A

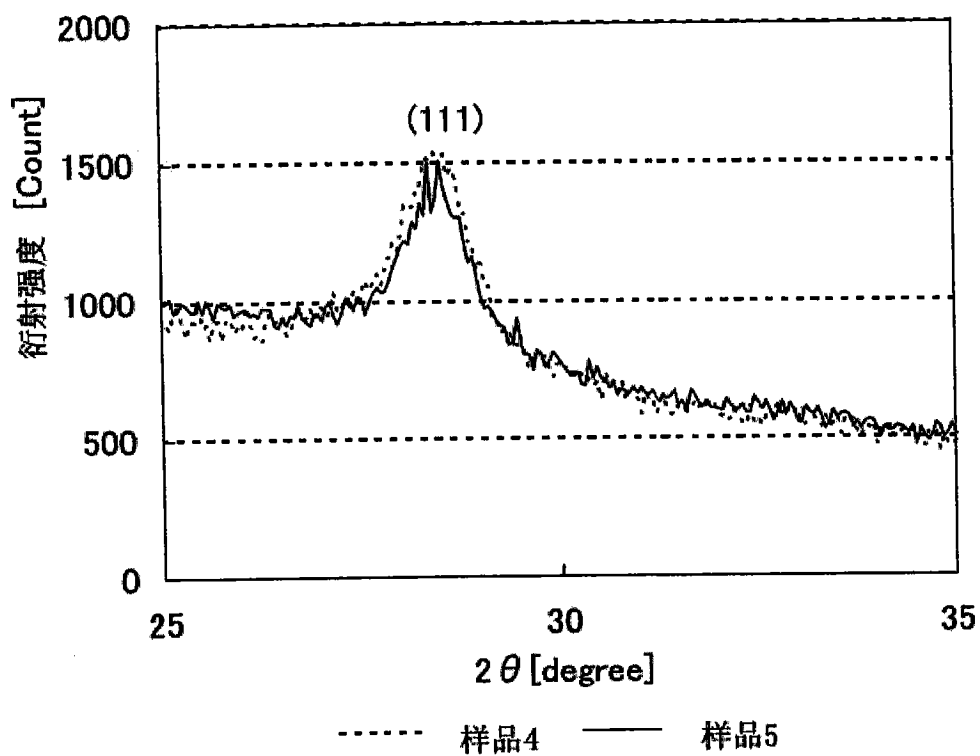


图 17B