



⑫ A Terinzagelegging ⑪ 8501256

Nederland

⑲ NL

- 
- ⑤④ Geïntegreerde elektronische multiplex-schakeling en geïntegreerde elektronische schakeling met een dergelijke multiplex-schakeling.
- ⑤① Int.Cl.<sup>4</sup>: H03M 9/00, G06F 13/38.
- ⑦① Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.
- ⑦④ Gem.: Ir. P.J.P.G. Simons c.s.  
Internationaal Octroobureau B.V.  
Prof. Hoistlaan 6  
5656 AA Eindhoven.

- 
- ②① Aanvraag Nr. 8501256.
- ②② Ingediend 3 mei 1985.
- ③② --
- ③③ --
- ③① --
- ⑥② --

- 
- ④③ Ter inzage gelegd 1 december 1986.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

---

N.V. Philips' Gloeilampenfabrieken te Eindhoven

"Geïntegreerde elektronische multiplex-schakeling en geïntegreerde elektronische schakeling met een dergelijke multiplex-schakeling"

De uitvinding heeft betrekking op een geïntegreerde elektronische multiplex-schakeling voorzien van  $N$  ( $N > 1$ ) data-ingangen, een gegevensuitgang voor het genereren van een gemultiplexed signaal, een klokingang voor het ontvangen van een kloksignaal en een startingang  
5 voor het ontvangen van een startsignaal, waarbij gegevens op de  $N$  data-ingangen na een eerste toestand van het binaire startsignaal onder besturing van het kloksignaal sequentieel aan de gegevensuitgang verschijnen.

De uitvinding heeft verder betrekking op een geïntegreerde  
10 elektronische schakeling voorzien van een multiplex-schakeling.

Een dergelijke schakeling is aangeduid in de Digest of Technical Papers van de IEEE International Solid State Circuits Conference, pagina's 206-207, waarin een blokdiagram van een videogeheugen met een multiplex-schakeling is weergegeven. Er is echter niet getoond hoe deze  
15 kan worden gerealiseerd. De omzetting van een constante toevloed van parallele gegevens naar een ononderbroken gemultiplexed signaal bij een zeer hoge klokfrequentie (bijvoorbeeld van enkele tientallen MHz) stelt bijzondere eisen aan de multiplexschakeling. Bovendien moet de multiplexschakeling zich lenen voor integratie op hetzelfde halfgeleider-  
20 substraat.

Het is mogelijk om de multiplex-schakeling in het hiervoor aangehaalde videogeheugen op te bouwen met een schakelnetwerk met doorschakelpoorten (zoals in het bekende Philips IC HEF 4512B) en een binaire teller. Het startsignaal stelt een bepaalde telwaarde bij de  
25 binaire teller in en het kloksignaal hoort deze waarde steeds op. De teller wijst de data-ingang aan die door het schakelnetwerk met de gegevensuitgang verbonden wordt, waardoor op deze het gemultiplexed signaal beschikbaar komt. Deze oplossing is echter te traag om bij dergelijke hoge klokfrequenties toe te passen, daarnaast neemt zij bij  
30 integratie een groot oppervlak in beslag. Het schakelnetwerk bevat een aantal parallele geleiders die de stuursignalen van de teller naar de doorschakelpoorten geleiden. De altijd optredende faseverschillen tussen de signalen op deze parallele geleiders veroorzaken vooral bij de

genoemde hoge klokfrequenties verstoringen in het gemultiplexede signaal, die sterker worden naarmate de klokfrequentie toeneemt en de multiplexschakeling totaal geen relevante gegevens af laten geven.

Het is een doel van de uitvinding om te voorzien in een  
5 multiplexschakeling die met een hoge schakelsnelheid een continue gegevensstroom kan genereren en geschikt is voor integratie op een halfgeleidersubstraat.

Een multiplexschakeling volgens de uitvinding heeft daartoe het kenmerk, dat de multiplexschakeling een schuifregister met een  
10 cascadeschakeling van  $N$  flipflopschakelingen met een meester- en een slaafgedeelte bevat, waarbij bij ontvangst van de eerste toestand van het startsignaal en een eerste toestand van het kloksignaal gelijktijdig het meestergedeelte van iedere  $n^e$  ( $1 \leq n \leq N$ ) flipflopschakeling een binaire stand overeenkomstig het gegeven op de  $n^e$  data-ingang en het  
15 slaafgedeelte van iedere  $n^e$  flipflopschakeling een binaire stand overeenkomstig het gegeven op de  $n+1^e$  data-ingang aanneemt, met uitzondering van het slaafgedeelte van de  $N^e$  flipflopschakeling, dat onveranderd blijft en waarvan een uitgang met de gegevensuitgang verbonden is.

Het schuifregister is kleiner van omvang dan het schakelnet-  
20 werk met de binaire teller. Bij ontvangst van de eerste toestand van het start- en het kloksignaal wordt zowel het slaafgedeelte van een flipflopschakeling en het meestergedeelte van de daaropvolgende flipflopschakeling gelijktijdig geladen met het gegeven op de bijbehorende data-ingang. Het laden van flipflopschakelingen neemt een zekere tijd in  
25 beslag. Dit zou een verstoring van het gemultiplexed signaal veroorzaken, maar die wordt voorkomen door het schuifregister te laden op de hierboven beschreven wijze.

In een eerste voorkeursuitvoeringsvorm heeft de uitvinding het kenmerk, dat het meestergedeelte van de eerste flipflopschakeling  
30 een eerste binaire stand aanneemt bij ontvangst van een tweede toestand van het startsignaal en de eerste toestand van het kloksignaal en dat het startsignaal in de tweede toestand gebracht wordt nadat alle flipflopschakelingen een stand overeenkomstig de gegevens op de bijbehorende data-ingangen aangenomen hebben en dat het startsignaal  
35 gedurende  $N-1$  daaropvolgende eerste toestanden van het kloksignaal in de tweede toestand wordt gehouden.

Wanneer de te laden gedeelten van de flipflopschakelingen bij het laden een bepaalde binaire stand hebben, kunnen de middelen voor

laden van die gedeelten vereenvoudigd worden. Deze laadmiddelen behoeven dan slechts in staat te zijn om, indien noodzakelijk, het meester- of slaafgedeelte van de eerste naar de tweede binaire stand te schakelen. Hierdoor worden de laadmiddelen eenvoudiger en de multiplexschakeling dus  
5 kleiner en sneller.

Wanneer de meester- en slaafgedeelten hetzelfde kloksignaal ontvangen, wordt vermeden dat bij hoge klokfrequenties een storende faseverschuiving ontstaat tussen de kloksignalen die de verschillende meester- en slaafgedeelten ontvangen.

10 Een uitvoeringsvorm van de uitvinding zal worden toegelicht met de volgende tekeningen, waarin:

figuur 1 een voorbeeld van een geïntegreerde elektronische schakeling met een multiplexschakeling toont;

figuur 2 een multiplexschakeling volgens de uitvinding toont;

15 figuur 3 een signaaldigram toont;

figuur 4 een flipflopschakeling voor toepassing in een uitvoeringsvorm van de uitvinding toont.

Figuur 1 toont een voorbeeld van een geïntegreerde elektronische schakeling met een multiplexschakeling. Dit voorbeeld is ontleend  
20 aan de eerder aangehaalde referentie.

Een videogegeuvenveld (10) levert parallelle gegevens aan de data-ingangen (28) van de multiplexschakeling (20). Na ontvangst van een startsignaal (22) verschijnen deze gegevens onder besturing van een kloksignaal (24) serieel aan de gegevensuitgang (26) en vormen zo  
25 het gemultiplexed signaal. Nadat de verschillende gegevens op hun beurt aan de gegevensuitgang verschenen zijn, start er een nieuwe cyclus, ingeleid door een volgend startsignaal.

Een multiplexschakeling volgens de uitvinding heeft een bijzondere geschiktheid voor toepassing in een geïntegreerd circuit met  
30 een hoge verwerkingssnelheid, zoals in het hierboven aangehaalde videogegeuven. De toepassingsmogelijkheden van de uitvinding zijn hiertoe echter niet beperkt, zij is geschikt voor toepassing op vrijwel ieder gebied van de electronica, zoals daar bijvoorbeeld zijn de microprocessoren, de telecommunicatie en de elektronische signaal- en gegevens-  
35 verwerking.

Figuur 2 toont een mutiplexschakeling volgens de uitvinding. Voor de eenvoud en duidelijkheid zijn hier slechts vijf data-ingangen getekend; in de praktijk kan zij een willekeurig aantal data-ingangen

hebben. De multiplexschakeling bevat een cascadeschakeling van flipflop-  
schakelingen (118, 120, 122) met een meester- (128) en een slaafgedeelte  
(130). De uitgang van het slaafgedeelte van de laatste flipflopschakeling  
(122) is verbonden met de gegevensuitgang (112) en genereert het gemulti-  
5 plexed signaal. Ieder meester- of slaafgedeelte is met de klokingang (116)  
verbonden. De data-ingangen (102, 104, 106, 108, 110) zijn verbonden  
met NIET-OF-poorten (124), die eveneens verbonden zijn met de start-  
ingang (114) om het startsignaal te ontvangen. De uitgangen van de NIET-  
OF-poorten zijn met de laadingangen (132) van de meestergedeelten (128)  
10 verbonden. De laadingangen van de slaafgedeelten (134) zijn verbonden  
met de laadingang van het meestergedeelte van de volgende flipflop-  
schakeling; het slaafgedeelte van de laatste (122) flipflopschakeling  
is niet voorzien van een laadingang. Een ingang (126) van de eerste  
flipflopschakeling (118) is via een inverteerschakeling (138) met de  
15 laadingang (132) van zijn meestergedeelte (128) verbonden. De laadbare  
gedeelten zijn zo geconstrueerd, dat zij gelijktijdig met een "0"  
geladen worden, als het kloksignaal en het signaal op de desbetreffende  
laadingang beide "1" zijn. Het laden met een "1" is niet mogelijk en zal  
overbodig blijken te zijn.

20 De werking van deze multiplexschakeling wordt aan de hand  
van figuur 3 uitgelegd. Op moment  $t_0$  is met het startsignaal (STRT) laag  
ofwel "0" en het kloksignaal (CLK) hoog ofwel "1". Het meestergedeelte  
(128) van de eerste flipflopschakeling (118) wordt met A1 geladen.  
De slaafgedeelten (130) van de eerste tot en met vierde flipflop-  
25 schakeling (S1, S2, S3, S4) worden met respectievelijk B1, C1, D1 en E1  
geladen; de inhoud van het slaafgedeelte van de laatste flipflopschake-  
ling (S5) blijft onveranderd (A0). S5 levert het uitgangssignaal van  
de multiplexschakeling. Op  $t_1$  gaat CLK van hoog naar laag, hetgeen  
betekent dat de meestergedeelten hun informatie doorgeven aan het slaaf-  
30 gedeelte van dezelfde flipflopschakeling. Tussen de momenten  $t_1$  en  $t_2$  moet  
STRT van laag naar hoog geschakeld worden om hiernieuwd laden op  $t_2$   
te voorkomen. Op  $t_2$  nemen de meestergedeelten de informatie van de  
slaafgedeelten van de voorafgaande flipflopschakeling over. Het meester-  
gedeelte van de eerste flipflopschakeling (118) neemt een "1" van ingang  
35 126 over. Op  $t_3$  tot en met  $t_6$  wordt de informatie op dezelfde wijze  
door het schuifregister geschoven. Tussen  $t_6$  en  $t_7$  gaat STRT van hoog  
naar laag om op  $t_7$  opnieuw gegevens te laden. Alle gedeelten van de flip-  
flopschakelingen die geladen worden zijn nu "1". Dit houdt in dat de laad-

middelen slechts in staat moeten zijn om eventueel een "0" te laden, hetgeen de flipflopschakeling vereenvoudigd. Op moment t7 wordt opnieuw geladen; S5 blijft echter onveranderd zodat het laden geen verstoring in het multiplexsignaal geeft. Vervolgens start de gehele cyclus opnieuw, 5 waarbij t8 met t1 overeenkomt. Deze multiplexer heeft grote voordelen ten opzichte van een conventioneel type. Ten eerste hoeven de gegevens op de data-ingangen slechts een kort deel van de cyclus aanwezig te zijn (van t7 tot t8), zodat het geheugenveel veel tijd om de gegevens voor de volgende cyclus op te roepen. Deze eigenschap is vooral van belang 10 bij een hoge klofrequentie. Daarnaast is deze multiplexschakeling in hoge mate ongevoelig voor faseverschillen tussen het STRT en het CLK signaal. De enige eis die men aan deze signalen moet stellen is dat het STRT-signaal ná t6 laag wordt en vóór t9 weer hoog is, waarbij het een voldoende lange tijd tussen t7 en t8 laag moet zijn om de desbetreffende 15 flipflopschakelingen te laden. Faseverschuivingen tussen STRT en CLK zullen in vele gevallen geen invloed op het gedrag van de multiplexer-schakeling hebben. Mede hierdoor is de snelheid van deze multiplexschakeling nauwelijks afhankelijk is van het aantal data-ingangen.

Figuur 4 toont een voorbeeld van een flipflopschakeling voor 20 toepassing in een multiplexschakeling volgens de uitvinding. De flipflop-schakeling bevat een meestergedeelte (MD) en een slaafgedeelte (SD). Het MD is voorzien van twee ingangen (MI en  $\overline{MI}$ ), een laadingang (MLD) en twee uitgangen (MU en  $\overline{MU}$ ). Het SD is voorzien van twee ingangen, een laadingang (SLD) en twee uitgangen (SU en  $\overline{SU}$ ). Beide gedeelten zijn verbonden 25 met een eerste (VK1) en tweede (VK2) voedingsklem en de klokingang (CLK). Het meestergedeelte bevat een eerste (I1) en tweede (I2) inverterschakeling met een ingang, een uitgang, een eerste (VI1) en een tweede (VI2) voedingsingang. De eerste en tweede voedingsingangen van beide inverterschakelingen zijn verbonden met respectievelijk VK1 en VK2. 30 De uitgangen van I1 respectievelijk I2 zijn verbonden met  $\overline{MU}$  respectievelijk MU; de ingang van I1 is met de uitgang van I2 verbonden en vice versa.

In een eerste instelschakeling zijn kanalen van een eerste (T1) en een tweede (T2) veldeffecttransistor met geïsoleerde stuur- 35 electrode (IGFET) in serie geschakeld tussen  $\overline{MU}$  en VK2. De sturelectrode van de IGFET T1 is met MI en de sturelectrode van IGFET T2 is met CLK verbonden. In een tweede instelschakeling zijn de kanalen van een derde (T3) en vierde (T4) IGFET in serie geschakeld tussen MU en VK2.

Het kanaal van een vijfde IGFET (T5) is parallel aan het kanaal van IGFET T3 geschakeld. De stuur-elektrode van IGFET T3 is verbonden met MI, die van IGFET T4 met CLCK en de stuur-elektrode van IGFET T5 met MLD. Het slaafgedeelte (SD) bevat een derde en vierde inverterschakeling (I3 en I4) die ieder met de eerste voedingsingang met VK1 verbonden zijn. De uitgang van I3 is verbonden met de ingang van I4 en vice versa. Het SD bevat voorts een derde instelschakeling waarbij de parallel geschakelde kanalen van een zesde (T6) en een zevende (T7) IGFET tussen de tweede voedingsingang van I3 en VK2 geschakeld zijn. Bij een vierde instelschakeling zijn de parallelle kanalen van een achtste (T8) en negende (T9) IGFET tussen de tweede voedingsingang van I4 en VK2 geschakeld. De vierde instelschakeling bevat voorts een tiende IGFET (T10) die met zijn kanaal tussen de uitgang en tweede voedingsingang van I4 geschakeld is. De stuur-elektroden van de IGFETS T7 en T8 zijn verbonden met CLK, die van IGFET T6 met MU en die van de IGFET T9 met  $\overline{MU}$ , de stuur-elektrode van IGFET T10 is verbonden met SLD. De uitgang van I4 is verbonden met SU, die van I3 met  $\overline{SU}$ . MI en  $\overline{MI}$  vormen de ingangen van de flipflopschakeling, SU en  $\overline{SU}$  vormen zijn uitgangen.

In de eerste flipflopschakeling (118, fig. 2) kan IGFET T3 vervallen, in de laatste flipflopschakeling (122, fig. 2) is IGFET T10 overbodig.

De werking van de flipflopschakeling is als volgt: als het kloksignaal laag is, geleiden de IGFETs T2, T4, T7 en T8 niet. De ingangen MI,  $\overline{MI}$  en MLD hebben dan geen invloed op de toestand van het meestergedeelte. Het meestergedeelte stuurt de ingangen van het slaafgedeelte zodat de IGFET T6 of de IGFET T9 geleidt en de uitgang van de bijbehorende inverterschakeling (I3 of I4) laag wordt. De uitgang van de andere inverterschakeling (I4 of I3) is hoog. Ook hier heeft de ingang SLD dan geen invloed op de toestand van het slaafgedeelte. Samenvattend kan men stellen dat de slaafgedeelten de stand van de meestergedeelten overnemen als het kloksignaal laag is.

Wanneer het kloksignaal hoog is, geleiden de IGFETs T2, T4, T7 en T8 wel. Het meestergedeelte heeft dan geen invloed op de toestand van het slaafgedeelte. Een hoog signaal op SLD forceert het slaafgedeelte in de "0"-stand dat wil zeggen SU is laag en  $\overline{SU}$  is hoog. De ingangen MI,  $\overline{MI}$  en MLD bepalen de stand van het meestergedeelte. Wanneer MI laag is, en  $\overline{MI}$  is hoog, dan neemt het meestergedeelte de "0"-stand aan (MU laag,  $\overline{MU}$  hoog). Als MI hoog is en  $\overline{MI}$  laag, dan zal

het meestergedeelte de "1"-stand aannemen als MLD laag is. Wanneer MLD dan echter hoog is, is de stand even onbepaald daar zowel MU (via de eerste en tweede IGFET) als  $\overline{MU}$  (via de vijfde en vierde IGFET) laag zijn. Deze situatie wordt in de cascadeschakeling van fig. 2 opgelost.

5 Bij de eerste flipflopschakeling (118) verzekert een inverteerschakeling (138) dat MLD en MI niet gelijktijdig hoog of laag kunnen zijn. Als MLD hoog is, neemt het meestergedeelte de "0"-stand aan; als MLD laag is, neemt het meestergedeelte de "1"-stand aan.

10 Bij de overige flipflopschakelingen (120,122) is MLD verbonden met SLD van de voorgaande flipflopschakeling. Wanneer MLD hoog is, zal MI na een korte tijd laag worden, omdat het voorgaande slaafgedeelte de "0"-stand aanneemt, zodat het meestergedeelte eveneens de "0"-stand aan kan nemen. Samenvattend kan men stellen dat wanneer het kloksignaal hoog en MLD laag is, het meestergedeelte de stand van het voorgaande  
15 slaafgedeelte overneemt, waarbij het meestergedeelte van de eerste flipflopschakeling de "1"-stand krijgt.

Wanneer het kloksignaal en MLD hoog zijn, dan nemen het meestergedeelte en (indien van toepassing) het voorgaande slaafgedeelte de "0"-stand aan.

20 Deze schakelfuncties maken de flipflopschakeling geschikt voor toepassing in een multiplexschakeling volgens de uitvinding.

25

30

35

CONCLUSIES:

1. Een geïntegreerde elektronische multiplex-schakeling voorzien van  $N$  ( $N > 1$ ) data-ingangen, een gegevensuitgang voor het genereren van een gemultiplexed signaal, een klokingang voor het ontvangen van een kloksignaal en een startingang voor het ontvangen van een startsignaal, 5 waarbij gegevens op de  $N$  data-ingangen na een eerste toestand van het binaire startsignaal onder besturing van het kloksignaal sequentieel aan de gegevensuitgang verschijnen, met het kenmerk, dat de multiplexschakeling een schuifregister met een cascadeschakeling van  $N$  flipflopschakelingen met een meester- en een slaafgedeelte bevat, waarbij bij ontvangst 10 van de eerste toestand van het startsignaal en een eerste toestand van het kloksignaal gelijktijdig het meestergedeelte van iedere  $n^e$  ( $1 \leq n \leq N$ ) flipflopschakeling een binaire stand overeenkomstig het gegeven op de  $n^e$  data-ingang en het slaafgedeelte van iedere  $n^e$  flipflopschakeling een binaire stand overeenkomstig het gegeven op de  $n+1^e$  data-ingang aanneemt, 15 met uitzondering van het slaafgedeelte van de  $N^e$  flipflopschakeling, dat onveranderd blijft en waarvan een uitgang met de gegevensuitgang verbonden is.
2. Een geïntegreerde elektronische multiplex-schakeling volgens conclusie 1, met het kenmerk, dat het meestergedeelte van de eerste 20 flipflopschakeling een eerste binaire stand aanneemt bij ontvangst van een tweede toestand van het startsignaal en de eerste toestand van het kloksignaal.
3. Een geïntegreerde elektronische multiplex-schakeling volgens conclusie 1 of 2, met het kenmerk, dat het startsignaal in de tweede 25 toestand gebracht wordt nadat alle flipflopschakelingen een stand overeenkomstig de gegevens op de bijbehorende data-ingangen aangenomen hebben en dat het startsignaal gedurende  $N-1$  daaropvolgende eerste toestanden van het kloksignaal in de tweede toestand wordt gehouden.
4. Een geïntegreerde elektronische multiplex-schakeling volgens 30 conclusies 1, 2 of 3, met het kenmerk, dat zowel de meester- als de slaafgedeelten van de  $N$  flipflopschakelingen hetzelfde kloksignaal ontvangen.
5. Een geïntegreerde elektronische multiplex-schakeling volgens conclusie 3 of 4, met het kenmerk, dat de meester- en de slaafgedeelten, behalve het slaafgedeelte van de  $N^e$  flipflopschakeling, voorzien zijn 35 van een laadingang voor het ontvangen van een laadsignaal, waarbij de laadingangen van het slaafgedeelte van de  $m^e$  ( $1 \leq m \leq N$ ) flipflopschakeling en het meestergedeelte van de  $(m+1)^e$  flipflopschakeling hetzelfde laadsignaal ontvangen waarbij een eerste toestand van het  $n^e$  laadsignaal

aangeeft dat het startsignaal in de eerste toestand is en dat het gegeven op de  $n^e$  data-ingang aangeeft, dat het meestergedeelte van de  $n^e$  flipflopschakeling vanuit de eerste in de tweede binaire stand moet worden gebracht.

- 5 6. Een geïntegreerde elektronische multiplex-schakeling volgens conclusie 5, met het kenmerk, dat het  $n^e$  laadsignaal wordt gegenereerd door een  $n^e$  NIET-OF-poort, die aan een eerste ingang het startsignaal en aan een tweede ingang het gegeven op de  $n^e$  data-ingang ontvangt.
- 10 7. Een geïntegreerde elektronische multiplex-schakeling volgens conclusie 5 of 6, met het kenmerk, dat ten minste een flipflopschakeling een eerste, tweede, derde en vierde inverterschakeling elk met een eerste en tweede voedingsingang, een ingang en een uitgang bevat, waarbij de eerste voedingsingangen met een eerste voedingsklem  
15 verbonden zijn waarbij in het meestergedeelte de ingang van de eerste met de uitgang van de tweede inverterschakeling verbonden is en vice versa en de tweede voedingsingangen met een tweede voedingsklem verbonden zijn, waarbij een eerste respectievelijk tweede serieschakeling van kanalen van een eerste en tweede respectievelijk derde en vierde  
20 veldeffecttransistor met geïsoleerde stuur-elektrode (IGFET) de uitgang van de eerste respectievelijk tweede inverterschakeling met de tweede voedingsklem verbinden, waarbij de stuur-elektroden van de tweede en vierde IGFET het kloksignaal ontvangen en de stuur-elektroden van de eerste en derde IGFET als ingangen voor de flipflopschakeling dienen, en dat  
25 het kanaal van een vijfde IGFET parallel aan het kanaal van de derde IGFET geschakeld is terwijl de stuur-elektrode van de vijfde IGFET de laadingang van het meestergedeelte vormt, waarbij voorts in het slaaf-gedeelte de uitgang van de derde met de ingang van de vierde inverterschakeling verbonden is en vice versa, waarbij een eerste respectievelijk  
30 tweede parallelschakeling van de kanalen van een zesde en zevende respectievelijk achtste en negende IGFET de tweede voedingsingang van de derde respectievelijk vierde inverterschakeling met de tweede voedingsklem verbinden, waarbij de stuur-elektroden van de zevende en achtste IGFET het kloksignaal ontvangen en de stuur-elektrode van de  
35 zesde respectievelijk negende IGFET met de uitgang van de tweede respectievelijk eerste inverterschakeling zijn verbonden, en dat het geleidingskanaal van een tiende IGFET tussen de uitgang en tweede voedingsingang van de vierde inverterschakeling geschakeld is, waarbij

zijn stuur­electrode de laadingang van het slaafgedeelte vormt en dat de uitgangen van de derde en vierde invert­eerschakelingen de uitgangen van de flipflopschakeling vormen.

8. Een geïntegreerde electronische schakeling voorzien van  
5 een multiplex-schakeling volgens een der voorgaande conclusies.

9. Een geïntegreerde electronische schakeling volgens conclusie 8, met het kenmerk, dat de data-ingangen met gegevensuitgangen van een geheugen­veld van een op hetzelfde substraat geïntegreerd geheugen zijn verbonden.

10

15

20

25

30

35

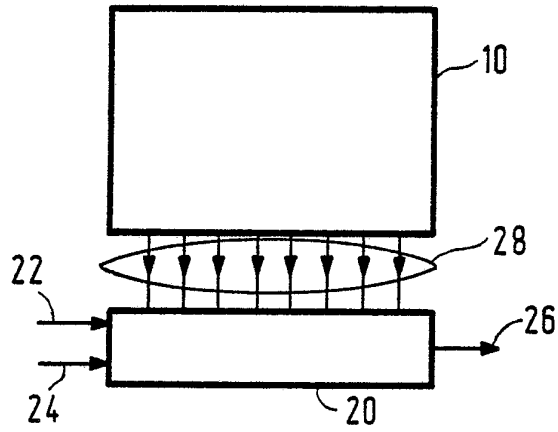


FIG. 1

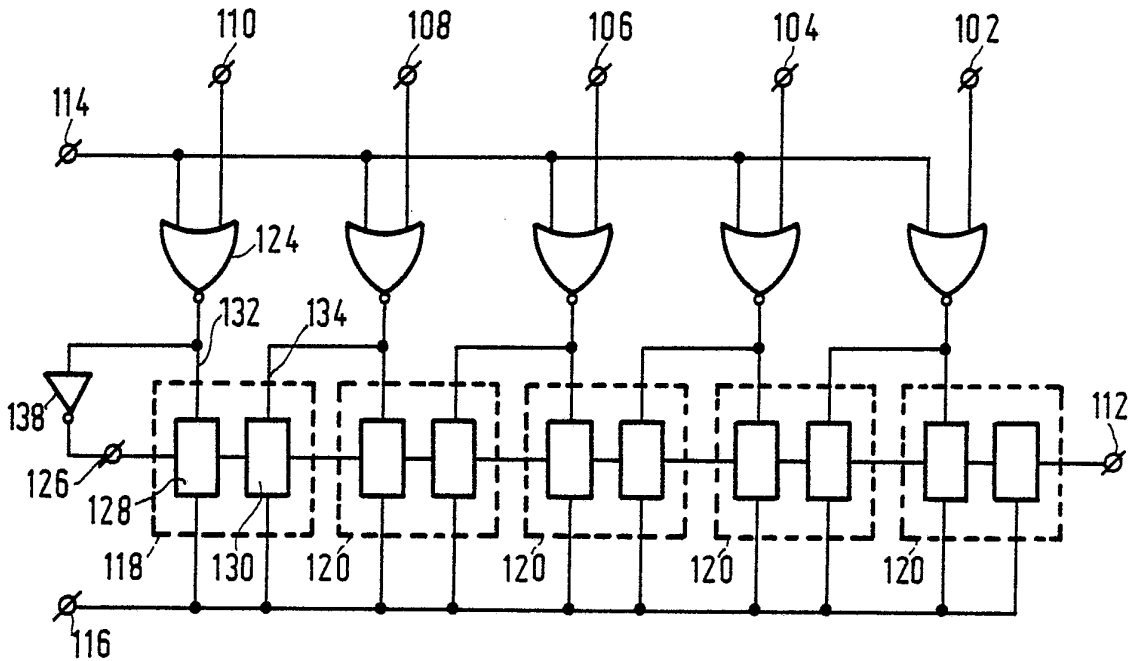


FIG. 2

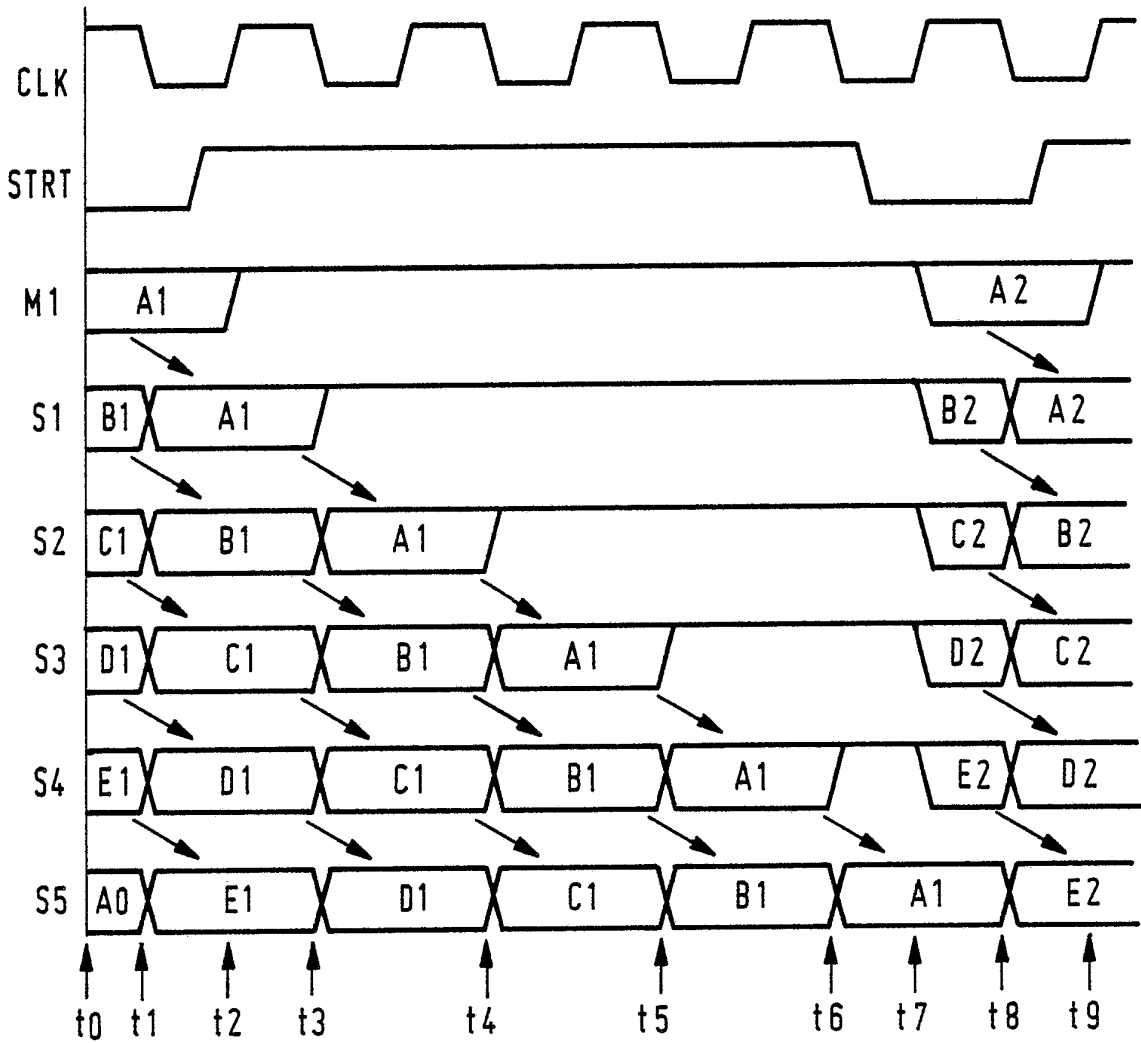


FIG. 3

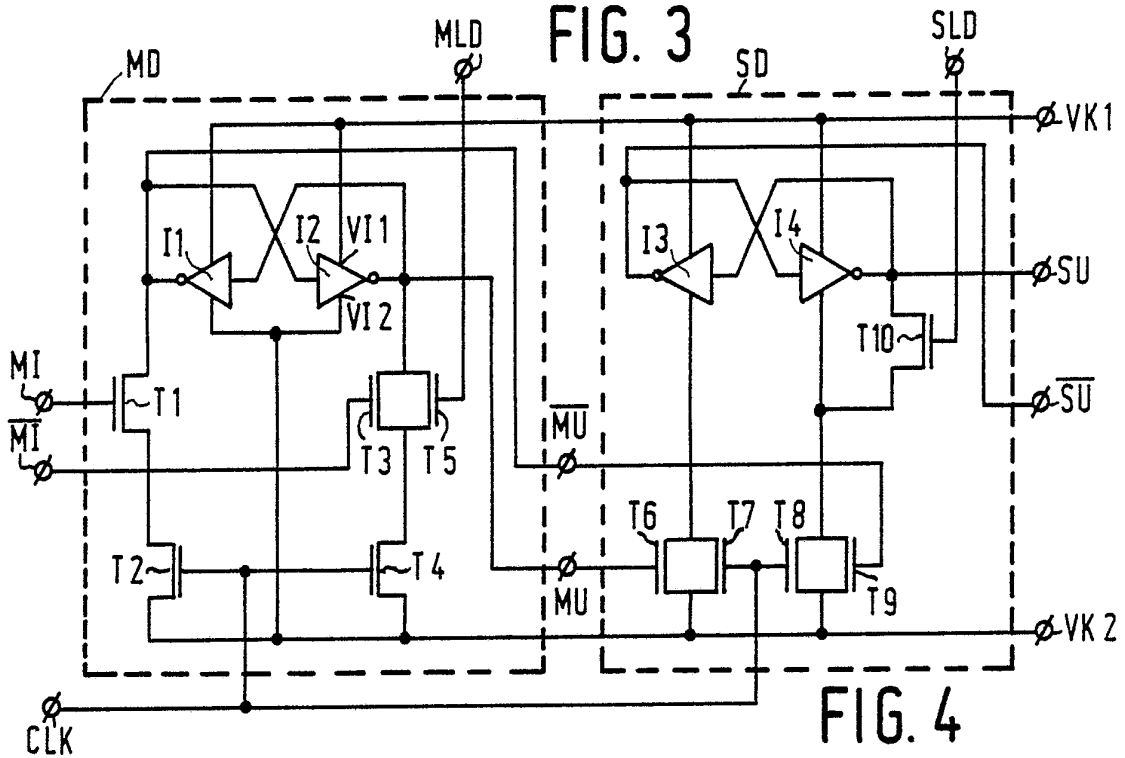


FIG. 4