

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 6 日 (06.10.2016)



(10) 国际公布号
WO 2016/155169 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/085567
- (22) 国际申请日: 2015 年 7 月 30 日 (30.07.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510142728.2 2015 年 3 月 27 日 (27.03.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区经海一路 118 号, Beijing 100176 (CN)。
- (72) 发明人: 胡巍浩 (HU, Weihao); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。廖燕平 (LIAO, Yanping); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。郭鲁强 (GUO, Luqiang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。苏文刚 (SU, Wengang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区港湾道 23 号鹰君中心 22 号楼, Hongkong (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: METHOD DRIVING GATE ELECTRODE OF PIXEL TRANSISTOR AND GATE ELECTRODE DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 像素晶体管的栅极驱动方法和栅极驱动电路以及显示设备

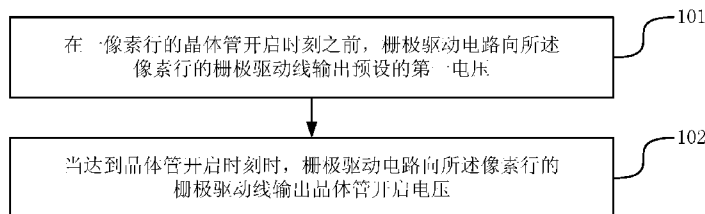


图 1

101. BEFORE A TURN-ON TIME OF A TRANSISTOR OF A PIXEL ROW, OUTPUT BY A GATE ELECTRODE DRIVING CIRCUIT, A PRESET FIRST VOLTAGE TO A GATE ELECTRODE DRIVING WIRE OF THE PIXEL ROW
102. AFTER THE TURN-ON TIME OF THE TRANSISTOR, OUTPUT BY THE GATE ELECTRODE DRIVING CIRCUIT, A TURN-ON VOLTAGE OF THE TRANSISTOR TO THE GATE ELECTRODE DRIVING WIRE

(57) Abstract: Disclosed are a method driving a gate electrode of a pixel transistor and a gate electrode driving circuit and a display device comprising the gate electrode driving circuit. The method comprises: before a turn-on time of a transistor of a pixel row, outputting, by a gate electrode driving circuit, a preset first voltage to a gate electrode driving wire of the pixel row (101), wherein the first voltage exceeds a turn-off voltage of the transistor; after the turn-on time of the transistor, outputting, by the gate electrode driving circuit, a turn-on voltage of the transistor to the gate electrode driving wire (102). By employing the method, an accuracy of displaying pixels can be improved.

(57) 摘要: 公开了一种像素晶体管的栅极驱动方法和栅极驱动电路以及包括该栅极驱动电路的显示设备。该方法包括: 在一像素行的晶体管开启时刻之前, 栅极驱动电路向该像素行的栅极驱动线输出预设的第一电压 (101); 其中, 该第一电压大于晶体管关闭电压; 当达到该晶体管开启时刻时, 该栅极驱动电路向该栅极驱动线输出晶体管开启电压 (102)。采用该方法, 可以提高像素显示的准确度。

WO 2016/155169 A1

像素晶体管的栅极驱动方法和栅极驱动电路以及显示设备

技术领域

本发明涉及显示技术领域，特别涉及一种像素晶体管的栅极驱动方法和栅极驱动电路以及包括所述栅极驱动电路的显示设备。

背景技术

在液晶显示设备中，对于每个像素，设置有一个像素电路，用于显示相应的像素。每个像素电路中设置有像素晶体管和像素电容。液晶显示设备中设置有栅极驱动电路，用于对各像素电路中像素晶体管进行栅极驱动，即对像素晶体管的开关进行控制。像素晶体管开启时，数据电压则会通过像素晶体管对像素电容进行充电，充电后的像素电容可以控制输出相应的光信号。

一般地，栅极驱动电路设置有多个输出端口，每个输出端口与一个像素行的栅极驱动线连接，该栅极驱动线与该像素行中所有像素电路的像素晶体管的栅极连接。栅极驱动电路通过某输出端口向连接的栅极驱动线输出驱动电压，以控制对应的像素行中所有像素电路的像素晶体管的开启和关闭。当驱动电压为高电平的晶体管开启电压 V_{GH} 时，像素晶体管开启，当驱动电压为低电平的晶体管关闭电压 V_{GL} 时，像素晶体管关闭。

发明内容

在实现本发明的过程中，发明人发现现有技术至少存在以下问题：

每个像素行的栅极驱动线上都会存在电阻和寄生电容，它们会使得驱动电压的传输受到延迟。这样，远离栅极驱动电路的像素晶体管的开启则会受到较大的延迟，使相应的像素电容的充电时间不足，进而导致像素显示不准确。

为了解决或缓解上述现有技术中的至少一个缺陷或问题，本发明实施例提供了一种像素晶体管的栅极驱动方法和栅极驱动电路以及包括所述栅极驱动电路的显示设备。

根据本发明的一方面，提供了一种像素晶体管的栅极驱动方法，所述方法包括：

在一像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，其中所述第一电压大于晶体管关闭电压；

当达到所述晶体管开启时刻时，所述栅极驱动电路向所述像素行的栅极驱动线输出晶体管开启电压。

可选地，所述第一电压小于所述晶体管开启电压。

可选地，在所述像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，包括：

从所述像素行的晶体管开启时刻之前预设时长时起，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压。

可选地，所述预设时长小于预设的像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

可选地，所述方法还包括：当达到所述像素行的晶体管关闭时刻时，所述栅极驱动电路停止向所述像素行的栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

可选地，在所述像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，包括：

在所述像素行的晶体管开启时刻之前，栅极驱动电路在第一控制信号的控制下，向所述像素行的栅极驱动线输出预设的第一电压。

可选地，当达到所述晶体管开启时刻时，所述栅极驱动电路向所述像素行的栅极驱动线输出晶体管开启电压，包括：

当达到所述晶体管开启时刻时，所述栅极驱动电路在第二控制信号的控制下，停止向所述栅极驱动线输出所述第一电压，并向所述栅极驱动线输出晶体管开启电压。

可选地，所述方法还包括：当达到所述像素行的晶体管关闭时刻时，所述栅极驱动电路在所述第二控制信号的控制下，停止向所述栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

根据本发明的另一方面，提供了一种栅极驱动电路，所述栅极驱动电路包括：

预充模块，用于在一像素行的晶体管开启时刻之前，向所述像素行的栅极驱动线输出预设的第一电压，其中所述第一电压大于晶体管

关闭电压；

控制模块，用于当达到所述晶体管开启时刻时，向所述像素行的栅极驱动线输出晶体管开启电压。

可选地，所述第一电压小于所述晶体管开启电压。

5 可选地，所述预充模块，用于：

从所述像素行的晶体管开启时刻之前预设时长时起，向所述像素行的栅极驱动线输出预设的第一电压。

可选地，所述预设时长小于所述像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

10 可选地，所述控制模块，还用于：

当达到所述像素行的晶体管关闭时刻时，停止向所述栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

可选地，所述预充模块，用于：

15 在所述像素行的晶体管开启时刻之前，在第一控制信号的控制下，向所述像素行的栅极驱动线输出预设的第一电压。

可选地，所述控制模块，用于：

当达到所述晶体管开启时刻时，在第二控制信号的控制下，停止向所述栅极驱动线输出所述第一电压，并向所述栅极驱动线输出晶体管开启电压。

20 可选地，所述控制模块，还用于：

当达到所述像素行的晶体管关闭时刻时，在所述第二控制信号的控制下，停止向所述栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

25 根据本发明的另一方面，提供了一种显示设备，该显示设备包括如上所述的任何一个栅极驱动电路。

本发明实施例提供的技术方案可以实现如下有益效果中的至少一个有益效果和/或其它有益效果：

30 在晶体管开启时刻之前，对栅极驱动线上的寄生电容进行充电，这样，当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时，可以减少晶体管开启电压传输所受的延迟，增加像素电容的充电时间，提高像素显示的准确度。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍。应当意识到，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是根据本发明一个实施例提供的像素晶体管的栅极驱动方法的流程图；

图 2 是根据本发明一个实施例提供的栅极驱动线的等效寄生电容示意图；

图 3a、3b、3c 是现有技术提供的栅极驱动线不同位置的电压的波形图；

图 4a、4b、4c 是根据本发明一个实施例提供的栅极驱动线不同位置的电压的波形图；

图 5 是根据本发明一个实施例提供的栅极驱动电路的输入信号和输出信号的示意图；

图 6 是根据本发明一个实施例提供的栅极驱动电路的输入信号和输出信号的波形图；

图 7 是根据本发明一个实施例提供的栅极驱动电路的结构示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

根据本发明一个实施例提供了一种像素晶体管的栅极驱动方法。如图 1 所示，该方法的处理过程包括如下步骤：

步骤 101，在一像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，其中第一电压大于晶体管关闭电压。

步骤 102，当达到晶体管开启时刻时，栅极驱动电路向所述像素行的栅极驱动线输出晶体管开启电压。在一个具体实现中，当达到晶体管开启时刻时，栅极驱动电路停止向栅极驱动线输出第一电压，并向栅极驱动线输出晶体管开启电压。

需要指出的是，上述方法可以适用于显示设备的任意一行像素。

不过，本领域普通技术人员可以意识到的是，上述方法可以逐行驱动显示设备的每一行像素。

通过上述方法，在晶体管开启时刻之前，对栅极驱动线上的寄生电容进行充电，这样，当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时，可以减少晶体管开启电压传输所受的延迟，从而可以增加像素电容的充电时间，提高像素显示的准确度。

根据本发明一个实施例提供了一种像素晶体管的栅极驱动方法。该方法的执行主体可以为显示设备中的栅极驱动电路，该栅极驱动电路可以对多个像素行的像素晶体管进行开关控制。该栅极驱动电路可以包括多个输出端口，每个输出端口分别与一个像素行的栅极驱动线连接。

下面将结合具体的实施过程，对图 1 所示的处理流程进行详细，内容可以如下：

步骤 101，在一像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压。

其中，栅极驱动线是将栅极驱动电路的输出端口与对应的像素行中各像素电路的像素晶体管的栅极连接在一起的线路。栅极驱动线的等效寄生电容可以如图 2 所示。图 1 以及图 2 中所述的像素行可以是栅极驱动电路控制的任意像素行。晶体管开启时刻是向像素行中的像素晶体管的栅极输入晶体管开启电压 V_{GH} 的时刻。尽管在这个具体实现中，晶体管开启电压为高电平 V_{GH} ，但是本领域普通技术人员可以意识到，在其它实现中晶体管开启电压也可以为低电平。所述第一电压可以称作预充电电压，可记做 V_{GM} ，用于对栅极驱动线中的寄生电容进行充电，可以设置第一电压大于晶体管关闭电压。

在一个具体实现中，可以为每个像素行设置晶体管开启时刻和晶体管关闭时刻，此两个时刻之间的时段即为相应晶体管的开启时段，也就是相应的像素行中各像素的数据电压为像素电容充电的时段。每个像素行对应的时段按时序顺次排列，即第一像素行的晶体管关闭时刻之后为第二像素行的晶体管开启时刻，第二像素行的晶体管关闭时刻之后为第三像素行的晶体管开启时刻，依此类推。对于任意一个像素行，在其晶体管开启时刻之前的某个时刻，栅极驱动电路可以通过相应的输出端口向该像素行的栅极驱动线输出预充电电压 V_{GM} 。在输出

VGM 之前，栅极驱动电路向该栅极驱动线输出的是晶体管关闭电压 VGL，因为 VGM 大于 VGL，所以在输出 VGM 时，VGM 开始对栅极驱动线上的寄生电容进行充电。

栅极驱动电路实现输出 VGM 的方式可以多种多样，可以为栅极驱动电路增加两路输入信号，一路输入 VGM 的恒定信号，另一路输入对应的使能信号，用于触发栅极驱动电路对外输出 VGM，相应的处理在后面内容中会由详细阐述。或者，也可以不增加输入信号，将原有的栅极驱动电路中晶体管开启电压的输入信号由 VGH 的恒定信号，调整为 VGM 电平、VGH 电平交替变化的信号（VGM 跳变为 VGH 的时间点为晶体管开启时刻），并将晶体管开启电压的使能信号的时间提前一定时长。

可选地，可以进一步对第一电压的电压范围进行限定，使第一电压小于晶体管开启电压。

在一个具体实现中，VGH 的取值范围可以为 25V~35V，VGL 的取值范围可以为 -4V~-8V，相应的可以设置 VGM 的取值在 VGH 和 VGL 之间，如 3V 等。栅极驱动电路通过一像素行的栅极驱动线，将 VGM 输入所述像素行的像素晶体管的栅极时，因为还没有到达所述像素行的晶体管开启时刻，所以这时通过像素晶体管的数据电压是所述像素行的上一行像素的数据电压。由于 VGM 的取值在 VGH 和 VGL 之间，所以此时所述像素行的像素晶体管进入微开启状态，因此像素电容的充电电荷较少，可以减少上一行像素的数据电压对所述像素行的影响。

可选地，可以为第一电压设置一个合理的输出时长。相应地，步骤 101 的处理可以如下：从像素行的晶体管开启时刻之前预设时长时起，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压。

进一步可选地，可以设置该预设时长小于所述像素行的晶体管关闭时刻与晶体管开启时刻的时间差，也就是小于晶体管的开启持续时间。

在一个具体实现中，可以根据实际需求选择一个较小的时长值作为上述预设时长，例如，预设时长可以为晶体管关闭时刻与晶体管开启时刻的时间差的 10%，即晶体管的开启持续时间的 10%。栅极驱动电路通过像素行的栅极驱动线，将 VGM 输入所述像素行的像素晶体管的栅极时，因为还没有到达所述像素行的晶体管开启时刻，所以这时

通过像素晶体管的数据电压是所述像素行的上一行像素的数据电压。因为上述预设时长设置的比较短，所以像素电容的充电电荷较少，可以减少上一行像素的数据电压对所述像素行的影响。

步骤 102，当达到晶体管开启时刻时，栅极驱动电路向所述像素行的栅极驱动线输出晶体管开启电压。在一个具体实现中，当达到晶体管开启时刻时，栅极驱动电路停止向栅极驱动线输出第一电压，并向栅极驱动线输出晶体管开启电压。

在一个具体实现中，到达晶体管开启时刻时，输出电压则可以由 VGM 跳变为 VGH，而且此时，数据电压由所述像素行的上一行像素的数据电压变化到所述像素行的数据电压。所述像素行的像素晶体管进入开启状态，当前的数据电压为所述像素行的像素电容充电。

可选地，后续还可以对像素晶体管进行关闭。相应地，在步骤 102 之后还可以进行如下处理：当达到像素行的晶体管关闭时刻时，栅极驱动电路停止向所述像素行的栅极驱动线输出晶体管开启电压，并向栅极驱动线输出晶体管关闭电压。

在一个具体实现中，到达晶体管关闭时刻时，输出电压则可以由 VGH 跳变到 VGL，而且此时，像素行的数据电压结束输入。所述像素行的像素晶体管进入关闭状态，停止对像素电容充电，此时，所述像素行的每个像素电容输出电压，显示相应的像素内容。

图 3a、3b、3c 是现有技术中未输出 VGM 的情况下栅极驱动线不同位置的电压的波形图。栅极驱动电路输出端口处电压的波形可以如图 3a 所示，离输出端口距离较近处的像素晶体管的栅极输入电压的波形可以入图 3b 所示，离输出端口距离较远处的像素晶体管的栅极输入电压的波形可以入图 3c 所示。图 4a、4b、4c 是采用上述实施例的上述处理流程时栅极驱动线不同位置的电压的波形图。栅极驱动电路输出端口处电压的波形可以如图 4a 所示，离输出端口距离较近处的像素晶体管的栅极输入电压的波形可以入图 4b 所示，离输出端口距离较远处的像素晶体管的栅极输入电压的波形可以入图 4c 所示。可见，通过上述实施例的处理流程，可以有效延长像素电容的有效充电时长。

如前所述，为了实现上述流程的处理，可以为栅极驱动电路增加两路输入信号，一路输入 VGM 的恒定信号，另一路输入对应的使能信号，用于触发栅极驱动电路对外输出 VGM。相应地，步骤 101 的处理

可以如下：在一像素行的晶体管开启时刻之前，栅极驱动电路在第一控制信号的控制下，向所述像素行的栅极驱动线输出预设的第一电压。相应地，步骤 102 的处理可以如下：当达到晶体管开启时刻时，栅极驱动电路在第二控制信号的控制下，停止向栅极驱动线输出所述第一电压，并向栅极驱动线输出晶体管开启电压。另外，步骤 102 之后的处理可以如下：当达到像素行的晶体管关闭时刻时，栅极驱动电路在第二控制信号的控制下，停止向所述像素行的栅极驱动线输出晶体管开启电压，并向栅极驱动线输出晶体管关闭电压。

在一个具体实现中，栅极驱动电路的输入信号和输出信号可以如图 5 所示，各信号的波形可以如图 6 所示。其中，STV 为帧开始信号，CPV 为行切换信号，用于对当前像素行进行切换。输入端 VGH、VGM 和 VGL 处分别输入恒定信号 VGH、VGM 和 VGL。输出 1、输出 2、... 输出 n 对应于栅极驱动电路的多个输出端口，每个输出端口与一个像素行的栅极驱动线连接，用于向连接的栅极驱动线输出驱动电压，以驱动对应的像素行中所有像素电路的像素晶体管。在这个实施例中，所述输出端口用于输出晶体管开启电压 VGH、晶体管关闭电压 VGL 或预充电电压 VGM。OE1 为 VGH 的使能信号，用于控制 VGH 输出的开始和结束。OE3 为 VGM 的使能信号，用于触发输出 VGM。OE3 的上升沿触发栅极驱动电路输出 VGM。OE1 的下降沿触发栅极驱动电路停止输出 VGM 并输出 VGH，即此下降沿的时刻为晶体管开启时刻，OE1 的上升沿触发栅极驱动电路停止输出 VGH 并输出 VGL，即此上升沿的时刻为晶体管关闭时刻。

在上述实施例中，在晶体管开启时刻之前，对栅极驱动线上的寄生电容进行充电，这样，当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时，可以减少晶体管开启电压传输所受的延迟，从而可以增加像素电容的充电时间，提高像素显示的准确度。

根据本发明另一个实施例提供了一种栅极驱动电路，该栅极驱动电路与上述实施例中像素晶体管的栅极驱动方法是基于相同的技术构思，栅极驱动电路中各模块的具体处理方式可以参见上述方法中的相应内容。如图 7 所示，该栅极驱动电路包括：

预充模块 710，用于在一像素行的晶体管开启时刻之前，向所述像素行的栅极驱动线输出预设的第一电压，其中所述第一电压大于晶体

管关闭电压;

控制模块 720, 用于当达到所述晶体管开启时刻时, 向所述像素行的栅极驱动线输出晶体管开启电压。在一个具体实现中, 当达到所述晶体管开启时刻时, 所述控制模块 720 停止向所述像素行的栅极驱动线输出所述第一电压, 并向所述栅极驱动线输出晶体管开启电压。

可选地, 所述第一电压小于所述晶体管开启电压。

可选地, 所述预充模块 710, 用于:

从所述像素行的晶体管开启时刻之前预设时长时起, 向所述像素行的栅极驱动线输出预设的第一电压。

10 可选地, 所述预设时长小于所述像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

可选地, 所述控制模块 720, 还用于:

当达到所述像素行的晶体管关闭时刻时, 停止向所述像素行的栅极驱动线输出所述晶体管开启电压, 并向所述栅极驱动线输出晶体管关闭电压。

15 可选地, 所述预充模块 710, 用于:

在所述像素行的晶体管开启时刻之前, 在第一控制信号的控制下, 向所述像素行的栅极驱动线输出预设的第一电压。

可选地, 所述控制模块 720, 用于:

20 当达到所述晶体管开启时刻时, 在第二控制信号的控制下, 停止向所述像素行的栅极驱动线输出所述第一电压, 并向所述栅极驱动线输出晶体管开启电压。

可选地, 所述控制模块 710, 还用于:

25 当达到所述像素行的晶体管关闭时刻时, 在所述第二控制信号的控制下, 停止向所述像素行的栅极驱动线输出所述晶体管开启电压, 并向所述栅极驱动线输出晶体管关闭电压。

30 根据本发明另一个实施例提供了一种显示设备, 该显示设备包括如上所述的任意一个栅极驱动电路, 用于栅极驱动所述显示设备的各像素行。该栅极驱动电路以及相应的栅极驱动方法已经在上面详细阐述了, 在此就不再重复了。

需要说明的是: 上述实施例仅以上述各功能模块的划分进行举例说明, 实际应用中, 可以根据需要将上述功能分配给不同的功能模块

完成。可以将装置的内部结构划分成不同的功能模块，以完成以上描述的全部或者部分功能。另外，上述一个模块的功能可以由多个模块来完成，上述多个模块的功能也可以集成到一个模块中完成。

在本发明的上述实施例中，在晶体管开启时刻之前，对栅极驱动线上的寄生电容进行充电，这样，当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时，可以减少晶体管开启电压传输所受的延迟，从而可以增加像素电容的充电时间，提高像素显示的准确度。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。本发明的保护范围应以所附权利要求的保护范围为准。

本申请所使用的术语“和/或”仅仅是被用来描述一种关联对象的关联关系，表示可以存在三种关系。例如，“A 和/或 B”可以表示如下这三种情况：单独存在 A，同时存在 A 和 B，单独存在 B。另外，本文中字符“/”一般表示前后关联对象是一种“或”的关系。

本申请用了诸如“第一”、“第二”、“第三”等之类的措词。在无附加上下文时，使用这样的措词并不旨在暗示排序而实际上用于标识目的。例如短语“第一版本”和“第二版本”未必意味着第一版本恰为第一个版本或者是在第二版本之前创建的或者甚至在第二版本之前请求或者操作第一版本。实际上，这些短语用来标识不同版本。

在权利要求书中，任何置于括号中的附图标记都不应当解释为限制权利要求。术语“包括”并不排除除了权利要求中所列出的元件或步骤之外的元件或步骤的存在。元件前的词语“一”或“一个”并不排除存在多个这样的元件。本发明可以借助于包括若干分离元件的硬件来实现，也可以通过适当编程的软件或固件来实现，或者通过它们的任意组合来实现。

在列举了若干装置的设备或系统权利要求中，这些装置中的一个或多个能够在同一个硬件项目中体现。仅仅某个措施记载在相互不同的从属权利要求中这个事实并不表明这些措施的组合不能被有利地使用。

权 利 要 求

1、一种像素晶体管的栅极驱动方法，所述方法包括：

5 在一像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，其中所述第一电压大于晶体管关闭电压；

当达到所述晶体管开启时刻时，所述栅极驱动电路向所述像素行的栅极驱动线输出晶体管开启电压。

10 2、根据权利要求 1 所述的方法，其中，所述第一电压小于所述晶体管开启电压。

3、根据权利要求 1 所述的方法，其中，在所述像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，包括：

15 从所述像素行的晶体管开启时刻之前预设时长时起，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压。

4、根据权利要求 3 所述的方法，其中，所述预设时长小于所述像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

5、根据权利要求 1 所述的方法，其中，所述方法还包括：

20 当达到所述像素行的晶体管关闭时刻时，所述栅极驱动电路停止向所述像素行的栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

6、根据权利要求 1 所述的方法，其中，在所述像素行的晶体管开启时刻之前，栅极驱动电路向所述像素行的栅极驱动线输出预设的第一电压，包括：

25 在所述像素行的晶体管开启时刻之前，栅极驱动电路在第一控制信号的控制下，向所述像素行的栅极驱动线输出预设的第一电压。

7、根据权利要求 6 所述的方法，其中，当达到所述晶体管开启时刻时，所述栅极驱动电路向所述像素行的栅极驱动线输出晶体管开启电压，包括：

30 当达到所述晶体管开启时刻时，所述栅极驱动电路在第二控制信号的控制下，停止向所述栅极驱动线输出所述第一电压，并向所述栅极驱动线输出晶体管开启电压。

8、根据权利要求 7 所述的方法，其中，所述方法还包括：

当达到所述像素行的晶体管关闭时刻时，所述栅极驱动电路在所述第二控制信号的控制下，停止向所述栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

5 9、一种栅极驱动电路，所述栅极驱动电路包括：

预充模块，用于在一像素行的晶体管开启时刻之前，向所述像素行的栅极驱动线输出预设的第一电压，其中所述第一电压大于晶体管关闭电压；

10 控制模块，用于当达到所述晶体管开启时刻时，向所述像素行的栅极驱动线输出晶体管开启电压。

10、根据权利要求 9 所述的栅极驱动电路，其中，所述第一电压小于所述晶体管开启电压。

11、根据权利要求 9 所述的栅极驱动电路，其中，所述预充模块，用于：

15 从所述像素行的晶体管开启时刻之前预设时长时起，向所述像素行的栅极驱动线输出预设的第一电压。

12、根据权利要求 11 所述的栅极驱动电路，其中，所述预设时长小于所述像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

20 13、根据权利要求 9 所述的栅极驱动电路，其中，所述控制模块，还用于：

当达到所述像素行的晶体管关闭时刻时，停止向所述栅极驱动线输出所述晶体管开启电压，并向所述栅极驱动线输出晶体管关闭电压。

14、根据权利要求 9 所述的栅极驱动电路，其中，所述预充模块，用于：

25 在所述像素行的晶体管开启时刻之前，在第一控制信号的控制下，向所述像素行的栅极驱动线输出预设的第一电压。

15、根据权利要求 14 所述的栅极驱动电路，其中，所述控制模块，用于：

30 当达到所述晶体管开启时刻时，在第二控制信号的控制下，停止向所述栅极驱动线输出所述第一电压，并向所述栅极驱动线输出晶体管开启电压。

16、根据权利要求 15 所述的栅极驱动电路，其中，所述控制模块，

还用于:

当达到所述像素行的晶体管关闭时刻时, 在所述第二控制信号的控制下, 停止向所述栅极驱动线输出所述晶体管开启电压, 并向所述栅极驱动线输出晶体管关闭电压。

- 5 17、一种显示设备, 包括如权利要求 9 到 16 中任何一项所述的栅极驱动电路, 用于栅极驱动所述显示设备的各像素行。

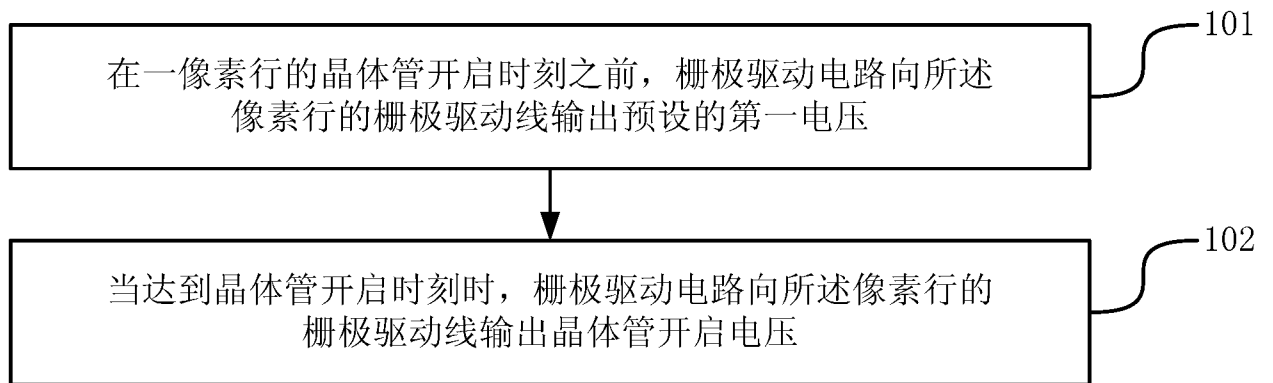


图 1

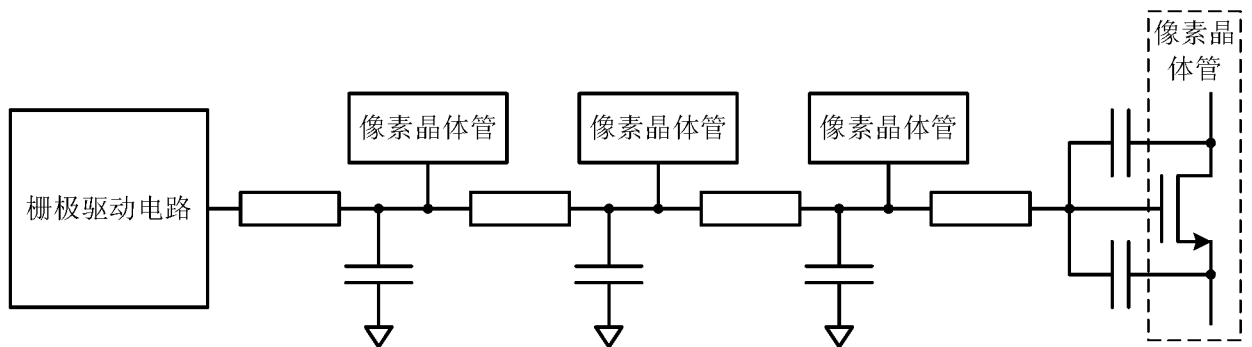


图 2

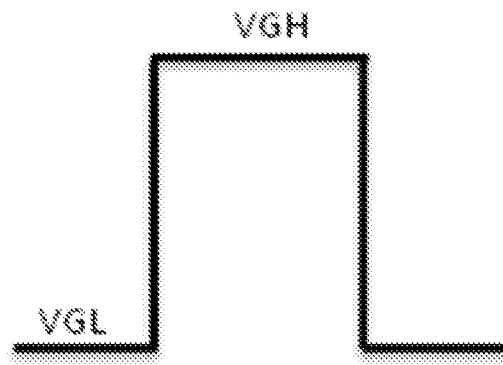


图 3a

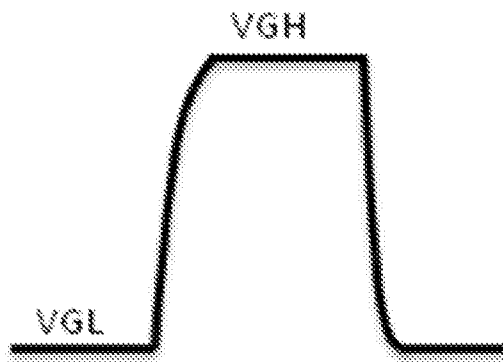


图 3b

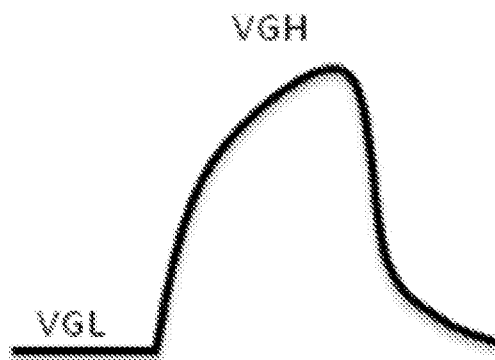


图 3c

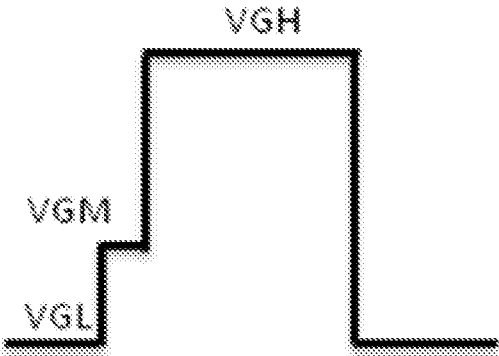


图 4a

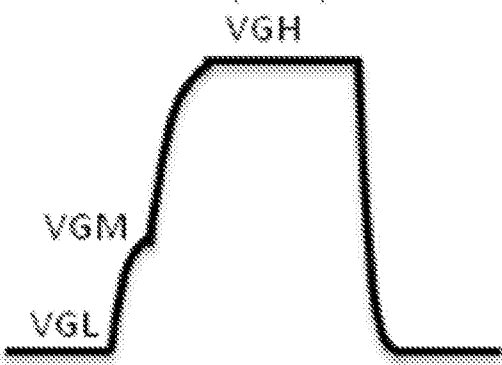


图 4b

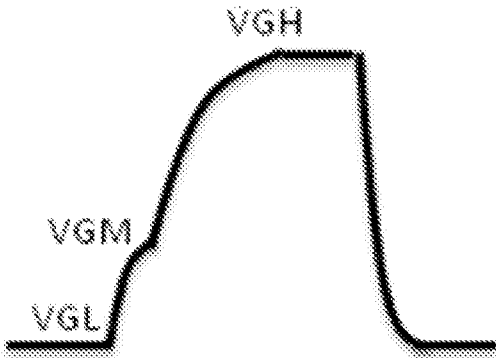


图 4c

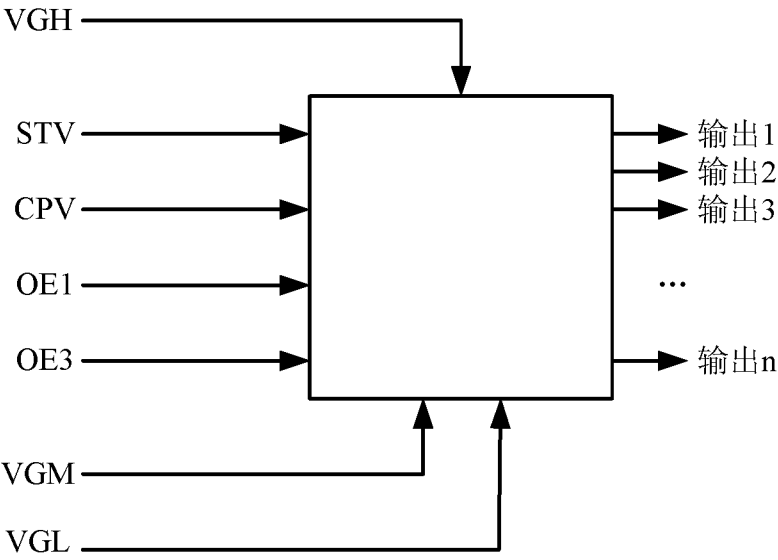


图 5

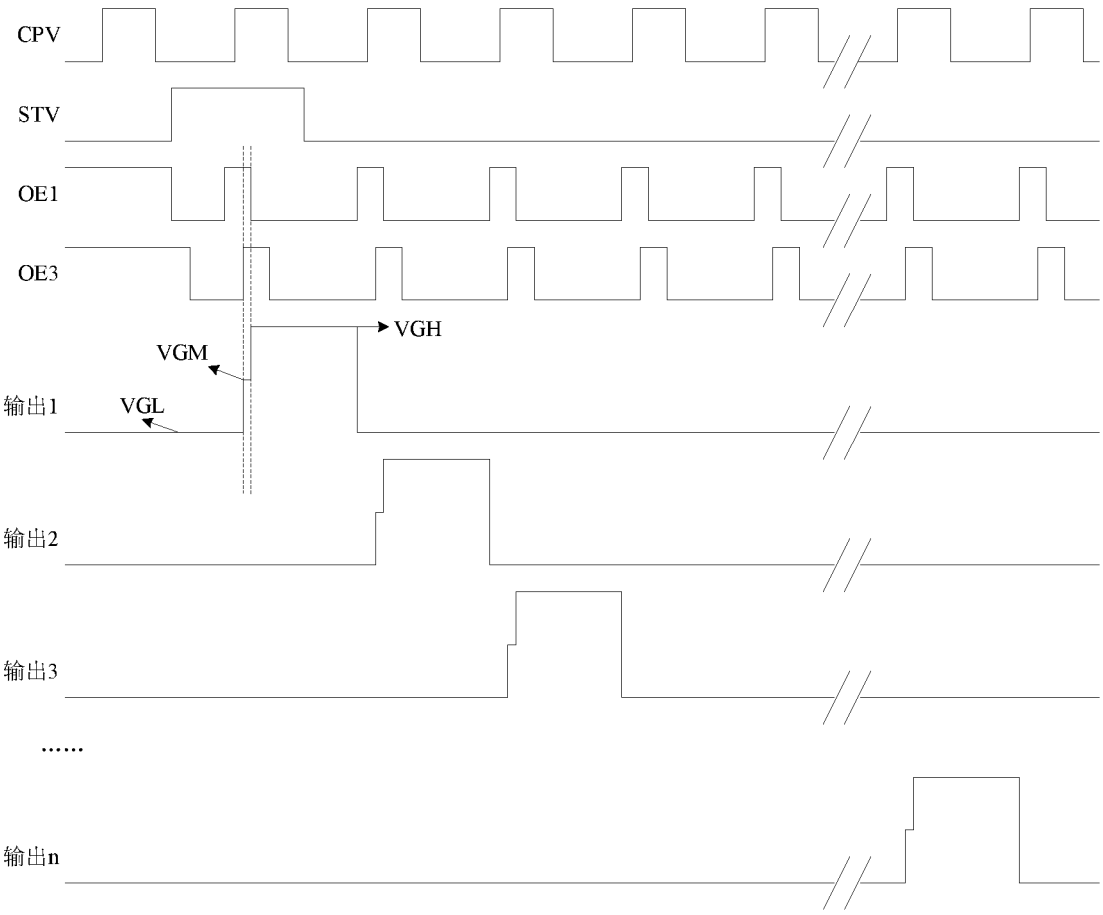


图 6

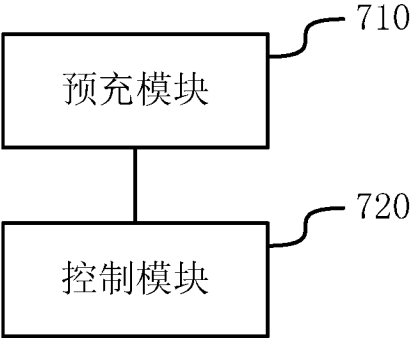


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/085567**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS: grid line, scanning line, grid pulse, grid waveform, scanning pulse, scanning waveform, cut-in voltage, break-over voltage, gate, scan+, precharge+, charge+, voltage, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104778931 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 15 July 2015 (15.07.2015), the whole document	1-17
X	CN 103403786 A (SHARP KABUSHIKI KAISHA), 20 November 2013 (20.11.2013), description, paragraphs [0067]-[0111], and figures 1-7	1-17
X	CN 101425268 A (CHUNGHWA PICTURE TUBES, LTD.), 06 May 2009 (06.05.2009), description, pages 5-7, and figures 1-6	1-17
A	US 2006158421 A1 (TOSHIBA KK), 20 July 2006 (20.07.2006), the whole document	1-17

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 November 2015 (23.11.2015)	Date of mailing of the international search report 18 December 2015 (18.12.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Jun Telephone No.: (86-10) 62085773

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/085567

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104778931 A	15 July 2015	None	
CN 103403786 A	20 November 2013	JP 5336021 B2	06 November 2013
		WO 2012115051 A1	30 August 2012
		US 2013321386 A1	05 December 2013
		KR 101474185 B1	17 December 2014
		TW 201244353 A	01 November 2012
		KR 20140020930 A	19 February 2014
		US 8941634 B2	27 January 2015
CN 101425268 A	06 May 2009	None	
US 2006158421 A1	20 July 2006	None	

国际检索报告

国际申请号

PCT/CN2015/085567

A. 主题的分类

G09G 3/36(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/36

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS: 栅线, 栅极线, 扫描线, 预充电, 充电, 栅极脉冲, 栅极波形, 扫描脉冲, 扫描波形, 开启电压, 导通电压, gate, scan+, precharge+, charge+, voltage, transistor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104778931 A (京东方科技集团股份有限公司等) 2015年 7月 15日 (2015 - 07 - 15) 全文	1-17
X	CN 103403786 A (夏普株式会社) 2013年 11月 20日 (2013 - 11 - 20) 说明书[0067]-[0111]段和附图1-7	1-17
X	CN 101425268 A (中华映管股份有限公司) 2009年 5月 6日 (2009 - 05 - 06) 说明书第5-7页和附图1-6	1-17
A	US 2006158421 A1 (TOSHIBA KK) 2006年 7月 20日 (2006 - 07 - 20) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 11月 23日

国际检索报告邮寄日期

2015年 12月 18日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

李军

电话号码 (86-10)62085773

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/085567

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104778931	A	2015年 7月 15日	无			
CN	103403786	A	2013年 11月 20日	JP	5336021	B2	2013年 11月 6日
				WO	2012115051	A1	2012年 8月 30日
				US	2013321386	A1	2013年 12月 5日
				KR	101474185	B1	2014年 12月 17日
				TW	201244353	A	2012年 11月 1日
				KR	20140020930	A	2014年 2月 19日
				US	8941634	B2	2015年 1月 27日
CN	101425268	A	2009年 5月 6日	无			
US	2006158421	A1	2006年 7月 20日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)