

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 2 日(02.08.2012)



(10) 国際公開番号

WO 2012/102113 A1

(51) 国際特許分類:
H02P 6/12 (2006.01)

(21) 国際出願番号: PCT/JP2012/050731

(22) 国際出願日: 2012 年 1 月 16 日(16.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-013840 2011 年 1 月 26 日(26.01.2011) JP

(71) 出願人(米国を除く全ての指定国について): 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 大浦 亮一(OURA, Ryoichi) [JP/JP]; 〒1018608 東京都千代田区外神田一丁目 1 8 番 1 3 号 株式会社日立製作所 モノづくり技術事業部内 Tokyo (JP). 栗本裕史(KURIMOTO, Hirofumi) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オー

トモティブシステムズ株式会社内 Ibaraki (JP). 宮岡 修一(MIYAOKA, Shuichi) [JP/JP]; 〒1018608 東京都千代田区外神田一丁目 1 8 番 1 3 号 株式会社日立製作所 モノづくり技術事業部内 Tokyo (JP).

(74) 代理人: 永井 冬紀(NAGAI, Fuyuki); 〒1000011 東京都千代田区内幸町 2 丁目 2 番 2 号 富国生命ビル 永井特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー

[続葉有]

(54) Title: MOTOR CONTROL DEVICE

(54) 発明の名称: モータ制御装置

【図1】

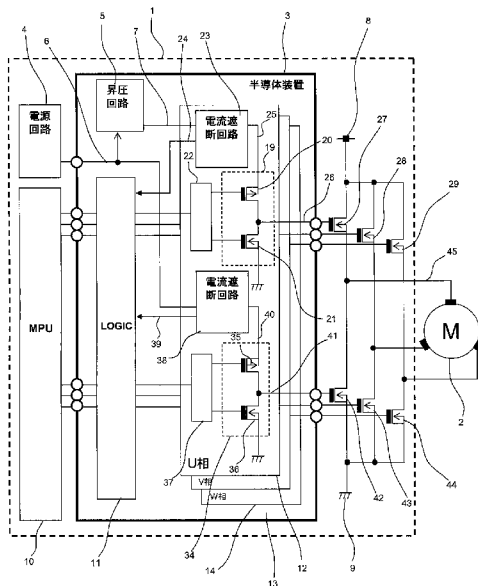


FIG. 1:
3 SEMICONDUCTOR DEVICE
4 POWER CIRCUIT
5 STEP-UP CIRCUIT
12 U PHASE
13 V PHASE
14 W PHASE
23, 38 CURRENT BREAKING CIRCUIT

(57) Abstract: The motor control device of the present invention includes a semiconductor switch element provided on each phase of a three-phase motor to drive the three-phase motor, a pre-driver circuit provided on each phase of a three-phase motor to control the operation of the semiconductor switch elements, a power circuit to supply current to the pre-driver circuit, an arithmetic processing device for calculating and outputting motor control signals, a logic circuit for outputting drive signals for each phase of the three-phase motor on the basis of the motor control signals, a drive circuit for controlling the operation of the pre-driver circuit on the basis of the drive signals, and a current breaking circuit for breaking the supply of current from the power circuit to the pre-driver circuit when the current is equal to or greater than a predetermined value.

(57) 要約: モータ制御装置は、三相モータを駆動するために三相モータの各相ごとに設けられた半導体スイッチ素子と、半導体スイッチ素子の動作を制御するために三相モータの各相ごとに設けられたブリドライバ回路と、ブリドライバ回路へ電流を供給する電源回路と、モータ制御信号を演算して出力する演算処理装置と、モータ制御信号に基づいて三相モータの各相の駆動信号を出力する論理回路と、駆動信号に基づいてブリドライバ回路の動作を制御する駆動回路と、電流が所定値以上であるときに、電源回路からブリドライバ回路への電流の供給を遮断する電流遮断回路とを備える。



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： モータ制御装置

技術分野

[0001] 本発明は、主に車載用の電動パワーステアリング装置、電動ウォーターポンプ装置、電動オイルポンプ装置、インバータ装置等に使用する三相モータを制御するためのモータ制御装置に関する。特に、異常が発生した場合においても安定したモータ駆動を続けることができるモータ制御装置に関する。

背景技術

[0002] 近年、地球環境保全、エネルギー有効利用及び安全性能向上の観点から、車両の重量軽減による燃費の向上等を目的として、従来の油圧によるパワーアシスト装置の代わりに、モータを用いてトルクアシストを行う電動パワーステアリング装置（EPS）が導入されている。電動パワーステアリング装置は、従来の油圧パワーステアリング装置のように常に油圧ポンプを回す必要がなく、必要なときだけモータを回して駆動力をアシストする。そのため、燃費の改善に効果がある。例えば、電動パワーステアリング装置のアシスト用モータには、比較的俊敏で高トルクを発生でき、制御が容易な三相ブラシレスDCモータが用いられている。

[0003] 上記のようなモータの駆動を制御するためのモータ制御装置では、直流電力からモータの駆動電力を発生させるために半導体スイッチ素子が一般に用いられている。こうしたモータ制御装置において、外部要因により発生する誘導ノイズや過渡サージ等の外乱は、半導体スイッチ素子の故障を招くおそれがある。そこで、半導体スイッチ素子の故障を検出するための様々な技術が知られている。

[0004] 例えば、特許文献1には、三相ブラシレスDCモータの駆動回路において、次のような技術が開示されている。すなわち、モータの各相の出力電圧を検出し、いずれか一相の電圧が所望の電圧を満たさない場合は半導体スイッチ素子の異常であると判断する。そして、三相駆動回路の供給電源を遮断させ

る。また、特許文献2には、三相交流モータ駆動用のインバータ回路において、次のような技術が開示されている。すなわち、駆動対象のモータの各相について、インバータ回路内の電源側（ハイサイド）とグランド側（ロウサイド）に半導体スイッチ素子とヒューズをそれぞれ設ける。ヒューズが溶断されたことを故障診断装置により検知することで各相の半導体スイッチ素子の故障を検出する。そして、二相駆動によりモータを応急運転する。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開平11-46491号公報

特許文献2：日本国特開2004-120883号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1に記載された技術では、いずれか一相の半導体スイッチ素子の異常が検出された場合、三相全ての駆動回路の供給電源が遮断される。そのため、それ以上モータ駆動を続けることができない。また、特許文献2に記載された技術では、モータ駆動用の半導体スイッチ素子に対して直列にヒューズが接続される。そのため、許容電流が大きなヒューズを使用する必要があり、コストアップにつながる。

課題を解決するための手段

[0007] 本発明の第1の態様によるモータ制御装置は、三相モータを制御するためのものであって、三相モータを駆動するために三相モータの各相ごとに設けられた半導体スイッチ素子と、半導体スイッチ素子の動作を制御するために三相モータの各相ごとに設けられたプリドライバ回路と、プリドライバ回路へ電流を供給する電源回路と、モータ制御信号を演算して出力する演算処理装置と、演算処理装置から出力されたモータ制御信号に基づいて、三相モータの各相の駆動信号を出力する論理回路と、論理回路から出力された駆動信号に基づいて、プリドライバ回路の動作を制御する駆動回路と、電流が所定

値以上であるときに、電源回路からブリドライバ回路への電流の供給を遮断する電流遮断回路とを備える。

[0008] 本発明の第2の態様によると、第1の態様のモータ制御装置において、半導体スイッチ素子は、各相の高電圧側に設けられたハイサイド半導体スイッチ素子と、各相の低電圧側に設けられたロウサイド半導体スイッチ素子とを含むことが好ましい。また、ブリドライバ回路は、各相のハイサイド半導体スイッチ素子に対応して設けられたハイサイドプッシュプル回路と、各相のロウサイド半導体スイッチ素子に対応して設けられたロウサイドプッシュプル回路とを含むことが好ましい。さらに、電流遮断回路は、ハイサイドプッシュプル回路およびロウサイドプッシュプル回路のいずれか少なくとも一方への電流の供給を遮断することが好ましい。

[0009] 本発明の第3の態様によると、第1または第2の態様のモータ制御装置において、電流遮断回路は、電源回路とブリドライバ回路との間に設けられた電圧フォロワ回路と、電流の大きさを検出する電流検出回路とを含んでもよい。電流検出回路により検出された電流の大きさが所定値以上である場合、電圧フォロワ回路の出力電圧を変化させることにより、電源回路からブリドライバ回路への電流の供給を遮断することが好ましい。

[0010] 本発明の第4の態様によると、第1または第2の態様のモータ制御装置において、電流遮断回路は、電源回路とブリドライバ回路との間に設けられた過電流遮断用ヒューズを含んでもよい。電流の大きさが所定値以上である場合、過電流遮断用ヒューズが溶断することにより、電源回路からブリドライバ回路への電流の供給を遮断することが好ましい。

[0011] 本発明の第5の態様によると、第1または第2の態様のモータ制御装置において、ブリドライバ回路は、三相モータの各相ごとに電源回路に対して並列に接続された複数のプッシュプル回路を含んでもよい。電流遮断回路は、電源回路から複数のプッシュプル回路のいずれか少なくとも1つへの電流の供給を遮断することが好ましい。

[0012] 本発明の第6の態様によると、第1～第5いずれかの態様のモータ制御装

置において、電流遮断回路は、電流が所定値以上であるときに、演算処理装置または論理回路のいずれか少なくとも一方へ故障診断信号を出力することが好ましい。

[0013] 本発明の第7の態様によると、第1～第6いずれかの態様のモータ制御装置は、プリドライバ回路、論理回路、駆動回路および電流遮断回路を少なくとも含む複数の回路を集積化した半導体装置を有してもよい。

発明の効果

[0014] 本発明によれば、異常が発生した場合においても安定したモータ駆動を続けることができるモータ制御装置を低コストで提供することができる。

図面の簡単な説明

[0015] [図1]本発明によるモータ制御装置の一実施形態の構成を示すブロック図である。

[図2]本発明の第1の実施の形態による電流遮断回路の構成例を示すブロック図である。

[図3]本発明の第1の実施の形態に関するタイミングチャートである。

[図4]本発明の第2の実施の形態による電流遮断回路の構成例を示すブロック図である。

[図5]本発明の第3の実施の形態によるプリドライバ回路の構成例を示すブロック図である。

[図6]本発明の第3の実施の形態に関するタイミングチャートである。

[図7]従来技術によるモータ制御装置の構成例を示すブロック図である。

発明を実施するための形態

[0016] (従来技術の説明)

以下に本発明の実施の形態について説明する。最初に、図7を用いて本発明の従来技術についての説明を行う。図7は、従来技術によるモータ制御装置の構成例を示すブロック図である。

[0017] 図7に示すモータ制御装置1'は、三相モータ2の駆動を制御するためのものであり、半導体装置3、電源回路4および演算処理装置(MPU)10

と、バッテリー電圧 8 とグラウンド 9 の間にそれぞれ接続されたモータ駆動用のハイサイド半導体スイッチ素子 27～29 およびロウサイド半導体スイッチ素子 42～44 とを有する。

[0018] 半導体装置 3 は、昇圧回路 5 および論理回路 11 と、三相モータ 2 の U 相、V 相および W 相の各相にそれぞれ対応するプリドライバ回路 12～14 とを有している。これらの各回路は、半導体装置 3 において集積化されており、一体化された集積回路としての半導体装置 3 を構成している。

[0019] プリドライバ回路 12～14 の各々は、ハイサイド半導体スイッチ素子 27～29 に対応するハイサイドプッシュプル回路 19 を構成する半導体スイッチ素子 20 および 21 と、ロウサイド半導体スイッチ素子 42～44 に対応するロウサイドプッシュプル回路 34 を構成する半導体スイッチ素子 35 および 36 と、これらのプッシュプル回路 19、34 の動作をそれぞれ制御する駆動回路 22、37 とを有する。なお、図 7 では各相のプリドライバ回路 12～14 を代表して U 相のプリドライバ回路 12 の構成を図示しているが、他の V 相、W 相のプリドライバ回路 13、14 も同様の構成を有している。したがって、以下では、各相のプリドライバ回路 12～14 を代表して、U 相のプリドライバ回路 12 の動作を中心に説明を行うこととする。

[0020] 電源回路 4 は、所定の電源電圧を生成して半導体装置 3 へ出力する。半導体装置 3 において入力された電源電圧は、電源供給配線 6 を介して昇圧回路 5 およびプリドライバ回路 12 のロウサイドプッシュプル回路 34 へ供給される。昇圧回路 5 は、電源回路 4 から電源供給配線 6 を介して供給された電源電圧を昇圧し、電源電圧よりも高い昇圧電圧を昇圧電圧供給配線 7 を介してプリドライバ回路 12 のハイサイドプッシュプル回路 19 へ供給する。これは、ハイサイド半導体スイッチ素子 27 をオンするためにハイサイドプッシュプル回路 19 からハイサイド半導体スイッチ素子 27 へ出力するゲートソース間電圧は、U 相のモータ出力配線 45 におけるモータ駆動出力の電圧レベルよりも高くする必要があるためである。プリドライバ回路 12 では、こうして電源回路 4 から供給された電源電圧およびそれを昇圧した昇圧電

圧によって電流が流れる。これにより、電源回路 4 からプリドライバ回路 12 への電流供給が行われる。

[0021] 演算処理装置 10 は、モータ 2 の回転状態や外部からの指令に基づいてモータ制御信号を演算し、論理回路 11 へ出力する。論理回路 11 は、演算処理装置 10 から出力されたモータ制御信号に基づいて、プリドライバ回路 12 の動作を制御するための駆動信号を生成し、プリドライバ回路 12 へ出力する。

[0022] プリドライバ回路 12 では、論理回路 11 から出力された駆動信号に基づいて、駆動回路 22、37 により、ハイサイドプッシュプル回路 19 の動作とロウサイドプッシュプル回路 34 の動作をそれぞれ制御する。駆動回路 22 は、駆動信号に応じてハイサイドプッシュプル回路 19 の半導体スイッチ素子 20 または 21 のいずれか一方をオンさせる。これにより、プリドライバ回路 12 からプリドライバ出力配線 26 を介して、昇圧電圧またはグラウンド電圧がハイサイド半導体スイッチ素子 27 のゲート端子へ出力され、ハイサイド半導体スイッチ素子 27 の動作が制御される。

[0023] 駆動回路 37 も駆動回路 22 と同様に、駆動信号に応じてロウサイドプッシュプル回路 34 の半導体スイッチ素子 35 または 36 のいずれか一方をオンさせる。これにより、プリドライバ回路 12 からプリドライバ出力配線 41 を介して、電源電圧またはグラウンド電圧がロウサイド半導体スイッチ素子 42 のゲート端子へ出力され、ロウサイド半導体スイッチ素子 42 の動作が制御される。

[0024] ここで、モータ制御装置 1' の故障発生原因について説明する。モータ制御装置 1' は、例えば車両に搭載される電動パワーステアリング装置などにおいて使用される。その場合、操舵補助力をモータ 2 から出力する際などに、外部要因の影響により誘導ノイズや過渡サージ等の外乱が生じることがある。これらの外乱は、ハイサイド半導体スイッチ素子 27～29 やロウサイド半導体スイッチ素子 42～44 のドレインソース間またはゲートソース間における接合破壊を引き起こし、短絡故障の原因となり得る。

[0025] 上記のような短絡故障がハイサイド半導体スイッチ素子27～29またはロウサイド半導体スイッチ素子42～44において発生すると、当該スイッチ素子に対応して設けられたハイサイドプッシュプル回路19の半導体スイッチ素子20、21またはロウサイドプッシュプル回路34の半導体スイッチ素子35、36の接合破壊を誘発し、短絡故障を引き起こすおそれがある。例えば、U相のプリドライバ回路12において半導体スイッチ素子20が短絡故障を起こした状態で半導体スイッチ素子21がオンされると、昇圧回路5から昇圧電圧供給配線7を介してグランドへ貫通電流が流れる。この場合の貫通電流は大電流であるため、回路故障を招くおそれがある。

[0026] また、例えばU相のプリドライバ回路12においてハイサイドプッシュプル回路19の半導体スイッチ素子20がある程度の抵抗値を持った状態で短絡故障をした場合、常に半導体スイッチ素子20において貫通電流が流れることになるため、昇圧回路5から供給される昇圧電圧の低下を引き起こす。近年の車載機器では機能安全に関する規制が厳しくなる傾向にあるため、半導体スイッチ素子20が短絡故障を起こした場合でも、モータ制御装置1'に対して要求される最低限のシステム性能を成立させなくてはならない。そこで、短絡故障時に最低限のモータ駆動補償を実現するために、モータ制御装置1'では、短絡故障が起きていない他の二相（ここではV相およびW相）を用いた二相駆動によりモータ2を駆動することができるようになっている。しかし、上記のような昇圧電圧の低下は、二相駆動によるモータ2の駆動に悪影響を及ぼすことになる。これは、ロウサイドプッシュプル回路34の半導体スイッチ素子35が短絡故障した場合に電源回路4から供給される電源電圧においても同様である。

[0027] そこで本発明では、上述のプリドライバ回路12～14における半導体スイッチ素子20、21または半導体スイッチ素子35、36の接合破壊による他の二相への悪影響を低減させ、安定したモータ駆動を続けることができるようにすることを目的の一つとする。なお、この目的を実現するための方法の一つとして、各相ごとに電源回路4を設けることも考えられるが、これ

は装置全体のコストアップを招くために現実的ではない。したがって、上記目的を低コストで実現できることをさらに目的の一つとする。

[0028] (本発明の説明)

図1は、本発明によるモータ制御装置の一実施形態の構成を示すブロック図である。図1のモータ制御装置1は、図7のモータ制御装置1'と比較して、各相のハイサイドプッシュプル回路19と昇圧回路5の間に電流遮断回路23を設けた点と、各相のロウサイドプッシュプル回路34と電源回路4の間に電流遮断回路38を設けた点とが異なっている。なお、図1ではU相のプリドライバ回路12を代表例として図示しているが、V相のプリドライバ回路13およびW相のプリドライバ回路14においても同様に、電流遮断回路23および38がそれぞれ設けられている。

[0029] 本発明の特徴は、図1に示すように、モータ制御装置1の各相に電流遮断回路23および38を設けたことにある。各相の電流遮断回路23および38は、プリドライバ回路12～14の半導体スイッチ素子20、21、35または36が接合破壊のために短絡故障して大電流が流れたときに、当該スイッチ素子が設けられたプリドライバ回路12、13または14に流れる電流を遮断する。これにより、大電流による回路故障を防ぐと共に、昇圧回路5から出力される昇圧電圧または電源回路4から供給される電源電圧の低下を防ぐことができる。その結果、他の二相に供給される昇圧電圧または電源電圧には影響がないため、残り二相では正常出力が可能となる。

[0030] 以下、図1の電流遮断回路23、38の実施形態について、図2～図6を参照して詳細に説明する。

[0031] (第1の実施の形態)

本発明の第1の実施の形態による電流遮断回路23、38の構成について、図2と図3を使用して説明する。

[0032] 図2は、本発明の第1の実施の形態による電流遮断回路23の構成例を示すブロック図である。図2に示すように、本実施形態の電流遮断回路23は、オペアンプ46および47、フィルタ回路48、電流検出抵抗50、電流

制限抵抗 51、スイッチ素子 54 および電流検出回路 93 を有している。なお、ここでは電流遮断回路 23 を代表例として示しているが、電流遮断回路 38 も同様の構成を有している。

[0033] オペアンプ 46 は、昇圧回路 5 からの昇圧電圧供給配線 7 とハイサイドプッシュプル回路 19 に繋がる昇圧電圧出力配線 25 との間に設けられている。このオペアンプ 46 により、昇圧回路 5 から出力された昇圧電圧をハイサイドプッシュプル回路 19 へ供給するための電圧フォロフ回路が構成される。なお、昇圧回路 5 は、図 1 に示すように電源回路 4 と接続されている。すなわち、電源回路 4 とプリドライバ回路 12 内のハイサイドプッシュプル回路 19 との間に、オペアンプ 46 によって構成された電圧フォロフ回路が設けられている。

[0034] なお、電流遮断回路 38 でも同様に、電源回路 4 からの電源供給配線 6 とロウサイドプッシュプル回路 34 に繋がる電源出力配線 40（図 1 参照）との間にオペアンプ 46 が設けられている。すなわち、電源回路 4 とプリドライバ回路 12 内のロウサイドプッシュプル回路 34 との間に、オペアンプ 46 によって構成された電圧フォロフ回路が設けられている。

[0035] ここで図 2 に戻って電流遮断回路 23 の説明を続ける。図 2 において、オペアンプ 46 からの出力電圧により電流検出抵抗 50 を流れる電流 92 の大きさは、電流検出回路 93 により検出される。電流検出回路 93 は、電流 92 の検出値に応じた電流検出電圧をオペアンプ 47 へ出力する。この電流検出電圧は、オペアンプ 47 の非反転入力側に入力される。

[0036] オペアンプ 47 は、非反転入力側に入力された電流検出回路 93 からの電流検出電圧と、反転入力側に入力される基準電圧 95 とを比較し、その比較結果に応じたコンパレータ出力をフィルタ回路 48 へ出力する。フィルタ回路 48 を通過したコンパレータ出力と演算処理装置 10 から出力された演算処理装置信号との論理和が、スイッチ素子 54 のゲート端子へスイッチ素子駆動信号として出力される。

[0037] また、フィルタ回路 48 を通過したコンパレータ出力は、故障診断出力 2

4として論理回路11へ出力される。論理回路11では、電流遮断回路23から故障診断出力24が出力されることにより、異常の発生を検知することができる。なお、故障診断出力24を論理回路11ではなく演算処理装置10へ出力するようにしてもよい。あるいは、論理回路11と演算処理装置10の両方へ故障診断出力24を出力してもよい。

[0038] なお、電流遮断回路38では、フィルタ回路48を通過したオペアンプ47からのコンパレータ出力は、故障診断出力39（図1参照）として論理回路11へ出力される。この故障診断出力39も故障診断出力24と同様に、論理回路11ではなく演算処理装置10へ出力してもよいし、論理回路11と演算処理装置10の両方へ出力してもよい。

[0039] 次に電流遮断回路23の動作を説明する。ハイスайдプッシュプル回路19が正常である場合、電流検出抵抗50に流れる電流92は比較的小さいため、電流検出回路93から出力される電流検出電圧は基準電圧95未満となる。そのため、オペアンプ47から出力されるコンパレータ出力はロウレベルとなり、スイッチ素子54はオフ状態となる。これにより、昇圧回路5から昇圧電圧供給配線7を介してオペアンプ46の電圧フォロワ回路へ入力された昇圧電圧が昇圧電圧出力配線25を介してハイスайдプッシュプル回路19へ出力される。また、オペアンプ47から出力されるコンパレータ出力がロウレベルであるため、故障診断出力24もロウレベルとなる。すなわち、故障を示すハイレベルの故障診断出力24は出力されない。

[0040] 一方、ハイスайдプッシュプル回路19において、例えば半導体スイッチ素子20が短絡故障した場合、前述のように昇圧回路5から昇圧電圧供給配線7を介してグランドへ貫通電流が流れる。この貫通電流は、電流検出回路93において、電流検出抵抗50に流れる電流92として検出される。所定値以上の貫通電流を電流92として検出することにより、電流検出回路93から出力される電流検出電圧が基準電圧95を超えると、オペアンプ47から出力されるコンパレータ出力がハイレベルとなる。これにより、スイッチ素子54がオン状態になると共に、故障を示すハイレベルの故障診断出力2

4 が出力される。

[0041] スイッチ素子 54 がオンすると、オペアンプ 46 の電圧フォロフ回路からの出力電圧が変化し、ロウレベルに固定される。その結果、昇圧回路 5 からの昇圧電圧はオペアンプ 46 において遮断され、ハイサイドプッシュプル回路 19 へ供給されなくなる。これにより、昇圧回路 5 を介した電源回路 4 からプリドライバ回路 12 への電流供給が遮断される。

[0042] なお、電流遮断回路 38 でも同様に、所定値以上の貫通電流を検出することにより電流検出回路 93 から出力される電流検出電圧が基準電圧 95 を超えると、故障を示すハイレベルの故障診断出力 39 が出力される。すると、スイッチ素子 54 がオン状態となり、オペアンプ 46 の電圧フォロフ回路からの出力電圧がロウレベルに固定される。その結果、電源回路 4 からの電源電圧がオペアンプ 46 において遮断されてロウサイドプッシュプル回路 34 へ供給されなくなる。これにより、電源回路 4 からプリドライバ回路 12 への電流供給が遮断される。

[0043] また、電流遮断回路 23 では、半導体スイッチ素子 20 の短絡故障が発生していない場合に、演算処理装置 10 から出力される演算処理装置信号によってスイッチ素子 54 のオンオフを制御することもできる。すなわち、予め定められた電流遮断条件を満たすか否かを演算処理装置 10 において判断し、電流遮断条件を満たすと判断した場合は演算処理装置 10 から電流遮断回路 23 へ演算処理装置信号を出力することで、電源回路 4 からプリドライバ回路 12 への電流供給を強制的に遮断することができる。これは、電流遮断回路 38 においても同様である。

[0044] 図 3 は、本発明の第 1 の実施の形態における電流遮断時のタイミングチャートである。ハイサイドプッシュプル回路 19 において半導体スイッチ素子 20 の故障が発生すると、電流検出抵抗 50 に流れる電流 92 が上昇し始めることにより、電流検出回路 93 からの電流検出出力が符号 102 に示すように上昇する。また、これと同時に、昇圧回路 5 からプリドライバ回路 12 の昇圧電圧出力配線 25 へ出力される昇圧電圧は、符号 101 に示すように

、正常時の電圧 58 から低下し始める。

[0045] 電流検出回路 93 からの電流検出出力が基準電圧 95 に達すると、オペアンプ 47 からのコンパレータ出力は、符号 103 に示すようにロウレベルからハイレベルへと変化する。このコンパレータ出力の立上リエッジから符号 56 に示す所定のフィルタ時間が経過すると、符号 104 および 105 に示すように、故障診断出力 24 と、スイッチ素子 54 へ出力されるスイッチ素子駆動信号とがロウレベルからハイレベルへと変換し、それに応じて、オペアンプ 46 の出力電圧がロウレベルに固定される。その結果、昇圧回路 5 からプリドライバ回路 12 の昇圧電圧出力配線 25 へ出力される昇圧電圧が、符号 101 に示すように異常時の電圧 59 まで低下し、プリドライバ回路 12 への電流供給が遮断される。

[0046] 以上説明したようにして、電流遮断回路 23 により短絡故障時の貫通電流を遮断することにより、プリドライバ回路 12 における半導体スイッチ素子 20、21 の接合破壊による他の二相への悪影響を低減させることができる。その結果、異常が発生した場合においても安定したモータ駆動を続けることができる。なお、電流遮断回路 38 でも同様に、半導体スイッチ素子 35、36 の接合破壊による他の二相への悪影響を低減させ、異常が発生した場合においても安定したモータ駆動を続けることができる。さらに、U 相以外の二相、すなわち V 相および W 相についても同様である。

[0047] 以上説明した本発明の第 1 の実施の形態によれば、次の作用効果を奏する。

[0048] (1) 三相モータ 2 を制御するためのモータ制御装置 1 は、三相モータ 2 を駆動するために三相モータ 2 の各相ごとに設けられたハイサイド半導体スイッチ素子 27～29 およびロウサイド半導体スイッチ素子 42～44 と、ハイサイド半導体スイッチ素子 27～29 およびロウサイド半導体スイッチ素子 42～44 の動作を制御するために三相モータ 2 の各相ごとに設けられたプリドライバ回路 12～14 と、プリドライバ回路 12～14 へ電流を供給する電源回路 4 と、モータ制御信号を演算して出力する演算処理装置 10 と

、演算処理装置 10 から出力されたモータ制御信号に基づいて三相モータ 2 の各相の駆動信号を出力する論理回路 11 と、論理回路 11 から出力された駆動信号に基づいてプリドライバ回路 12～14 の動作を制御する駆動回路 22、37 と、上記電流が所定値以上であるときに電源回路 4 からプリドライバ回路 12～14 への電流の供給を遮断する電流遮断回路 23、38 とを備える。このようにしたので、異常が発生した場合においても安定したモータ駆動を続けることができるモータ制御装置 1 を低コストで提供することができる。

[0049] (2) プリドライバ回路 12～14 は、各相のハイサイド半導体スイッチ素子 27～29 に対応して設けられたハイサイドプッシュプル回路 19 と、各相のロウサイド半導体スイッチ素子 42～44 に対応して設けられたロウサイドプッシュプル回路 34 とを含み、電流遮断回路 23、38 は、ハイサイドプッシュプル回路 19 およびロウサイドプッシュプル回路 34 のいずれか少なくとも一方への電流の供給を遮断するようにした。これにより、ハイサイド半導体スイッチ素子 27～29 およびロウサイド半導体スイッチ素子 42～44 の動作をハイサイドプッシュプル回路 19 およびロウサイドプッシュプル回路 34 によりそれぞれ適切に制御しつつ、ハイサイドプッシュプル回路 19 およびロウサイドプッシュプル回路 34 のいずれか少なくとも一方に異常が発生した場合は、その回路への電流供給を遮断して安定したモータ駆動を続けることができる。

[0050] (3) 電流遮断回路 23、38 は、電源回路 4 とプリドライバ回路 12～14 との間に設けられたオペアンプ 46 による電圧フォロワ回路と、プリドライバ回路 12～14 へ供給される電流の大きさを検出する電流検出回路 93 とを含み、電流検出回路 93 により検出された電流の大きさが所定値以上である場合、オペアンプ 46 による電圧フォロワ回路の出力電圧を変化させることにより、電源回路 4 からプリドライバ回路 12～14 への電流の供給を遮断するようにした。これにより、プリドライバ回路 12～14 において発生した異常を確実に検知して電流供給を遮断することができる。

[0051] (4) 電流遮断回路 23、38 は、プリドライバ回路 12～14 へ供給される電流が所定値以上であるときに、演算処理装置 10 または論理回路 11 のいずれか少なくとも一方へ故障診断信号 24、39 をそれぞれ出力するようにした。これにより、プリドライバ回路 12～14 において異常が発生したことをモータ制御装置 1 のシステム全体で把握し、必要に応じてユーザへの警告等の措置を講じることができる。

[0052] (5) モータ制御装置 1 は、プリドライバ回路 12～14、論理回路 11、駆動回路 22、37 および電流遮断回路 23、38 を少なくとも含む複数の回路を集積化した半導体装置 3 を有することとした。これにより、モータ制御装置 1 の小型化および低コスト化を図ることができる。

[0053] (第 2 の実施の形態)

本発明の第 2 の実施の形態による電流遮断回路 23、38 の構成について、図 4 を使用して説明する。

[0054] 図 4 は、本発明の第 2 の実施の形態による電流遮断回路 23 の構成例を示すブロック図である。本実施形態による電流遮断回路 23 は、図 2 に示した第 1 の実施の形態によるものと比べて、オペアンプ 46、電流検出抵抗 50、電流制限抵抗 51、スイッチ素子 54 および電流検出回路 93 の代わりに、ダイオード 49 および過電流遮断用ヒューズ 57 を有する点が異なっている。なお、ここでは電流遮断回路 23 を代表例として示しているが、電流遮断回路 38 も同様の構成を有している。

[0055] 過電流遮断用ヒューズ 57 は、図 2 のオペアンプ 46 と同様に、昇圧回路 5 からの昇圧電圧供給配線 7 とハイサイドプッシュプル回路 19 に繋がる昇圧電圧出力配線 25 との間に設けられている。すなわち、電源回路 4 とプリドライバ回路 12 内のハイサイドプッシュプル回路 19 との間に過電流遮断用ヒューズ 57 が設けられている。なお、電流遮断回路 38 でも同様に、電源回路 4 とプリドライバ回路 12 内のロウサイドプッシュプル回路 34 との間に過電流遮断用ヒューズ 57 が設けられている。

[0056] オペアンプ 47 は、非反転入力側に入力される過電流遮断用ヒューズ 57

の出力側電圧と、ダイオード４９を介して反転入力側に入力される過電流遮断用ヒューズ５７の入力側電圧とを比較し、その比較結果に応じたコンパレータ出力をフィルタ回路４８へ出力する。このコンパレータ出力は、反転されてフィルタ回路４８を通過した後、故障診断出力２４として論理回路１１へ出力される。なお、先に説明した第１の実施の形態の場合と同様に、故障診断出力２４を論理回路１１ではなく演算処理装置１０へ出力するようにしてもよいし、論理回路１１と演算処理装置１０の両方へ出力してもよい。この点は、電流遮断回路３８から出力される故障診断出力３９についても同様である。

[0057] ハイサイドプッシュプル回路１９が正常である場合、過電流遮断用ヒューズ５７に流れる電流は比較的小さいため、過電流遮断用ヒューズ５７は溶断しない。そのため、昇圧回路５から昇圧電圧供給配線７を介して入力された昇圧電圧が過電流遮断用ヒューズ５７および昇圧電圧出力配線２５を介してハイサイドプッシュプル回路１９へ出力される。また、オペアンプ４７の非反転入力側の電圧は、反転入力側の電圧よりもダイオード４９のドロップ電圧分だけ高いため、オペアンプ４７からのコンパレータ出力はハイレベルとなる。そのため、コンパレータ出力を反転した故障診断出力２４はロウレベルとなって出力されない。

[0058] 一方、ハイサイドプッシュプル回路１９において、例えば半導体スイッチ素子２０が短絡故障した場合、昇圧回路５から昇圧電圧供給配線７を介してグラウンドへ比較的大きな貫通電流が流れる。所定値以上の貫通電流が流れると、過電流遮断用ヒューズ５７が溶断されることにより昇圧回路５からの昇圧電圧が遮断され、ハイサイドプッシュプル回路１９へ供給されなくなる。これにより、昇圧回路５を介した電源回路４からプリドライバ回路１２への電流供給が遮断される。また、昇圧回路５からの昇圧電圧が遮断されることにより、オペアンプ４７の非反転入力側の電圧よりも反転入力側の電圧の方が高くなり、オペアンプ４７からのコンパレータ出力がロウレベルとなる。そのため、コンパレータ出力を反転した故障診断出力２４がハイレベルとな

って出力される。

[0059] 以上説明した本発明の第2の実施の形態によれば、第1の実施の形態で説明した(1)、(2)、(4)および(5)の各作用効果に加えて、さらに次の(6)のような作用効果を奏する。

[0060] (6) 電流遮断回路23、38は、電源回路4とプリドライバ回路12～14との間に設けられた過電流遮断用ヒューズ57を含み、プリドライバ回路12～14へ供給される電流の大きさが所定値以上である場合、過電流遮断用ヒューズ57が溶断することにより、電源回路4からプリドライバ回路12～14への電流の供給を遮断するようにした。これにより、プリドライバ回路12～14において発生した異常を確実に検知して電流供給を遮断することができる。

[0061] (第3の実施の形態)

本発明の第3の実施の形態による電流遮断回路23、38の構成について、図5と図6を使用して説明する。

[0062] 図5は、本発明の第3の実施の形態によるプリドライバ回路12の構成例を示すブロック図である。本実施形態によるプリドライバ回路12は、図1に示した第1の実施の形態によるものと比べて、ハイサイドプッシュプル回路19およびロウサイドプッシュプル回路34をそれぞれ複数のプッシュプル回路に分割した点が主に異なっている。すなわち、ハイサイドプッシュプル回路19には、半導体スイッチ素子62および65により構成されるプッシュプル回路と、半導体スイッチ素子63および66により構成されるプッシュプル回路と、半導体スイッチ素子64および67により構成されるプッシュプル回路とが、昇圧電圧供給配線7および昇圧回路5を介して、電源回路4に対して並列に接続されている。また、ロウサイドプッシュプル回路34には、半導体スイッチ素子77および80により構成されるプッシュプル回路と、半導体スイッチ素子78および81により構成されるプッシュプル回路と、半導体スイッチ素子79および82により構成されるプッシュプル回路とが、電源供給配線6を介して、電源回路4に対して並列に接続されて

いる。なお、ここではハイサイドプッシュプル回路 19 およびロウサイドプッシュプル回路 34 において 3 つのプッシュプル回路をそれぞれ並列に接続した例を示したが、並列するプッシュプル回路の列はこれに限定されない。また、ここでは U 相のプリドライバ回路 12 を代表例として示しているが、他の V 相、W 相のプリドライバ回路 13、14 も同様の構成を有している。

[0063] ハイサイドプッシュプル回路 19 を構成する各プッシュプル回路には、図 4 に示した第 2 の実施の形態による電流遮断回路 23 と同様の電流遮断回路が、昇圧電圧供給配線 7 側とグラウンド側にそれぞれ接続されている。すなわち、オペアンプ 47、フィルタ回路 48 および過電流遮断用ヒューズ 57 が、各プッシュプル回路の昇圧電圧供給配線 7 側とグラウンド側にそれぞれ接続されている。また、ロウサイドプッシュプル回路 34 を構成する各プッシュプル回路にも同様に、オペアンプ 47、フィルタ回路 48 および過電流遮断用ヒューズ 57 が、各プッシュプル回路の電源供給配線 6 側とグラウンド側にそれぞれ接続されている。

[0064] ハイサイドプッシュプル回路 19 の昇圧電圧供給配線 7 側の各オペアンプ 47 と、ロウサイドプッシュプル回路 34 の電源供給配線 6 側の各オペアンプ 47 とは、非反転入力側に入力される過電流遮断用ヒューズ 57 の出力側電圧（半導体スイッチ素子 62～64 または 77～79 のソース端子電圧）と、共通のダイオード 49 を介して反転入力側に入力される過電流遮断用ヒューズ 57 の入力側電圧（昇圧電圧または電源電圧）とを比較し、その比較結果に応じたコンパレータ出力をフィルタ回路 48 へそれぞれ出力する。これらのコンパレータ出力は、第 2 の実施の形態と同様に反転されて各フィルタ回路 48 を通過した後、故障診断出力 71～73 および 86～88 として論理回路 11 へそれぞれ出力される。

[0065] 一方、ハイサイドプッシュプル回路 19 およびロウサイドプッシュプル回路 34 のグラウンド側の各オペアンプ 47 は、非反転入力側に入力される過電流遮断用ヒューズ 57 の入力側電圧（半導体スイッチ素子 65～67 または 80～82 のソース端子電圧）と、反転入力側に入力される所定の基準電圧

70または85とを比較し、その比較結果に応じたコンパレータ出力をフィルタ回路48へそれぞれ出力する。これらのコンパレータ出力は反転されて各フィルタ回路48を通過し、故障診断出力74～76および89～91として論理回路11へそれぞれ出力される。

[0066] なお、第1および第2の実施の形態で説明したように、上記の各故障診断出力を論理回路11ではなく演算処理装置10へ出力するようにしてもよいし、論理回路11と演算処理装置10の両方へ出力してもよい。

[0067] 例えば、プリドライバ出力配線26を介して半導体スイッチ素子62～64と接続されたハイサイド半導体スイッチ素子27が短絡故障すると、半導体スイッチ素子62～64に誘電ノイズや過渡サージが印加される。ここで、一般的に半導体スイッチ素子は、製造バラツキや配線の寄生抵抗の影響により、オン抵抗値において個体ごとにバラツキを有する。これにより、半導体スイッチ素子62～64のうちオン抵抗値が最も小さいものに多くの電流が流れるため、半導体スイッチ素子62～64において短絡故障の発生状態に差が生じる。例えば、半導体スイッチ素子62のオン抵抗が最も小さい場合、半導体スイッチ素子62が最初に短絡故障することになる。

[0068] 上記のようにして半導体スイッチ素子62が短絡故障した場合、第2の実施の形態で説明したのと同様に、昇圧回路5から昇圧電圧供給配線7を介してグランドへ比較的大きな貫通電流が流れる。この貫通電流が所定値以上になると、半導体スイッチ素子62および65によって構成されるプッシュプル回路と接続されている過電流遮断用ヒューズ57が熔断されることにより、昇圧回路5からの昇圧電圧が遮断され、当該プッシュプル回路へ供給されなくなる。これにより、昇圧回路5を介した電源回路4から当該プリドライバ回路への電流供給が遮断される。

[0069] この場合、半導体スイッチ素子62および65によって構成されるプッシュプル回路への電流供給のみが遮断されるため、その他の半導体スイッチ素子63および66によって構成されるプッシュプル回路と、半導体スイッチ素子64および67によって構成されるプッシュプル回路とは、正常に動作

することが可能となる。これにより、プリドライバ回路 12 によるハイサイド半導体スイッチ素子 27 の動作制御性能は低下するものの、三相全てを用いたモータ 2 の駆動を継続することができる。

[0070] また、半導体スイッチ素子 62 および 65 によって構成されるプッシュプル回路について昇圧回路 5 からの昇圧電圧が遮断されると、当該プッシュプル回路に接続されているオペアンプ 47 において、非反転入力側の電圧よりも反転入力側の電圧の方が高くなり、コンパレータ出力がロウレベルとなる。その結果、故障診断出力 71 がハイレベルとなって出力される。

[0071] 図 6 は、本発明の第 3 の実施の形態における電流遮断時のタイミングチャートである。論理回路 11 からプリドライバ回路 12 へ入力される駆動信号（制御信号）が符号 106 に示すようにロウレベルからハイレベルに変化すると、プリドライバ回路 12 からプリドライバ出力配線 26 を介してハイサイド半導体スイッチ素子 27 のゲート端子へ出力されるプリドライバ出力電圧が符号 107 に示すように正常時の電圧 60 まで上昇する。

[0072] ハイサイドプッシュプル回路 19 において半導体スイッチ素子 62 の短絡故障が発生し、昇圧回路 5 から昇圧電圧供給配線 7 および半導体スイッチ素子 62、65 を介してグランドへ流れる貫通電流が所定値以上になると、過電流遮断用ヒューズ 57 が溶断し、昇圧回路 5 から半導体スイッチ素子 62 への昇圧電圧が遮断される。すると、プリドライバ出力電圧が符号 107 に示すように、残りの半導体スイッチ素子 63 および 64 のオン抵抗値に応じたドロップ電圧分だけ変化し、異常時の電圧 61 まで低下していく。また、オペアンプ 47 の非反転入力側に入力されるコンパレータ入力、すなわち半導体スイッチ素子 62 のソース端子電圧も、符号 108 に示すように低下する。

[0073] コンパレータ入力の低下分がダイオード 49 のドロップ電圧に応じた基準電圧 52 を超えると、オペアンプ 47 からのコンパレータ出力が符号 109 に示すようにハイレベルからロウレベルに変化する。このコンパレータ出力の立下りエッジから符号 56 に示す所定のフィルタ時間が経過すると、符号

110に示すように故障診断出力71がロウレベルからハイレベルへと変換し、論理回路11に出力される。

[0074] 以上説明した本発明の第3の実施の形態によれば、第2の実施の形態で説明した(1)、(2)、(4)および(5)の各作用効果に加えて、さらに次の(7)のような作用効果を奏する。

[0075] (7) プリドライバ回路12～14は、三相モータ2の各相ごとに電源回路4に対して並列に接続された複数のプッシュプル回路を含み、オペアンプ47、フィルタ回路48および過電流遮断用ヒューズ57によって構成される電流遮断回路は、電源回路4から複数のプッシュプル回路のいずれか少なくとも1つへの電流の供給を遮断するようにした。これにより、プリドライバ回路12～14においていずれかのプッシュプル回路に異常が発生した場合であっても、三相全てを用いたモータ2の駆動を継続することができる。

[0076] なお、以上説明した各実施の形態では、車両に搭載される電動パワーステアリング装置などに使用されるモータ制御装置を例として説明したが、本発明の適用範囲はこれに限定されず、様々な用途のモータ制御装置において適用することができる。以上の説明はあくまで一例であり、本発明は上記実施形態の構成に何ら限定されるものではない。

[0077] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願2011年第13840号(2011年1月26日出願)

請求の範囲

[請求項1]

三相モータを制御するためのモータ制御装置であって、
前記三相モータを駆動するために前記三相モータの各相ごとに設けられた半導体スイッチ素子と、
前記半導体スイッチ素子の動作を制御するために前記三相モータの各相ごとに設けられたプリドライバ回路と、
前記プリドライバ回路へ電流を供給する電源回路と、
モータ制御信号を演算して出力する演算処理装置と、
前記演算処理装置から出力されたモータ制御信号に基づいて、前記三相モータの各相の駆動信号を出力する論理回路と、
前記論理回路から出力された駆動信号に基づいて、前記プリドライバ回路の動作を制御する駆動回路と、
前記電流が所定値以上であるときに、前記電源回路から前記プリドライバ回路への前記電流の供給を遮断する電流遮断回路とを備えるモータ制御装置。

[請求項2]

請求項1に記載のモータ制御装置において、
前記半導体スイッチ素子は、各相の高電圧側に設けられたハイサイド半導体スイッチ素子と、各相の低電圧側に設けられたロウサイド半導体スイッチ素子とを含み、
前記プリドライバ回路は、各相の前記ハイサイド半導体スイッチ素子に対応して設けられたハイサイドプッシュプル回路と、各相の前記ロウサイド半導体スイッチ素子に対応して設けられたロウサイドプッシュプル回路とを含み、
前記電流遮断回路は、前記ハイサイドプッシュプル回路および前記ロウサイドプッシュプル回路のいずれか少なくとも一方への前記電流の供給を遮断するモータ制御装置。

[請求項3]

請求項1または2に記載のモータ制御装置において、
前記電流遮断回路は、

前記電源回路と前記プリドライバ回路との間に設けられた電圧フォロワ回路と、

前記電流の大きさを検出する電流検出回路とを含み、

前記電流検出回路により検出された前記電流の大きさが前記所定値以上である場合、前記電圧フォロワ回路の出力電圧を変化させることにより、前記電源回路から前記プリドライバ回路への前記電流の供給を遮断するモータ制御装置。

[請求項4]

請求項 1 または 2 に記載のモータ制御装置において、

前記電流遮断回路は、

前記電源回路と前記プリドライバ回路との間に設けられた過電流遮断用ヒューズを含み、

前記電流の大きさが前記所定値以上である場合、前記過電流遮断用ヒューズが溶断することにより、前記電源回路から前記プリドライバ回路への前記電流の供給を遮断するモータ制御装置。

[請求項5]

請求項 1 または 2 に記載のモータ制御装置において、

前記プリドライバ回路は、前記三相モータの各相ごとに前記電源回路に対して並列に接続された複数のプッシュプル回路を含み、

前記電流遮断回路は、前記電源回路から前記複数のプッシュプル回路のいずれか少なくとも 1 つへの前記電流の供給を遮断するモータ制御装置。

[請求項6]

請求項 1 乃至 5 のいずれか一項に記載のモータ制御装置において、

前記電流遮断回路は、前記電流が所定値以上であるときに、前記演算処理装置または前記論理回路のいずれか少なくとも一方へ故障診断信号を出力するモータ制御装置。

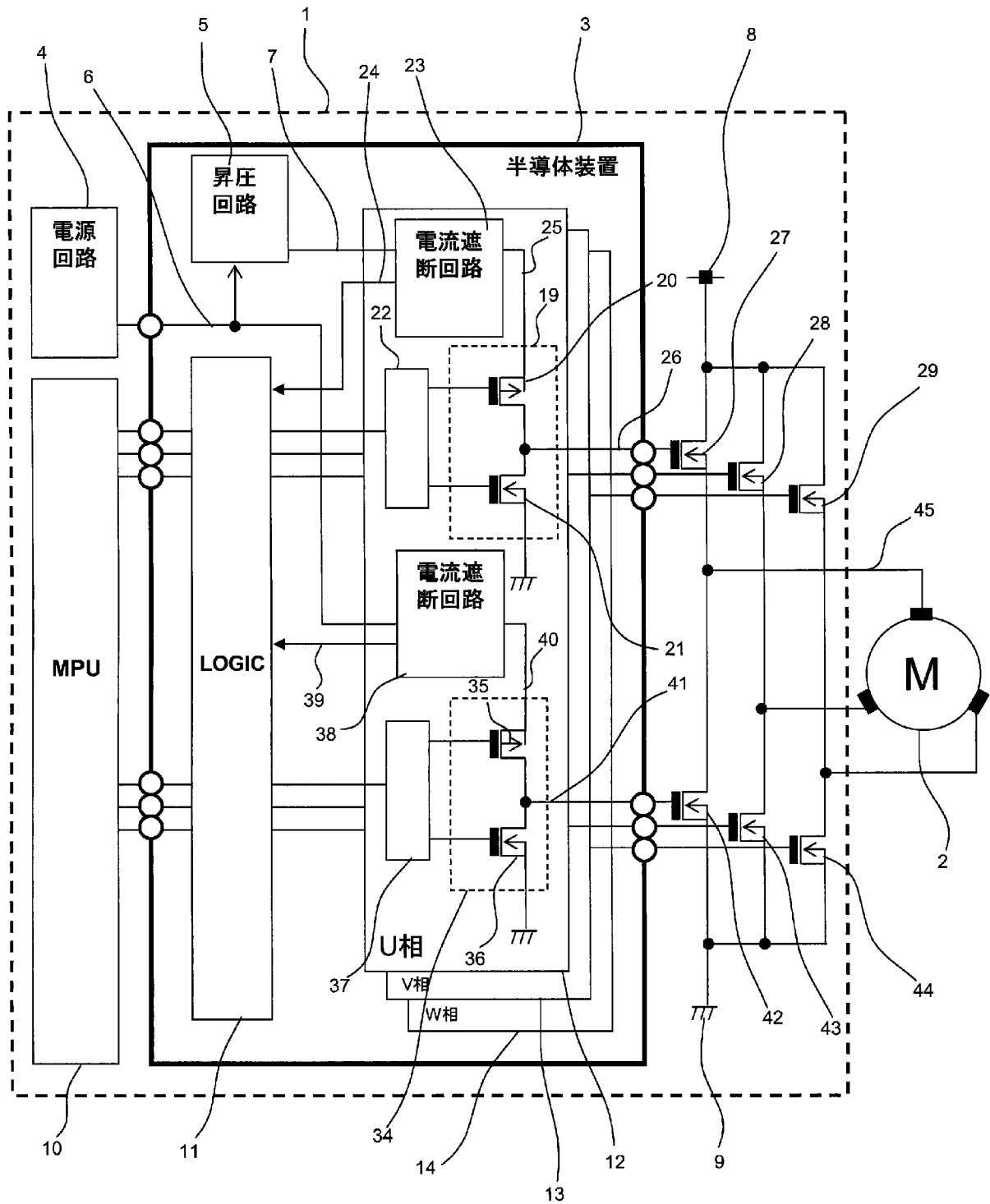
[請求項7]

請求項 1 乃至 6 のいずれか一項に記載のモータ制御装置において、

前記プリドライバ回路、前記論理回路、前記駆動回路および前記電流遮断回路を少なくとも含む複数の回路を集積化した半導体装置を有するモータ制御装置。

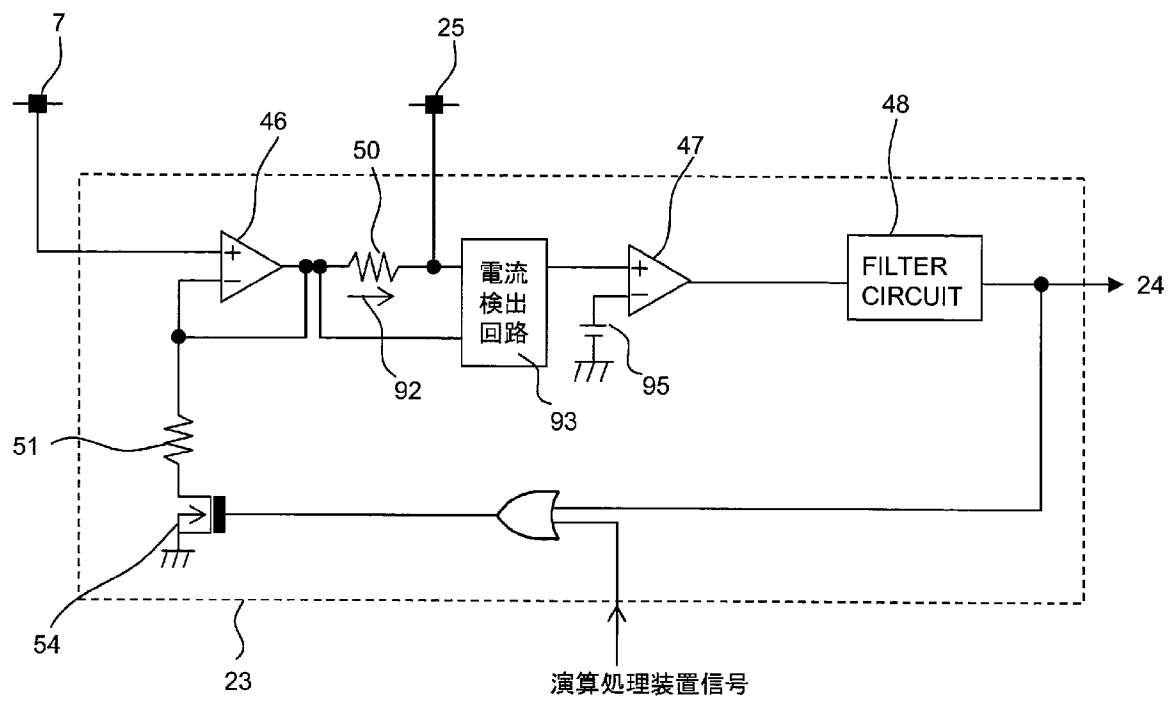
[図1]

【図1】



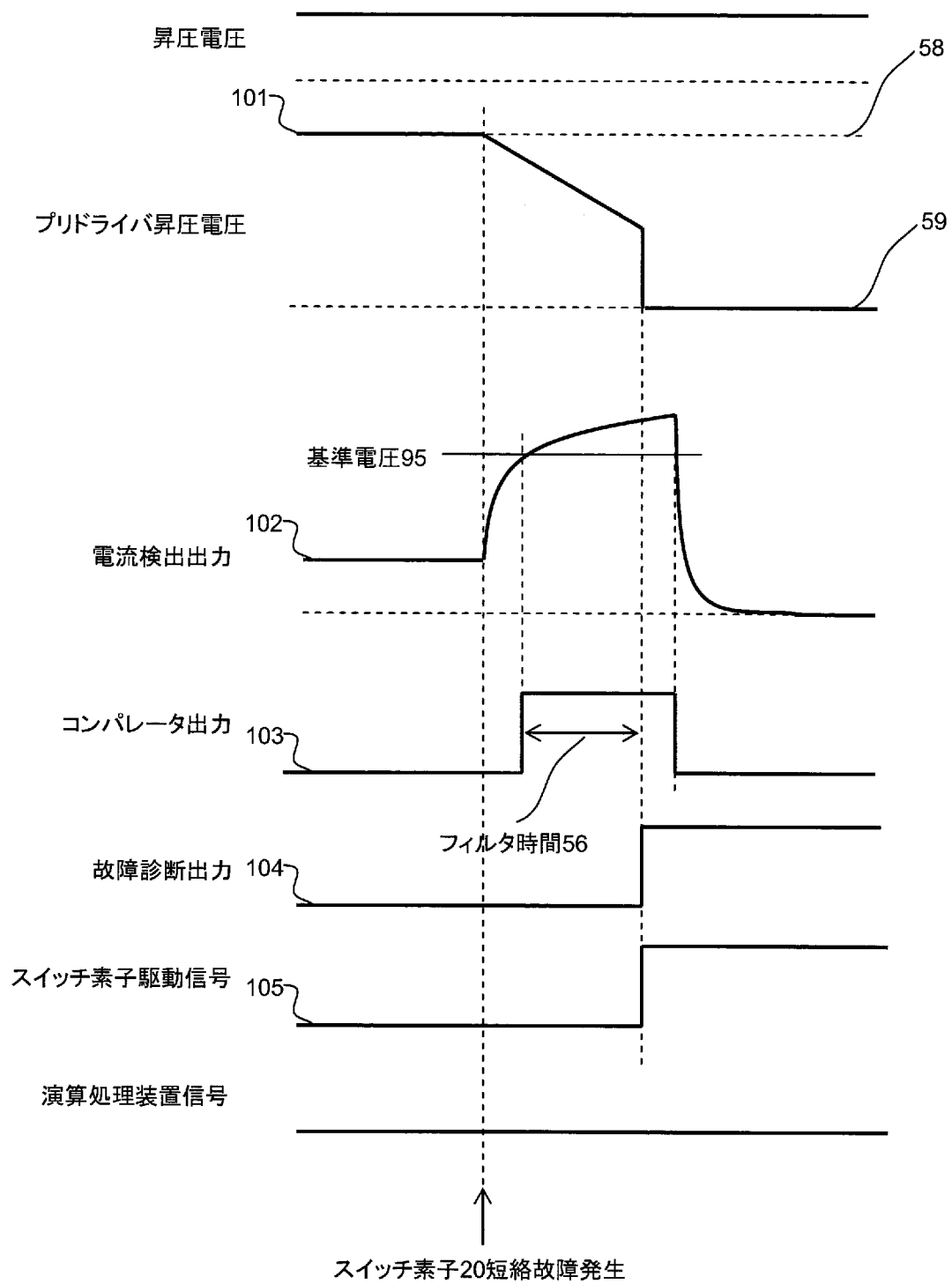
[図2]

【図2】



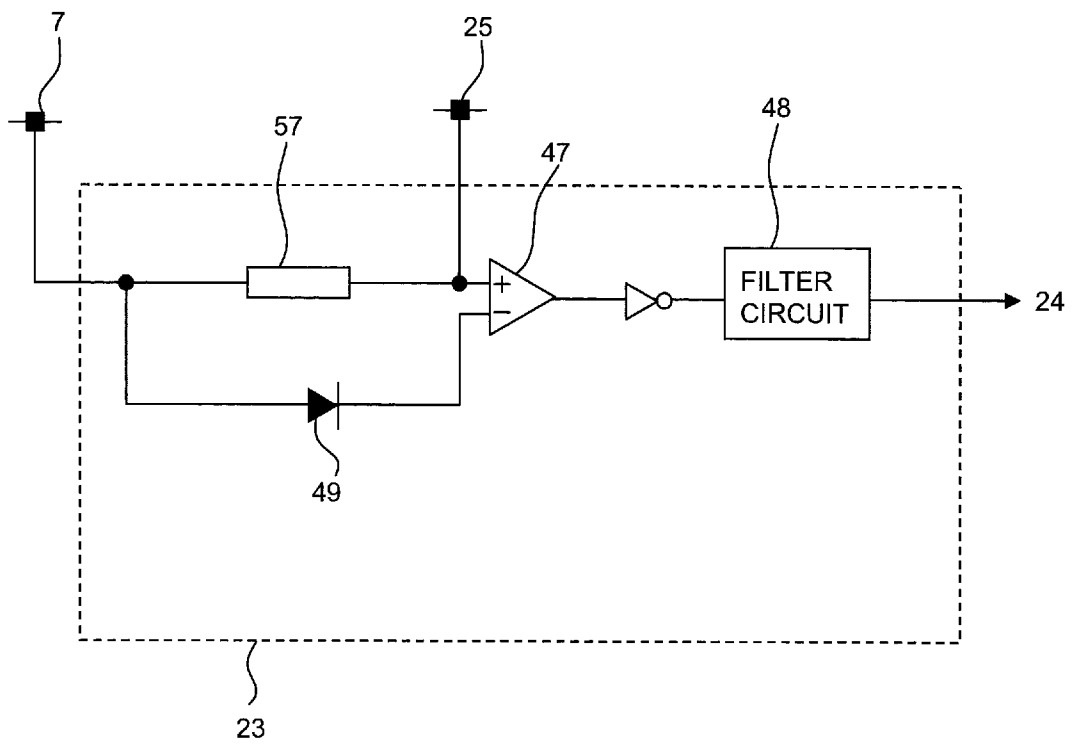
[図3]

【図3】



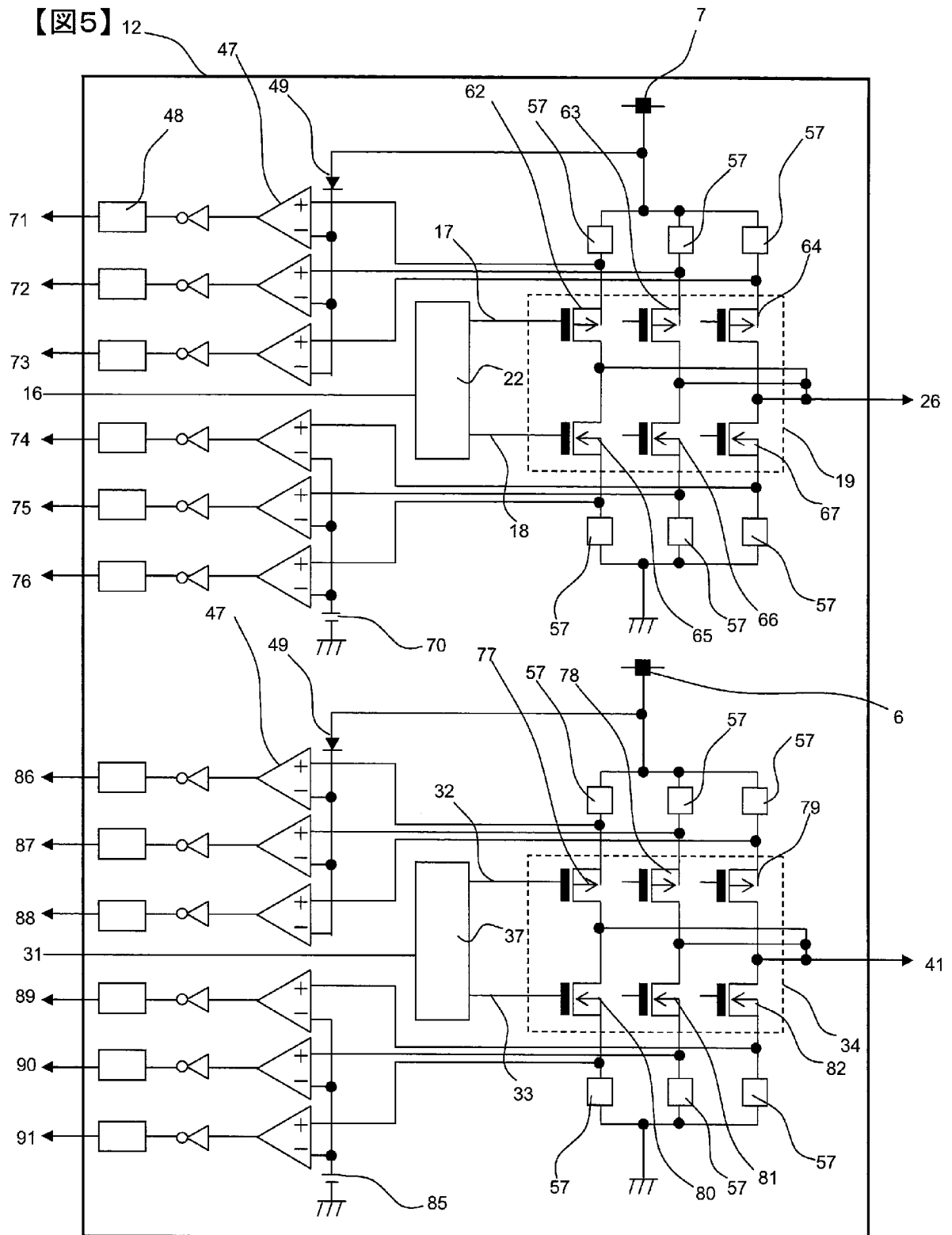
[図4]

【図4】



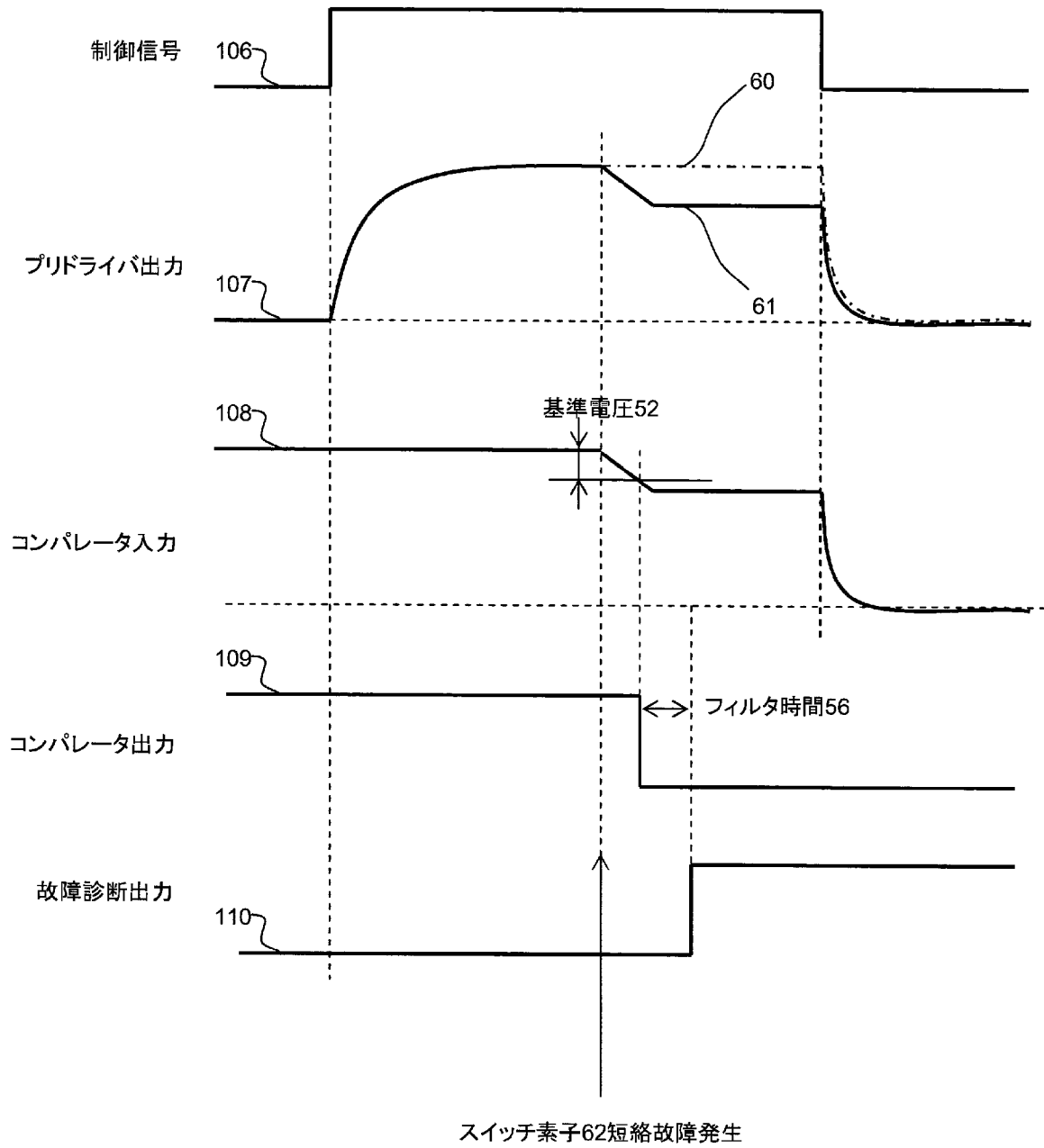
[図5]

【図5】



[図6]

【図6】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050731

A. CLASSIFICATION OF SUBJECT MATTER

H02P6/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02P6/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2011-109779 A (JTEKT Corp.), 02 June 2011 (02.06.2011), paragraph [0059]; fig. 2 & US 2011/0115289 A1 & EP 2322409 A1	1-7
A	JP 2005-269808 A (Renesas Technology Corp.), 29 September 2005 (29.09.2005), entire text; all drawings (Family: none)	1-7
A	JP 11-46491 A (Matsushita Electric Industrial Co., Ltd.), 16 February 1999 (16.02.1999), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 April, 2012 (05.04.12)

Date of mailing of the international search report
17 April, 2012 (17.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050731

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-120883 A (Japan Science and Technology Corp.), 15 April 2004 (15.04.2004), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02P6/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02P6/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	JP 2011-109779 A (株式会社ジェイテクト) 2011.06.02, 段落【0059】、図2 & US 2011/0115289 A1 & EP 2322409 A1	1-7
A	JP 2005-269808 A (株式会社ルネサステクノロジ) 2005.09.29, 全文、全図 (ファミリーなし)	1-7
A	JP 11-46491 A (松下電器産業株式会社) 1999.02.16, 全文、全図 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.04.2012

国際調査報告の発送日

17.04.2012

国際調査機関の名称及びあて先

日本国特許庁 (I S A/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

森山 拓哉

電話番号 03-3581-1101 内線 3358

3V

3924

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-120883 A (科学技術振興事業団) 2004. 04. 15, 全文、全図 (ファミリーなし)	1-7